



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I511149 B

(45)公告日：中華民國 104 (2015) 年 12 月 01 日

(21)申請案號：099139412

(22)申請日：中華民國 99 (2010) 年 11 月 16 日

(51)Int. Cl. : G11C29/24 (2006.01)

(30)優先權：2010/08/31 南韓

10-2010-0084689

(71)申請人：海力士半導體股份有限公司 (南韓) HYNIX SEMICONDUCTOR INC. (KR)
南韓

(72)發明人：朴文必 PARK, MUN-PHIL (KR)

(74)代理人：陳長文

(56)參考文獻：

TW I234164

US 5781717

US 6085334

US 6202179B1

US 2002/0012282A1

US 2010/0110745A1

審查人員：劉耀允

申請專利範圍項數：26 項 圖式數：9 共 63 頁

(54)名稱

半導體記憶體裝置

SEMICONDUCTOR MEMORY DEVICE

(57)摘要

一種具有包括一冗餘記憶體胞區塊及複數個正常記憶體胞區塊之一記憶體庫的半導體記憶體裝置包括：複數個正常資料輸入/輸出單元，該複數個正常資料輸入/輸出單元經組態以回應於一第一輸入/輸出選通信號而分別輸入/輸出來自該等正常記憶體胞區塊之資料；一冗餘資料輸入/輸出單元，其經組態以回應於該第一輸入/輸出選通信號而輸入/輸出來自該冗餘記憶體胞區塊之資料；及一連接選擇單元，其經組態以回應於一位址而將該等正常資料輸入/輸出單元及該冗餘資料輸入/輸出單元選擇性地連接至複數個局域資料線。

A semiconductor memory device having a bank including a redundancy cell block and a plurality of normal cell blocks includes a plurality of normal data inputting/outputting units configured to respectively input/output data from the normal cell blocks in response to a first input/output strobe signal, a redundancy data inputting/outputting unit configured to input/output data from the redundancy cell block in response to the first input/output strobe signal, and a connection selecting unit configured to selectively connect the normal data inputting/outputting units and the redundancy data inputting/outputting unit to a plurality of local data lines in response to an address.

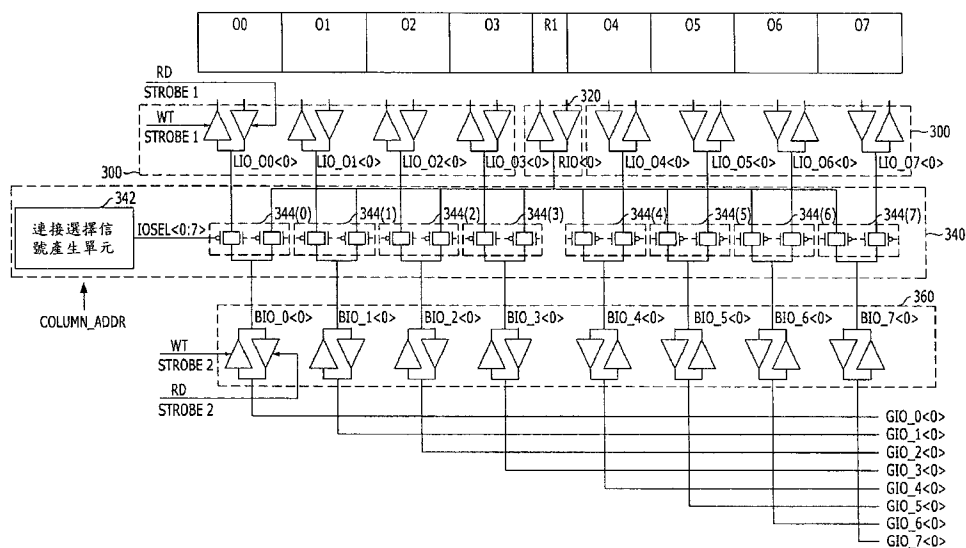


圖3

- 300 . . . 正常資料輸入/輸出單元
- 320 . . . 冗餘資料輸入/輸出單元
- 340 . . . 連接選擇單元
- 342 . . . 連接選擇信號產生單元
- 344<0> . . . 第零連接控制單元
- 344<1> . . . 第一連接控制單元
- 344<2> . . . 第二連接控制單元
- 344<3> . . . 第三連接控制單元
- 344<4> . . . 第四連接控制單元
- 344<5> . . . 第五連接控制單元
- 344<6> . . . 第六連接控制單元
- 344<7> . . . 第七連接控制單元
- 360 . . . 局域資料輸入/輸出單元
- BIO_0<0> . . . 第零局域資料線
- BIO_1<0> . . . 第一局域資料線
- BIO_2<0> . . . 第二局域資料線
- BIO_3<0> . . . 第三局域資料線
- BIO_4<0> . . . 第四局域資料線
- BIO_5<0> . . . 第五局域資料線
- BIO_6<0> . . . 第六局域資料線

BIO_7<0> . . . 第七
局域資料線

COLUMN_ADDR .
. . . 行位址/修復目標
行位址

GIO_0<0> . . . 全域
資料線

GIO_1<0> . . . 全域
資料線

GIO_2<0> . . . 全域
資料線

GIO_3<0> . . . 全域
資料線

GIO_4<0> . . . 全域
資料線

GIO_5<0> . . . 全域
資料線

GIO_6<0> . . . 全域
資料線

GIO_7<0> . . . 全域
資料線

IOSEL<0:7> . . . 連
接選擇信號

LIO_O0<0> . . . 第
零正常資料線

LIO_O1<0> . . . 第
一正常資料線

LIO_O2<0> . . . 第
二正常資料線

LIO_O3<0> . . . 第
三正常資料線

LIO_O4<0> . . . 第
四正常資料線

LIO_O5<0> . . . 第
五正常資料線

LIO_O6<0> . . . 第
六正常資料線

LIO_O7<0> . . . 第
七正常資料線

- O0 . . . 行記憶體胞
區塊
- O1 . . . 行記憶體胞
區塊
- O2 . . . 行記憶體胞
區塊
- O3 . . . 行記憶體胞
區塊
- O4 . . . 行記憶體胞
區塊
- O5 . . . 行記憶體胞
區塊
- O6 . . . 行記憶體胞
區塊
- O7 . . . 行記憶體胞
區塊
- R1 . . . 冗餘記憶體
胞區塊
- RD STROBE1 . . .
第一輸入/輸出選通信
號
- RD STROBE2 . . .
第二輸入/輸出選通信
號
- RIO<1> . . . 冗餘資
料線
- WT STROBE1 . . .
第一輸入/輸出選通信
號
- WT STROBE2 . . .
第二輸入/輸出選通信
號

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：99139412

※申請日：99.11.16

※IPC 分類：G11C ^{29/24} (2006.01)

一、發明名稱：(中文/英文)

半導體記憶體裝置

SEMICONDUCTOR MEMORY DEVICE

二、中文發明摘要：

一種具有包括一冗餘記憶體胞區塊及複數個正常記憶體胞區塊之一記憶體庫的半導體記憶體裝置包括：複數個正常資料輸入/輸出單元，該複數個正常資料輸入/輸出單元經組態以回應於一第一輸入/輸出選通信號而分別輸入/輸出來自該等正常記憶體胞區塊之資料；一冗餘資料輸入/輸出單元，其經組態以回應於該第一輸入/輸出選通信號而輸入/輸出來自該冗餘記憶體胞區塊之資料；及一連接選擇單元，其經組態以回應於一位址而將該等正常資料輸入/輸出單元及該冗餘資料輸入/輸出單元選擇性地連接至複數個局域資料線。

三、英文發明摘要：

A semiconductor memory device having a bank including a redundancy cell block and a plurality of normal cell blocks includes a plurality of normal data inputting/outputting units configured to respectively input/output data from the normal cell blocks in response to a first input/output strobe signal, a redundancy data inputting/outputting unit configured to input/output data from the redundancy cell block in response to the first input/output strobe signal, and a connection selecting unit configured to selectively connect the normal data inputting/outputting units and the redundancy data inputting/outputting unit to a plurality of local data lines in response to an address.

四、指定代表圖：

(一)本案指定代表圖為：第(3)圖。

(二)本代表圖之元件符號簡單說明：

300	正常資料輸入/輸出單元
320	冗餘資料輸入/輸出單元
340	連接選擇單元
342	連接選擇信號產生單元
344<0>	第零連接控制單元
344<1>	第一連接控制單元
344<2>	第二連接控制單元
344<3>	第三連接控制單元
344<4>	第四連接控制單元
344<5>	第五連接控制單元
344<6>	第六連接控制單元
344<7>	第七連接控制單元
360	局域資料輸入/輸出單元
BIO_0<0>	第零局域資料線
BIO_1<0>	第一局域資料線
BIO_2<0>	第二局域資料線
BIO_3<0>	第三局域資料線
BIO_4<0>	第四局域資料線
BIO_5<0>	第五局域資料線
BIO_6<0>	第六局域資料線
BIO_7<0>	第七局域資料線

COLUMN_ADDR	行位址/修復目標行位址
GIO_0<0>	全域資料線
GIO_1<0>	全域資料線
GIO_2<0>	全域資料線
GIO_3<0>	全域資料線
GIO_4<0>	全域資料線
GIO_5<0>	全域資料線
GIO_6<0>	全域資料線
GIO_7<0>	全域資料線
IOSEL<0:7>	連接選擇信號
LIO_O0<0>	第零正常資料線
LIO_O1<0>	第一正常資料線
LIO_O2<0>	第二正常資料線
LIO_O3<0>	第三正常資料線
LIO_O4<0>	第四正常資料線
LIO_O5<0>	第五正常資料線
LIO_O6<0>	第六正常資料線
LIO_O7<0>	第七正常資料線
O0	行記憶體胞區塊
O1	行記憶體胞區塊
O2	行記憶體胞區塊
O3	行記憶體胞區塊
O4	行記憶體胞區塊
O5	行記憶體胞區塊

O6	行記憶體胞區塊
O7	行記憶體胞區塊
R1	冗餘記憶體胞區塊
RD STROBE1	第一輸入/輸出選通信號
RD STROBE2	第二輸入/輸出選通信號
RIO<1>	冗餘資料線
WT STROBE1	第一輸入/輸出選通信號
WT STROBE2	第二輸入/輸出選通信號

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)

六、發明說明：

【發明所屬之技術領域】

本發明之例示性實施例係關於半導體設計技術，且更特定言之係關於一種改良行修復效率之半導體記憶體裝置。

本申請案主張2010年8月31日申請之韓國專利申請案第10-2010-0084689號之優先權，該案之全文以引用的方式併入本文中。

【先前技術】

諸如動態隨機存取記憶體(DRAM)之半導體記憶體裝置包括多個記憶體胞。若該等記憶體胞中之任一者具有一缺陷，則該半導體記憶體裝置發生故障且被視為一有缺陷產品。此外，朝向半導體記憶體裝置之高整合及高速度之近代趨勢增加出現此等有缺陷記憶體胞之機率，由此減少表示為無缺陷晶片之數目與製造於晶圓上之所有晶片之數目之比率且判定製造成本的晶圓良率。因此，一種用於校正有缺陷記憶體胞以增加高整合記憶體裝置之晶圓良率的方法為理想的。

圖1為說明用於執行一習知有缺陷記憶體胞行修復方法之習知半導體記憶體裝置之方塊圖。

參看圖1，一習知半導體記憶體裝置包括在行方向上安置之複數個行記憶體胞區塊O0、O1、O2、O3、O4、O5、O6及O7。該等行記憶體胞區塊O0、O1、O2、O3、O4、O5、O6及O7中之每一者包括複數個正常行記憶體胞線0NSYI、1NSYI、2NSYI、3NSYI、4NSYI、5NSYI、

6NSYI及7NSYI，及複數個冗餘行記憶體胞線0RSYI、1RSYI、2RSYI、3RSYI、4RSYI、5RSYI、6RSYI及7RSYI。

因此，若在包括於該等行記憶體胞區塊O0、O1、O2、O3、O4、O5、O6及O7中之每一者中的正常行記憶體胞線0NSYI、1NSYI、2NSYI、3NSYI、4NSYI、5NSYI、6NSYI及7NSYI中發生一故障，則執行一冗餘運算以使用包括於相同行記憶體胞區塊O0、O1、O2、O3、O4、O5、O6及O7中的冗餘行記憶體胞線0RSYI、1RSYI、2RSYI、3RSYI、4RSYI、5RSYI、6RSYI及7RSYI修復該故障。

然而，若在包括於該等行記憶體胞區塊O0、O1、O2、O3、O4、O5、O6及O7中之每一者中的正常行記憶體胞線0NSYI、1NSYI、2NSYI、3NSYI、4NSYI、5NSYI、6NSYI及7NSYI當中具有故障之正常行記憶體胞線之數目大於包括於相同行記憶體胞區塊O0、O1、O2、O3、O4、O5、O6及O7中的冗餘行記憶體胞線0RSYI、1RSYI、2RSYI、3RSYI、4RSYI、5RSYI、6RSYI及7RSYI之數目，則習知冗餘運算方法不能執行一正常修復操作。

詳言之，即使在行記憶體胞區塊O0、O1、O2、O3、O4、O5、O6及O7中之一些中存在自由冗餘行記憶體胞線，其他記憶體胞區塊仍不能共用該等自由冗餘行記憶體胞線。因此，習知冗餘運算方法不能執行一正常修復操作。

隨著半導體記憶體裝置之技術進步(SDR ->DDR ->DDR2

->DDR3)，習知冗餘運算之缺點可愈來愈引起擔憂。

亦即，因為隨著半導體記憶體裝置之技術發展，預取位元之數目增加，所以包括於一記憶體庫中之行記憶體胞區塊之數目增加。因此，包括於每一行記憶體胞區塊中之冗餘行記憶體胞線之數目減少。因此，在發生故障之情形中可覆蓋之正常行記憶體胞線之數目減少。此不合需要地減小執行一正常冗餘運算之可能性。

作為參考，因為修復一普通半導體記憶體裝置中之一列線之操作不直接應用輸入/輸出資料資訊，所以冗餘列記憶體胞線可在複數個列記憶體胞區塊當中直接共用。

然而，因為修復一行線之操作必須直接應用輸入/輸出資料資訊，所以冗餘行記憶體胞線不能在複數個行記憶體胞區塊當中直接共用。

【發明內容】

本發明之例示性實施例係針對一種藉由允許複數個行記憶體胞區塊共用一冗餘行記憶體胞線來改良行修復效率的半導體記憶體裝置。

根據本發明之一例示性實施例，一種具有包括一冗餘記憶體胞區塊及在行方向上安置之複數個正常記憶體胞區塊之一記憶體庫的半導體記憶體裝置包括：複數個正常資料輸入/輸出單元，該複數個正常資料輸入/輸出單元經組態以回應於一第一輸入/輸出選通信號而分別輸入/輸出來自該等正常記憶體胞區塊之資料；一冗餘資料輸入/輸出單元，其經組態以回應於該第一輸入/輸出選通信號而輸入/

輸出來自該冗餘記憶體胞區塊之資料；及一連接選擇單元，其經組態以回應於一行位址而將該等正常資料輸入/輸出單元及該冗餘資料輸入/輸出單元選擇性地連接至複數個局域資料線。

該半導體記憶體裝置亦可包括複數個局域資料輸入/輸出單元，該複數個局域資料輸入/輸出單元經組態以回應於一第二輸入/輸出選通信號而分別輸入/輸出在該等局域資料線與複數個全域資料線之間的資料。

根據本發明之另一例示性實施例，一種具有K個冗餘記憶體胞區塊及M個正常記憶體胞區塊(M為一自然數且為K之至少兩倍)之半導體記憶體裝置包括：M個正常資料輸入/輸出單元，該M個正常資料輸入/輸出單元經組態以回應於一第一輸入/輸出選通信號而分別輸入/輸出來自該M個正常記憶體胞區塊之N位元資料；K個冗餘資料輸入/輸出單元，該K個冗餘資料輸入/輸出單元經組態以回應於該第一輸入/輸出選通信號而輸入/輸出來自該K個冗餘記憶體胞區塊之N位元資料；及一連接選擇單元，其經組態以回應於一行位址而將該M個正常資料輸入/輸出單元及該K個冗餘資料輸入/輸出單元選擇性地連接至 $\{M \times N\}$ 個局域資料線。

該半導體記憶體裝置亦可包括M個局域資料輸入/輸出單元，該M個局域資料輸入/輸出單元經組態以回應於一第二輸入/輸出選通信號而分別輸入/輸出在該 $\{M \times N\}$ 個局域資料線與 $\{M \times N\}$ 個全域資料線之間的N位元資料。

根據本發明之又一例示性實施例，一種具有包括複數個冗餘記憶體胞區塊及複數個正常記憶體胞區塊群組(每一正常記憶體胞區塊群組包括多個正常記憶體胞區塊)之一記憶體庫之半導體記憶體裝置包括：複數個正常資料輸入/輸出群組，該複數個正常資料輸入/輸出群組經組態以回應於一第一輸入/輸出選通信號而分別輸入/輸出來自該等正常記憶體胞區塊群組之資料；複數個冗餘資料輸入/輸出單元，該複數個冗餘資料輸入/輸出單元經組態以回應於該第一輸入/輸出選通信號而輸入/輸出來自該等冗餘記憶體胞區塊之資料；及一連接選擇單元，其經組態以回應於一行位址而將該等正常資料輸入/輸出群組及該等冗餘資料輸入/輸出單元選擇性地連接至複數個局域資料線群組，其中該等局域資料線群組中之每一者包括預定數目個局域資料線。

該半導體記憶體裝置亦可包括複數個局域資料輸入/輸出群組，該複數個局域資料輸入/輸出群組經組態以回應於一第二輸入/輸出選通信號而分別輸入/輸出在該等局域資料線群組與複數個全域資料線群組之間的資料，其中該等全域資料線群組中之每一者包括多個全域資料線。

【實施方式】

將參看隨附圖式在下文更詳細地描述本發明之例示性實施例。然而，本發明可以不同形式來體現，且不應解釋為限於本文中所闡述之實施例。實情為，提供此等實施例以使得本發明將為詳盡的且完整的，且將向熟習此項技術者

充分地傳達本發明之範疇。遍及本發明，相似參考數字遍及本發明之各圖及實施例指代相似部分。

圖2A為根據本發明之一例示性實施例的用於執行一有缺陷記憶體胞行修復方法之記憶體庫的方塊圖。

參看圖2A，根據本發明之一例示性實施例的半導體記憶體裝置之一記憶體庫包括：複數個正常記憶體胞區塊O0、O1、O2、O3、O4、O5、O6及O7，該複數個正常記憶體胞區塊在行方向上安置且分別具有複數個正常行記憶體胞線0NSYI、1NSYI、2NSYI、3NSYI、4NSYI、5NSYI、6NSYI及7NSYI；及一冗餘記憶體胞區塊R1，其安置於該等正常記憶體胞區塊O0、O1、O2、O3、O4、O5、O6及O7之間且具有複數個冗餘行記憶體胞線COMMON_RSYI。

亦即，在根據本發明之一例示性實施例的半導體記憶體裝置之該記憶體庫中，該等正常記憶體胞區塊O0、O1、O2、O3、O4、O5、O6及O7共用一冗餘記憶體胞區塊R1以執行一冗餘運算。

圖2B為根據本發明之另一例示性實施例的用於執行一有缺陷記憶體胞行修復方法之記憶體庫的方塊圖。

參看圖2B，根據本發明之另一例示性實施例的半導體記憶體裝置之一記憶體庫包括：複數個正常記憶體胞區塊O0、O1、O2、O3、O4、O5、O6及O7，該複數個正常記憶體胞區塊在行方向上安置且分別具有複數個正常行記憶體胞線0NSYI、1NSYI、2NSYI、3NSYI、4NSYI、5NSYI、6NSYI及7NSYI；及兩個冗餘記憶體胞區塊R1及

R2，其分別具有複數個冗餘行記憶體胞線 COMMON_RSYI1及COMMON_RSYI2。

亦即，在根據本發明之另一例示性實施例的半導體記憶體裝置之該記憶體庫中，安置於該記憶體庫之一側上的該等正常記憶體胞區塊O0、O1、O2及O3共用第一冗餘記憶體胞區塊R1以執行一冗餘運算，而安置於該記憶體庫之另一側上的該等正常記憶體胞區塊O4、O5、O6及O7共用第二冗餘記憶體胞區塊R2以執行一冗餘運算。

圖2B中所說明之半導體記憶體裝置之記憶體庫結構具有比圖2A中所說明之半導體記憶體裝置之記憶體庫結構少的共用一冗餘記憶體胞區塊之正常記憶體胞區塊。因此，當與圖2A中所說明之半導體記憶體裝置之記憶體庫結構相比較時，圖2B中所說明之半導體記憶體裝置之記憶體庫結構可減小在共用一冗餘記憶體胞區塊時輸入/輸出冗餘資料所必需的周邊電路之大小。另一方面，圖2B中所說明之半導體記憶體裝置之記憶體庫結構具有比圖2A中所說明之半導體記憶體裝置之記憶體庫結構少的包括於一冗餘記憶體胞區塊中之冗餘行記憶體胞線。因此，圖2B中所說明之半導體記憶體裝置之記憶體庫結構具有比圖2A中所說明之半導體記憶體裝置之記憶體庫結構低的行修復效率。

儘管圖2B說明提供兩個冗餘記憶體胞區塊R1及R2來支援八個正常記憶體胞區塊O0、O1、O2、O3、O4、O5、O6及O7，但本發明並不限於此。亦即，可提供兩個或兩個以上冗餘記憶體胞區塊來支援八個或八個以上正常記憶

體胞區塊。

圖 2C 為根據本發明之一例示性實施例的用於執行一有缺陷記憶體胞行修復方法之半導體記憶體裝置的方塊圖。

參看圖 2C，根據本發明之一例示性實施例的半導體記憶體裝置包括：複數個記憶體庫 B0、B1、B2、B3、B4、B5、B6 及 B7；複數個冗餘輸入/輸出線 B0_RIO<0:7>、B1_RIO<0:7>、B2_RIO<0:7>、B3_RIO<0:7>、B4_RIO<0:7>、B5_RIO<0:7>、B6_RIO<0:7> 及 B7_RIO<0:7>，該複數個冗餘輸入/輸出線分別提供於記憶體庫 B0、B1、B2、B3、B4、B5、B6 及 B7 中以輸入/輸出用於各別記憶體庫 B0、B1、B2、B3、B4、B5、B6 及 B7 之冗餘資料；及複數個全域資料輸入/輸出線 GIO_O0<0:7>、GIO_O1<0:7>、GIO_O2<0:7>、GIO_O3<0:7>、GIO_O4<0:7>、GIO_O5<0:7>、GIO_O6<0:7> 及 GIO_O7<0:7>，該複數個全域資料輸入/輸出線由該等記憶體庫 B0、B1、B2、B3、B4、B5、B6 及 B7 共用以輸入/輸出正常資料。

在本文中，該等記憶體庫 B0、B1、B2、B3、B4、B5、B6 及 B7 中之每一者分別包括：複數個正常記憶體胞區塊 O0、O1、O2、O3、O4、O5、O6 及 O7；及一冗餘記憶體胞區塊 R1，如圖 2A 中所說明。

圖 2D 為根據本發明之另一例示性實施例的說明一有缺陷記憶體胞行修復方法之半導體記憶體裝置的方塊圖。

參看圖 2D，根據本發明之另一例示性實施例的半導體記憶體裝置包括：複數個記憶體庫 B0、B1、B2、B3、B4、

B5、B6及B7；複數個冗餘輸入/輸出線 B0_RIO1<0:3>、B0_RIO2<0:3>、B1_RIO1<0:3>、B1_RIO2<0:3>、B2_RIO1<0:3>、B2_RIO2<0:3>、B3_RIO1<0:3>、B3_RIO2<0:3>、B4_RIO1<0:3>、B4_RIO2<0:3>、B5_RIO1<0:3>、B5_RIO2<0:3>、B6_RIO1<0:3>、B6_RIO2<0:3>、B7_RIO1<0:3>及B7_RIO2<0:3>，該複數個冗餘輸入/輸出線分別提供於記憶體庫B0、B1、B2、B3、B4、B5、B6及B7中以輸入/輸出獨立地對應於提供於該等記憶體庫B0、B1、B2、B3、B4、B5、B6及B7中之每一者中的冗餘記憶體胞區塊R1及R2之數目的冗餘資料；及複數個全域資料輸入/輸出線 GIO_O0<0:7>、GIO_O1<0:7>、GIO_O2<0:7>、GIO_O3<0:7>、GIO_O4<0:7>、GIO_O5<0:7>、GIO_O6<0:7>及GIO_O7<0:7>，該複數個全域資料輸入/輸出線由該等記憶體庫B0、B1、B2、B3、B4、B5、B6及B7共用以輸入/輸出正常資料。

在本文中，該等記憶體庫B0、B1、B2、B3、B4、B5、B6及B7中之每一者分別包括：複數個正常記憶體胞區塊O0、O1、O2、O3、O4、O5、O6及O7；及兩個冗餘記憶體胞區塊R1及R2，如圖2B中所說明。

又，如參看圖2B所描述，複數個冗餘輸入/輸出線 B0_RIO1<0:3>、B0_RIO2<0:3>、B1_RIO1<0:3>、B1_RIO2<0:3>、B2_RIO1<0:3>、B2_RIO2<0:3>、B3_RIO1<0:3>、B3_RIO2<0:3>、B4_RIO1<0:3>、B4_RIO2<0:3>、B5_RIO1<0:3>、B5_RIO2<0:3>、

B6_RIO1<0:3> 、 B6_RIO2<0:3> 、 B7_RIO1<0:3> 及 B7_RIO2<0:3>之總佔據面積為根據本發明之一例示性實施例的在圖2C中所說明之半導體記憶體裝置之總佔據面積的1/2。

圖3為說明根據本發明之一例示性實施例的圖2A中所說明之半導體記憶體裝置之一記憶體胞行修復電路的電路圖。

參看圖3，根據本發明之一例示性實施例的半導體記憶體裝置(其具有包括一冗餘記憶體胞區塊R1及在行方向上安置之複數個正常記憶體胞區塊O0、O1、O2、O3、O4、O5、O6及O7的記憶體庫)之一記憶體胞行修復電路包括：複數個正常資料輸入/輸出單元300，該複數個正常資料輸入/輸出單元300經組態以回應於第一輸入/輸出選通信號RD STROBE1及WT STROBE1而分別輸入/輸出來自正常記憶體胞區塊O0、O1、O2、O3、O4、O5、O6及O7之資料；一冗餘資料輸入/輸出單元320，其經組態以回應於第一輸入/輸出選通信號RD STROBE1及WT STROBE1而輸入/輸出來自冗餘記憶體胞區塊R1之資料；一連接選擇單元340，其經組態以回應於一行位址COLUMN_ADDR將正常資料輸入/輸出單元300及冗餘資料輸入/輸出單元320選擇性地連接至複數個局域資料線BIO_0<0>、BIO_1<0>、BIO_2<0>、BIO_3<0>、BIO_4<0>、BIO_5<0>、BIO_6<0>及BIO_7<0>；及複數個局域資料輸入/輸出單元360，該複數個局域資料輸入/輸出單元360經組態以回應

於第二輸入/輸出選通信號RD STROBE2、WT STROBE2而分別輸入/輸出在局域資料線BIO_0<0>、BIO_1<0>、BIO_2<0>、BIO_3<0>、BIO_4<0>、BIO_5<0>、BIO_6<0>及BIO_7<0>與複數個全域資料線GIO_0<0>、GIO_1<0>、GIO_2<0>、GIO_3<0>、GIO_4<0>、GIO_5<0>、GIO_6<0>及GIO_7<0>之間的資料。

在本文中，該等正常資料輸入/輸出單元300回應於第一輸入/輸出選通信號RD STROBE1及WT STROBE1而輸入/輸出在該等正常記憶體胞區塊O0、O1、O2、O3、O4、O5、O6及O7與複數個正常資料線LIO_O0<0>、LIO_O1<0>、LIO_O2<0>、LIO_O3<0>、LIO_O4<0>、LIO_O5<0>、LIO_O6<0>及LIO_O7<0>之間的資料。

又，該冗餘資料輸入/輸出單元320回應於第一輸入/輸出選通信號RD STROBE1及WT STROBE1而輸入/輸出在該冗餘記憶體胞區塊R1與一冗餘資料線RIO<0>之間的資料。

該連接選擇單元340回應於行位址COLUMN_ADDR自正常資料線LIO_O0<0>、LIO_O1<0>、LIO_O2<0>、LIO_O3<0>、LIO_O4<0>、LIO_O5<0>、LIO_O6<0>及LIO_O7<0>當中選擇一修復目標正常資料線，且將除了該修復目標正常資料線以外的該等正常資料線及該冗餘資料線RIO<0>分別連接至局域資料線BIO_0<0>、BIO_1<0>、BIO_2<0>、BIO_3<0>、BIO_4<0>、BIO_5<0>、BIO_6<0>及BIO_7<0>。

又，該連接選擇單元340包括：一連接選擇信號產生單

元 342，其經組態以產生複數個連接選擇信號 IOSEL<0:7>，該複數個連接選擇信號 IOSEL<0:7>之邏輯位準係對應於行位址 COLUMN_ADDR 來判定；及複數個連接控制單元 344<0:7>，該複數個連接控制單元 344<0:7>經組態以回應於該等連接選擇信號 IOSEL<0:7>將冗餘資料線 RIO<0>，及正常資料線 LIO_O0<0>、LIO_O1<0>、LIO_O2<0>、LIO_O3<0>、LIO_O4<0>、LIO_O5<0>、LIO_O6<0>及 LIO_O7<0>中之任一者分別連接至局域資料線 BIO_0<0>、BIO_1<0>、BIO_2<0>、BIO_3<0>、BIO_4<0>、BIO_5<0>、BIO_6<0>及 BIO_7<0>。

又，連接控制單元 344<0:7>經操作，以使得：正常資料線 LIO_O0<0>、LIO_O1<0>、LIO_O2<0>、LIO_O3<0>、LIO_O4<0>、LIO_O5<0>、LIO_O6<0>及 LIO_O7<0>分別連接至複數個第一輸入端子；冗餘資料線 RIO<0>共同連接至複數個第二輸入端子；局域資料線 BIO_0<0>、BIO_1<0>、BIO_2<0>、BIO_3<0>、BIO_4<0>、BIO_5<0>、BIO_6<0>及 BIO_7<0>分別連接至複數個輸出端子；回應於連接選擇信號 IOSEL<0:7>中之任一者而將該等輸出端子中之任一者連接至第二輸入端子，且其他輸出端子連接至第一輸入端子。舉例而言，當在連接控制單元中僅啟動連接選擇信號 IOSEL<0:7>當中之第三信號 IOSEL<3>時，所有其他連接選擇信號 IOSEL<0:2>及 IOSEL<4:7>經撤銷啟動。因此，第二輸入端子與輸出端子僅在連接控制單元 344<0:7>當中之第三連接控制單元

344<3>中連接，使得冗餘資料線RIO<0>連接至第三局域資料線BIO_3<0>。同時，第一輸入端子與輸出端子在其他第零至第二連接控制單元344<0:2>及第四至第七連接控制單元344<4:7>中連接，使得第零至第二正常資料線LIO_O0<0>、LIO_O1<0>及LIO_O2<0>以及第四至第七正常資料線LIO_O4<0>、LIO_O5<0>、LIO_O6<0>及LIO_O7<0>分別連接至第零至第二局域資料線BIO_0<0>、BIO_1<0>及BIO_2<0>以及第四至第七局域資料線BIO_4<0>、BIO_5<0>、BIO_6<0>及BIO_7<0>。

圖4為說明根據本發明之一例示性實施例的圖2A中所說明之半導體記憶體裝置之一記憶體胞行修復電路的電路圖。

參看圖4，根據本發明之一例示性實施例的半導體記憶體裝置(其具有包括一冗餘記憶體胞區塊R1及在行方向上安置之複數個正常記憶體胞區塊O0、O1、O2、O3、O4、O5、O6及O7的記憶體庫)之一記憶體胞行修復電路包括：複數個正常資料輸入/輸出單元300，該複數個正常資料輸入/輸出單元300經組態以回應於第一輸入/輸出選通信號RD STROBE1及WT STROBE1而分別輸入/輸出來自正常記憶體胞區塊O0、O1、O2、O3、O4、O5、O6及O7之資料；一冗餘資料輸入/輸出單元320，其經組態以回應於第一輸入/輸出選通信號RD STROBE1及WT STROBE1而輸入/輸出來自冗餘記憶體胞區塊R1之資料；一連接選擇單元340，其經組態以回應於一行位址COLUMN_ADDR將正

常資料輸入/輸出單元300及冗餘資料輸入/輸出單元320選擇性地連接至複數個局域資料線 BIO_0<0>、BIO_1<0>、BIO_2<0>、BIO_3<0>、BIO_4<0>、BIO_5<0>、BIO_6<0>及BIO_7<0>；及複數個局域資料輸入/輸出單元360，該複數個局域資料輸入/輸出單元360經組態以回應於第二輸入/輸出選通信號RD STROBE2及WT STROBE2而分別輸入/輸出在局域資料線 BIO_0<0>、BIO_1<0>、BIO_2<0>、BIO_3<0>、BIO_4<0>、BIO_5<0>、BIO_6<0>及BIO_7<0>與複數個全域資料線 GIO_0<0>、GIO_1<0>、GIO_2<0>、GIO_3<0>、GIO_4<0>、GIO_5<0>、GIO_6<0>及GIO_7<0>之間的資料。

在本文中，該等正常資料輸入/輸出單元300回應於第一輸入/輸出選通信號RD STROBE1及WT STROBE1而輸入/輸出在該等正常記憶體胞區塊O0、O1、O2、O3、O4、O5、O6及O7與複數個正常資料線 LIO_O0<0>、LIO_O1<0>、LIO_O2<0>、LIO_O3<0>、LIO_O4<0>、LIO_O5<0>、LIO_O6<0>及LIO_O7<0>之間的資料。

又，該冗餘資料輸入/輸出單元320回應於第一輸入/輸出選通信號RD STROBE1及WT STROBE1而輸入/輸出在該冗餘記憶體胞區塊R1與一冗餘資料線RIO<0>之間的資料。

該連接選擇單元340回應於行位址 COLUMN_ADDR在正常資料線 LIO_O0<0>、LIO_O1<0>、LIO_O2<0>、LIO_O3<0>、LIO_O4<0>、LIO_O5<0>、LIO_O6<0>及LIO_O7<0>當中選擇一修復目標正常資料線，且將除了該

修復目標正常資料線以外的該等正常資料線及該冗餘資料線RIO<0>分別連接至局域資料線BIO_0<0>、BIO_1<0>、BIO_2<0>、BIO_3<0>、BIO_4<0>、BIO_5<0>、BIO_6<0>及BIO_7<0>。

又，該連接選擇單元340包括：一連接選擇信號產生單元342，其經組態以產生複數個連接選擇信號IOSEL<0:7>，該複數個連接選擇信號IOSEL<0:7>之邏輯位準係對應於行位址COLUMN_ADDR來判定；及複數個連接控制單元344<0:7>，該複數個連接控制單元344<0:7>經組態以回應於該等連接選擇信號IOSEL<0:7>將冗餘資料線RIO<0>，及正常資料線LIO_O0<0>、LIO_O1<0>、LIO_O2<0>、LIO_O3<0>、LIO_O4<0>、LIO_O5<0>、LIO_O6<0>及LIO_O7<0>中之任一者分別連接至局域資料線BIO_0<0>、BIO_1<0>、BIO_2<0>、BIO_3<0>、BIO_4<0>、BIO_5<0>、BIO_6<0>及BIO_7<0>。

未在圖3中說明之額外元件進一步提供如下。

首先，一壓縮測試操作單元310分別連接至局域資料線BIO_0<0>、BIO_1<0>、BIO_2<0>、BIO_3<0>、BIO_4<0>、BIO_5<0>、BIO_6<0>及BIO_7<0>以並行地壓縮地測試局域資料線之資料。

又，複數個正常資料鎖存單元330分別連接至正常資料線LIO_O0<0>、LIO_O1<0>、LIO_O2<0>、LIO_O3<0>、LIO_O4<0>、LIO_O5<0>、LIO_O6<0>及LIO_O7<0>，以鎖存在對應於行位址COLUMN_ADDR之輸入循環之第一時

[S]

間週期期間載運於正常資料線中之資料。一冗餘資料鎖存單元350連接至冗餘資料線RIO<0>以鎖存在第一時間週期期間載運於冗餘資料線中之資料。

在本文中，該第一時間週期係藉由自比施加至半導體記憶體裝置之行位址COLUMN_ADDR之輸入時間點晚的一某一時間點計數時脈來判定。此在下文參看圖5更詳細地描述。

圖3及圖4兩者之共同特徵為：複數個正常資料線LIO_O0<0>、LIO_O1<0>、LIO_O2<0>、LIO_O3<0>、LIO_O4<0>、LIO_O5<0>、LIO_O6<0>及LIO_O7<0>共用一冗餘資料線RIO<0>以執行一冗餘運算。儘管在圖3及圖4兩者中僅共用一個冗餘資料線RIO<0>，但應理解，可提供複數個冗餘資料線RIO<0>、RIO<1>、RIO<2>、RIO<3>、RIO<4>、RIO<5>、RIO<6>及RIO<7>(一個以上冗餘資料RIO<0>)。

此意謂可包括八個以上正常資料線LIO_O0<0>、LIO_O1<0>、LIO_O2<0>、LIO_O3<0>、LIO_O4<0>、LIO_O5<0>、LIO_O6<0>及LIO_O7<0>。在圖4之組態中，假設半導體記憶體裝置之資料輸入/輸出頻寬為「X8」。因此，可理解，提供八對正常資料線LIO_O0<0:7>、LIO_O1<0:7>、LIO_O2<0:7>、LIO_O3<0:7>、LIO_O4<0:7>、LIO_O5<0:7>、LIO_O6<0:7>及LIO_O7<0:7>，以及八個冗餘資料線RIO<0>、RIO<1>、RIO<2>、RIO<3>、RIO<4>、RIO<5>、RIO<6>及RIO<7>，且一對正常資料線

共用一冗餘資料線以執行一冗餘運算。可理解，因為提供八對正常資料線 $LIO_O0<0:7>$ 、 $LIO_O1<0:7>$ 、 $LIO_O2<0:7>$ 、 $LIO_O3<0:7>$ 、 $LIO_O4<0:7>$ 、 $LIO_O5<0:7>$ 、 $LIO_O6<0:7>$ 及 $LIO_O7<0:7>$ ，所以提供八對全域資料線 $GIO_0<0:7>$ 、 $GIO_1<0:7>$ 、 $GIO_2<0:7>$ 、 $GIO_3<0:7>$ 、 $GIO_4<0:7>$ 、 $GIO_5<0:7>$ 、 $GIO_6<0:7>$ 及 $GIO_7<0:7>$ 。

如上文所描述，圖3中所說明之半導體記憶體裝置的組態亦可以類似方式擴展為圖4中所說明之半導體記憶體裝置的組態。因此，若圖3中所說明之正常資料輸入/輸出單元300、冗餘資料輸入/輸出單元320、連接選擇單元340及局域資料輸入/輸出單元350之組態以八對提供，則圖3變得類似於圖4。

又，圖4中所說明之組態可擴展如下。

參看圖4，根據本發明之一例示性實施例的半導體記憶體裝置(其具有K個冗餘記憶體胞區塊R1至RK及在行方向上安置之M個正常記憶體胞區塊O0、O1、O2、O3、O4、O5、O6及O7)之一記憶體胞行修復電路包括：M個正常資料輸入/輸出單元300<0:7>，其經組態以回應於第一輸入/輸出選通信號RD STROBE1及WT STROBE1而分別輸入/輸出來自M個正常記憶體胞區塊O0、O1、O2、O3、O4、O5、O6及O7之N位元資料；K個冗餘資料輸入/輸出單元320，其經組態以回應於第一輸入/輸出選通信號RD STROBE1及WT STROBE1而輸入/輸出來自K個冗餘記憶體胞區塊R1至RK之N位元資料；一連接選擇單元340，其經

組態以回應於一行位址 COLUMN_ADDR 依 N 位元為基礎將 M 個正常資料輸入/輸出單元 300<0:7> 及 K 個冗餘資料輸入/輸出單元 320 選擇性地連接至 {M×N} 個局域資料線 BIO_0<0:7>、BIO_1<0:7>、BIO_2<0:7>、BIO_3<0:7>、BIO_4<0:7>、BIO_5<0:7>、BIO_6<0:7> 及 BIO_7<0:7>；及 M 個局域資料輸入/輸出單元 360<0:7>，其經組態以回應於第二輸入/輸出選通信號 RD STROBE2 及 WT STROBE2 而分別輸入/輸出在 {M×N} 個局域資料線 BIO_0<0:7>、BIO_1<0:7>、BIO_2<0:7>、BIO_3<0:7>、BIO_4<0:7>、BIO_5<0:7>、BIO_6<0:7> 及 BIO_7<0:7> 與 {M×N} 個全域資料線 GIO_0<0:7>、GIO_1<0:7>、GIO_2<0:7>、GIO_3<0:7>、GIO_4<0:7>、GIO_5<0:7>、GIO_6<0:7> 及 GIO_7<0:7> 之間的 N 位元資料。

在本文中，連接選擇單元 340 依 N 位元為基礎將 {M÷K} 個正常資料輸入/輸出單元 300<0:7> 及一個冗餘資料輸入/輸出單元 320 選擇性地連接至 N 個局域資料線 BIO_M<0:7>。

M 個正常資料輸入/輸出單元 300<0:7> 回應於第一輸入/輸出選通信號 RD STROBE1 及 WT STROBE1 而分別輸入/輸出在 M 個正常記憶體胞區塊 O0、O1、O2、O3、O4、O5、O6 及 O7 與 {M×N} 個正常資料線 LIO_O0<0:7>、LIO_O1<0:7>、LIO_O2<0:7>、LIO_O3<0:7>、LIO_O4<0:7>、LIO_O5<0:7>、LIO_O6<0:7> 及 LIO_O7<0:7> 之間的 N 位元資料。

又，K 個冗餘資料輸入/輸出單元 320 回應於第一輸入/輸

出選通信號RD STROBE1及WT STROBE1而分別輸入/輸出在K個冗餘記憶體胞區塊R1與 $\{K \times N\}$ 個冗餘資料線RIO<0>、RIO<1>、RIO<2>、RIO<3>、RIO<4>、RIO<5>、RIO<6>及RIO<7>之間的N位元資料。

該連接選擇單元340回應於行位址COLUMN_ADDR在 $\{M \times N\}$ 個正常資料線LIO_O0<0:7>、LIO_O1<0:7>、LIO_O2<0:7>、LIO_O3<0:7>、LIO_O4<0:7>、LIO_O5<0:7>、LIO_O6<0:7>及LIO_O7<0:7>當中選擇0至 $\{K \times N\}$ 個修復目標正常資料線，且將除了修復目標正常資料線以外的 $\{(M-K) \times N\}$ 個正常資料線及對應於修復目標正常資料線之冗餘資料線分別連接至 $\{M \times N\}$ 個局域資料線BIO_0<0:7>、BIO_1<0:7>、BIO_2<0:7>、BIO_3<0:7>、BIO_4<0:7>、BIO_5<0:7>、BIO_6<0:7>及BIO_7<0:7>。

該連接選擇單元340包括：一連接選擇信號產生單元342，其經組態以產生M個連接選擇信號IOSEL<0:7>，該M個連接選擇信號IOSEL<0:7>之邏輯位準係對應於行位址COLUMN_ADDR來判定；及M個連接控制單元344<0:7>，其經組態以回應於該M個連接選擇信號IOSEL<0:7>依N位元為基礎將除了自 $\{M \times N\}$ 個正常資料線LIO_O0<0:7>、LIO_O1<0:7>、LIO_O2<0:7>、LIO_O3<0:7>、LIO_O4<0:7>、LIO_O5<0:7>、LIO_O6<0:7>及LIO_O7<0:7>當中所選擇之0至 $\{K \times N\}$ 個修復目標正常資料線以外的正常資料線，及選自 $\{K \times N\}$ 個冗餘資料線RIO<0>、RIO<1>、RIO<2>、RIO<3>、RIO<4>、RIO<5>、RIO<6>及RIO<7>當中的0至

{K×N} 個冗餘資料線分別連接至 {M×N} 個局域資料線 BIO_0<0:7>、BIO_1<0:7>、BIO_2<0:7>、BIO_3<0:7>、BIO_4<0:7>、BIO_5<0:7>、BIO_6<0:7>及 BIO_7<0:7>。

M個連接控制單元 344<0:7>經組態以使得 {M×N} 個正常資料線 LIO_O0<0:7>、LIO_O1<0:7>、LIO_O2<0:7>、LIO_O3<0:7>、LIO_O4<0:7>、LIO_O5<0:7>、LIO_O6<0:7>及 LIO_O7<0:7>依 N 位元為基礎分別連接至 M 個第一輸入端子，{K×N} 個冗餘資料線 RIO<0>、RIO<1>、RIO<2>、RIO<3>、RIO<4>、RIO<5>、RIO<6>及 RIO<7>依 N 位元為基礎分別連接至 M 個第二輸入端子，其中 {M×K} 個第二輸入端子共用一冗餘資料線，{M×N} 個局域資料線 BIO_0<0:7>、BIO_1<0:7>、BIO_2<0:7>、BIO_3<0:7>、BIO_4<0:7>、BIO_5<0:7>、BIO_6<0:7>及 BIO_7<0:7>依 N 位元為基礎分別連接至 M 個輸出端子，回應於 M 個連接選擇信號 IOSEL<0:7>而將 M 個輸出端子當中之 0 至 K 個輸出端子依 N 位元為基礎連接至第二輸入端子，且其他輸出端子依 N 位元為基礎連接至第一輸入端子。舉例而言，當在連接控制單元 344<0:7>中僅啟動連接選擇信號 IOSEL<0:7>當中之第三信號 IOSEL<3>時，所有其他連接選擇信號 IOSEL<0:2>及 IOSEL<4:7>經撤銷啟動。因此，第二輸入端子與輸出端子僅在連接控制單元 344<0:7>當中之第三連接控制單元 344<3>中連接，使得冗餘資料線 RIO<0>、RIO<1>、RIO<2>、RIO<3>、RIO<4>、RIO<5>、RIO<6>及 RIO<7>基於 8 位元連接至第三局域資料線 BIO_3<0:7>。

又，第一輸入端子與輸出端子在其他第零至第二連接控制單元 344<0:2>及第四至第七連接控制單元 344<4:7>中連接，使得第零至第二正常資料線 LIO_O0<0:7>、LIO_O1<0:7>及 LIO_O2<0:7>以及第四至第七正常資料線 LIO_O4<0:7>、LIO_O5<0:7>、LIO_O6<0:7>及 LIO_O7<0:7>基於 8 位元分別連接至第零至第二局域資料線 BIO_0<0:7>、BIO_1<0:7>及 BIO_2<0:7>以及第四至第七局域資料線 BIO_4<0:7>、BIO_5<0:7>、BIO_6<0:7>及 BIO_7<0:7>。

一壓縮測試操作單元 310 分別連接至 $\{M \times N\}$ 個局域資料線 BIO_0<0:7>、BIO_1<0:7>、BIO_2<0:7>、BIO_3<0:7>、BIO_4<0:7>、BIO_5<0:7>、BIO_6<0:7>及 BIO_7<0:7>以並行地壓縮地測試局域資料線之資料。

此外， $\{M \times N\}$ 個正常資料鎖存單元 330 分別連接至 $\{M \times N\}$ 個正常資料線 LIO_O0<0:7>、LIO_O1<0:7>、LIO_O2<0:7>、LIO_O3<0:7>、LIO_O4<0:7>、LIO_O5<0:7>、LIO_O6<0:7>及 LIO_O7<0:7>，以鎖存在對應於行位址 COLUMN_ADDR 之輸入循環之第一時間週期期間載運於正常資料線 LIO_O0<0:7>、LIO_O1<0:7>、LIO_O2<0:7>、LIO_O3<0:7>、LIO_O4<0:7>、LIO_O5<0:7>、LIO_O6<0:7>及 LIO_O7<0:7>中之資料，該第一時間週期係藉由自比行位址之輸入時間點晚的一預定時間點計數時脈來判定。 $\{K \times N\}$ 個冗餘資料鎖存單元 350 分別連接至 $\{K \times N\}$ 個冗餘資料線 RIO<0>、RIO<1>、RIO<2>、RIO<3>、RIO<4>、

RIO<5>、RIO<6>及RIO<7>，以鎖存在第一時間週期期間載運於冗餘資料線RIO<0>中之資料。

在本文中，「M」為一自然數且為「K」之至少兩倍。在圖4之組態中，「M」為8且「K」為1。又，「N」為半導體記憶體裝置之資料輸入/輸出頻寬之大小。在圖4之組態中，「N」為8。

使用變數「M」、「K」及「N」來描述根據本發明之一例示性實施例的半導體記憶體裝置之記憶體胞行修復電路的原因為：變數「M」、「K」及「N」亦可適用於根據本發明之另一例示性實施例的圖2B及圖2D中所說明之半導體記憶體裝置之記憶體胞行修復電路中。亦即，根據本發明之另一例示性實施例的圖2B及圖2D中所說明之半導體記憶體裝置之記憶體胞行修復電路可經組態以具有為8之值「M」，為2之值「K」，及為8之值「N」，如圖4中所說明。

圖5為說明根據本發明之一例示性實施例的圖3及圖4中所說明之半導體記憶體裝置之一記憶體胞行修復電路的操作的時序圖。

參看圖5，根據本發明之一例示性實施例的半導體記憶體裝置之記憶體胞行修復電路經由回應於行位址COLUMN_ADDR判定連接選擇信號IOSEL<0:7>之邏輯位準為邏輯「高」或邏輯「低」的操作而開始操作。在本文中，連接選擇信號IOSEL<0:7>維持其邏輯位準「高」或「低」的第一時間週期對應於行位址COLUMN_ADDR之輸入循環。舉例而言，若每四個時脈循環(4tck)輸入一次行

位址 COLUMN_ADDR，則亦每四個時脈循環(4tck)判定一次連接選擇信號 IOSEL<0:7>之邏輯位準。

獨立於回應於行位址 COLUMN_ADDR 判定連接選擇信號 IOSEL<0:7>之邏輯位準的操作，在自比行位址 COLUMN_ADDR 之輸入時間點晚的某一時間點的第二時間週期期間啟動第一選通信號 RD STROBE1，以操作正常資料輸入/輸出單元 300 及冗餘資料輸入/輸出單元 320。亦即，在行位址 COLUMN_ADDR 之每一輸入循環處之第二時間週期期間啟動第一選通信號 RD STROBE1，其中第二時間週期比第一時間週期短，且係藉由自比行位址 COLUMN_ADDR 之輸入時間點晚的某一時間點計數時脈來判定。舉例而言，當在施加行位址 COLUMN_ADDR 之後一個時脈循環 1tck 消逝時，第一選通信號 RD STROBE1 自一撤銷啟動狀態改變成一啟動狀態。其後，第一選通信號 RD STROBE1 在兩個時脈循環 2tck 期間維持一啟動狀態，且接著改變成一撤銷啟動狀態。

因此，如圖 5 中所說明，在判定連接選擇信號 IOSEL<0:7>之邏輯位準之後，第一選通信號 RD STROBE1 以一充分邊限維持一啟動狀態，且連接選擇信號 IOSEL<0:7>之邏輯位準在一撤銷啟動狀態之後以一充分邊限改變。因此，正常資料輸入/輸出單元 300 及冗餘資料輸入/輸出單元 320 可始終以一穩定邊限操作。

獨立於回應於行位址 COLUMN_ADDR 判定連接選擇信號 IOSEL<0:7>之邏輯位準的操作，在自比行位址

COLUMN_ADDR之輸入時間點晚的某一時間點的第二時間週期期間啟動第二選通信號RD STROBE2，以操作局域資料輸入/輸出單元360。在本文中，第二選通信號RD STROBE2在第二時間週期期間在與第一選通信號RD STROBE1相同的時間點處啟動，或在比第一選通信號RD STROBE1晚的時間點處啟動。亦即，在行位址COLUMN_ADDR之每一輸入循環處之第二時間週期期間啟動第二選通信號RD STROBE2，其中第二選通信號RD STROBE2之啟動時間點與第一選通信號RD STROBE1之啟動時間點等同或比第一選通信號RD STROBE1之啟動時間點晚。舉例而言，當在施加行位址COLUMN_ADDR之後一個時脈循環1tck消逝時，第二選通信號RD STROBE2自一撤銷啟動狀態改變成一啟動狀態。其後，第二選通信號RD STROBE2在兩個時脈循環2tck期間維持一啟動狀態，且接著改變成一撤銷啟動狀態。

因此，如圖5中所說明，在判定連接選擇信號IOSEL<0:7>之邏輯位準之後，第二選通信號RD STROBE2以一充分邊限維持一啟動狀態，且連接選擇信號IOSEL<0:7>之邏輯位準在一撤銷啟動狀態之後以一充分邊限改變。因此，局域資料輸入/輸出單元360可始終以一穩定邊限操作。又，因為第一選通信號RD STROBE1之啟動週期與第二選通信號RD STROBE2之啟動週期等同或比第二選通信號RD STROBE2之啟動週期晚，所以正常資料輸入/輸出單元300、冗餘資料輸入/輸出單元320及局域資料

輸入/輸出單元360可協調地操作。

圖6為說明根據本發明之一例示性實施例的用於產生一連接選擇信號之電路的電路圖，該連接選擇信號係用於控制圖3及圖4中所說明之半導體記憶體裝置之一記憶體胞行修復電路的操作。

參看圖6，連接選擇信號產生單元342包括：複數個記憶體胞區塊選擇單元3422L<0:7>及3422R<0:7>，該複數個記憶體胞區塊選擇單元3422L<0:7>及3422R<0:7>經組態以在正常記憶體胞區塊O0、O1、O2、O3、O4、O5、O6及O7當中分別選擇對應於包括於冗餘記憶體胞區塊R1中之複數個冗餘記憶體胞線RSYIL<0:7>及RSYIR<0:7>的複數個修復目標正常記憶體胞區塊；複數個記憶體胞線選擇單元3424L<0:7>及3424R<0:7>，該複數個記憶體胞線選擇單元3424L<0:7>及3424R<0:7>經組態以比較行位址COLUMN_ADDR與修復目標行位址COLUMN_ADDR，且根據比較結果在包括於正常記憶體胞區塊O0、O1、O2、O3、O4、O5、O6及O7中之每一者中的複數個正常記憶體胞線NSYI<0:L>當中分別選擇對應於包括於冗餘記憶體胞區塊R1中之複數個冗餘記憶體胞線RSYIL<0:7>及RSYIR<0:7>的複數個修復目標正常記憶體胞線；及複數個連接選擇信號輸出單元3426L<0:7>及3426R<0:7>，該複數個連接選擇信號輸出單元3426L<0:7>及3426R<0:7>經組態以回應於記憶體胞線選擇單元3424L<0:7>及3424R<0:7>之輸出信號SYEBL<0>、SYEBL<1>、SYEBL<2>、SYEBL<3>、

SYEBL<4>、SYEBL<5>、SYEBL<6>、SYEBL<7>、SYEBR<0>、SYEBR<1>、SYEBR<2>、SYEBR<3>、SYEBR<4>、SYEBR<5>、SYEBR<6>及SYEBR<7>且回應於記憶體胞區塊選擇單元3422L<0:7>及3422R<0:7>之輸出信號FL0<0:2>、FL1<0:2>、FL2<0:2>、FL3<0:2>、FL4<0:2>、FL5<0:2>、FL6<0:2>、FL7<0:2>、FR0<0:2>、FR1<0:2>、FR2<0:2>、FR3<0:2>、FR4<0:2>、FR5<0:2>、FR6<0:2>及FR7<0:2>而分別判定連接選擇信號IOSEL<0:7>之邏輯位準。

在連接選擇信號產生單元342之組態當中，記憶體胞線選擇單元3424L<0:7>及3424R<0:7>之組態使用一熔斷器選擇方法，如圖7中所說明。亦即，切斷抑或不切斷包括於記憶體胞線選擇單元3424L<0:7>及3424R<0:7>中之位址熔斷器ADDRESS FUSE<3:9>係預定的，以判定藉由冗餘記憶體胞線RSYIL<0:7>及RSYIR<0:7>修復正常記憶體胞線NSYI<0:L>中之哪一者。

在連接選擇信號產生單元340之組態當中，使用記憶體胞區塊選擇單元3422L<0:7>及3422R<0:7>來判定經由熔斷器選擇藉由冗餘記憶體胞線RSYIL<0:7>及RSYIR<0:7>修復正常記憶體胞區塊O0、O1、O2、O3、O4、O5、O6及O7中之哪一者之正常記憶體胞線。參看圖8，可見，當啟動一供電信號PWRUP時，輸出信號FL<0:7>及FR<0:7>之值直接經由熔斷器選擇判定。在本文中，藉由冗餘記憶體胞線RSYIL<0:7>及RSYIR<0:7>所修復之正常記憶體胞區

塊之類型可彼此重疊。舉例而言，可使用所有冗餘記憶體胞線 RSYIL<0:7>及 RSYIR<0:7>來修復僅一個正常記憶體胞區塊。

參看圖 9，連接選擇信號輸出單元 3426L<0:7>及 3426R<0:7>藉由混合由記憶體胞區塊選擇單元 3422L<0:7>及 3422R<0:7>之操作所引起之修復目標正常記憶體胞區塊資訊與由記憶體胞線選擇單元 3424L<0:7>及 3424R<0:7>之操作所引起之修復目標正常記憶體胞線資訊來產生用於直接控制冗餘記憶體胞線 RSYIL<0:7>及 RSYIR<0:7>的連接選擇信號 IOSEL<0:7>。

如上文所描述，根據本發明之例示性實施例，除了正常行記憶體胞區塊之外，亦單獨地提供僅具有冗餘記憶體胞線之冗餘記憶體胞區塊，使得所有正常行記憶體胞區塊可共用該冗餘行記憶體胞區塊以執行一冗餘運算。亦即，行記憶體胞區塊可共用冗餘行記憶體胞線。因此，行修復效率可得以顯著地改良。

又，因為無需在每一正常行記憶體胞區塊中包括冗餘行記憶體胞線，所以有可能防止半導體記憶體裝置之佔據面積的增加。

根據本發明之例示性實施例之良率增加高達 92%(在習知方法中為 80%)，且根據本發明之例示性實施例所獲取之晶粒的數目增加至 1464(在習知方法中為 1353)。

儘管已關於特定實施例描述了本發明，但熟習此項技術者將顯而易見，在不脫離如以下申請專利範圍中所界定之

本發明之精神及範疇的情況下，可進行各種改變及修改。

【圖式簡單說明】

圖1為說明用於執行一習知有缺陷記憶體胞行修復方法之習知半導體記憶體裝置之方塊圖；

圖2A為說明根據本發明之一例示性實施例的用於執行一有缺陷記憶體胞行修復方法之記憶體庫的方塊圖；

圖2B為說明根據本發明之另一例示性實施例的用於執行一有缺陷記憶體胞行修復方法之記憶體庫的方塊圖；

圖2C為根據本發明之一例示性實施例的用於執行一有缺陷記憶體胞行修復方法之半導體記憶體裝置的方塊圖；

圖2D為根據本發明之另一例示性實施例的用於執行一有缺陷記憶體胞行修復方法之半導體記憶體裝置的方塊圖；

圖3為說明根據本發明之一例示性實施例的圖2A中所說明之半導體記憶體裝置之一記憶體胞行修復電路的電路圖；

圖4為說明根據本發明之一例示性實施例的圖2A中所說明之半導體記憶體裝置之一記憶體胞行修復電路的方塊圖；

圖5為說明根據本發明之一例示性實施例的圖3及圖4中所說明之半導體記憶體裝置之一記憶體胞行修復電路的操作的時序圖；

圖6為說明根據本發明之一例示性實施例的用於產生一連接選擇信號之電路的電路圖，該連接選擇信號係用於控制圖3及圖4中所說明之半導體記憶體裝置之一記憶體胞行

修復電路的操作；

圖7為說明圖6中所說明之連接選擇信號產生電路之一記憶體胞線選擇單元的電路圖；

圖8為說明圖6中所說明之連接選擇信號產生電路之一記憶體胞區塊選擇單元的電路圖；及

圖9為說明圖6中所說明之連接選擇信號產生電路之一連接選擇信號輸出單元的電路圖。

【主要元件符號說明】

0NSYI	正常行記憶體胞線
1NSYI	正常行記憶體胞線
2NSYI	正常行記憶體胞線
3NSYI	正常行記憶體胞線
4NSYI	正常行記憶體胞線
5NSYI	正常行記憶體胞線
6NSYI	正常行記憶體胞線
7NSYI	正常行記憶體胞線
0RSYI	冗餘行記憶體胞線
1RSYI	冗餘行記憶體胞線
2RSYI	冗餘行記憶體胞線
3RSYI	冗餘行記憶體胞線
4RSYI	冗餘行記憶體胞線
5RSYI	冗餘行記憶體胞線
6RSYI	冗餘行記憶體胞線
7RSYI	冗餘行記憶體胞線

300	正常資料輸入/輸出單元
310	壓縮測試操作單元
320	冗餘資料輸入/輸出單元
330	正常資料鎖存單元
340	連接選擇單元
342	連接選擇信號產生單元
344<0>	第零連接控制單元
344<1>	第一連接控制單元
344<2>	第二連接控制單元
344<3>	第三連接控制單元
344<4>	第四連接控制單元
344<5>	第五連接控制單元
344<6>	第六連接控制單元
344<7>	第七連接控制單元
350	冗餘資料鎖存單元
360	局域資料輸入/輸出單元
3422L<0:7>	記憶體胞區塊選擇單元
3422R<0:7>	記憶體胞區塊選擇單元
3424L<0:7>	記憶體胞線選擇單元
3424R<0:7>	記憶體胞線選擇單元
3426L<0:7>	連接選擇信號輸出單元
3426R<0:7>	連接選擇信號輸出單元
B0	記憶體庫
B0_RIO<0:7>	冗餘輸入/輸出線

B0_RIO1<0:3>	冗餘輸入/輸出線
B0_RIO2<0:3>	冗餘輸入/輸出線
B1	記憶體庫
B1_RIO<0:7>	冗餘輸入/輸出線
B1_RIO1<0:3>	冗餘輸入/輸出線
B1_RIO2<0:3>	冗餘輸入/輸出線
B2	記憶體庫
B2_RIO<0:7>	冗餘輸入/輸出線
B2_RIO1<0:3>	冗餘輸入/輸出線
B2_RIO2<0:3>	冗餘輸入/輸出線
B3	記憶體庫
B3_RIO<0:7>	冗餘輸入/輸出線
B3_RIO1<0:3>	冗餘輸入/輸出線
B3_RIO2<0:3>	冗餘輸入/輸出線
B4	記憶體庫
B4_RIO<0:7>	冗餘輸入/輸出線
B4_RIO1<0:3>	冗餘輸入/輸出線
B4_RIO2<0:3>	冗餘輸入/輸出線
B5	記憶體庫
B5_RIO<0:7>	冗餘輸入/輸出線
B5_RIO1<0:3>	冗餘輸入/輸出線
B5_RIO2<0:3>	冗餘輸入/輸出線
B6	記憶體庫
B6_RIO<0:7>	冗餘輸入/輸出線

B6_RIO1<0:3>	冗餘輸入/輸出線
B6_RIO2<0:3>	冗餘輸入/輸出線
B7	記憶體庫
B7_RIO<0:7>	冗餘輸入/輸出線
B7_RIO1<0:3>	冗餘輸入/輸出線
B7_RIO2<0:3>	冗餘輸入/輸出線
BIO_0<0>	第零局域資料線
BIO_1<0>	第一局域資料線
BIO_2<0>	第二局域資料線
BIO_3<0>	第三局域資料線
BIO_4<0>	第四局域資料線
BIO_5<0>	第五局域資料線
BIO_6<0>	第六局域資料線
BIO_7<0>	第七局域資料線
COLUMN_ADDR	行位址/修復目標行位址
COMMON_RSYI	冗餘行記憶體胞線
COMMON_RSYI1	冗餘行記憶體胞線
COMMON_RSYI2	冗餘行記憶體胞線
FL0<0:2>	輸出信號
FL1<0:2>	輸出信號
FL2<0:2>	輸出信號
FL3<0:2>	輸出信號
FL4<0:2>	輸出信號
FL5<0:2>	輸出信號

FL6<0:2>	輸出信號
FL7<0:2>	輸出信號
FR0<0:2>	輸出信號
FR1<0:2>	輸出信號
FR2<0:2>	輸出信號
FR3<0:2>	輸出信號
FR4<0:2>	輸出信號
FR5<0:2>	輸出信號
FR6<0:2>	輸出信號
FR7<0:2>	輸出信號
GIO_0<0>	全域資料線
GIO_1<0>	全域資料線
GIO_2<0>	全域資料線
GIO_3<0>	全域資料線
GIO_4<0>	全域資料線
GIO_5<0>	全域資料線
GIO_6<0>	全域資料線
GIO_7<0>	全域資料線
GIO_O0<0:7>	全域資料輸入/輸出線
GIO_O1<0:7>	全域資料輸入/輸出線
GIO_O2<0:7>	全域資料輸入/輸出線
GIO_O3<0:7>	全域資料輸入/輸出線
GIO_O4<0:7>	全域資料輸入/輸出線
GIO_O5<0:7>	全域資料輸入/輸出線

GIO_O6<0:7>	全域資料輸入/輸出線
GIO_O7<0:7>	全域資料輸入/輸出線
IOSEL<0:7>	連接選擇信號
LIO_O0<0>	第零正常資料線
LIO_O1<0>	第一正常資料線
LIO_O2<0>	第二正常資料線
LIO_O3<0>	第三正常資料線
LIO_O4<0>	第四正常資料線
LIO_O5<0>	第五正常資料線
LIO_O6<0>	第六正常資料線
LIO_O7<0>	第七正常資料線
NSYI<0:L>	正常記憶體胞線
O0	行記憶體胞區塊
O1	行記憶體胞區塊
O2	行記憶體胞區塊
O3	行記憶體胞區塊
O4	行記憶體胞區塊
O5	行記憶體胞區塊
O6	行記憶體胞區塊
O7	行記憶體胞區塊
PWRUP	供電信號
✓ R1	冗餘記憶體胞區塊
R2	冗餘記憶體胞區塊
RD STROBE1	第一輸入/輸出選通信號

RD STROBE2	第二輸入/輸出選通信號
RIO<0>	冗餘資料線
RIO<1>	冗餘資料線
RIO<2>	冗餘資料線
RIO<3>	冗餘資料線
RIO<4>	冗餘資料線
RIO<5>	冗餘資料線
RIO<6>	冗餘資料線
RIO<7>	冗餘資料線
RSYIL<0:7>	冗餘記憶體胞線
RSYIR<0:7>	冗餘記憶體胞線
SYEBL<0>	輸出信號
SYEBL<1>	輸出信號
SYEBL<2>	輸出信號
SYEBL<3>	輸出信號
SYEBL<4>	輸出信號
SYEBL<5>	輸出信號
SYEBL<6>	輸出信號
SYEBL<7>	輸出信號
SYEBR<0>	輸出信號
SYEBR<1>	輸出信號
SYEBR<2>	輸出信號
SYEBR<3>	輸出信號
SYEBR<4>	輸出信號

SYEBR<5>	輸 出 信 號
SYEBR<6>	輸 出 信 號
SYEBR<7>	輸 出 信 號
WT STROBE1	第 一 輸 入 / 輸 出 選 通 信 號
WT STROBE2	第 二 輸 入 / 輸 出 選 通 信 號

七、申請專利範圍：

1. 一種半導體記憶體裝置，其具有包括一冗餘記憶體胞區塊及複數個正常記憶體胞區塊之一記憶體庫，該半導體記憶體裝置包含：

複數個正常資料輸入/輸出單元，該複數個正常資料輸入/輸出單元經組態以回應於一第一輸入/輸出選通信號而分別輸入/輸出來自該等正常記憶體胞區塊之資料；

一冗餘資料輸入/輸出單元，其經組態以回應於該第一輸入/輸出選通信號而輸入/輸出來自該冗餘記憶體胞區塊之資料；

一連接選擇單元，其經組態以回應於一位址而將該等正常資料輸入/輸出單元及該冗餘資料輸入/輸出單元選擇性地連接至複數個局域資料線；

一壓縮測試操作單元，該壓縮測試操作單元分別連接至該等局域資料線以並行地壓縮地測試該等局域資料線之該資料。

2. 如請求項 1 之半導體記憶體裝置，其進一步包含複數個局域資料輸入/輸出單元，該複數個局域資料輸入/輸出單元經組態以回應於一第二輸入/輸出選通信號而分別輸入/輸出在該等局域資料線與複數個全域資料線之間的資料。
3. 如請求項 2 之半導體記憶體裝置，其中該等正常資料輸入/輸出單元回應於該第一輸入/輸出選通信號而輸入/輸出在該等正常記憶體胞區塊與複數個正常資料線之間的

資料。

4. 如請求項3之半導體記憶體裝置，其中該冗餘資料輸入/輸出單元回應於該第一輸入/輸出選通信號而輸入/輸出在該冗餘記憶體胞區塊與一冗餘資料線之間的資料。
5. 如請求項4之半導體記憶體裝置，其中該連接選擇單元回應於該位址而自該等正常資料線當中選擇一修復目標正常資料線，且將除了該修復目標正常資料線以外之該等正常資料線及該冗餘資料線分別連接至該等局域資料線。
6. 如請求項5之半導體記憶體裝置，其中該連接選擇單元包含：

一連接選擇信號產生單元，其經組態以產生具有根據該位址之邏輯位準的複數個連接選擇信號；及

複數個連接控制單元，該複數個連接控制單元經組態以回應於該等連接選擇信號將該冗餘資料線及該等正常資料線中之任一者分別連接至該等局域資料線。

7. 如請求項6之半導體記憶體裝置，其中該連接選擇信號產生單元包含：

複數個記憶體胞區塊選擇單元，該複數個記憶體胞區塊選擇單元經組態以自該等正常記憶體胞區塊當中分別選擇對應於包括於該冗餘記憶體胞區塊中之複數個冗餘記憶體胞線的複數個修復目標正常記憶體胞區塊；

複數個記憶體胞線選擇單元，該複數個記憶體胞線選擇單元經組態以比較該位址與一修復目標位址，且根據該

等比較結果自包括於該等正常記憶體胞區塊中之每一者中的複數個正常記憶體胞線當中分別選擇對應於包括於該冗餘記憶體胞區塊中之複數個冗餘記憶體胞線的複數個修復目標正常記憶體胞線；及

複數個連接選擇信號輸出單元，該複數個連接選擇信號輸出單元經組態以回應於該等記憶體胞線選擇單元及該等記憶體胞區塊選擇單元之輸出信號而分別判定該等連接選擇信號之該等邏輯位準。

8. 如請求項6之半導體記憶體裝置，其中該等連接控制單元包含：

複數個第一輸入端子，該複數個第一輸入端子分別連接至該等正常線；

複數個第二輸入端子，該複數個第二輸入端子共同連接至該冗餘資料線；及

複數個輸出端子，該複數個輸出端子分別連接至該等局域資料線，

其中回應於該等連接選擇信號中之每一者而將該等輸出端子中之任一者連接至該各別第二輸入端子，且該等其他輸出端子連接至該第一輸入端子。

9. 如請求項5之半導體記憶體裝置，其進一步包含：

複數個正常資料鎖存單元，該複數個正常資料鎖存單元分別連接至該等正常資料線以鎖存在對應於該位址之輸入循環之一第一時間週期期間載運於該等正常資料線中的資料，該第一時間週期係藉由自比該位址之輸入時

間點晚的一時間點計數時脈來判定；及

一冗餘資料鎖存單元，其連接至該冗餘資料線以鎖存在該第一時間週期期間載運於該冗餘資料線中之資料。

10. 如請求項9之半導體記憶體裝置，其中

在該位址之每一輸入循環中之一第二時間週期期間啟動該第一選通信號以操作該等正常資料輸入/輸出單元及該冗餘資料輸入/輸出單元，該第二時間週期比該第一時間週期短且係藉由自比該位址之該輸入時間點晚的一時間點計數時脈來判定；且

在該位址之每一輸入循環中之該第二時間週期期間在與該第一選通信號相同的時間點處，或在比該第一選通信號晚的時間點處，啟動該第二選通信號以操作該等局域資料輸入/輸出單元。

11. 一種半導體記憶體裝置，其具有K個冗餘記憶體胞區塊及M個正常記憶體胞區塊，M為一自然數且為K之至少兩倍，該半導體記憶體裝置包含：

M個正常資料輸入/輸出單元，該M個正常資料輸入/輸出單元經組態以回應於一第一輸入/輸出選通信號而分別輸入/輸出來自該M個正常記憶體胞區塊之N位元資料；

K個冗餘資料輸入/輸出單元，該K個冗餘資料輸入/輸出單元經組態以回應於該第一輸入/輸出選通信號而輸入/輸出來自該K個冗餘記憶體胞區塊之N位元資料；

一連接選擇單元，其經組態依N位元為基礎以回應於一位址而將該M個正常資料輸入/輸出單元及該K個冗餘

資料輸入/輸出單元選擇性地連接至 $\{M \times N\}$ 個局域資料線；及

一壓縮測試操作單元，該壓縮測試操作單元分別連接至該 $\{M \times N\}$ 個局域資料線以並行地壓縮地測試該等局域資料線之該資料。

12. 如請求項11之半導體記憶體裝置，其進一步包含M個局域資料輸入/輸出單元，該M個局域資料輸入/輸出單元經組態以回應於一第二輸入/輸出選通信號而分別輸入/輸出在該 $\{M \times N\}$ 個局域資料線與 $\{M \times N\}$ 個全局資料線之間的N位元資料。
13. 如請求項12之半導體記憶體裝置，其中該連接選擇單元依N位元為基礎將 $\{M \div K\}$ 個正常資料輸入/輸出單元及一個冗餘資料輸入/輸出單元選擇性地連接至N個局域資料線。
14. 如請求項13之半導體記憶體裝置，其中該M個正常資料輸入/輸出單元回應於該第一輸入/輸出選通信號而分別輸入/輸出在該M個正常記憶體胞區塊與 $\{M \times N\}$ 個正常資料線之間的N位元資料。
15. 如請求項14之半導體記憶體裝置，其中該K個冗餘資料輸入/輸出單元回應於該第一輸入/輸出選通信號而分別輸入/輸出在該K個冗餘記憶體胞區塊與 $\{K \times N\}$ 個冗餘資料線之間的N位元資料。
16. 如請求項15之半導體記憶體裝置，其中該連接選擇單元回應於該位址自該 $\{M \times N\}$ 個正常資料線當中選擇0至 $\{K \times N\}$ 個修復目標正常資料線，且將除了來自該 $\{M \times N\}$

個正常資料線當中之該修復目標正常資料線以外的 $\{(M-K) \times N\}$ 個正常資料線及來自該 $\{K \times N\}$ 個冗餘資料線當中的對應於該修復目標正常資料線之該冗餘資料線分別連接至該 $\{M \times N\}$ 個局域資料線。

17. 如請求項 16 之半導體記憶體裝置，其中該連接選擇單元包含：

一連接選擇信號產生單元，其經組態以產生具有根據該位址之邏輯位準的 M 個連接選擇信號；及

M 個連接控制單元，該 M 個連接控制單元經組態以回應於該 M 個連接選擇信號依 N 位元為基礎將除了自該 $\{M \times N\}$ 個正常資料線當中所選擇之該 0 至 $\{K \times N\}$ 個修復目標正常資料線以外的正常資料線以及選自該 $\{K \times N\}$ 個冗餘資料線當中的該 0 至 $\{K \times N\}$ 個冗餘資料線分別連接至該 $\{M \times N\}$ 個局域資料線。

18. 如請求項 17 之半導體記憶體裝置，其中該連接選擇信號產生單元包含：

$\{K \times R\}$ 個記憶體胞區塊選擇單元，該 $\{K \times R\}$ 個記憶體胞區塊選擇單元經組態以自該 M 個正常記憶體胞區塊當中分別選擇對應於包括於該 K 個冗餘記憶體胞區塊中之 $\{K \times R\}$ 個冗餘記憶體胞線的 $\{K \times R\}$ 個修復目標正常記憶體胞區塊；

$\{K \times R\}$ 個記憶體胞線選擇單元，該 $\{K \times R\}$ 個記憶體胞線選擇單元經組態以比較該位址與一修復目標位址，且根據該等比較結果自包括於該 M 個正常記憶體胞區塊中的

$\{M \times S\}$ 個正常記憶體胞線當中分別選擇對應於該 $\{K \times R\}$ 個冗餘記憶體胞線的 $\{K \times R\}$ 個修復目標正常記憶體胞線；及

M 個連接選擇信號輸出單元，該 M 個連接選擇信號輸出單元經組態以回應於該 $\{K \times R\}$ 個記憶體胞線選擇單元及該 $\{K \times R\}$ 個記憶體胞區塊選擇單元之輸出信號而分別判定該 M 個連接選擇信號之該等邏輯位準，

其中 R 係對應於一個正常記憶體胞區塊之正常記憶體胞線之數目，S 係對應於一個冗餘記憶體胞區塊之冗餘記憶體胞線之數目。

19. 如請求項 17 之半導體記憶體裝置，其中該 M 個連接控制單元包含：

M 個第一輸入端子，該 M 個第一輸入端子依 N 位元為基礎分別連接至該 $\{M \times N\}$ 個正常資料線；及

M 個第二輸入端子，該 M 個第二輸入端子依 N 位元為基礎分別連接至該 $\{K \times N\}$ 個冗餘資料線，

其中 $\{M \times K\}$ 個第二輸入端子共用一冗餘資料線，該 $\{M \times N\}$ 個局域資料線依 N 位元為基礎分別連接至 M 個輸出端子，且

回應於該 M 個連接選擇信號而自該 M 個輸出端子當中之該 0 至 K 個輸出端子依 N 位元為基礎連接至該第二輸入端子，且該等其他輸出端子依 N 位元為基礎連接至該第一輸入端子。

20. 如請求項 16 之半導體記憶體裝置，其進一步包含：

{M×N}個正常資料鎖存單元，該{M×N}個正常資料鎖存單元分別連接至該{M×N}個正常資料線以鎖存在對應於該位址之輸入循環之一第一時間週期期間載運於該等正常資料線中的資料，該第一時間週期係藉由自比該位址之輸入時間點晚的一時間點計數時脈來判定；及

{K×N}個冗餘資料鎖存單元，該{K×N}個冗餘資料鎖存單元分別連接至該{K×N}個冗餘資料線以鎖存在該第一時間週期期間載運於該等冗餘資料線中之資料。

21. 如請求項20之半導體記憶體裝置，其中

在該位址之每一輸入循環中之一第二時間週期期間啟動該第一選通信號以操作該{M×N}個正常資料輸入/輸出單元及該{K×N}個冗餘資料輸入/輸出單元，該第二時間週期比該第一時間週期短且係藉由自比該位址之該輸入時間點晚的一時間點計數時脈來判定；且

在該位址之每一輸入循環中之該第二時間週期期間在與該第一選通信號相同的時間點處，或在比該第一選通信號晚的時間點處，啟動該第二選通信號以操作該{M×N}個局域資料輸入/輸出單元。

22. 一種半導體記憶體裝置，其具有包括複數個冗餘記憶體胞區塊及複數個正常記憶體胞區塊群組之一記憶體庫，每一正常記憶體胞區塊群組包括多個正常記憶體胞區塊，該半導體記憶體裝置包含：

複數個正常資料輸入/輸出群組，該複數個正常資料輸入/輸出群組經組態以回應於一第一輸入/輸出選通信號

而分別輸入/輸出來自該等正常記憶體胞區塊群組之資料；

複數個冗餘資料輸入/輸出單元，該複數個冗餘資料輸入/輸出單元經組態以回應於該第一輸入/輸出選通信號而輸入/輸出來自該等冗餘記憶體胞區塊之資料；

一連接選擇單元，其經組態以回應於一位址而將該等正常資料輸入/輸出群組及該等冗餘資料輸入/輸出單元選擇性地連接至複數個局域資料線群組，其中該等局域資料線群組中之每一者包括預定數目個局域資料線；及

一壓縮測試操作單元，該壓縮測試操作單元分別連接至包括於該等局域資料線群組中之每一者中的多個局域資料線以並行地壓縮地測試該等局域資料線之該資料。

23. 如請求項22之半導體記憶體裝置，其進一步包含複數個局域資料輸入/輸出群組，該複數個局域資料輸入/輸出群組經組態以回應於一第二輸入/輸出選通信號而分別輸入/輸出在該等局域資料線群組與複數個全域資料線群組之間的資料，其中該等全域資料線群組中之每一者包括多個全域資料線。

24. 如請求項23之半導體記憶體裝置，其中該等正常資料輸入/輸出群組中之每一者包括多個正常資料輸入/輸出單元，該等正常資料輸入/輸出單元經組態以輸入/輸出來自包括於該正常記憶體胞區塊群組中之每一者中的多個正常記憶體胞區塊之資料。

25. 如請求項24之半導體記憶體裝置，其中該連接選擇單元

回應於該位址而將該等冗餘資料輸入/輸出單元中之任一者及包括於該等正常資料輸入/輸出群組中之任一者中的多個正常資料輸入/輸出單元選擇性地連接至包括於該等局域資料線群組中之任一者中的多個局域資料線。

26. 如請求項23之半導體記憶體裝置，其中

在該位址之每一輸入循環中之一第二時間週期期間啟動該第一選通信號以操作該等正常資料輸入/輸出群組及該等冗餘資料輸入/輸出單元，該第二時間週期比該第一時間週期短且係藉由自比該位址之輸入時間點晚的一時間點計數時脈來判定；且

在該位址之每一輸入循環中之該第二時間週期期間在與該第一選通信號相同的時間點處，或在比該第一選通信號晚的時間點處，啟動該第二選通信號以操作該等局域資料輸入/輸出群組。

八、圖式：

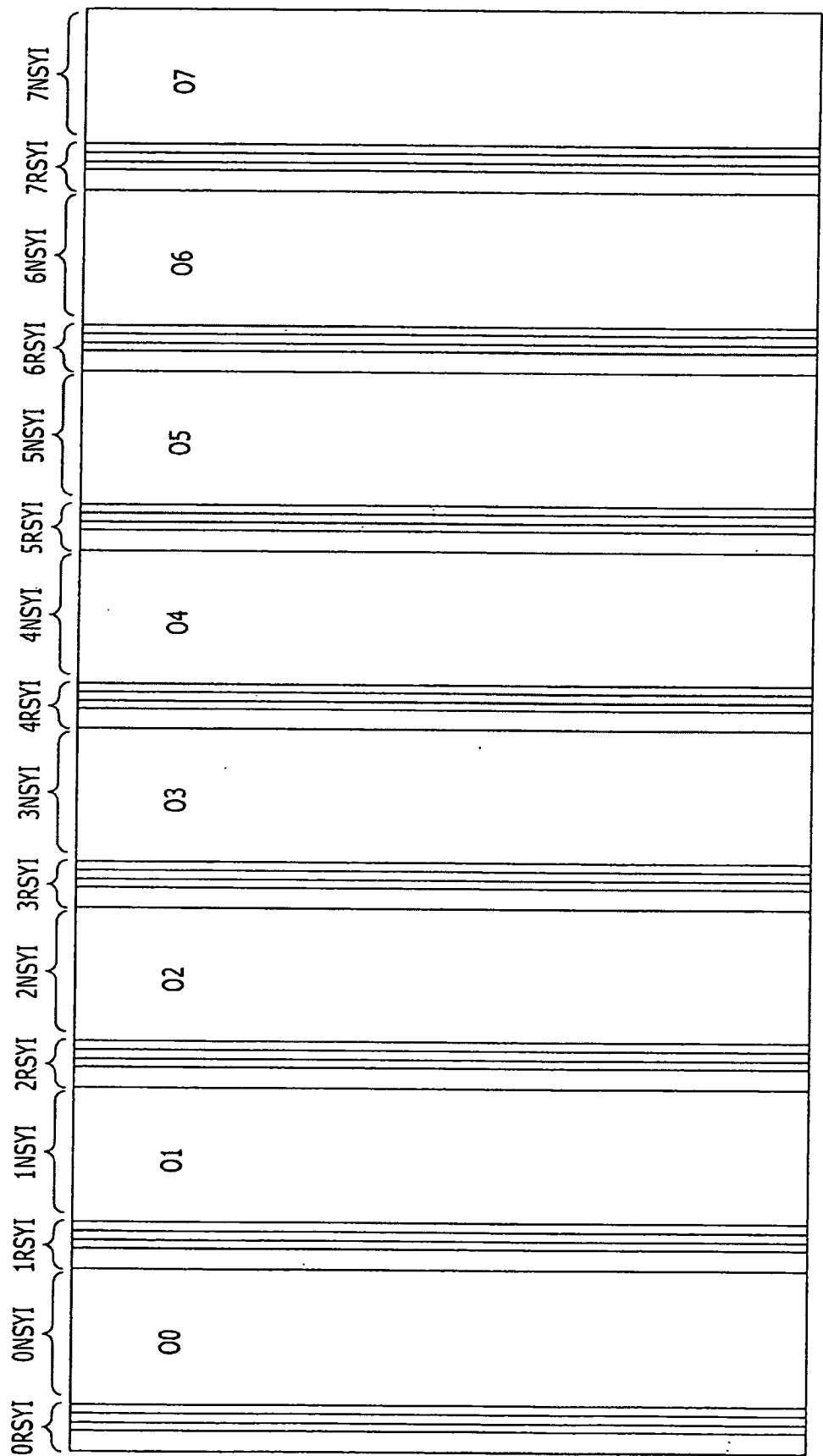


圖 1

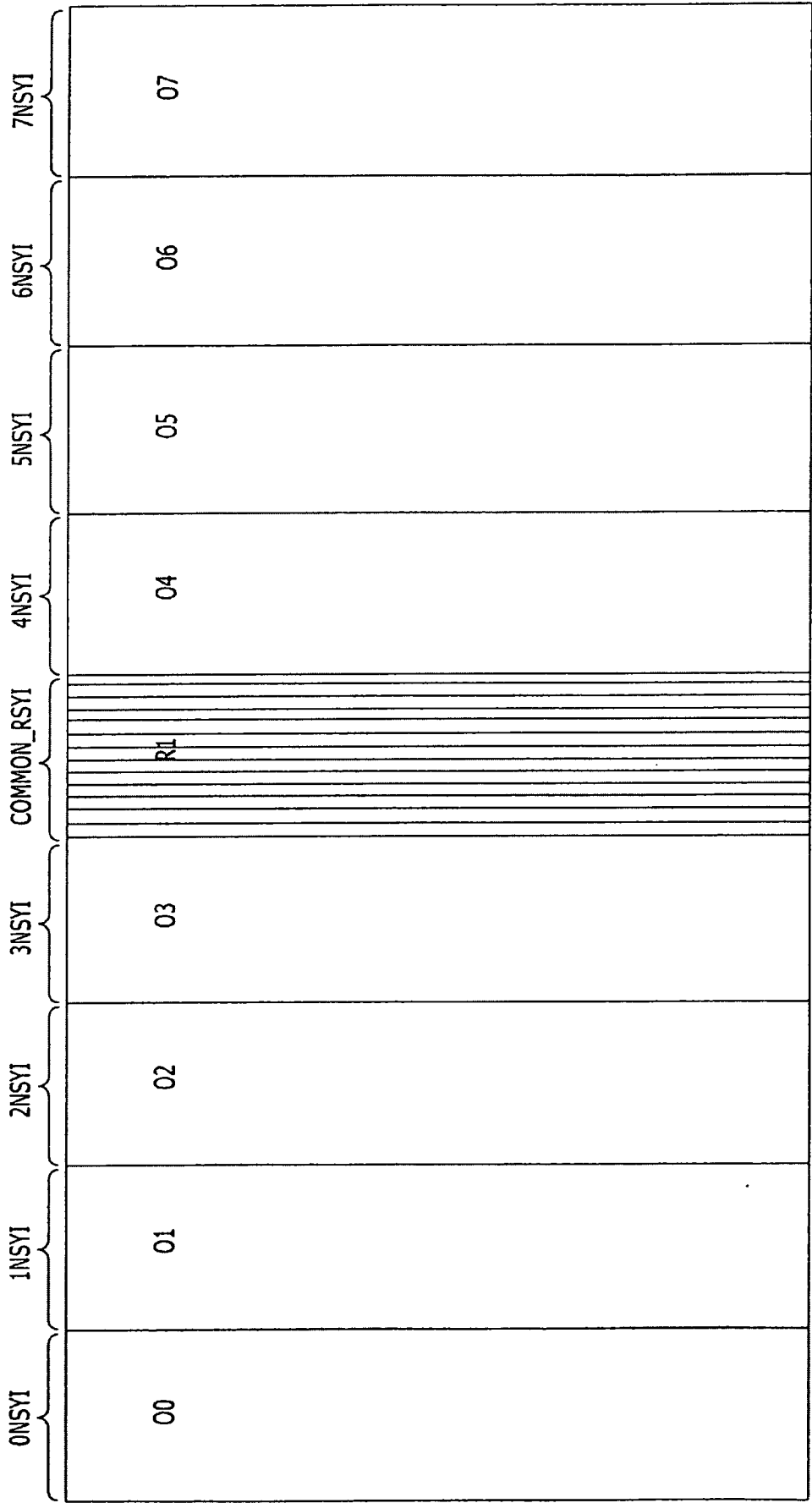


圖 2A

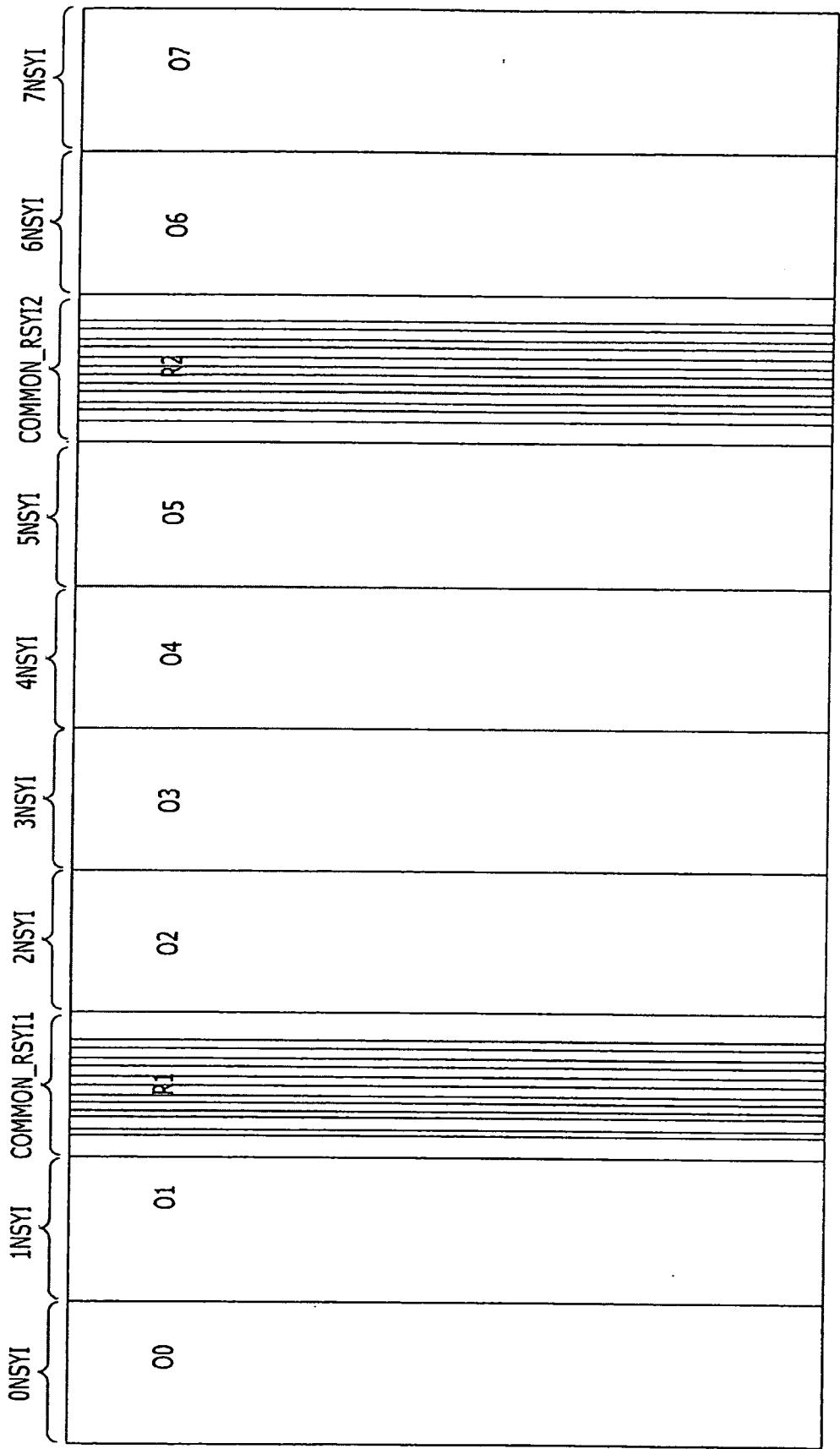


圖 2B

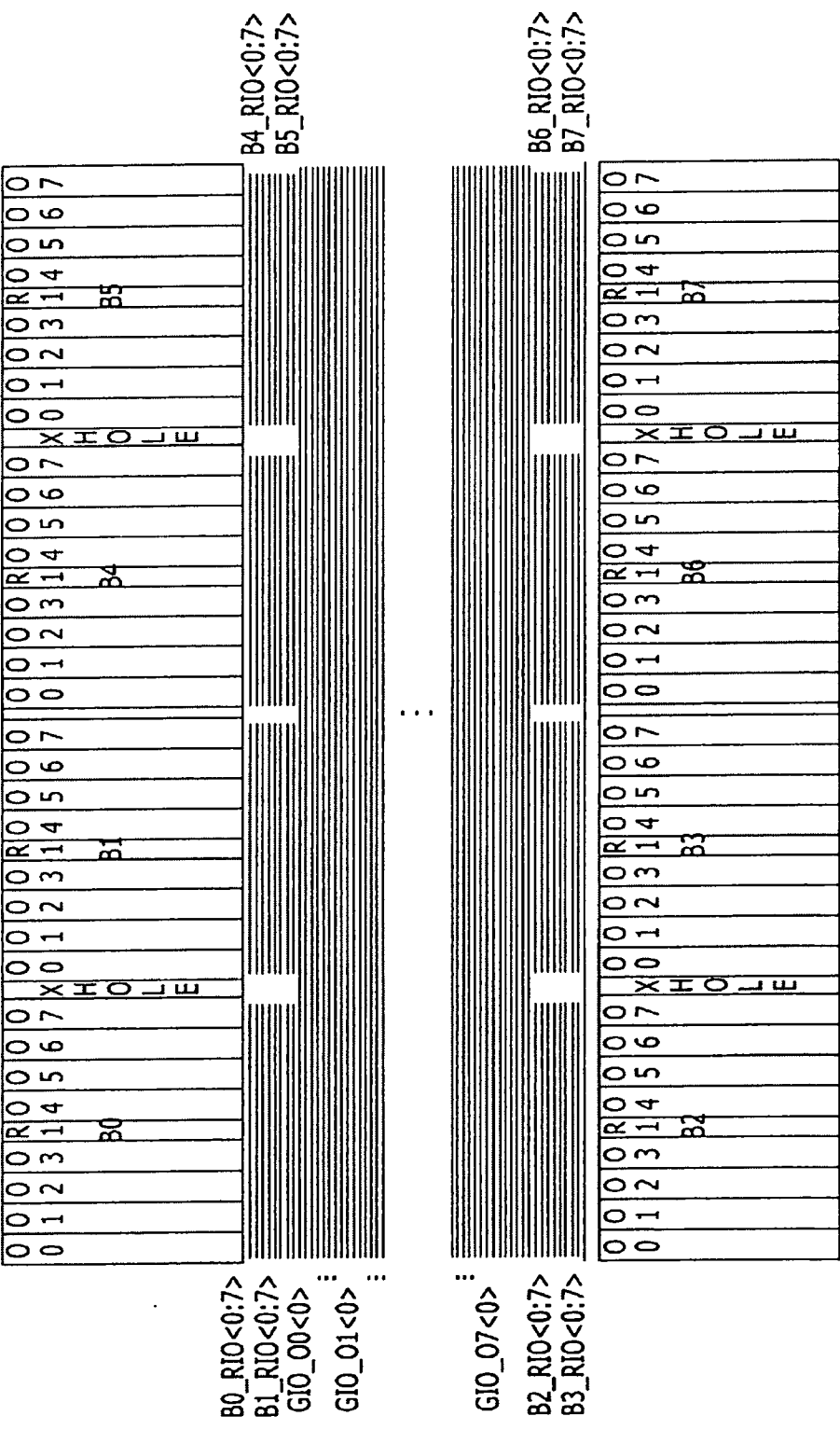


圖2C

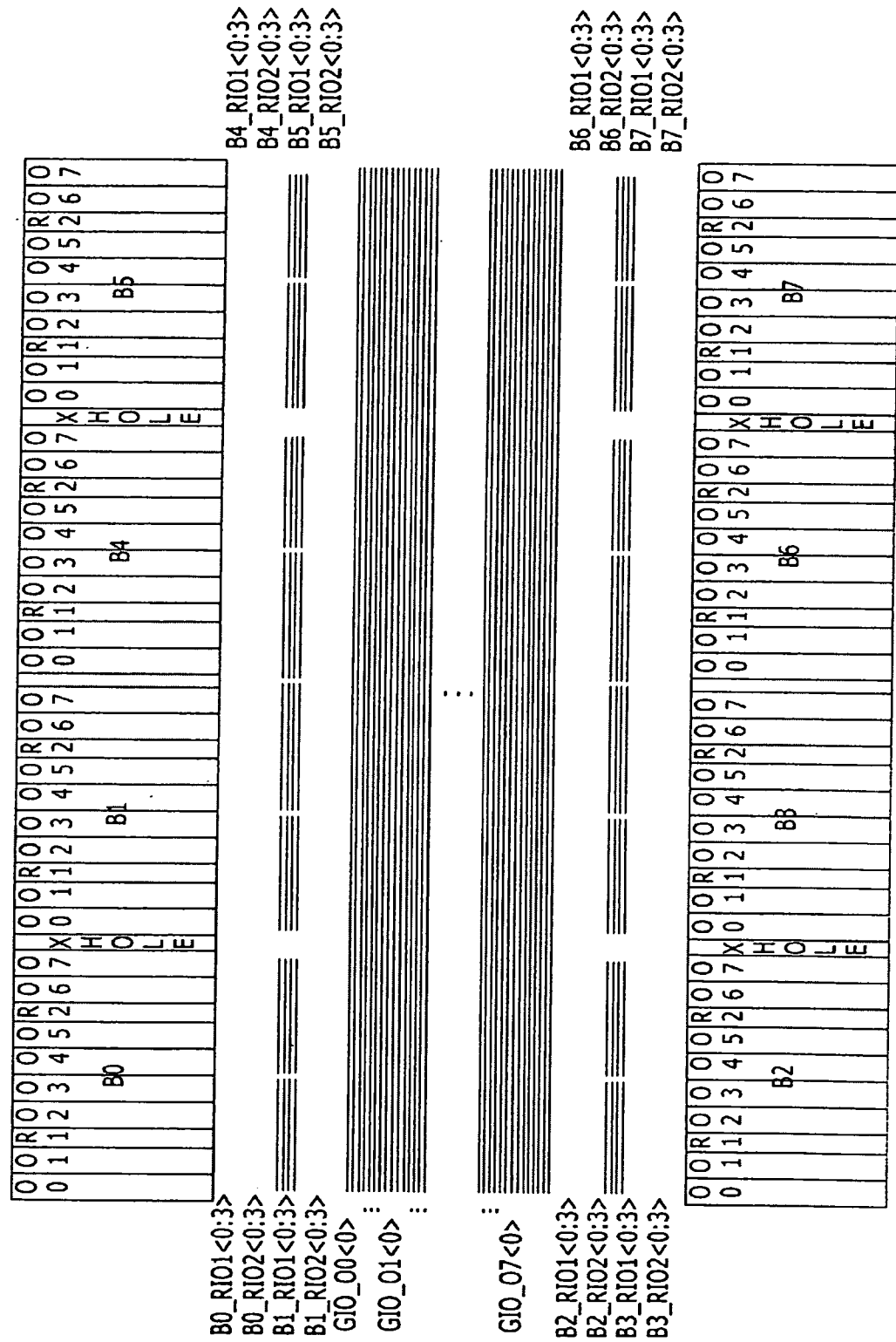


圖 2D

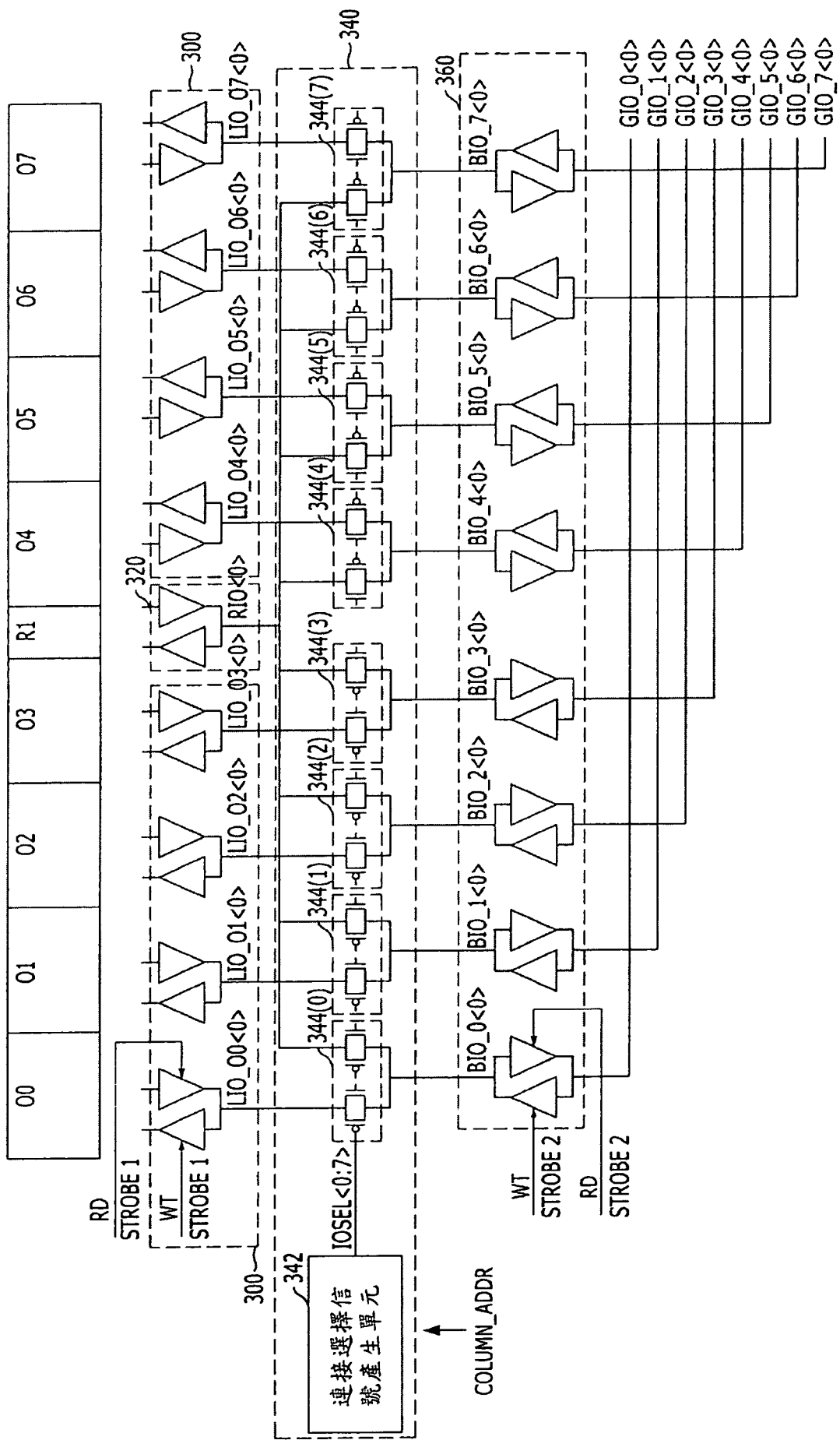


圖3



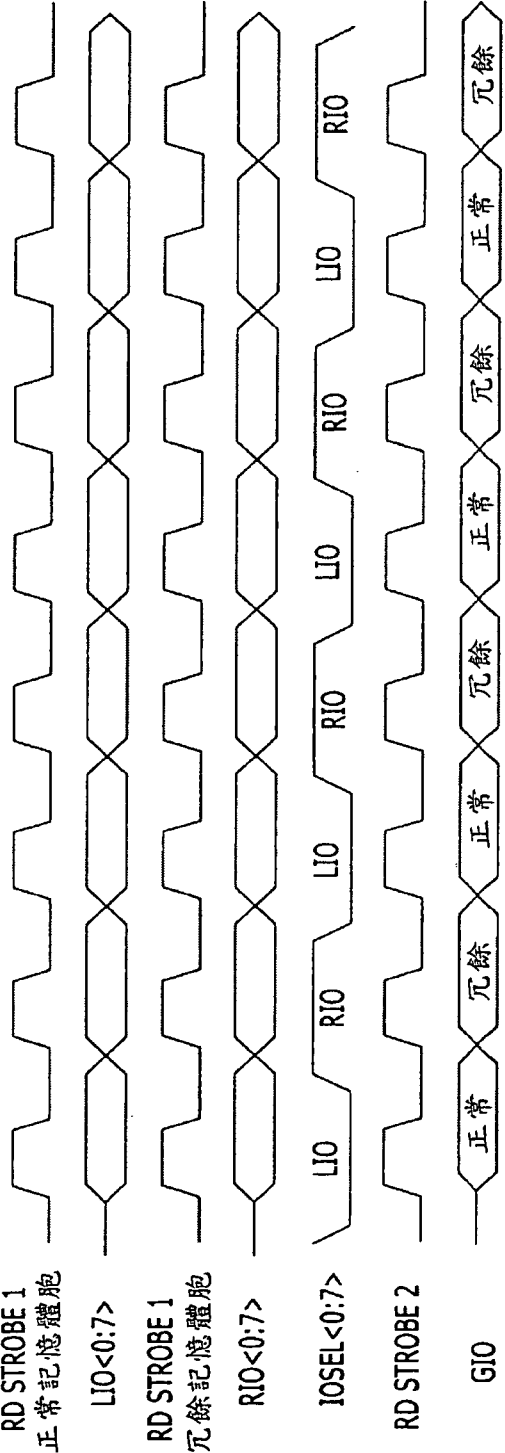


圖5

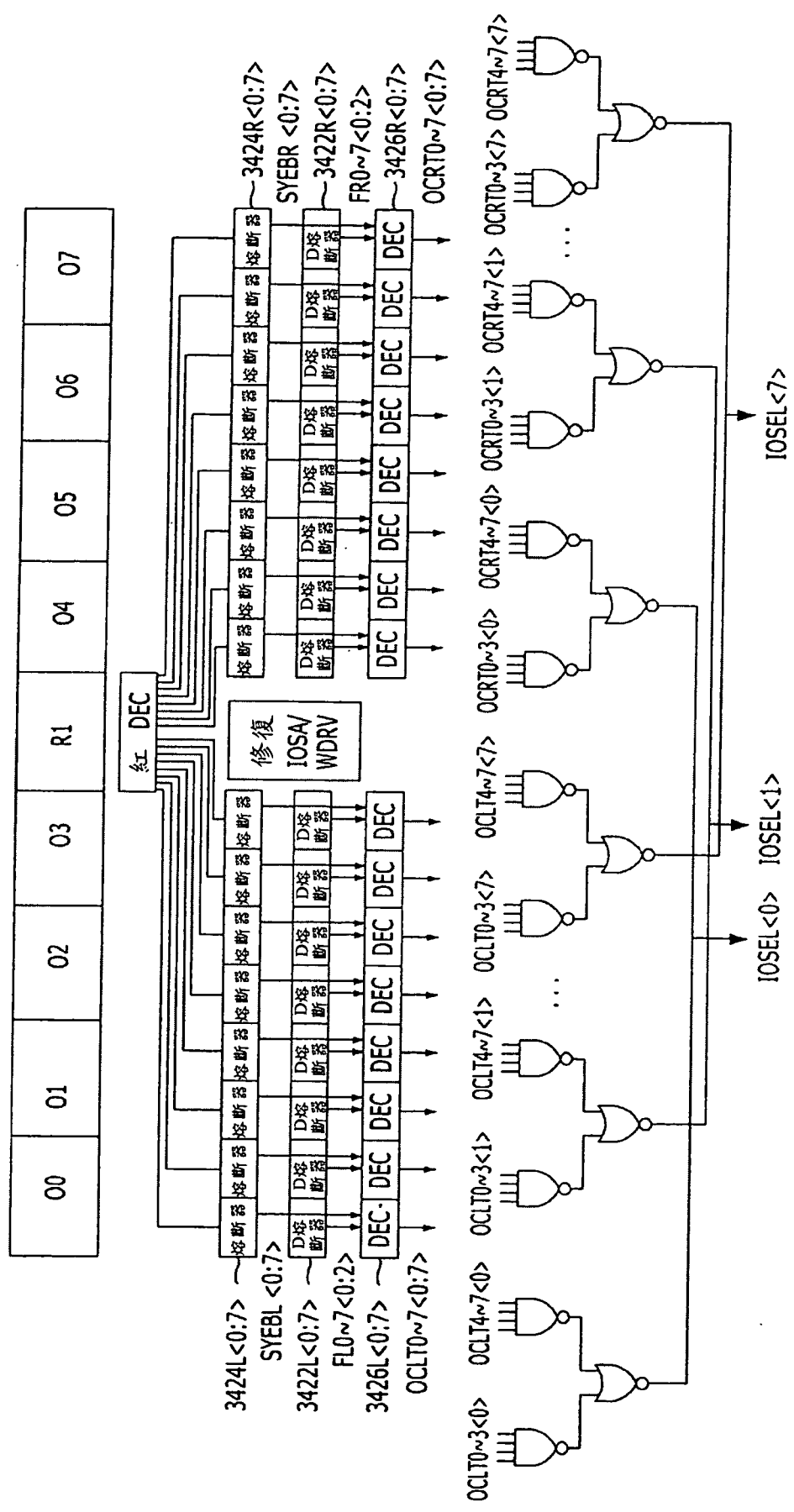


圖6

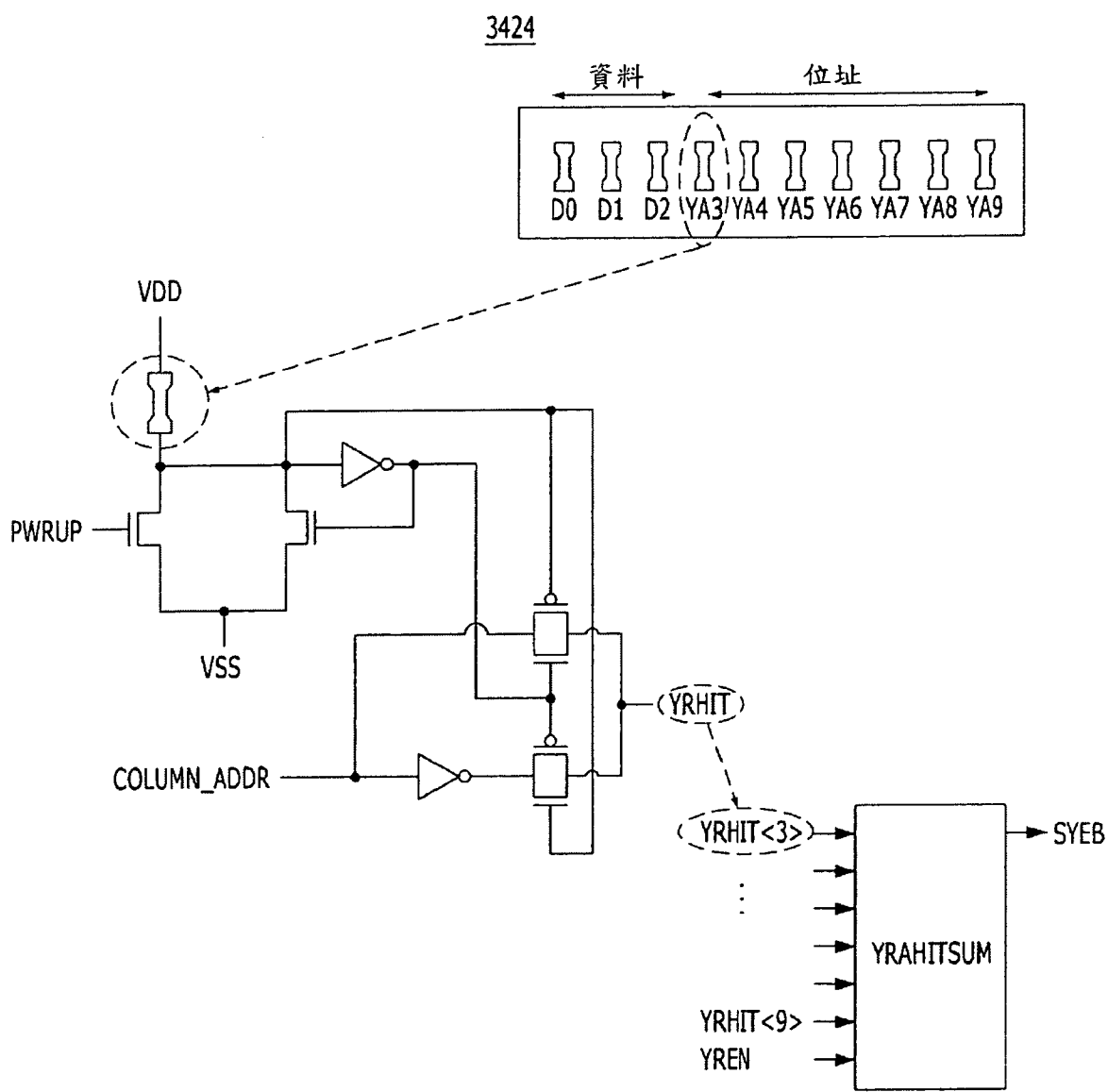


圖 7

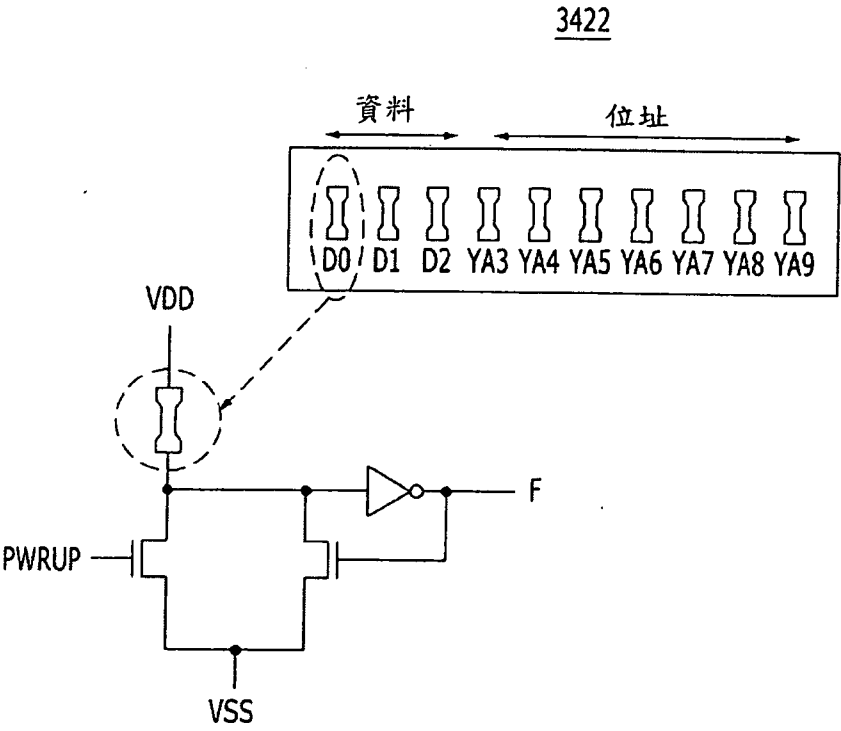


圖 8

3426

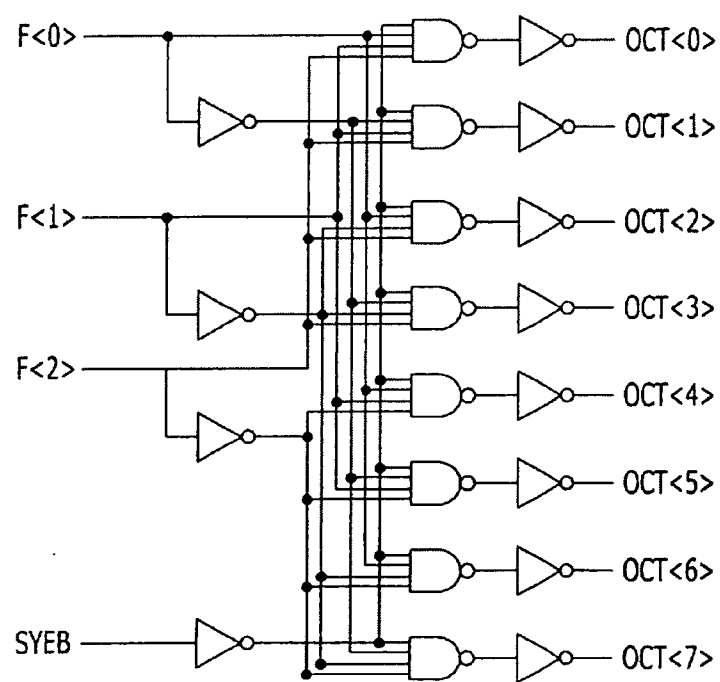


圖 9