



Государственный комитет
СССР
по делам изобретений
и открытий

О П И С А Н И Е ИЗОБРЕТЕНИЯ

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

(11) 830390

(61) Дополнительное к авт. свид-ву -

(22) Заявлено 19.04.79 (21) 2755476/18-24

с присоединением заявки № -

(23) Приоритет -

Опубликовано 15.05.81. Бюллетень № 18

Дата опубликования описания 15.05.81

(51) М. Кл.³

G 06 F 11/08

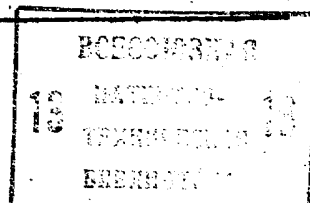
(53) УДК 681.325
(088.8)

(72) Авторы
изобретения

О.Н. Музыченко и В.П. Лукоянов

(71) Заявитель

Ленинградский ордена Красного Знамени механический институт



(54) УСТРОЙСТВО ДЛЯ ОБНАРУЖЕНИЯ ОШИБОК
В ПАРАЛЛЕЛЬНОМ n -РАЗРЯДНОМ КОДЕ
С ПОСТОЯННЫМ ВЕСОМ $K < \frac{n}{2}$

1

Изобретение относится к автоматике и вычислительной технике и может использоваться для построения различных устройств обработки дискретной информации.

Известно устройство для обнаружения ошибок в параллельном n -разрядном коде с постоянным весом m , содержащее $2n$ входных и два выходных сердечника, диоды и схемы совпадения, при этом выходные парафазные обмотки входного сердечника через диоды последовательно соединены с соответствующими данному разряду входными обмотками записи или запрета двух выходных сердечников, параллельные ветви обмоток всех разрядов соединены последовательно и замкнуты в кольцо через резистор, выходные обмотки выходных сердечников соединены со схемой совпадения, выход которой соответствует результату контроля [1].

Однако в этом устройстве число возможных входов практически оказывается ограниченным несколькими единицами из-за неидентичности характеристик магнитных сердечников и изменения их параметров под

2

действием внешних факторов и времени. Принцип работы устройства, связанный с необходимостью перемагничивания сердечников, не обеспечивает достаточной надежности функционирования из-за неидентичности их параметров.

Кроме того, это устройство имеет импульсные входные и выходные сигналы и требует для работы подачи целого ряда синхронизирующих сигналов, из-за чего оно плохо согласуется с логическими узлами современных цифровых устройств, имеющих потенциальные входные и выходные сигналы.

Наиболее близким к предлагаемому является устройство для обнаружения ошибок в параллельном n -разрядном коде с постоянным весом K , содержащее два пороговых элемента с порогами $(K+1)$ и K , причем выход первого соединен со входом инвертора, соединенного выходом со входом выходного элемента И, второй выход которого соединен с выходом порогового элемента с порогом K [2].

Однако данное устройство имеет большой объем оборудования, так как требует для своей реализации два по-

30

роговых элемента сложной логической структуры.

Цель изобретения - сокращение объема оборудования.

Указанная цель достигается тем, что в устройство для обнаружения ошибок в параллельном n -разрядном коде с постоянным весом $K < \frac{n}{2}$, содержащее блок формирования порога, равного K , блок формирования порога, равного $(K+1)$, элемент И, причем выходы блоков формирования порогов K и $(K+1)$ соединены соответственно с первым входом элемента И и со входом элемента НЕ, выход которого соединен со вторым входом элемента И, выход элемента И является выходом устройства, устройство дополнительно содержит первый и второй преобразователи весов входов, выходы каждого из которых соответствуют пороговой функции от 1 до $(K+1)$, причем выходы первого и второго преобразователей весов входов соединены с соответствующими входами блока формирования порога, равного $(K+1)$, а выходы первого и второго преобразователей весов, соответствующие пороговой функции от 1 до K , соединены с соответствующими входами блока формирования порога, равного K , входы первого преобразователя весов входов соединены с $n/2$ старшими разрядами контролируемого кода, а входы второго преобразователя соединены с оставшимися младшими разрядами контролируемого кода, а каждый преобразователь весов входов состоит из последовательно соединенных групп пороговых узлов, пороговые узлы первой группы соединены со входами преобразователя весов входов, а выходы пороговых узлов соединены с соответствующими входами пороговых узлов последующей группы, на выходах пороговых узлов i -й группы реализуются пороговые функции от 1 до 2^i .

Построение устройства таким образом обеспечивает сокращение объема оборудования, требуемого для его реализации. Это достигается за счет двух преобразователей весов $\frac{n}{2} \left(\frac{n+1}{2} \right)$ входов, являющихся многопороговыми элементами на $\frac{n}{2} \left(\frac{n+1}{2} \right)$ входов. При этом данные преобразователи совместно с блоком формирования порога, равного $(K+1)$, обеспечивают реализацию пороговой функции от n переменных с порогом $(K+1)$, а совместно с каскадом формирования порога, равного K , обеспечивают реализацию пороговой функции от n переменных с порогом K . Указанная структура устройства позволяет исключить пороговый элемент с порогом K , заменив его блоком формирования данного порога, соединенным входами с выходами преобразо-

вателей весов $\frac{n}{2} \left(\frac{n+1}{2} \right)$ входов, образующих совместно с блоком формирования порога, равного $(K+1)$, пороговый элемент на n входов с порогом $(K+1)$.

5 На фиг.1 изображена структурная схема предлагаемого устройства; на
10 фиг.2 - схема реализации преобразователя весов входов $m_i + P_i$ разрядов, реализующего пороговые функции от 1 до $m_i + P_i$, на фиг.3 -
15 схема предлагаемого устройства для 8-разрядного кода с весом 3.

Предлагаемое устройство для обнаружения ошибок в параллельном n -разрядном коде с постоянным весом $K < \frac{n}{2}$ состоит из преобразователей 1 и 2 весов $\frac{n}{2} \left(\frac{n+1}{2} \right)$ входов, блока 3 формирования порога, равного $(K+1)$, блока 4 формирования порога, равного K , инвертора 5 и
20 элемента И 6. Причем блок 3 формирования порога соединен с выходами преобразователей 1 и 2 весов $\frac{n}{2} \left(\frac{n+1}{2} \right)$ входов, а выходом - со входом инвертора 5, соединенного
25 выходом со входом выходного элемента И 6. Блок 4 формирования порога соединен входами с выходами преобразователей 1 и 2 с весами
30 от 1 до K , а выходом - со вторым входом выходного элемента И 6. Преобразователи 1 и 2 весов $\frac{n}{2} \left(\frac{n+1}{2} \right)$ входов являются многопороговыми элементами с $\frac{n}{2} \left(\frac{n+1}{2} \right)$ входами, имеющими выходы с весами от 1 до $(K+1)$.

35 Каждый из преобразователей весов $\frac{n}{2} \left(\frac{n+1}{2} \right)$ входов и предыдущие, вплоть до преобразователей весов двух входов, состоящих из элемента И и
40 элемента ИЛИ с параллельно соединенными входами состоят из двух преобразователей весов m_i и P_i входов с равным или отличающимся на единицу числом входов, при нечетном числе входов образуемого преобразователя весов суммарного
45 числа $m_i + P_i$ входов, имеющими $(K+1)$ выходов с весами от 1 до $(K+1)$, при m_i и $P_i \geq (K+1)$ и число выходов, равное числу входов, с весами от 1 до
50 величины, равной числу входов, при m_i и $P_i < (K+1)$, выходы которых соединены со входами очередного каскада формирования набора весов, образующего совместно с преобразователем весов m_i и P_i входов преобразователь весов суммарного
55 числа $m_i + P_i$ входов (фиг.1 и 2)

Преобразователь 7 весов входов (фиг.2) при числе входов его, равном $m_i + P_i$, имеет выходы с порогом от 1 до $m_i + P_i$ и состоит из 2-х групп
60 8 и 9 пороговых узлов первого уровня и последовательно соединенных с ними группу пороговых узлов 10 второго уровня. В состав группы 10 пороговых узлов входит элемент И 11, на выходах которого реализуется

пороговая функция $m_i + P_i$, а его входы соединены с выходами порогов m_i и P_i пороговых узлов предыдущего уровня. Каждый пороговый узел 12 (реализующий пороговую функцию $j > m_i, P_i$) состоит из двух входных элементов И, соединенных входами с выходами групп 8 и 9 пороговых узлов, образуя на входах все неповторяющиеся комбинации весов пар их входов, сумма которых одинакова и равна весу выхода узла, выходы элементов И соединены со входами элемента ИЛИ, выход которого является выходом порогового узла соответствующего порога. Каждый пороговый узел 13, реализующий пороговую функцию $j (2 < j \leq m_i, 2 < j \leq P_i)$, состоит из элементов И, входы которых соединены с выходами групп пороговых узлов 8 и 9 предыдущего уровня аналогично пороговым узлам 12, выходы элементов И соединены со входами элемента ИЛИ, дополнительные входы которого соединены с выходами групп пороговых узлов 8 и 9, реализующих пороговую функцию. Узел 14 формирования веса 1 состоит из элемента 14 ИЛИ, входы которого соединены с выходами групп 8 и 9 пороговых узлов предыдущих уровней, соответствующих единичным весам.

Функционирование предлагаемого устройства для обнаружения ошибок в параллельном n -разрядном коде с постоянным весом происходит следующим образом.

Пусть на его входы подано d единичных потенциалов (фиг.1). Из них d_1 на входы преобразователя 1 и d_2 на входы преобразователя 2 весов входов. Так как каждый преобразователь реализует на своих выходах пороговые функции с порогом, равным весу выхода, то на всех выходах преобразователя 1 весов входов с весами, не превышающими d_1 , и на всех выходах преобразователя 2 весов входов с весами, не превышающими d_2 являются единичные потенциалы, которые поступают на входы блоков 3 и 4 формирования порогов. На выходе блока 3 формирования порога, равного $(K+1)$, соединенного входами с выходами преобразователей 1 и 2, реализуется пороговая функция с порогом $(K+1)$, а на выходе блока 4 формирования порога - пороговая функция с порогом K . Если величина K равна d , то единичный потенциал появляется на выходе блока 4 формирования порога, а на выходе блока 3 формирования порога при этом появляется нулевой потенциал, что вызывает на выходе элемента И 6 единичный потенциал. Если $d > K$, то единичный по-

тенциал появляется на выходах обоих блоков 3 и 4 формирования порога. При этом на входе элемента И 6, соединенном с выходом инвертора 5, вызывает нулевой потенциал, что вызывает нулевой потенциал на его выходе. Если $d < K$, то нулевой потенциал появляется на выходах обоих блоков 3 и 4 формирования порога, что вызывает на выходе элемента И 6 нулевой потенциал, так как на его входе, соединенном с выходом блока 4 формирования порога, нулевой потенциал. Таким образом, каждый раз, когда число единичных потенциалов d на входах устройства равно K , на его выходе единичный потенциал, если $d > K$ или $d < K$, то на выходе устройства нулевой потенциал.

Рассмотрим более подробно функционирование предлагаемого устройства для обнаружения ошибок в параллельном n -разрядном коде с постоянным весом $K < \frac{n}{2}$ на примере его реализации для случая $n=8$ и $K=3$.

Устройство состоит из преобразователя 1 весов 4-х входов $x_1 + x_4$ и преобразователя 2 весов 4-х входов $x_5 + x_8$, которые соединены выходами с входами каскада 3 формирования порога, равного 4, и каскада 4 формирования порога, равного 3. Выход каскада 3 формирования порога соединен с входом инвертора 5, выход которого соединен с одним входом выходного элемента И 6, другой вход которого соединен с выходом каскада 4 формирования порога. Каскад 3 формирования порога состоит из трех элементов И, соединенных выходами со входами элемента ИЛИ, четвертый и пятый входы которого соединены с выходами преобразователей 1 и 2 с весами $w=4$. Входы элементов И соединены с выходами преобразователей 1 и 2 с весами 3 и 1, 2 и 2, 1 и 3 соответственно. Каскад 4 формирования порога состоит из двух элементов И, соединенных выходами со входами элемента ИЛИ, третий и четвертый входы которого соединены с выходами преобразователей 1 и 2 с весами $w=3$. Входы элементов И соединены с выходами преобразователей 1 и 2 с весами 2 и 1, 1 и 2 соответственно.

Преобразователь 1 весов 4-х входов состоит из групп 7 - 10 пороговых узлов. Пороговые узлы первого уровня 8.1, 8.2, 9.1 и 9.2 формируют на своих выходах пороговые функции от 1 до 2, каждый пороговый узел первого уровня состоит из элементов И и ИЛИ, входы которых попарно объединены, а выходы образуют пороговую функцию 2 и 1 соответственно. Пороговый узел 11 формирования порога, равного 4, выполнен на элементе И. Пороговый узел 12 форми-

вания порога, равного 3, состоит из двух элементов И и элемента ИЛИ. На входы элементов И поступают выходы групп 8 и 9 пороговых узлов предыдущих уровней, с порогом 2 и 1 на первый элемент И и 1 и 2 на второй. Пороговый узел формирования порога 2 состоит из элемента И, соединенного входами с выходами группы пороговых узлов предыдущего уровня 8.1, 8.2 (9.1, 9.2) на выходах которых реализуется пороговая функция, равная единице, и элемента ИЛИ, соединенного одним выходом с выходом элемента ИЛИ, а двумя дополнительными входами с выходами группы пороговых узлов, реализующих пороговую функцию 2. Пороговый узел 14 формирования порога, равного 1, выполнен на элементе ИЛИ, входы которого соединены с выходами пороговых узлов предыдущей группы 8.1, 8.2 (9.1, 9.2), реализующих порог, равный 1. На выходах преобразователей весов двух входов реализуются функции И и ИЛИ, являющиеся пороговыми функциями от двух переменных с порогом, равными 2 и 1 соответственно, т.е. с порогом, равными весам выходов. На выходах преобразователя 1 и 2, например на выходе преобразователя 1, реализуются функции:

$$f_1 = (x_1 \vee x_2) \vee (x_3 \vee x_4) = \text{Sgn} \left[\sum_{j=1}^4 x_j - 1 \right];$$

$$f_2 = (x_1 \vee x_2) \cdot (x_3 \vee x_4) \vee x_1 \cdot x_2 \vee x_3 \cdot x_4 = \text{Sgn} \left[\sum_{j=1}^4 x_j - 2 \right];$$

$$f_3 = (x_1 \vee x_2) \cdot (x_3 \vee x_4) \vee (x_3 \vee x_4) \cdot (x_1 \cdot x_2) = \text{Sgn} \left[\sum_{j=1}^4 x_j - 3 \right];$$

$$f_4 = (x_1 \cdot x_2) \cdot (x_3 \cdot x_4) = \text{Sgn} \left[\sum_{j=1}^4 x_j - 4 \right],$$

которые являются пороговыми функциями 4-х переменных с порогом 1 - 4, т.е. с порогом, равным весам выходов.

Пусть на входы преобразователя 1 подано 2 единичных потенциала, при этом единичные потенциалы появляются на его выходах с весами $w=1$ и $w=2$, которые поступают на входы элементов И блоков 3 и 4. Однако на вторых входах всех элементов И указанных блоков, а также на входах элементов ИЛИ, соединенных с выходами преобразователей 1 и 2, имеются нулевые потенциалы, при этом нулевые потенциалы появляются на выходах блоков 3 и 4, а следовательно, и на выходе элемента И 6, являющемся выходом устройства.

При подаче единичного потенциала на один из входов преобразователя 2 единичный потенциал появляется на его выходе с единичным весом и поступает на входы элементов И блоков 3 и 4. При этом на входах элемента И блока 4, соединенного входами с выходами преобразователей 1 и 2 с весами $w=2$ и $w=1$ соответственно, появляются единичные потенциалы, что вызывает единичный потенциал на его выходе и на выходе элемента ИЛИ, являющемся выходом блока 4. При этом на обоих

входах элемента И 6 появляются единичные потенциалы, что вызывает единичный потенциал на его выходе, являющемся выходом устройства.

Пусть на вход преобразователя 1 подан еще один единичный потенциал, при этом единичный потенциал появляется на его выходе с весом $w=3$. Единичный потенциал с данного выхода преобразователя 1 поступает на вход элемента ИЛИ блока 4, подтверждающая единичный потенциал на его выходе, а также на вход элемента И блока 3, второй вход которого соединен с выходом преобразователя 2 с единичным весом. При этом на выходе данного элемента И появляется единичный потенциал, который вызывает единичный потенциал на выходе элемента ИЛИ, являющемся выходом блока 3. При этом на выходе инвертора 5 появляется нулевой потенциал, который вызывает нулевой потенциал на выходе элемента И 6, являющемся выходом устройства. Таким образом, единичный потенциал на выходе устройства появляется только в тех случаях, когда на его входах точно 3 единичных потенциала, независимо от того, на какие входы они поданы.

Построение устройства для обнаружения ошибок в параллельном n -разрядном коде с постоянным весом $K < n/2$ предлагаемой структуры позволяет сократить объем оборудования для его реализации. Так для реализации известного и предлагаемого устройства при $K=2$ требуется элементов И и ИЛИ (без учета ограничений по числу входов) для $n = 8 - 40$ и 26 соответственно, для $n = 16 - 81$ и 58, для $n = 32 - 164$ и 122, для $n = 64 - 299$ и 250. Однако более точным показателем сложности является количество двухвходовых элементов И и ИЛИ, которое составляет для известного и предлагаемого устройства соответственно: для $n = 8 - 53$ и 31, $n = 16 - 151$ и 71, $n = 32 - 489$ и 151, $n = 64 - 1547$ и 309. Следовательно, выигрыш в оборудовании при использовании предлагаемого устройства составляет по количеству элементов, без учета реальных ограничений на число входов: для $n = 8 -$ в 1,54 раза, для $n = 16 -$ в 1,4 раза, для $n = 32 -$ в 1,35 раза, для $n = 64 -$ в 1,17 раза. А по объему оборудования (по числу двухвходовых элементов) для $n = 8 -$ в 1,7 раза, для $n = 16 -$ в 2,13 раза, для $n = 32 -$ в 3,15 раза, для $n = 64 -$ в 5 раз.

Таким образом, предлагаемое устройство требует для реализации существенно меньшего объема оборудования по сравнению с известным.

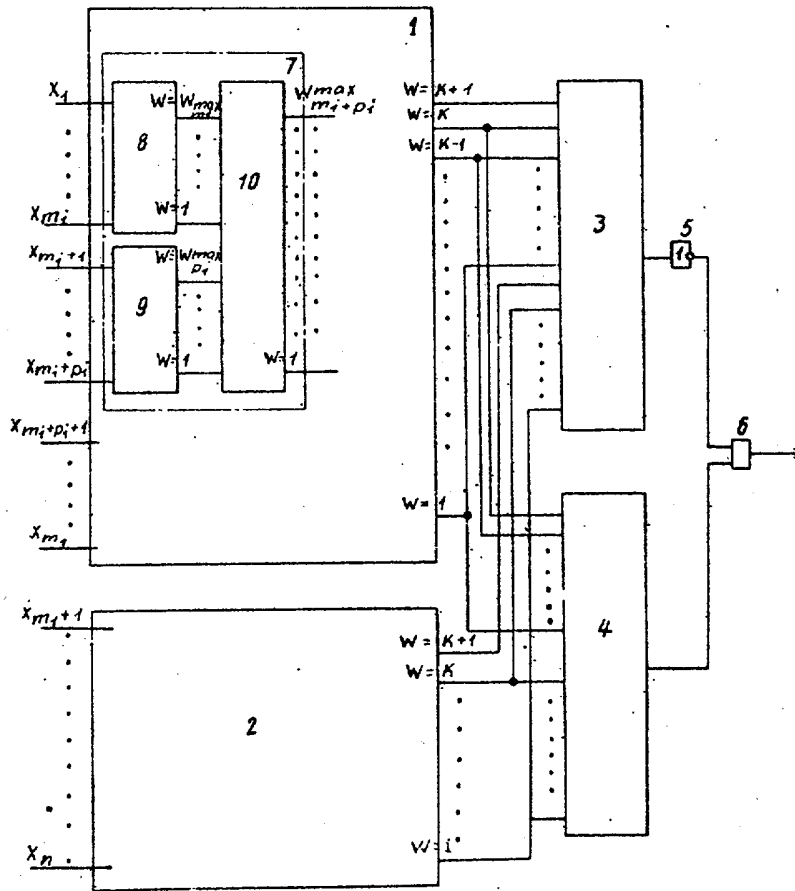
Выигрыш в оборудовании при его использовании растет по мере увеличения n и K , и для $n = 32$ объем оборудования может быть сокращен в 2 - 3 раза.

Формула изобретения

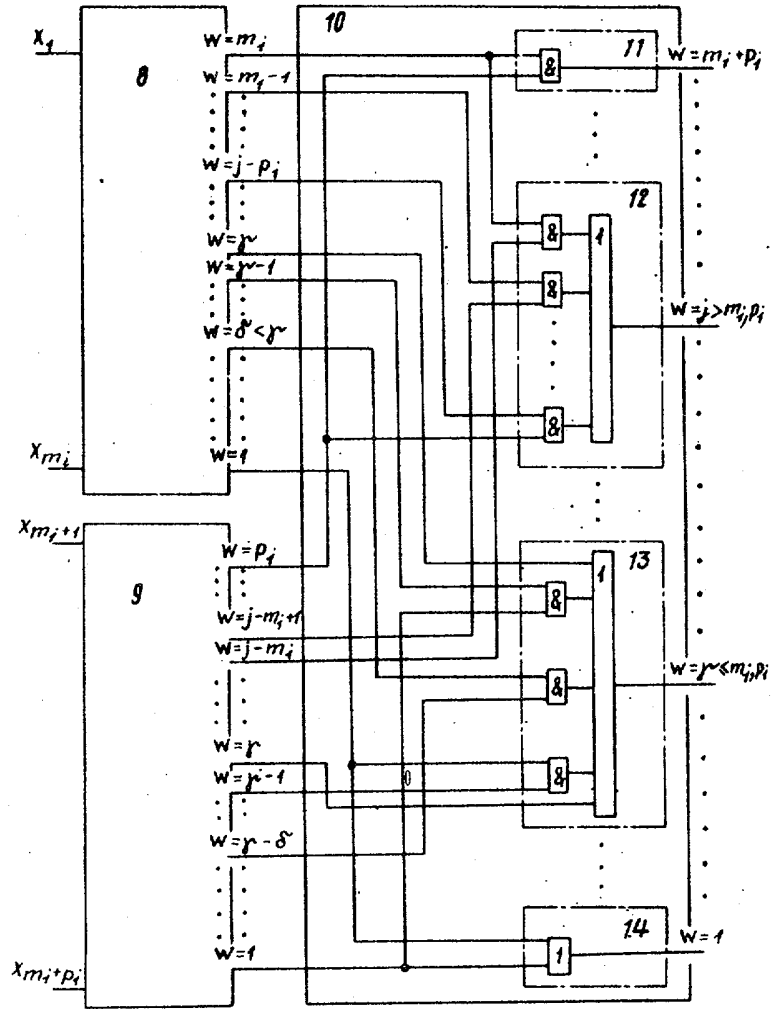
Устройство для обнаружения ошибок в параллельном n -разрядном коде с постоянным весом $K < \frac{n}{2}$, содержащее блок формирования порога, равного K , блок формирования порога, равного $(K+1)$, элемент НЕ и элемент И, причем выходы блоков формирования порогов K и $(K+1)$ соединены соответственно с первым входом элемента И и со входом элемента НЕ, выход которого соединен со вторым входом элемента И, выход элемента И является выходом устройства, отличающееся тем, что, с целью сокращения объема оборудования, устройство содержит первый и второй преобразователи весов входов, выходы каждого из которых соответствуют пороговой функции от 1 до $(K+1)$, причем выходы первого и второго преобразователей весов входов соединены с соответствующими входами блока формирования порога,

равного $(K+1)$, а выходы первого и второго преобразователей весов, соответствующие пороговой функции от 1 до K , соединены с соответствующими входами блока формирования порога, равного K , входы первого преобразователя весов входов соединены с $\frac{n}{2}$ старшими разрядами контролируемого кода, а входы второго преобразователя соединены с оставшимися младшими разрядами контролируемого кода, а каждый преобразователь весов входов состоит из последовательно соединенных групп пороговых узлов, пороговые узлы первой группы соединены со входами преобразователя весов входов, а выходы пороговых узлов соединены с соответствующими входами пороговых узлов последующей группы, на выходах пороговых узлов ℓ -я группы реализуются пороговые функции от 1 до 2^ℓ .

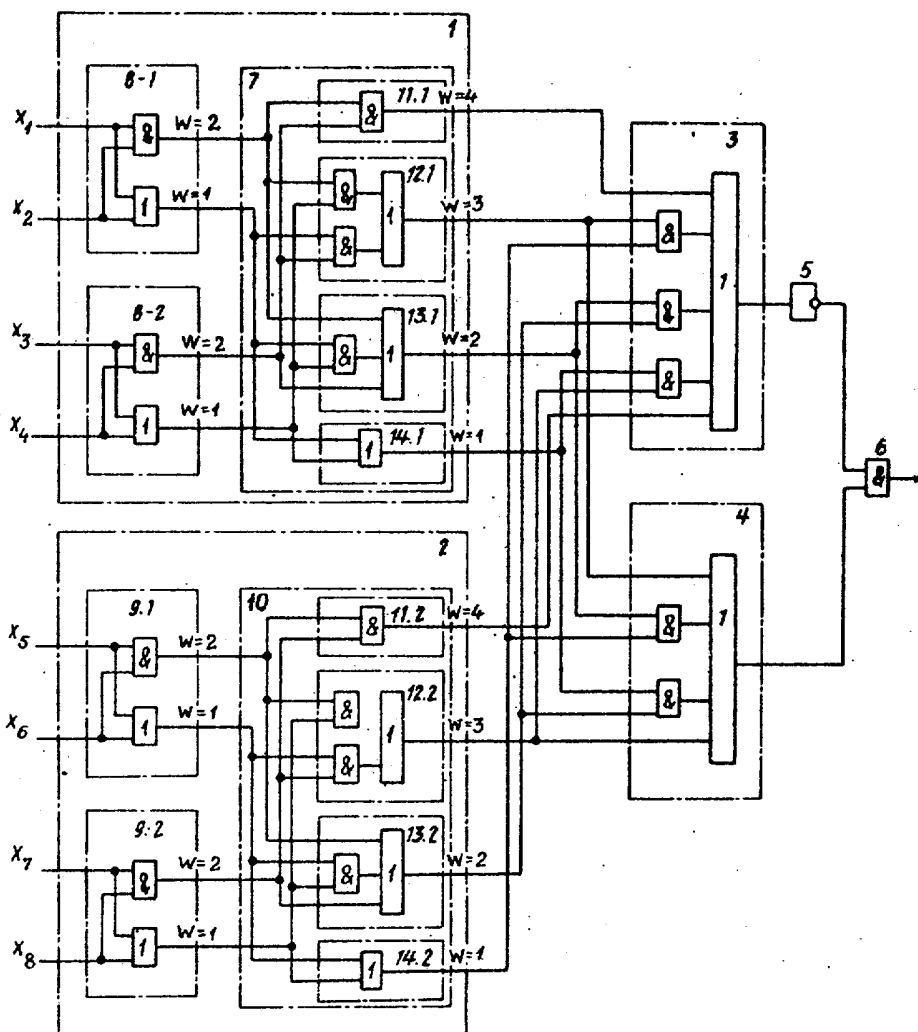
Источники информации,
 25 принятые во внимание при экспертизе
 1. Авторское свидетельство СССР № 215614, кл. G 06 F 11/08, 1968.
 2. Селлерс Ф. Методы обнаружения ошибок в работе ЭЦВМ, М., "Мир", 1972, с. 79, фиг. 4.13 (прототип).
 30



Фиг. 1



Фиг. 2



Фиг.3

Редактор Л. Повхан Составитель И. Сигалов Техред Э. Фанта Корректор Н. Швыдкая

Заказ 3055/38 Тираж 745 Подписное
 ВНИПИ Государственного комитета СССР
 по делам изобретений и открытий
 113035, Москва, Ж-35, Раушская наб., д.4/5

Филиал ППП "Патент", г.Ужгород, ул.Проектная, 4