

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7455825号
(P7455825)

(45)発行日 令和6年3月26日(2024.3.26)

(24)登録日 令和6年3月15日(2024.3.15)

(51)国際特許分類		F I	
H 0 1 L	21/3065(2006.01)	H 0 1 L	21/302 1 0 1 G
H 0 1 L	21/31 (2006.01)	H 0 1 L	21/302 1 0 1 C
H 0 5 H	1/46 (2006.01)	H 0 1 L	21/302 1 0 1 B
		H 0 1 L	21/31 C
		H 0 5 H	1/46 M
請求項の数 20 (全15頁)			
(21)出願番号	特願2021-524024(P2021-524024)	(73)特許権者	390040660
(86)(22)出願日	令和1年10月9日(2019.10.9)		アプライド マテリアルズ インコーポレ
(65)公表番号	特表2022-512914(P2022-512914		イテッド
	A)		APPLIED MATERIALS,
(43)公表日	令和4年2月7日(2022.2.7)		INCORPORATED
(86)国際出願番号	PCT/US2019/055314		アメリカ合衆国 カリフォルニア 9 5 0
(87)国際公開番号	WO2020/096723		5 4, サンタ クララ, バウアーズ ア
(87)国際公開日	令和2年5月14日(2020.5.14)		ヴェニュー 3 0 5 0
審査請求日	令和4年10月11日(2022.10.11)		3 0 5 0 Bowers Avenue
(31)優先権主張番号	62/758,362		Santa Clara CA 9 5 0 5 4
(32)優先日	平成30年11月9日(2018.11.9)		U. S. A.
(33)優先権主張国・地域又は機関	米国(US)	(74)代理人	110002077
			園田・小林弁理士法人
		(72)発明者	グエン, アンドリュー
			アメリカ合衆国 カリフォルニア 9 5 0
			最終頁に続く

(54)【発明の名称】 処理チャンバ用の高周波フィルタシステム

(57)【特許請求の範囲】

【請求項1】

基板処理チャンバ用の高周波（RF）フィルタシステムであって、
前記基板処理チャンバの第1の要素に結合されるように構成された第1のRFフィルタ
であって、
第1の周波数を拒絶するように構成され、第1のインダクタ及び第1の静電容量を含
む第1のフィルタステージと、
前記第1のフィルタステージに結合され、第2の周波数を拒絶するように構成され、
第2のインダクタと、第2の静電容量を有する第1のディスクリットコンデンサとを含む
第2のフィルタステージと、
前記第2のフィルタステージに結合され、前記第1の周波数を拒絶するように構成さ
れ、第3のインダクタ及び第3の静電容量を含む第3のフィルタステージと
を含み、前記第2のフィルタステージが前記第1のフィルタステージと前記第3のフィル
タステージの間に配置される、第1のRFフィルタと、
前記基板処理チャンバの前記第1の要素に結合されるように構成された第2のRFフィ
ルタであって、
前記第1の周波数を拒絶するように構成され、第4のインダクタ及び第4の静電容量
を含む第4のフィルタステージと、
前記第4のフィルタステージに結合され、前記第2の周波数を拒絶するように構成さ
れ、第5のインダクタ及び第5の静電容量を含む第5のフィルタステージと、

前記第 5 のフィルタステージに結合され、前記第 1 の周波数を拒絶するように構成され、第 6 のインダクタ及び第 6 の静電容量を含む第 6 のフィルタステージとを含む第 2 の R F フィルタとを備える、R F フィルタシステム。

【請求項 2】

前記第 1 のフィルタステージが拒絶するように構成されている前記第 1 の周波数が、前記第 2 のフィルタステージが拒絶するように構成されている前記第 2 の周波数よりも大きい、請求項 1 に記載の R F フィルタシステム。

【請求項 3】

前記第 1 の周波数は 6 0 M H z であり、前記第 2 の周波数は 1 3 . 5 6 M H z である、請求項 2 に記載の R F フィルタシステム。

【請求項 4】

前記第 1 の静電容量は、前記第 1 のインダクタの寄生容量であり、前記第 3 の静電容量は、前記第 3 のインダクタの寄生容量であり、前記第 4 の静電容量は、前記第 4 のインダクタの寄生容量であり、前記第 6 の静電容量は、前記第 6 のインダクタの寄生容量である、請求項 1 に記載の R F フィルタシステム。

【請求項 5】

第 2 のディスクリットコンデンサが前記第 5 の静電容量を提供する、請求項 4 に記載の R F フィルタシステム。

【請求項 6】

前記第 1 のインダクタのインダクタンス及び前記第 3 のインダクタのインダクタンスが、前記第 2 のインダクタのインダクタンスよりも小さく、前記第 4 のインダクタのインダクタンス及び前記第 6 のインダクタのインダクタンスが、前記第 5 のインダクタのインダクタンスよりも小さい、請求項 1 に記載の R F フィルタシステム。

【請求項 7】

前記第 1 の R F フィルタ及び前記第 2 の R F フィルタが、交流電源に結合されるように更に構成される、請求項 1 に記載の R F フィルタシステム。

【請求項 8】

第 3 の R F フィルタであって、

前記第 1 の周波数を拒絶するように構成され、第 7 のインダクタ及び第 7 の静電容量を含む第 7 のフィルタステージと、

前記第 7 のフィルタステージに結合され、前記第 2 の周波数を拒絶するように構成され、第 8 のインダクタ及び第 8 の静電容量を含む第 8 のフィルタステージと、

前記第 8 のフィルタステージに結合され、前記第 1 の周波数を拒絶するように構成され、第 9 のインダクタ及び第 9 の静電容量を含む第 9 のフィルタステージとを含む第 3 の R F フィルタを更に備え、前記第 3 の R F フィルタが、高電圧電源及び前記基板処理チャンバの第 2 の要素に結合されるように構成される、請求項 7 に記載の R F フィルタシステム。

【請求項 9】

基板処理チャンバであって、当該基板処理チャンバが、電極及び 1 又は複数の加熱要素を含むチャック本体を含む静電チャックアセンブリと、高電圧電源と、交流 (A C) 電源と、高周波 (R F) フィルタシステムとを備え、前記 R F フィルタシステムが、

前記電極及び前記高電圧電源に結合された第 1 の R F フィルタであって、

第 1 の周波数を拒絶するように構成され、第 1 のインダクタ及び第 1 の静電容量を含む第 1 のフィルタステージと、

前記第 1 のフィルタステージに結合され、第 2 の周波数を拒絶するように構成され、第 2 のインダクタと、第 2 の静電容量を有する第 1 のディスクリットコンデンサとを含

10

20

30

40

50

む第2のフィルタステージと、

前記第2のフィルタステージに結合され、前記第1の周波数を拒絶するように構成され、第3のインダクタ及び第3の静電容量を含む第3のフィルタステージとを含み、前記第2のフィルタステージが前記第1のフィルタステージと前記第3のフィルタステージの間に配置される、第1のRFフィルタと、

前記1又は複数の加熱要素の第1の加熱要素および前記AC電源に結合された第2のRFフィルタであって、

前記第1の周波数を拒絶するように構成され、第4のインダクタ及び第4の静電容量を含む第4のフィルタステージと、

前記第4のフィルタステージに結合され、前記第2の周波数を拒絶するように構成され、第5のインダクタ及び第5の静電容量を含む第5のフィルタステージと、

前記第5のフィルタステージに結合され、前記第1の周波数を拒絶するように構成され、第6のインダクタ及び第6の静電容量を含む第6のフィルタステージとを含む第2のRFフィルタとを含む、基板処理チャンバ。

【請求項10】

前記第1のフィルタステージが拒絶するように構成されている前記第1の周波数は、前記第2のフィルタステージが拒絶するように構成されている前記第2の周波数よりも大きい、請求項9に記載の基板処理チャンバ。

【請求項11】

前記第1の周波数は60MHzであり、前記第2の周波数は13.56MHzである、請求項10に記載の基板処理チャンバ。

【請求項12】

前記第1の静電容量は、前記第1のインダクタの寄生容量であり、前記第3の静電容量は、前記第3のインダクタの寄生容量であり、前記第4の静電容量は、前記第4のインダクタの寄生容量であり、前記第6の静電容量は、前記第6のインダクタの寄生容量である、請求項9に記載の基板処理チャンバ。

【請求項13】

第2のディスクリットコンデンサが前記第5の静電容量を提供する、請求項12に記載の基板処理チャンバ。

【請求項14】

前記第1のインダクタのインダクタンス及び前記第3のインダクタのインダクタンスが、前記第2のインダクタのインダクタンスよりも小さく、前記第4のインダクタのインダクタンス及び前記第6のインダクタのインダクタンスが、前記第5のインダクタのインダクタンスよりも小さい、請求項9に記載の基板処理チャンバ。

【請求項15】

前記RFフィルタシステムが更に、

第3のRFフィルタであって、

前記第1の周波数を拒絶するように構成され、第7のインダクタ及び第7の静電容量を含む第7のフィルタステージと、

前記第7のフィルタステージに結合され、前記第2の周波数を拒絶するように構成され、第8のインダクタ及び第8の静電容量を含む第8のフィルタステージと、

前記第8のフィルタステージに結合され、前記第1の周波数を拒絶するように構成され、第9のインダクタ及び第9の静電容量を含む第9のフィルタステージとを含む第3のRFフィルタ

を備え、前記第3のRFフィルタは、前記AC電源及び前記第1の加熱要素に結合されるように構成される、請求項9に記載の基板処理チャンバ。

【請求項16】

コンテナを更に含み、前記RFフィルタシステムが当該コンテナ内に収容され、前記コンテナはハウジング及び複数のセパレータを備え、前記複数のセパレータは、前記第1の

10

20

30

40

50

R F フィルタ及び前記第 2 の R F フィルタと前記第 3 の R F フィルタとを互いから保護する、請求項 1 5 に記載の基板処理チャンバ。

【請求項 1 7】

高周波（R F）フィルタであって、

第 1 の周波数を拒絶するように構成され、第 1 のインダクタ及び第 1 の静電容量を含む第 1 のフィルタステージと、

前記第 1 のフィルタステージに結合され、第 2 の周波数を拒絶するように構成され、第 2 のインダクタと、第 2 の静電容量を有する第 1 のディスクリットコンデンサを含む第 2 のフィルタステージと、

前記第 2 のフィルタステージに結合され、前記第 1 の周波数を拒絶するように構成され、第 3 のインダクタ及び第 3 の静電容量を含む第 3 のフィルタステージとを含み、前記第 2 のフィルタステージが前記第 1 のフィルタステージと前記第 3 のフィルタステージの間に配置される、R F フィルタ。

【請求項 1 8】

前記第 1 のフィルタステージが拒絶するように構成されている前記第 1 の周波数が、前記第 2 のフィルタステージが拒絶するように構成されている前記第 2 の周波数よりも大きい、請求項 1 7 に記載の R F フィルタ。

【請求項 1 9】

前記第 1 の静電容量は、前記第 1 のインダクタの寄生容量であり、前記第 3 の静電容量は、前記第 3 のインダクタの寄生容量である、請求項 1 8 に記載の R F フィルタ。

【請求項 2 0】

前記第 1 のインダクタのインダクタンス及び前記第 3 のインダクタのインダクタンスが、前記第 2 のインダクタのインダクタンスよりも小さい、請求項 1 7 に記載の R F フィルタ。

【発明の詳細な説明】

【技術分野】

【0 0 0 1】

【0 0 0 1】 本明細書に記載の実施形態は、概して、高周波用のフィルタシステムに関する。

【背景技術】

【0 0 0 2】

【0 0 0 2】 半導体産業では、デバイスは、エッチング及び堆積等の多くの製造プロセスによって製造される。一部の製造プロセスには、処理チャンバ内でのプラズマの生成が含まれる。プラズマは、高周波（R F）信号を処理チャンバの 1 又は複数の電極に駆動することによって生成される。ただし、処理中に R F リークが発生すると、処理チャンバの 1 又は複数の要素が損傷する可能性がある。具体的には、漏れにより、R F 電力が処理チャンバに結合された接続ラインに送信される。R F 電力により、接続ラインが過熱し、接続ラインに障害が発生し得る。したがって、接続ラインを交換するために、処理チャンバをシャットダウンする必要がある。更に、R F リークは、処理チャンバの放出警報を引き起こし、処理チャンバがシャットダウンされ得る。処理チャンバがシャットダウンされると、処理チャンバがオフラインになり、処理チャンバの生産歩留が低下し、対応する半導体デバイスの生産コストが増加する。

【0 0 0 3】

【0 0 0 3】 したがって、処理チャンバに結合された構成要素における R F リークを軽減することができる改良された R F フィルタが必要である。

【発明の概要】

【0 0 0 4】

【0 0 0 4】 ある例示的な実施形態では、基板処理チャンバ用の高周波（R F）フィルタシステムは、処理チャンバの第 1 の要素に結合されるように構成された第 1 の R F フィルタと、処理チャンバの第 1 の要素に結合されるように構成された第 2 の R F フィルタと

を備える。第1のRFフィルタは、第1の周波数を拒絶するように構成された第1のフィルタステージと、第1のフィルタステージに結合され、第2の周波数を拒絶するように構成された第2のフィルタステージと、第2のフィルタステージに結合され、第1の周波数を拒絶するように構成された第3のフィルタステージとを含む。第1のフィルタステージは、第1のインダクタ及び第1の静電容量を含み、第2のフィルタステージは、第2のインダクタ及び第2の静電容量を含み、第3のフィルタステージは、第3のインダクタ及び第3の静電容量を含む。第2のRFフィルタは、第1の周波数を拒絶するように構成された第4のフィルタステージと、第4のフィルタステージに結合され、第2の周波数を拒絶するように構成された第5のフィルタステージと、第5のフィルタステージに結合され、第1の周波数を拒絶するように構成された第6のフィルタステージとを含む。第4のフィルタステージは第4のインダクタ及び第4の静電容量を含み、第5のフィルタステージは第5のインダクタ及び第5の静電容量を含み、第6のフィルタステージは第6のインダクタ及び第6の静電容量を含む。

【0005】

【0005】ある例示的な実施形態では、基板処理チャンバは、電極及び1又は複数の加熱要素を含むチャック本体を含む静電チャックアセンブリ、高電圧電源、交流（AC）電源、及びRFフィルタシステムを備える。RFフィルタシステムは、電極及び高電圧電源に結合された第1のRFフィルタと、1又は複数の加熱要素の第1の加熱要素及びAC電源に結合された第2のRFフィルタとを含む。第1のRFフィルタは、第1の周波数を拒絶するように構成された第1のフィルタステージと、第1のフィルタステージに結合され、第2の周波数を拒絶するように構成された第2のフィルタステージと、第2のフィルタステージに結合され、第1の周波数を拒絶するように構成された第3のフィルタステージとを含む。第1のフィルタステージは、第1のインダクタ及び第1の静電容量を含み、第2のフィルタステージは、第2のインダクタ及び第2の静電容量を含み、第3のフィルタステージは、第3のインダクタ及び第3の静電容量を含む。第2のRFフィルタは、第1の周波数を拒絶するように構成された第4のフィルタステージと、第4のフィルタステージに結合され、第2の周波数を拒絶するように構成された第5のフィルタステージと、第5のフィルタステージに結合され、第1の周波数を拒絶するように構成された第6のフィルタステージとを含む。第4のフィルタステージは第4のインダクタ及び第4の静電容量を含み、第5のフィルタステージは第5のインダクタ及び第5の静電容量を含み、第6のフィルタステージは第6のインダクタ及び第6の静電容量を含む。

【0006】

【0006】ある例示的な実施形態では、RFフィルタは、第1の周波数を拒絶するように構成された第1のフィルタステージと、第1のフィルタステージに結合され、第2の周波数を拒絶するように構成された第2のフィルタステージと、第2のフィルタステージに結合され、第1の周波数を拒絶するように構成された第3のフィルタステージを含む。第1のフィルタステージは、第1のインダクタ及び第1の静電容量を含み、第2のフィルタステージは、第2のインダクタ及び第2の静電容量を含み、第3のフィルタステージは、第3のインダクタ及び第3の静電容量を含む。

【0007】

【0007】上述した本開示の特徴を詳細に理解できるように、一部が添付の図面に例示されている実施形態を参照しながら、上記に要約した本開示をより具体的に説明する。しかし、添付の図面は本開示の典型的な実施形態を単に示すものであり、したがって、実施形態の範囲を限定するものと見なすべきではなく、本開示は他の等しく有効な実施形態も許容しうることに留意されたい。

【図面の簡単な説明】

【0008】

【図1】1又は複数の実施形態に係る処理チャンバを示す断面側面図である。

【図2】1又は複数の実施形態に係る処理チャンバの一部の概略図である。

【図3】1又は複数の実施形態に係る処理チャンバの一部の概略図である。

【図４】１又は複数の実施形態に係る高周波フィルタシステム用の容器を示す図である。

【図５】１又は複数の実施形態に係る高周波フィルタシステム用の容器を示す図である。

【図６】１又は複数の実施形態に係る高周波フィルタシステム用の容器を示す図である。

【図７】１又は複数の実施形態に係る高周波フィルタシステム用の容器を示す図である。

【発明を実施するための形態】

【０００９】

【００１１】明確にするために、該当する場合、図面に共通の同一の要素を指定するために同一の参照番号が使用される。更に、一実施形態の要素を、本明細書に記載の他の実施形態での利用に有利に適合させることができる。

【００１０】

【００１２】基板用処理チャンバは、処理中に基板が配置される基板支持体を含む。基板支持体は、バック及び冷却ベースを含む静電チャックを含む。静電チャックは、直流（ＤＣ）電源に結合されたチャック電極、交流（ＡＣ）電源に結合された１又は複数の加熱要素、及びＲＦ電源に結合された高周波（ＲＦ）電極を更に含む。ＲＦ電極及びＲＦ電源からのＲＦリークは、チャック電極とＤＣ電源との間、及び加熱要素とＡＣ電源との間の接続部内で発生する可能性がある。ＲＦリークにより、接続部内でＲＦ電力が生成され、１又は複数の接続障害が発生する、及び／又は放出アラームがトリガされる。このため、処理チャンバがシャットダウンされ得る。以下の記載は、チャック電極とＤＣ電源との間、及び加熱要素とＡＣ電源との間に結合され得る改良されたＲＦフィルタの説明である。ＲＦフィルタは、発生し得るＲＦリークを軽減し、処理チャンバのダウンタイムを短縮する。

【００１１】

【００１３】図１は、処理チャンバ１００を示す断面側面図である。図示したように、処理チャンバ１００は、基板をエッチングすることができるエッチングチャンバである。処理チャンバ１００は、様々なプラズマプロセスに使用され得る。一実施形態では、処理チャンバ１００を使用して、１又は複数のエッチング剤を用いたドライエッチングが実施され得る。例えば、処理チャンバは、基板上に配置された材料をエッチングするために用いられる C_xF_y （ x 及び y は異なる許容される組み合わせであり得る）、 O_2 、 NF_3 、又はそれらの組み合わせ等のエッチング液からプラズマを生成するために使用され得る。本開示の実施形態はまた、他の用途の中でもとりわけ、フォトリソ用途のためのクロムのエッチング、基板１０１上に配置された酸化物及び金属層を有するシリコン基板における深いトレンチ及びＳｉ貫通電極（ＴＳＶ）等のプロファイルのエッチングにおいて使用され得る。

【００１２】

【００１４】処理チャンバ１００は、側壁１０４、底部１０６、及びチャンバ蓋１０８を有するチャンバ本体１０２を含む。側壁１０４、底部１０６、及びチャンバ蓋１０８は、内部領域１３４を画定する。処理チャンバ１００は、内部領域１３４に配置されたライナ１１２を更に含む。ライナ１１２は、側壁１０４の処理化学及び／又は処理副生成物からの損傷及び汚染を防ぐように構成される。一実施形態では、スリットバルブドア開口部１１４が、側壁１０４を通して形成される。スリットバルブドア開口部１１４は、基板及び基板移送機構がチャンバ本体１０２の内部領域１３４の中へ通過することを可能にするように構成される。スリットバルブドア１１６は、スリットバルブドア開口部１１４を選択的に開閉する。

【００１３】

【００１５】処理チャンバ１００は、内部領域１３４に配置された静電チャックアセンブリ１１８を更に含む。静電チャックアセンブリ１１８は、処理チャンバ１００に移動可能又は固定的に配置される。静電チャックアセンブリ１１８は、処理中に基板１０１を支持するように構成される。静電チャックアセンブリ１１８は、チャック本体１２０及びチャックベース１２２を含む。チャック本体１２０及びチャックベース１２２は、半導体処理チャンバ構成要素アセンブリを画定し得る。静電チャックアセンブリ１１８は、１又は

複数のシール部材を更に含み得る。1又は複数のシール部材を結合材料の周囲に配置して、結合材料を処理環境から保護することができる。

【0014】

【0016】チャック本体120は、それを通して形成された1又は複数の貫通孔（図示せず）を含み得る。貫通孔は、リフトピンがそこを通過して、静電チャックアセンブリ118の表面から基板101を離間させることができるように構成される。リフト130は、基板101の処理及びロード／アンロード中に、静電チャックアセンブリ118に対してリフトピンを上下させるように構成される。静電チャックアセンブリ118は、チャック力を生成して基板101を静電チャックアセンブリに固定するために、電源132に結合され得る。更に、静電チャックアセンブリ118は、電源133に結合された1又は複数の加熱要素を含み得る。

10

【0015】

【0017】エッチング液等の1又は複数の処理ガスが、入口138を介してガス源136から内部領域134に供給される。処理チャンバ100は、内部領域134と流体連結している真空ポンプ140を更に含む。真空ポンプ140は、内部領域134から副生成物及びガスを除去し、処理中に低圧環境を維持するように構成される。

【0016】

【0018】処理チャンバ100は、チャンバ蓋108の外側に配置されたアンテナアセンブリ142を更に含む。アンテナアセンブリ142は、マッチングネットワーク146を介してRF電源144に結合される。処理中、アンテナアセンブリ142が、電源144によって提供されるRF電力で励起されて、内部領域134内の処理ガスのプラズマを点火し、基板101の処理中にプラズマを維持する。処理チャンバ100は、アンテナアセンブリ142（例えば、誘導結合プラズマ（ICP））又は容量結合プラズマ（CCP）によって励起され得る。CCPを採用した処理チャンバにおいて、プラズマ励起領域は、処理チャンバ100の第1の電極（例えば、シャワーヘッド）と第2の電極（例えば、静電チャックアセンブリ118の電極）との間に形成される。処理中、ガスがシャワーヘッドを通してプラズマ励起領域に進入し得、プラズマ（例えば、活性化ガス）が、シャワーヘッドと静電チャックアセンブリ118の電極との間のプラズマ励起領域（例えば、内部領域134）に形成される。静電チャックアセンブリのシャワーヘッド及び電極のうちの1又は複数の、プラズマを生成するために、RF電源（例えば、RF電源144）で駆動される。あるいは、処理チャンバ100に結合された遠隔プラズマシステム（RPS）を使用して、エクストゥプラズマを生成し、処理チャンバ100のプラズマ励起領域にプラズマを提供することができる。

20

30

【0017】

【0019】更に、RFフィルタシステム135が、電源132と静電チャックアセンブリ118との間、及び電源133と静電チャックアセンブリ118との間に結合され得る。RFフィルタシステム135は、電源132及び133と静電チャックアセンブリ118との間の接続ライン137でのRFリークを軽減するように構成された1又は複数のRFフィルタを含む。例えば、RFフィルタシステム135は、アンテナアセンブリ142がRF電力で励起されて内部領域134内のプラズマを点火及び維持するときに、接続ライン137内のRFリークを防止し得る。

40

【0018】

【0020】図2は、1又は複数の実施形態に係る、静電チャックアセンブリ118、電源132、電源133、及びRFフィルタシステム135の一部を示す図である。図2に示すように、静電チャックアセンブリ118は、チャック本体120及びチャックベース122を含む。図示していないが、静電チャックアセンブリ118は、追加の層を含み得る。チャックベース122は、1又は複数の接着剤層によってチャック本体120に結合され、基板101の熱制御を維持するために熱伝達流体を循環させる冷却チャネル122がその中に配置される。

【0019】

50

【0021】チャック本体120は、電極（又はチャック電極）212を含む。単一の電極212を示したが、チャック本体120は、2つ以上の電極を含み得る。電極212は、銅、グラファイト、タングステン、モリブデン等の導電性材料からなる。2つ以上の電極212が含まれる場合、電極は、とりわけ、一对の同一平面上のD字型電極、同一平面上のインターデジタル電極、複数の同軸環状電極、又は円形電極等の構造を含み得るが、これらに限定されない。電極212は、電源132に結合される。電源132は、正又は負のDC電圧で電極212を駆動し得る。例えば、電源132は、約-5000ボルトから約5000ボルトの範囲の電圧で電極212を駆動し得る。あるいは、他の負の電圧又は他の正のDC電圧が用いられ得る。

【0020】

10

【0022】チャック本体120は、加熱要素214を更に含む。単一の加熱要素214を示したが、チャック本体120は、2つ以上の加熱要素214を含み得る。加熱要素214は、導電性材料から形成された電気ヒータであり得る。加熱要素214は、電源133に結合される。電源132は、AC電圧信号で加熱要素214を駆動し得る。例えば、電源132は、約100Vから約250Vの範囲の振幅を有するAC電圧信号で加熱要素214を駆動し得る。駆動されると、加熱要素214は、チャック本体120上に配置された基板101の裏側を加熱するように構成される。

【0021】

【0023】RFフィルタシステム135は、電源と、処理チャンバ100の1又は複数の要素（例えば、電極212及び加熱要素214）との間に結合される。例えば、RFフィルタシステム135は、電源132と電極212との間に結合され得る。例えば、RFフィルタシステム135は、ケーブル230を介して電源132に結合され、ケーブル232を介して電極に結合される。ケーブル230及び／又はケーブル232は、高電圧ケーブルであり得る。更に、RFフィルタシステム135は、電源133と加熱要素214との間に結合される。例えば、RFフィルタシステム135は、ケーブル240を介して電源133及び加熱要素214に結合される。RFフィルタシステム135は、ケーブル230及びケーブル240で生成される電磁干渉を減衰させる（例えば、RFリークを軽減する）ように構成される。

20

【0022】

【0024】RFフィルタシステム135は、複数のRFフィルタを含む。例えば、図2に示すように、RFフィルタシステム135は、RFフィルタ250、252、及び254を含む。RFフィルタ250は、電源132と電極212との間に結合される。更に、RFフィルタ252及び254は、電源133と加熱要素214との間に配置される。

30

【0023】

【0025】RFフィルタ250、252、及び254は、多段RFフィルタである。更に、RFフィルタは、バンドストップフィルタとも称され得る。各RFフィルタ250、252、及び254は、3つのステージを備える。各RFフィルタの第1のステージは、第1の周波数で電磁干渉を減衰させるように構成され得、各RFフィルタの第2のステージは、第2の周波数で電磁干渉を減衰させるように構成され得、各RFフィルタの第3のステージは、第3の周波数で電磁干渉を減衰させるように構成され得る。第1の周波数と第3の周波数は同じであり得る。例えば、第1の周波数及び第3の周波数は約60MHzであり得、第2の周波数は約13.56MHzであり得る。あるいは、第1及び第3の周波数は、60MHzより大きく又は小さくてよく、第2の周波数は、13.56MHzより大きく又は小さくてよい。

40

【0024】

【0026】RFフィルタ250は、ステージ250a、250b、及び250cを含む。RFフィルタ252は、ステージ252a、252b、及び252cを含む。更に、RFフィルタ254は、ステージ254a、254b、及び254cを含む。RFフィルタ250のステージ250a、RFフィルタ252のステージ252a、及びRFフィルタ254のステージ254aは、約60MHzの周波数を有する電磁干渉を減衰させるよ

50

うに構成される。RFフィルタ250のステージ250b、RFフィルタ252のステージ252b、及びRFフィルタ254のステージ254bは、約13.56MHzの周波数を有する電磁干渉を減衰させるように構成される。更に、RFフィルタ250のステージ250c、RFフィルタ252のステージ252c、及びRFフィルタ254のステージ254cは、約60MHzの周波数を有する電磁干渉を減衰させるように構成される。あるいは、60MHz及び13.56MHzを上記の説明に記載したが、フィルタステージは、それぞれ13.56MHzよりも大きい又は小さい及び／又は60MHzよりも大きい又は小さい周波数を有する電磁干渉を減衰させるように構成され得る。

【0025】

【0027】フィルタステージのそれぞれは、インダクタンス及び静電容量（LC回路と称される）を含み得る。インダクタンスはディスクリットインダクタに対応し得る。例えば、フィルタステージ250aはインダクタ260aを含み、フィルタステージ250bはインダクタ260bを含み、フィルタステージ250cはインダクタ260cを含む。更に、フィルタステージ252aはインダクタ262aを含み、フィルタステージ252bはインダクタ262bを含み、フィルタステージ252cはインダクタ262cを含む。更に、フィルタステージ254aはインダクタ264aを含み、フィルタステージ254bはインダクタ264bを含み、フィルタステージ254cはインダクタ264cを含む。

【0026】

【0028】インダクタ260a、262a、及び264a、ならびにインダクタ260c、262c、及び264cは、第1の方向に巻かれたワイヤから形成され得、インダクタ260b、262b、及び264bは、第2の方向に巻かれたワイヤから形成され得る。第1の方向は反時計回りであり得、第2の方向は時計回りであり得る。あるいは、第1の方向は時計回りであり得、第2の方向は反時計回りであり得る。更に、インダクタ260a、262a、及び264aを形成する巻数は、インダクタ260b、262b、及び264bを形成する巻数、及び／又はインダクタ260c、262c、及び264cを形成する巻数よりも多く又は少なくてもよい。更に、又は代わりに、インダクタ260b、262b、及び264bを形成する巻数は、インダクタ260a、262a、及び264aを形成する巻数及び／又はインダクタ260c、262c、及び264cを形成する巻数よりも多い。更に、インダクタ260c、262c、及び264cを形成する巻数は、インダクタ260b、262b、及び264bを形成する巻数及び／又はインダクタ260b、262b、及び264bを形成する巻数よりも多く又は少なくてもよい。

【0027】

【0029】インダクタ260a、262a、及び264aとインダクタ260c、262c、及び264cを形成する巻き間の間隔は、実質的に同様であり得る。例えば、間隔は、約0.1インチから約0.4インチであり得る。しかしながら、約0.1インチ未満及び約0.4インチを超える間隔も用いられ得る。更に、間隔はインダクタのインダクタンスに依存し得る。例えば、間隔を狭くし、巻数（巻線）を増やすと、対応するインダクタのインダクタンスが増加する。あるいは、インダクタ260a、262a、及び264aを形成する巻き間の間隔は、インダクタ260c、262c、及び264cの間隔よりも大きく又は小さくてもよい。インダクタ260a、262a、及び264aとインダクタ260c、262c、及び264cを形成する巻き間の間隔は、インダクタ260b、262b、及び264bを形成する巻き間の間隔より小さくてもよい。例えば、間隔は、約0.1インチから約0.4インチであり得る。しかしながら、約0.1インチ未満及び約0.4インチを超える間隔も用いられ得る。更に、間隔はインダクタのインダクタンスに依存し得る。例えば、間隔を狭くし、巻数（巻線）を増やすと、対応するインダクタのインダクタンスが増加する。

【0028】

【0030】各フィルタステージの静電容量は、ディスクリットコンデンサ又はインダクタの寄生容量に対応し得る。例えば、フィルタステージ250aは、ディスクリットコ

ンデンサ又はインダクタ260aの寄生容量である静電容量270aを含む。フィルタステージ250bは、ディスクリートコンデンサ又はインダクタ260bの寄生容量である静電容量270bを含む。更に、フィルタステージ250cは、ディスクリートコンデンサ又はインダクタ260cの寄生容量である静電容量270cを含む。フィルタステージ252aは、ディスクリートコンデンサ又はインダクタ262aの寄生容量である静電容量272aを含み、フィルタステージ252bは、ディスクリートコンデンサ又はインダクタ262bの寄生容量である静電容量272bを含む。フィルタステージ252cは、ディスクリートコンデンサ又はインダクタ262cの寄生容量である静電容量272cを含む。更に、フィルタステージ254aは、ディスクリートコンデンサ又はインダクタ264aの寄生容量である静電容量274aを含み、フィルタステージ254bは、ディスクリートコンデンサ又はインダクタ264bの寄生容量である静電容量274bを含み、フィルタステージ254cは、ディスクリートコンデンサ又はインダクタ264cの寄生容量である静電容量274cを含む。静電容量270a、272a、及び274aは、約5pFから約50pFの範囲であり得る。静電容量270b、272b、及び274bは、約10pFから約50pFの範囲であり得る。あるいは、静電容量270b、272b、及び274bは、約10pFから約50pFより大きく又は小さくてよい。静電容量270c、272c、及び274cは、約5pFから約50pFであり得る。

【0029】

【0031】RFフィルタ250は、フィルタステージ250b、フィルタステージ250cとグラウンドとの間に結合されたコンデンサ280aを更に含む。更に、RFフィルタ250は、フィルタステージ250cとグラウンドとの間に結合されたコンデンサ280bを含む。RFフィルタ252は、フィルタステージ252b、フィルタステージ252cとグラウンドとの間に結合されたコンデンサ282aを含む。更に、RFフィルタ252は、フィルタステージ252cとグラウンドとの間に結合されたコンデンサ282bを含む。RFフィルタ254は、フィルタステージ254b、フィルタステージ254cとグラウンドとの間に結合されたコンデンサ284aを更に含む。更に、RFフィルタ254は、フィルタステージ254cとグラウンドとの間に結合されたコンデンサ284bを含む。コンデンサ280a、282a、及び284aならびにコンデンサ280b、282b、及び284bの静電容量は、約0.01uFであり得る。あるいは、コンデンサ280a、282a、及び284aならびにコンデンサ280b、282b、及び284bの静電容量は、約0.01uFより大きくてよい、又は約0.01uFより小さくてよい。

【0030】

【0032】図3は、1又は複数の実施形態に係る、静電チャックアセンブリ318、RFフィルタシステム335、電源132、及び電源133を示す図である。静電チャックアセンブリ318は、チャック本体310及びチャックベース320を含む。チャックベース320は、図2のチャックベース122の構成と同様に構成される。更に、チャック本体310は、図2のチャック本体120の構成と同様に構成され、電極308及び加熱要素314a～314dを含む。電極308及び加熱要素314a～314dは、図2の電極212及び加熱要素214の構成と同様に構成される。図示したチャック本体310は、単一の電極308を含むが、チャック本体310は、2つ以上の電極を含み得る。更に、チャック本体310は、4つを超える加熱要素又は4つ未満の加熱要素を含み得る。

【0031】

【0033】RFフィルタシステム335は、RFフィルタ350～358を含む。RFフィルタ350～358のそれぞれは、図2のRFフィルタ250～254の構成と同様に構成される。例えば、RFフィルタ350～358のそれぞれは、第1のフィルタステージ、第2のステージ、及び第3のフィルタステージを含む。各ステージは、インダクタンスと静電容量の組み合わせを含む。各RFフィルタ351～358のステージは、図2に関して説明したステージと同様に構成される。RFフィルタ350は、電極308と電源132との間に結合される。更に、RFフィルタ351～358のそれぞれは、電源

1 3 3と加熱要素3 1 4 a～3 1 4 dのそれぞれとの間に結合される。

【0 0 3 2】

【0 0 3 4】図4は、1又は複数の実施形態に係る、R Fフィルタシステム（例えば、R Fフィルタシステム1 3 5又はR Fフィルタシステム3 3 5）用の例示的な容器4 0 0を示す図である。容器4 0 0の形状は円筒形であり得る。あるいは、容器4 0 0は、円筒形以外の形状を有し得る。容器4 0 0は、カバー4 1 0及び蓋4 4 0を有するハウジング4 0 2を含む。カバー4 1 0は、複数の穿孔4 2 0を含み得る。蓋4 4 0は、容器4 0 0の内部にアクセスできるように取り外すことができる。蓋4 4 0は、処理チャンバ（例えば、処理チャンバ1 0 0）と結合するように構成された取り付け要素4 4 2を含む。取り付け要素4 4 2は、R Fフィルタシステム（例えば、R Fフィルタシステム1 3 5、3 3 5）の各R Fフィルタを、対応する電極（例えば、電極2 1 2）又は加熱要素（例えば、加熱要素2 1 4又は3 1 4）と接続するための接続部を含み得る。更に、容器4 0 0は、ベース4 5 0内に配置された1又は複数の冷却チャネル4 5 2を含み得る。冷却チャネル4 5 2により、空気が容器4 0 0を通して流れ、R Fフィルタを冷却することが可能になる。

10

【0 0 3 3】

【0 0 3 5】コンテナ4 0 0は、電源接続部4 6 0及び4 6 2を更に含む。電源接続部4 6 0及び4 6 2は、電源（例えば、電源1 3 2、1 3 3）とR Fフィルタとの間の接続を提供する。

【0 0 3 4】

20

【0 0 3 6】図5は、蓋4 4 0が取り外され、内部領域5 1 0が露出した状態の容器4 0 0の上面図である。図5に示すように、R Fフィルタシステム5 3 5は、R Fフィルタ5 5 0～5 5 8を含む。R Fフィルタ5 5 0～5 5 8は、図2のR Fフィルタ2 5 0～2 5 4及び図3の3 5 0～3 5 8の構成と同様に構成され得る。容器4 0 0は、セパレータ5 4 0 a～5 4 0 d及び5 6 0を更に含む。セパレータ5 4 0 a～5 4 0 dは、ハウジング4 0 2に結合され得る。あるいは、セパレータ5 4 0 a～5 4 0 dは、ハウジング4 0 2から独立していてもよい。セパレータ5 4 0 a～5 4 0 dのそれぞれは、R Fフィルタ5 5 1～5 5 8のうちの2つの間に配置される。例えば、セパレータ5 4 0 aは、R Fフィルタ5 5 1と5 5 8との間に配置され、セパレータ5 4 0 bは、R Fフィルタ5 5 2と5 5 3との間に配置され、セパレータ5 4 0 cは、R Fフィルタ5 5 4と5 5 5との間に配置され、セパレータ5 4 0 dは、R Fフィルタ5 5 6と5 5 7との間に配置される。セパレータ5 4 0 a～5 4 0 dはシールドとして機能し、対応するR Fフィルタを互いから保護する。例えば、セパレータ5 4 0 aは、R Fフィルタ5 5 1をR Fフィルタ5 5 8から保護することができ、セパレータ5 4 0 bは、R Fフィルタ5 5 2をR Fフィルタ5 5 3から保護することができ、セパレータ5 4 0 cは、R Fフィルタ5 5 4をR Fフィルタ5 5 5から保護することができ、セパレータ5 4 0 dは、R Fフィルタ5 5 6をR Fフィルタ5 5 7から保護することができる。セパレータ5 4 0 a～5 4 0 dは、グラウンド電圧又は別のD C電圧に結合され得る。

30

【0 0 3 5】

【0 0 3 7】セパレータ5 4 0の間に配置されたR Fフィルタ5 5 1～5 5 8は、処理チャンバ（例えば、処理チャンバ1 0 0）の共通の要素に結合され得る。例えば、R Fフィルタ5 5 1及び5 5 2は、処理チャンバの第1の加熱要素（例えば、加熱要素3 1 4 a）に結合され得る。更に、R Fフィルタ5 5 1及び5 5 2は、電源1 3 3に結合され得る。R Fフィルタ5 5 3及び5 5 4は、処理チャンバの第2の加熱要素（例えば、加熱要素3 1 4 b）及び電源1 3 3に結合され得る。R Fフィルタ5 5 5及び5 5 6は、処理チャンバの第3の加熱要素（例えば、加熱要素3 1 4 c）及び電源1 3 3に結合され得る。R Fフィルタ5 5 7及び5 5 8は、処理チャンバの第4の加熱要素（例えば、加熱要素3 1 4 d）及び電源1 3 3に結合され得る。

40

【0 0 3 6】

【0 0 3 8】R Fフィルタ5 5 0は、容器4 0 0の中心に近接して配置され得る。ある

50

いは、ＲＦフィルタ５５０は、コンテナ４００の別の場所に配置され得る。例えば、ＲＦフィルタ５５０は、図示したＲＦフィルタ５５１～５５８のいずれかが配置されているような場所に配置され得る。セパレータ５６０は、ＲＦフィルタ５５０とＲＦフィルタ５５１～５５８との間に配置される。セパレータ５６０は、グラウンド電圧又は別のＤＣ電圧で駆動され得、容器４００内の他のＲＦフィルタからＲＦフィルタ５５０を保護するように構成される。ＲＦフィルタ５５０は、処理チャンバ（例えば、処理チャンバ１００）の電極（例えば、電極２１２）に結合され得る。更に、ＲＦフィルタ５５０は、電源１３２と結合され、ＤＣ電圧で駆動され得る。更に、セパレータ５６０は、空気が周りを流れてＲＦフィルタ５５０を冷却し得るように、１又は複数の穿孔を含み得る。

【００３７】

【００３９】ＲＦフィルタ５５１～５５８は、それらがＲＦフィルタ５５０の周りに第１のリングを形成するように配置され得る。しかしながら、ＲＦフィルタ５５１～５５８は、他の構成で配置され得る。あるいは、ＲＦフィルタシステム５３５は、ＲＦフィルタ５５１～５５８の周りの１又は複数の追加のリングに配置された追加のＲＦフィルタを含み得る。更に、１又は複数のセパレータを、ＲＦフィルタのリングの間に配置され得る。

【００３８】

【００４０】図６は、ハウジング４０２の一部が除去されて内部領域５１０、ＲＦフィルタシステム５３５の一部、及びセパレータ５４０ａ、５４０ｂを露出している容器４００を示す部分的な断面図である。更に、図６は、ＲＦフィルタ５５０の周りに配置されたセパレータ５６０の一部を示す図である。

【００３９】

【００４１】図７は、容器４００の断面図である。ＲＦフィルタ５５２及び５５７は、それぞれバスライン７２０、７２２に結合される。更に、ＲＦフィルタ５５１、５５３～５５６、及び５５８のそれぞれは、それぞれのバスラインに結合され得る。バスライン７２０、７２２は、ＲＦフィルタ５５１～５５８が処理チャンバのそれぞれの加熱要素に接続され得るように、取り付け要素４４２を通して配線される。バスライン７２０、７２２は、蓋４４０の表面上又は蓋４４０内に配置され得る。更に、ＲＦフィルタ５５０は、ＲＦフィルタ５５０が静電チャックアセンブリの電極に接続され得るように、取り付け要素４４２内の配線ワイヤに結合され得る。

【００４０】

【００４２】ＲＦフィルタ５５０～５５８のそれぞれは、接続要素７３０を介してそれぞれの電源に結合され得る。あるいは、ＲＦフィルタ５５０は、第１の接続要素を介して第１の電源に結合され得、ＲＦフィルタ５５１～５５８は、第２の接続要素を介して第２の電源に結合され得る。

【００４１】

【００４３】図４～図７に、複数のＲＦフィルタを収容するように構成された容器４００を示したが、代替的に、処理チャンバの異なる要素に結合されたＲＦフィルタを、異なる容器に収容することが可能である。例えば、図３を参照すると、ＲＦフィルタ３５０は、第１の容器に収容され得、ＲＦフィルタ３５１及び３５２は、第２の容器に収容され得、ＲＦフィルタ３５３及び３５４は、第３の容器に収容され得、ＲＦフィルタ３５５及び３５６は、第４の容器に収容され得、ＲＦフィルタ３５７及び３５８は、第５の容器に収容され得る。あるいは、異なる電源に結合されたＲＦフィルタを、異なる容器に収容することができる。例えば、ＲＦフィルタ３５０は、第１の容器に収容され得、ＲＦフィルタ３５１～３５８の１又は複数のは、第２の容器に収容され得る。

【００４２】

【００４４】上記は本開示の例を対象としているが、本開示の他のさらなる例を、その基本的な範囲から逸脱することなく考案することができ、その範囲は、以下の特許請求の範囲によって決定される。

10

20

30

40

50

【図面】
【図 1】

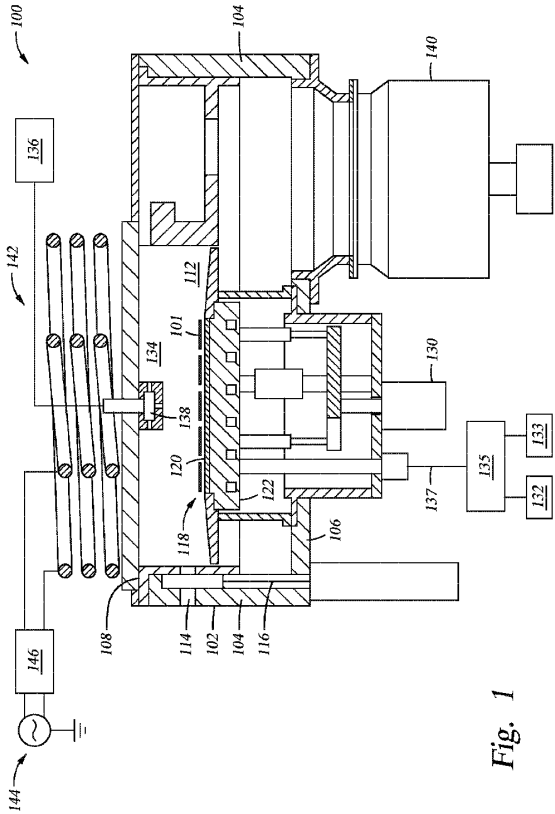


Fig. 1

【図 2】

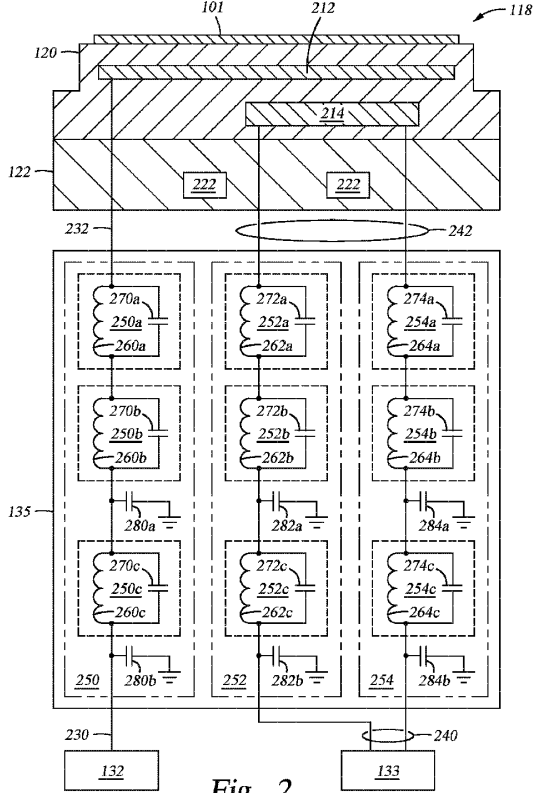


Fig. 2

【図 3】

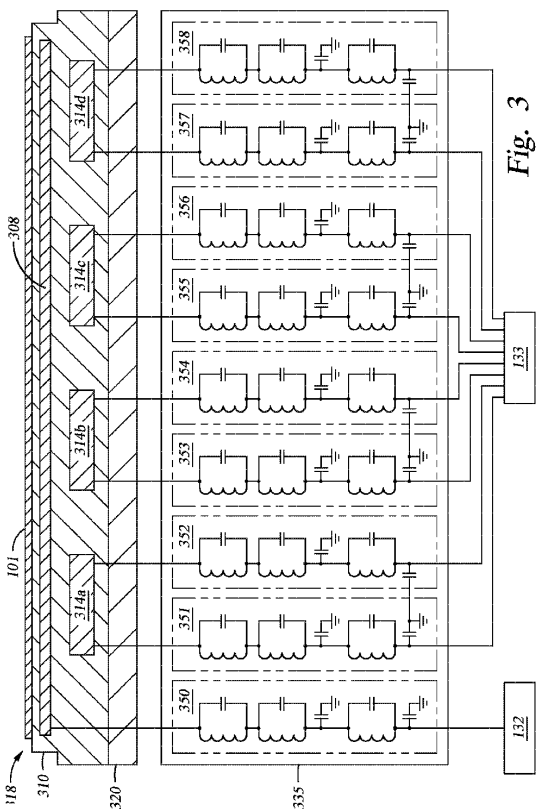


Fig. 3

【図 4】

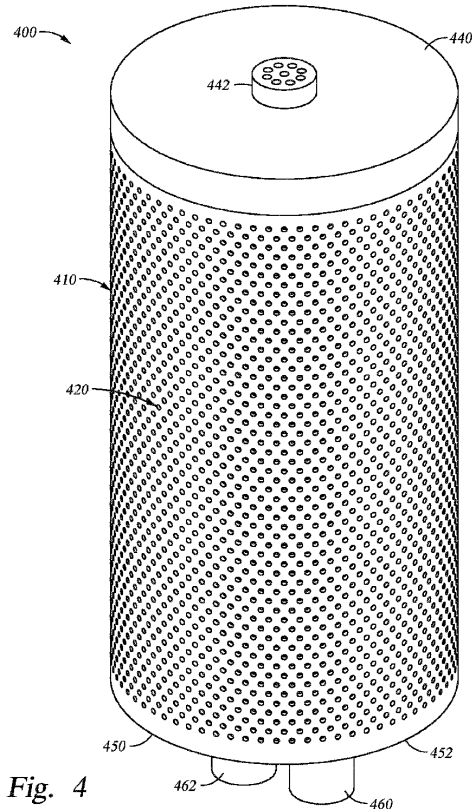


Fig. 4

【図 5】

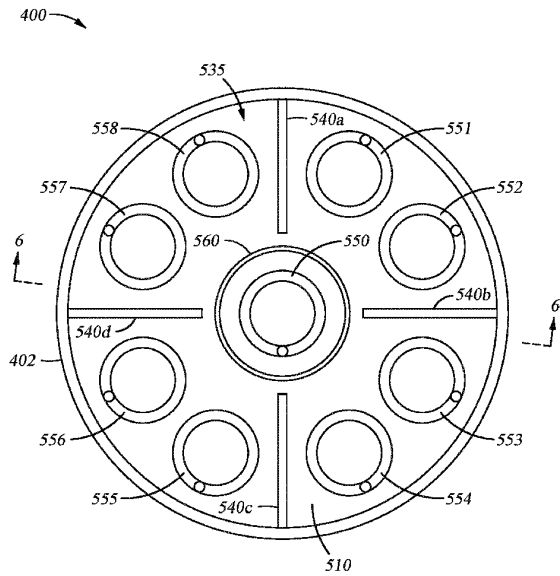


Fig. 5

【図 6】

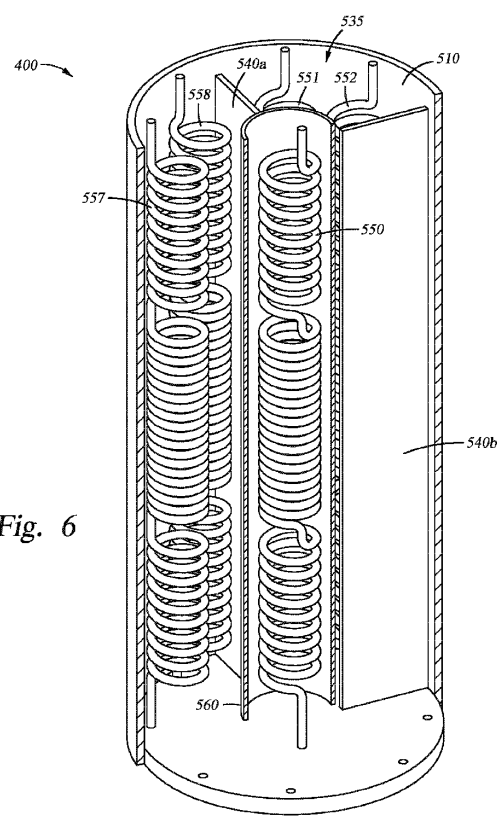


Fig. 6

【図 7】

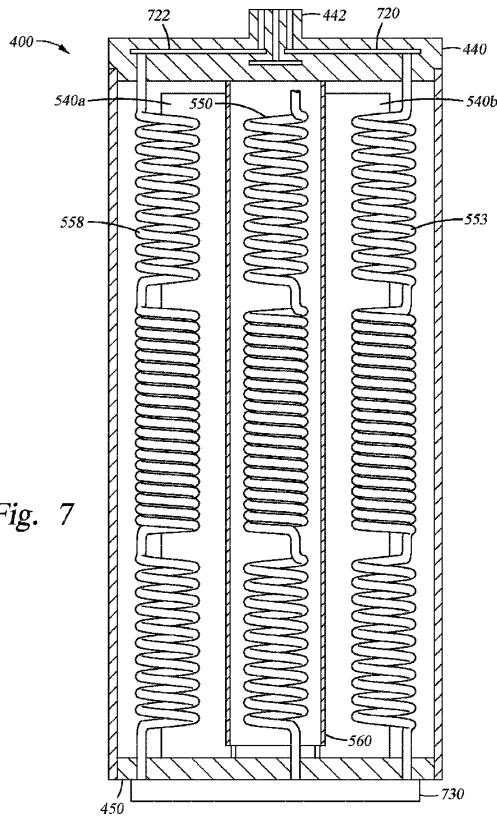


Fig. 7

10

20

30

40

50

フロントページの続き

- 54, サンタ クララ, バウアーズ アヴェニュー 3050, エム/エス 1269, シー/オー アプライド マテリアルズ インコーポレイテッド, ロー デパートメント
- (72)発明者 チャフィン, マイケル ジー.
アメリカ合衆国 カリフォルニア 95054, サンタ クララ, バウアーズ アヴェニュー 3050, エム/エス 1269, シー/オー アプライド マテリアルズ インコーポレイテッド, ロー デパートメント
- (72)発明者 リュー, ル
アメリカ合衆国 カリフォルニア 95054, サンタ クララ, バウアーズ アヴェニュー 3050, エム/エス 1269, シー/オー アプライド マテリアルズ インコーポレイテッド, ロー デパートメント
- (72)発明者 ラヤロス, アニルクマール
アメリカ合衆国 カリフォルニア 95054, サンタ クララ, バウアーズ アヴェニュー 3050, エム/エス 1269, シー/オー アプライド マテリアルズ インコーポレイテッド, ロー デパートメント
- 審査官 長谷川 直也
- (56)参考文献 特開2008-198902 (JP, A)
特開2014-056706 (JP, A)
国際公開第2015/064133 (WO, A1)
特開2010-004009 (JP, A)
特開平08-130100 (JP, A)
特開昭61-006914 (JP, A)
特開2014-229565 (JP, A)
特開平10-116888 (JP, A)
国際公開第2018/194807 (WO, A1)
- (58)調査した分野 (Int.Cl., DB名)
H01L 21/3065
H01L 21/31
H05H 1/46