

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2009-157169

(P2009-157169A)

(43) 公開日 平成21年7月16日(2009.7.16)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/36 (2006.01)	G09G 3/36	2H093
G09G 3/20 (2006.01)	G09G 3/20 612U	5C006
G02F 1/133 (2006.01)	G09G 3/20 633H	5C080
	G09G 3/20 641P	
	G09G 3/20 612F	
審査請求 未請求 請求項の数 5 O L (全 14 頁) 最終頁に続く		

(21) 出願番号 特願2007-336335 (P2007-336335)
 (22) 出願日 平成19年12月27日 (2007.12.27)

(71) 出願人 000001443
 カシオ計算機株式会社
 東京都渋谷区本町1丁目6番2号
 (72) 発明者 坂下 敏昭
 東京都八王子市石川町2951番地の5
 カシオ計算機株式会社八王子技術センター
 内
 Fターム(参考) 2H093 NA16 NA43 NA53 NA57 NC03
 NC10 NC12 NC29 NC34 ND06
 ND60
 5C006 AF45 AF46 AF83 AF84 BF43
 FA04 FA54
 5C080 AA10 BB05 DD01 EE29 FF01
 FF11 GG09 JJ02 JJ03 JJ04
 JJ05 JJ06 JJ07

(54) 【発明の名称】 表示装置

(57) 【要約】

【課題】 階調ズレ(輝度ズレ)を発生させることなく、効率よく映像データを転送して表示することができる表示装置を提供する。

【解決手段】 1回のデータ転送量がp(自然数)ビットのインターフェースを介して転送される階調データに基づいて映像を表示する際に、q[自然数、但しp>q]ビットの入力階調データをpビットの階調データに変換するデータ変換手段と、前記データ変換手段によって変換された階調データを、前記インターフェースを介して取得し、当該取得した階調データをD/A変換するD/A変換手段と、を備え、前記データ変換手段は、当該転送階調データの上位qビットに入力階調データを割り当てるとともに、残りの下位ビットの全てを「0」または「1」に設定する。

【選択図】 図6

3ビット	8ビット
{0} ₃ : 0.0.0	{0} ₈ : 0.0.0.0.0.0.0.0
{1} ₃ : 0.0.1	{32} ₈ : 0.0.1.0.0.0.0.0
{2} ₃ : 0.1.0	{64} ₈ : 0.1.0.0.0.0.0.0
{3} ₃ : 0.1.1	{96} ₈ : 0.1.1.0.0.0.0.0
{4} ₃ : 1.0.0	{128} ₈ : 1.0.0.0.0.0.0.0
{5} ₃ : 1.0.1	{160} ₈ : 1.0.1.0.0.0.0.0
{6} ₃ : 1.1.0	{192} ₈ : 1.1.0.0.0.0.0.0
{7} ₃ : 1.1.1	{255} ₈ : 1.1.1.1.1.1.1.1

【特許請求の範囲】**【請求項 1】**

1 回のデータ転送量が p (自然数) ビットのインターフェースを介して転送される階調データに基づいて映像を表示する表示装置であって、

q [自然数、但し $p > q$] ビットの入力階調データを p ビットの階調データに変換するデータ変換手段と、

前記データ変換手段によって変換された階調データを、前記インターフェースを介して取得し、当該取得した階調データを D/A 変換する D/A 変換手段と、を備え、

前記データ変換手段は、当該転送階調データの上位 q ビットに入力階調データを割り当てるとともに、残りの下位ビットの全てを「0」または「1」に設定することを特徴とする表示装置。

10

【請求項 2】

前記データ変換手段は、

前記入力階調データが最大の値の階調データのと看に、残りの下位ビットの全てを「1」に設定し、

前記入力階調データが最大の値の階調データと異なるときに、残りの下位ビットの全てを「0」に設定することを特徴とする請求項 1 に記載の表示装置。

【請求項 3】

前記データ変換手段は、

前記入力階調データが最小の値の階調データのと看に、残りの下位ビットの全てを「0」に設定し、

前記入力階調データが最小の値の階調データと異なるときに、残りの下位ビットの全てを「1」に設定することを特徴とする請求項 1 に記載の表示装置。

20

【請求項 4】

各階調に対応する階調電圧を生成する階調電圧生成手段と、

前記階調電圧生成手段が生成する階調電圧を前記入力階調データのビット数に基づいて切り換える階調電圧切換手段と、を備え、

前記 D/A 変換手段は、前記階調電圧生成手段により生成される階調電圧に基づいて前記階調データを D/A 変換することを特徴とする請求項 1 から 3 の何れかに記載の表示装置。

30

【請求項 5】

前記階調電圧生成手段は、電源端子間に複数の抵抗を直列に接続したラダー抵抗器からなり、

前記階調電圧切換手段は、前記各抵抗の抵抗値を切り換えることを特徴とする請求項 4 に記載の表示装置。

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、映像信号に応じた複数ビットのデジタル階調データに基づいて映像を表示する表示装置に関する。

40

【背景技術】**【0002】**

近年、液晶表示装置や EL 等の表示装置が実用化されている。例えば、液晶表示装置においては、スイッチング素子として薄膜トランジスタ (TFT) を用いたアクティブマトリクス型液晶表示装置が開発されている。

【0003】

アクティブマトリクス型液晶表示装置は、複数の走査ライン (ゲートライン) 及び信号ライン (ソースライン) がそれぞれ直交して配設され、各交点近傍に表示画素が形成されている。各表示画素は、TFT (Thin Film Transistor: 薄膜トランジスタ) を介して信号ライン及び走査ラインに接続された画素電極と共通電極との間に液晶が充填された画素

50

容量（液晶容量）を有している。

【0004】

そして、走査ドライバ（ゲートドライバ）によって各走査ラインに走査信号（ゲートパルス信号）が順次印加されて選択状態（高電位状態）となると、対応する表示画素のTFTがオン動作する。そして、信号ドライバ（ソースドライバ）によって各信号ラインに印加された表示信号電圧がTFTを介して画素電極に印加されることにより、この表示信号電圧と共通電極に印加されているコモン電圧 V_{com} との差電圧が対応する液晶容量に印加、充電され、液晶分子の配向状態が制御されることで、所望の映像が表示される。

【0005】

このように表示される映像に対応する表示信号電圧は、1回のデータ転送量が p （自然数）ビットのインターフェースを介してデジタルの階調データとして当該表示装置内を転送され、階調電圧生成回路によって生成される階調電圧を参照することによってアナログデータとしての表示信号電圧に変換されている。このとき、インターフェースは、1回のデータ転送量が映像表現可能な階調レベルの数（映像として表示され得る階調レベルの数）に対応するように構成され、転送される階調データは、このインターフェースに対応して p （自然数）ビットの平行な階調データに変換されている。また、階調電圧生成回路は、例えば一对の電源端子間に複数の抵抗を直列に接続したラダー抵抗器からなり、電源端子間の電圧を分圧して p （自然数）ビット分の階調基準電圧を生成している（例えば、特許文献1及び特許文献2）。

10

【0006】

つまり、従来は、例えば8ビットの階調レベルからなる映像を表示する場合には、1回に8ビットの階調データを転送可能なインターフェースと8ビット分の階調電圧を生成する階調電圧生成回路とを備えることによって、8ビットの階調レベルからなる映像を1画素分ごと効率よく転送して表示することが可能なように構成されている。

20

【0007】

【特許文献1】特開2005-234495号公報

【特許文献2】特開2007-241235号公報

【発明の開示】

【発明が解決しようとする課題】

【0008】

ところで、表示される映像の映像ソースには、予め少ない数の階調レベルで映像を表現するように設定されている映像ソースもある。例えば8ビット（256階調）表現させるものに対して、1ビット（2階調）表現や3ビット（8階調）表現させるものがある。

30

【0009】

しかし、上述した従来技術では、このように映像ソースの階調レベルが予め p （自然数）ビットよりも少ない q [自然数、但し $p > q$]ビットに設定されている映像ソースが入力された場合には、階調ズレ（輝度ズレ）が発生してしまい、本来の映像を表現させることができないという問題があった。

【0010】

本発明は、かかる従来技術の課題に鑑みてなされたものであり、階調ズレ（輝度ズレ）を発生させることなく、効率よく映像データを転送して表示することができる表示装置を提供することを目的とする。

40

【課題を解決するための手段】

【0011】

上述の目的を達成するため、請求項1に記載の発明にかかる表示装置は、1回のデータ転送量が p （自然数）ビットのインターフェースを介して転送される階調データに基づいて映像を表示する表示装置であって、 q [自然数、但し $p > q$]ビットの入力階調データを p ビットの階調データに変換するデータ変換手段と、前記データ変換手段によって変換された階調データを、前記インターフェースを介して取得し、当該取得した階調データをD/A変換するD/A変換手段と、を備え、前記データ変換手段は、当該転送階調データ

50

の上位 q ビットに入力階調データを割り当てるとともに、残りの下位ビットの全てを「0」または「1」に設定することを特徴とする。

また、請求項 2 に記載の発明にかかる表示装置は、請求項 1 に記載の表示装置において、前記データ変換手段は、前記入力階調データが最大の値の階調データのときに、残りの下位ビットの全てを「1」に設定し、前記入力階調データが最大の値の階調データと異なるときに、残りの下位ビットの全てを「0」に設定することを特徴とする。

また、請求項 3 に記載の発明にかかる表示装置は、請求項 1 に記載の表示装置において、前記データ変換手段は、前記入力階調データが最小の値の階調データのときに、残りの下位ビットの全てを「0」に設定し、前記入力階調データが最小の値の階調データと異なるときに、残りの下位ビットの全てを「1」に設定することを特徴とする。

10

また、請求項 4 に記載の発明にかかる表示装置は、請求項 1 から 3 の何れかに記載の表示装置において、各階調に対応する階調電圧を生成する階調電圧生成手段と、前記階調電圧生成手段が生成する階調電圧を前記入力階調データのビット数に基づいて切り換える階調電圧切換手段と、を備え、前記 D/A 変換手段は、前記階調電圧生成手段により生成される階調電圧に基づいて前記階調データを D/A 変換することを特徴とする。

また、請求項 5 に記載の発明にかかる表示装置は、請求項 4 に記載の表示装置において、前記階調電圧生成手段は、電源端子間に複数の抵抗を直列に接続したラダー抵抗器からなり、前記階調電圧切換手段は、前記各抵抗の抵抗値を切り換えることを特徴とする。

【発明の効果】

【0012】

20

本発明によれば、階調ズレ（輝度ズレ）を発生させることなく、効率よく映像データを転送して表示することができる。

【発明を実施するための最良の形態】

【0013】

以下、本発明の表示装置の実施の形態について図面を参照して説明する。

【0014】

本発明に係る表示装置 1 の概略全体構成は、図 1 に示すように、当該表示装置 1 の各駆動部を制御するメイン制御部 2 と、メイン制御部 2 から入力されるデータに基づいて映像を表示する表示モジュール 3 と、メイン制御部 2 と表示モジュール 3 との間でデータを入出力するためのインターフェース 4 とを備えて構成されている。また、当該表示装置 1 には、音声を出力するためのスピーカや当該表示装置 1 の起動状態などを示す LED など備えられ、これらスピーカや LED は、表示モジュール 3 とともに制御部 2 によって駆動制御される。

30

【0015】

なお、本実施の形態では、最大で 8 ビット分の階調レベル数からなる映像を表示するものとし、これに対応させて、インターフェース 4 は、1 回に 8 ビットからなる階調データをパラレルで転送可能なデータ転送ライン L1 を備えているものとする。また、インターフェース 4 は、データ転送ライン L1 とは別に、制御用信号を送受信させるための制御用ライン L2 や、後述する入力階調データのビット数 q を送受信させるための情報用ライン L3 が備えられている。つまり、メイン制御部 2 は、少なくとも、8 ビットからなる階調データをパラレルで出力可能な出力端子と、制御用信号を出力する出力端子と、入力階調データのビット数 q を出力する出力端子とを備え、また表示モジュール 3 は、少なくとも、8 ビットからなる階調データをパラレルで入力可能な入力端子と、制御用信号を入力する入力端子と、入力階調データのビット数 q を入力する入力端子とを備えている。

40

【0016】

メイン制御部 2 は、インターフェース 4 が 1 回に転送可能なビット数に基づいて例えば外部から入力されてくる映像ソース（映像信号）をデータ変換し、当該変換して得た階調データを、インターフェース 4 を介して表示モジュール 3 へ出力する。

【0017】

以下、メイン制御部 2 の動作について図 2 のフローチャートに基づいて詳述する。メイ

50

ン制御部 2 は、映像ソースが入力されてきたことを検知すると (S A 1)、当該映像ソースに含まれる付加情報に基づいて映像表現に必要な階調レベルの数 (映像ソースの取り得る階調レベルの数) を取得することで、1画素分の映像データを階調データとして転送するために最低限必要なビット数 q を取得する (S A 2)。

【 0 0 1 8 】

次に、メイン制御部 2 は、映像ソースを 1画素ごとに q ビットの入力階調データに変換し (S A 3)、この q ビットの入力階調データを、図 3 に示すように、予めビット数が p (本実施の形態では「 8 」) に設定されている転送用の階調データ $B(k)$ の上位 q ビット $B(1)$ 、 $B(2)$ 、 $B(3)$ に割り当てる (S A 4)。ここで、メイン制御部 2 は、例えば映像ソースがシリアルなデジタルデータであったときには、パラレルなデジタルデータに変換し、これを上位 q ビットに割り当てる。なお、本実施の形態では、入力されてきた映像ソースの映像表現に必要な階調レベルの数が「 8」、つまり、1画素分の映像データを階調データとして転送するために最低限必要なビット数 q が「 3」の例について示している。 $k = 1, 2, \dots, 8$ 。

【 0 0 1 9 】

また、メイン制御部 2 は、転送用の階調データの上位 q ビットに割り当てた入力階調データが最大の値の階調データであれば (S A 5 / Y)、残りの下位ビット $B(4)$ 、 $B(5)$ 、 $B(6)$ 、 $B(7)$ 、 $B(8)$ の全てを「 1」に設定する (S A 6)。具体的には、図 4 や図 6 に示すように、上位 q ビット $B(1)$ 、 $B(2)$ 、 $B(3)$ に割り当てられた入力階調データがそれぞれ「 1」、「 1」、「 1」であれば、残りの下位ビット $B(4)$ 、 $B(5)$ 、 $B(6)$ 、 $B(7)$ 、 $B(8)$ をそれぞれ「 1」、「 1」、「 1」、「 1」に設定する。つまり、3ビットでの各階調レベルを $[]_3$ で表し、8ビットでの各階調レベルを $[]_8$ で表すものとする、 $[7]_3$ のときには $[2 5 5]_8$ に設定される。

【 0 0 2 0 】

一方、転送用の階調データの上位 q ビットに割り当てた入力階調データが最大の値の階調データと異なれば (S A 5 / N)、残りの下位ビットの全てを「 0」に設定する (S A 7)。具体的には、図 5 や図 6 に示すように、上位 q ビット $B(1)$ 、 $B(2)$ 、 $B(3)$ に割り当てられた入力階調データが「 1」、「 1」、「 1」と異なれば、残りの下位ビット $B(4)$ 、 $B(5)$ 、 $B(6)$ 、 $B(7)$ 、 $B(8)$ をそれぞれ「 0」、「 0」、「 0」に設定する。つまり、 $[0]_3$ のときには $[0]_8$ に、 $[1]_3$ のときには $[3 2]_8$ に、 $[2]_3$ のときには $[6 4]_8$ に、 $[3]_3$ のときには $[9 6]_8$ に、 $[4]_3$ のときには $[1 2 8]_8$ に、 $[5]_3$ のときには $[1 6 0]_8$ に、 $[6]_3$ のときには $[1 9 2]_8$ に、それぞれ設定される。

【 0 0 2 1 】

つまり、メイン制御部 2 は、入力されてくる映像ソースを予めビット数が p に設定されている転送用の階調データ $B(k)$ で転送する際に余るビットの規格化処理を行っている。

【 0 0 2 2 】

そして、メイン制御部 2 は、このように設定した転送用の階調データを、インターフェース 4 を介して表示モジュール 3 へ 1画素分ごと出力する (S A 8)。なお、メイン制御部 2 は、このような階調データとは別に、インターフェース 4 の制御用ライン L 2 や情報用ライン L 3 を介して階調データに同期させた水平同期信号 H S や垂直同期信号 V S、基準クロック信号 C L K 等の各種タイミング信号としての制御信号と、入力階調データのビット数 q に対応した情報信号 I s も同時に生成して出力する。また、映像ソースの階調レベルの数が p ビット相当であったときには、入力階調データはそのまま p ビットの階調データとして表示モジュール 3 へ出力され、情報信号 I s もビット数 p に対応した情報信号 I s として出力される。

【 0 0 2 3 】

図 1 に戻り、表示モジュール 3 は、液晶パネル 1 0 と、走査ライン駆動回路 1 1 と、信

10

20

30

40

50

号ライン駆動回路 1 2 とを備えている。

【 0 0 2 4 】

液晶パネル 1 0 は、図 7 に示すように、マトリクス基板 1 3 と対向基板 1 4 とが所定の間隔を隔てて互いに平行となるようにシール材 1 5 により接着されるとともに、マトリクス基板 1 3 と対向基板 1 4 との間に液晶 LC が充填されている。

【 0 0 2 5 】

マトリクス基板 1 3 には、図 8 (a) に示すように、対向基板 1 4 との対向面側の表示領域 D a に、互いに平行な複数の信号ライン S (i) と、互いに平行でかつ信号ライン S (i) に交差する複数の走査ライン G (j) とが設けられている。そして、隣接する 2 本の走査ラインと隣接する 2 本の信号ラインとで囲まれた各部分には、画素電極 P (i , j) とスイッチング素子としての TFT (i , j) が設けられている。なお、TFT (i , j) は、そのゲート電極がゲート信号線 G (j) に、ドレイン電極が信号ライン S (i) に、ソース電極が画素電極 P (i , j) に接続されている。ここで、 $i = 1, 2, \dots, m$ 、 $j = 1, 2, \dots, n$ 。

10

【 0 0 2 6 】

また、対向基板 1 4 には、図 8 (b) に示すように、マトリクス基板 1 3 との対向面側の表示領域 D a に、共通電極 2 0 が設けられている。そして、対向基板 1 4 は、共通電極 2 0 が少なくとも各画素電極 P (i , j) に対向するように、マトリクス基板 1 3 に対して対向配置されている。

【 0 0 2 7 】

つまり、液晶パネル 1 0 は、画素電極 P (i , j) とそれに対向する共通電極 2 0 とで液晶 LC を挟持し、各画素電極 P (i , j) 単位で、各表示画素を構成している。そして、各表示画素では、画素電極 P (i , j) の電位とそれに対向する共通電極 2 0 の電位との差分からなる電圧が液晶 LC に印加されるとともに、印加された電圧に応じて液晶 LC の配向状態が変化し、これによって表示輝度の調整が可能となるように構成されている。

20

【 0 0 2 8 】

走査ライン駆動回路 1 1 は、液晶パネル 1 0 に設けられた各走査ライン G (j) に対して、信号ライン駆動回路 1 2 から入力されるゲートスタートパルス信号 G S P やゲートクロック信号 G C K に基づいて走査信号としてのハイレベルまたはローレベルの電圧を出力するためのものである。

30

【 0 0 2 9 】

具体的には、図 9 に示すように、ゲートスタートパルス信号 G S P に応じて当該フレームでの走査を開始するとともに、ゲートクロック信号 G C K に応じて、所定の期間だけローレベル電圧 V g l からハイレベル電圧 V g h に切り換えるといった電圧出力を、最前段の走査ライン G (1) から順に最後段の走査ライン G (n) まで、走査ライン毎に行う。

【 0 0 3 0 】

つまり、走査ライン駆動回路 1 1 は、走査ライン G (j) 毎に、当該走査ライン G (j) に対応する TFT (i , j) を順次オン状態にし、このときに信号ライン S (i) に出力されているデータ電位を対応する画素電極 P (i , j) に書き込む。

【 0 0 3 1 】

信号ライン駆動回路 1 2 は、メイン制御部 2 から入力される水平同期信号 H S や垂直同期信号 V S 、基準クロック信号 C L K 、 P ビットの階調データ B (k) などに基づいて、液晶パネル 1 0 に設けられた各信号ライン S (i) に対して、各信号ライン S (i) に対応するデータ電位 (データ信号) を、所定のタイミングで出力するものである。

40

【 0 0 3 2 】

また、信号ライン駆動回路 1 2 は、上述したゲートスタートパルス信号 G S P やゲートクロック信号 G C K を水平同期信号 H S や垂直同期信号 V S 、基準クロック信号 C L K に基づいて生成し、走査ライン駆動回路 1 1 に対して出力することで、当該信号ライン駆動回路 1 2 と走査ライン駆動回路 1 1 との間の同期を取っている。さらに、信号ライン駆動回路 1 2 は、共通電極 2 0 に対して共通電位 V c o m を出力する。

50

【 0 0 3 3 】

信号ライン駆動回路 1 2 の機能ブロック構成は、図 1 0 に示すように、サブ制御部 2 1、サンプリングメモリ 2 2、データラッチ部 2 3、D / A 変換回路 (D A C) 2 4、及び階調電圧生成回路 2 5 からなる。

【 0 0 3 4 】

サンプリングメモリ 2 2 は、水平同期信号 H S 及び基準クロック信号 C L K に同期して、走査ライン一本分の画素に対応する階調データ (映像データ) を取り込むためのものであり、信号ライン S (i) の数と同数のデータ格納領域を備えている。つまり、サンプリングメモリ 2 2 は、走査ライン毎に当該走査ラインの各画素に対応した階調データを取り込むとともに、当該取り込んだ各画素の階調データを、対応する信号ライン S (i) のデータ格納領域に格納する。各データ格納領域には上述したような 8 ビットのデジタルとしての階調データが格納される。

10

【 0 0 3 5 】

サンプリングメモリ 2 2 が取り込んだ一水平期間分の階調データは、後段のデータラッチ部 2 3 からの要求にしたがって、サンプリングメモリ 2 2 からデータラッチ部 2 3 に転送される。データラッチ部 2 3 に階調データが転送されると、サンプリングメモリ 2 2 は、次の一水平期間分の階調データとして次の行の走査ラインに対応した映像データの取り込み状態に移る。

【 0 0 3 6 】

データラッチ部 2 3 は、水平同期信号 H S に基づいて、サンプリングメモリ 2 2 から一水平期間分の階調データを一齐に取得するとともに、取得した階調データを後段の D / A 変換回路 2 4 に出力する。

20

【 0 0 3 7 】

D / A 変換回路 2 4 は、詳細は後述する複数の D A C 部 2 4 1 及び出力アンプ回路 2 4 2 で構成され、D A C 部 2 4 1 により階調電圧生成回路 2 5 から供給される階調電圧が選択されることで、データラッチ部 2 3 から出力されてくるそれぞれの階調データが、対応するアナログ信号としてのデータ電位 (データ信号) に変換され、出力アンプ回路 2 4 2 により各信号ライン S (i) に印加される。

【 0 0 3 8 】

階調電圧生成回路 2 5 は、図 1 1 に示すように、それぞれが、端子 2 5 5 (電圧 V H) と端子 2 5 6 (電圧 V L) との間の電圧を階調データのビット数 p (本実施の形態では 8 ビット) に応じた複数の抵抗で分圧する複数のラダー抵抗器と、各ラダー抵抗器の何れかに切り換えるための複数のスイッチ S Y 0 , S Y 1 , . . . , S Y 2 5 5 などから構成され、サブ制御部 2 1 からの制御信号 S C に基づいて各スイッチ S Y 0 , S Y 1 , . . . , S Y 2 5 5 により選択されるラダー抵抗器によって分圧された電圧を階調電圧として階調電圧印加ライン V 0 , V 1 , . . . , V 2 5 5 に印加する。

30

【 0 0 3 9 】

そして、それぞれのラダー抵抗器は、メイン制御部 2 において判定されるビット数 q に対応している。なお、図 1 1 には、メイン制御部 2 において判定されるビット数 q が階調データのビット数 p と等しいときに (本実施の形態では 8 ビットのときに) 対応するものとしてラダー抵抗器 3 1 を示し、また、メイン制御部 2 において判定されるビット数 q が階調データのビット数 p と異なるときに対応するものの代表として 3 ビットに対応するラダー抵抗器 3 2 を示し、メイン制御部 2 において判定されるビット数 q が他のビットのときに対応するものはそれぞれ不図示にしている。

40

【 0 0 4 0 】

つまり、ラダー抵抗器 3 1 は、サブ制御部 2 1 からの制御信号 S C に基づいて各スイッチ S Y 0 , S Y 1 , . . . , S Y 2 5 5 により当該ラダー抵抗器 3 1 が選択された際に、端子 2 5 5 (電圧 V H) と端子 2 5 6 (電圧 V L) との間の電圧を階調データのビット数 (本実施の形態では 8 ビット) に応じた複数の抵抗 R A 1 , R A 2 , . . . , R A 2 5 4 で分圧し、分圧された電圧を階調電圧として階調電圧印加ライン V 0 , V 1 , . . . , V

50

255に印加する。また、ラダー抵抗器32は、サブ制御部21からの制御信号SCに基づいて各スイッチSY0, SY1, ..., SY255により当該ラダー抵抗器32選択された際に、電圧VHと電圧VLとの間を階調データのビット数(本実施の形態では8ビット)に応じた複数の抵抗RB1, RB2, ..., RB254で分圧し、分圧された電圧を階調電圧として階調電圧印加ラインV0, V1, ..., V255に印加する。他のラダー抵抗器においても同様に構成される。

【0041】

ここで、DAC部241について詳述する。各DAC部241は、デコーダ243と、各階調電圧印加ラインVo, V1, ..., V255に接続される選択スイッチSW0, SW1, ..., SW255とを備えて構成されている。デコーダ243は、データラッチ部23から出力された階調データを入力してデコードし、各画素の階調数(ビット数)に応じた階調レベル信号を出力する。各選択スイッチSW0, SW1, ..., SW255はデコーダ243から出力される階調レベル信号に基づいてオン/オフが制御される。そして選択された階調電圧印加ラインV0, V1, ..., V255と階調電圧出力ラインSLとが導通されて、階調電圧印加ラインV0, V1, ..., V255に印加された階調電圧が階調電圧出力ラインSLに印加される。即ち、階調電圧出力ラインSLには選択された階調電圧印加ラインV0, V1, ..., V255の階調電圧がデータ電位(データ信号)として階調電圧出力ラインSLに出力され、出力アンプ回路242を介して信号ラインS(i)に印加される。

10

【0042】

また、D/A変換回路24において、ラダー抵抗器31は8ビット(256階調)表現させる映像ソースに対応するように、第二ラダー抵抗器31は3ビット(8階調)表現させる映像ソースに対応するように、各抵抗の抵抗値が設定されている。つまり、第一ラダー抵抗器31は、図12(a)に示すような、液晶パネル10における液晶への印加電圧と表示輝度との関係に基づいて8ビット(256階調)分の各階調レベルに対してそれぞれに対応する階調電圧が図12(b)に示すような関係となるように各抵抗RA1, RA2, ..., RA254の抵抗値が設定されている。

20

【0043】

一方、ラダー抵抗器32は、図12(b)における各階調レベルを、図12(c)に示すように、3ビット(8階調)での階調レベルで設定し直したときに、この3ビット(8階調)での階調レベルに対応する階調電圧が、所定の階調電圧印加ラインで得られるように、各抵抗RB1, RB2, ..., RB254の抵抗値が設定されている。

30

【0044】

具体的には、階調電圧印加ラインV0での電圧が階調レベル[0]₃に対応する階調電圧となるように、階調電圧印加ラインV32での電圧が階調レベル[1]₃に対応する階調電圧となるように、階調電圧印加ラインV64での電圧が階調レベル[2]₃に対応する階調電圧となるように、階調電圧印加ラインV96での電圧が階調レベル[3]₃に対応する階調電圧となるように、階調電圧印加ラインV128での電圧が階調レベル[4]₃に対応する階調電圧となるように、階調電圧印加ラインV160での電圧が階調レベル[5]₃に対応する階調電圧となるように、階調電圧印加ラインV192での電圧が階調レベル[6]₃に対応する階調電圧となるように、階調電圧印加ラインV255での電圧が階調レベル[7]₃に対応する階調電圧となるように、各抵抗RB1, RB2, ..., RB254の抵抗値が設定されている。

40

【0045】

同様に他のラダー抵抗器においても、それぞれに対応する階調レベルで設定し直したときに、この階調レベルに対応する階調電圧が、所定の階調電圧印加ラインで得られるように、各抵抗の抵抗値が設定されている。

【0046】

サブ制御部21は、メイン制御部2から入力されてくる水平同期信号HSや垂直同期信号VS、基準クロック信号CLK等の各種タイミング信号に基づいて当該信号ライン駆動

50

回路 1 2 と走査ライン駆動回路との同期をとるように構成されている。

【 0 0 4 7 】

また、サブ制御部 2 1 は、メイン制御部 2 から入力されてくる入力階調データのビット数 q に対応した情報信号 l_s に基づいて上述した複数のラダー抵抗器の何れか 1 つが選択されるように各スイッチ $S Y 0$, $S Y 1$, \dots , $S Y 2 5 5$ を制御する。例えば、情報信号 l_s が 3 ビットに対応するものであったときには、ラダー抵抗器 3 2 が選択されるように各スイッチ $S Y 0$, $S Y 1$, \dots , $S Y 2 5 5$ を制御し、情報信号 l_s が 8 ビットに対応するものであったときには、ラダー抵抗器 3 1 が選択されるように各スイッチ $S Y 0$, $S Y 1$, \dots , $S Y 2 5 5$ を制御する。

【 0 0 4 8 】

このように、本実施の形態では、映像ソースにおける階調幅が維持されるように、つまり、最大の階調レベルと最小の階調レベルが維持されるように、転送前に予め転送用のビット数に変換して転送するとともに、転送後に映像ソースの取り得る階調レベルに階調電圧を設定し直しているため、入力されてきた映像ソースが取り得る階調レベルの数 q が、インターフェースの 1 回に転送可能なビット数 p やラダー抵抗器によって生成される階調電圧数 p よりも小さいビット数であったとしても、効率よく映像データを転送できるとともに、映像ソースに対する階調ズレ（輝度ズレ）を発生させることなく、映像表現させることが可能となる。

【 0 0 4 9 】

なお上述の実施の形態では、メイン制御部 2 が、入力階調データが最大の値の階調データのときに、残りの下位ビットの全てを「1」に設定し、入力階調データが最大の値の階調データと異なるときに、残りの下位ビットの全てを「0」に設定する場合について説明したが、メイン制御部 2 は、例えば図 1 3 に示すように、入力階調データが最小の値の階調データのときに、残りの下位ビットの全てを「0」に設定し、入力階調データが最小の値の階調データと異なるときに、残りの下位ビットの全てを「1」に設定する構成としてもよい。何れにしても、映像ソースにおける階調幅が維持されるように、つまり、最大の階調レベルと最小の階調レベルが維持されるように、転送前に予め転送用のビット数に変換されていればよく、このことによって、入力されてきた映像ソースが取り得る階調幅（コントラスト）を確実に映像表現することができる。

【 0 0 5 0 】

また、上述の実施形態では、映像ソースの取り得る階調レベルの数毎に、これに対応するラダー抵抗器を備える場合について説明したが、これに限定するものではなく、映像ソースの取り得る階調レベルに対応するように、階調電圧が生成される構成となっていればよい。例えば、複数の可変抵抗器が接続されたラダー抵抗器を備え、映像ソースの取り得る階調レベルの数に応じて各可変抵抗器での抵抗値を制御する構成としてもよいし、所望の階調電圧が得られるのであれば、何れかの抵抗をショートさせる構成としてもよい。

【 図面の簡単な説明 】

【 0 0 5 1 】

【 図 1 】 表示装置の概略構成図

【 図 2 】 メイン制御部の動作を説明するためのフロ - チャート

【 図 3 】 階調データの説明図

【 図 4 】 階調データの説明図

【 図 5 】 階調データの説明図

【 図 6 】 階調データの説明図

【 図 7 】 液晶パネルの概略断面構成図

【 図 8 】 表示領域の説明図であり、(a) はマトリクス基板の平面図、(b) は対向基板の平面図

【 図 9 】 各走査ライン信号のタイミングチャート

【 図 1 0 】 信号ライン駆動回路の機能ブロック構成図

【 図 1 1 】 D / A 変換回路及び階調電圧生成回路の説明図

10

20

30

40

50

【図12】(a)液晶への印加電圧と表示輝度との関係の説明図、(b)8ビットでの階調レベルと階調電圧との関係の説明図、(c)3ビットでの階調レベルと階調電圧との関係の説明図、

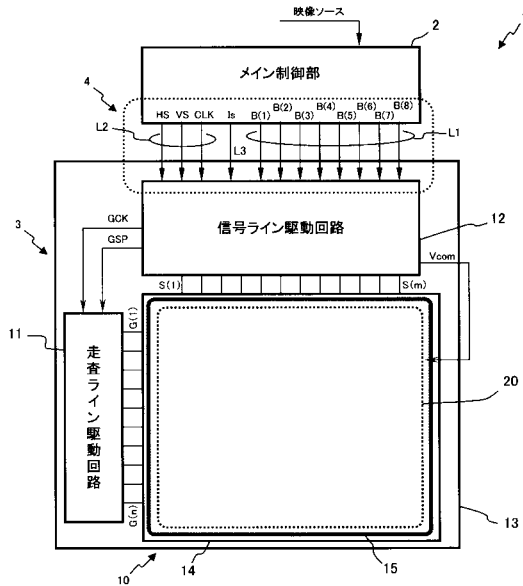
【図13】別実施形態における階調データの説明図

【符号の説明】

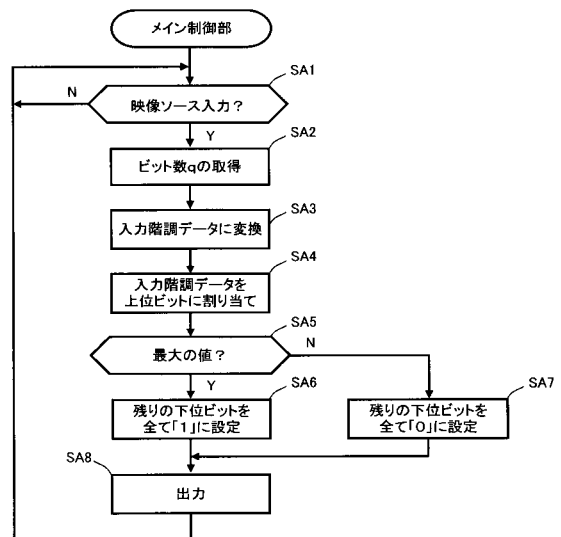
【0052】

- 1：表示装置
- 2：メイン制御部
- 3：表示モジュール
- 4：インターフェース
- 10：液晶パネル
- 11：走査ライン駆動回路
- 12：信号ライン駆動回路
- 21：サブ制御部
- 24：D/A変換回路
- 25：階調電圧生成回路
- 31、32：ラダー抵抗器

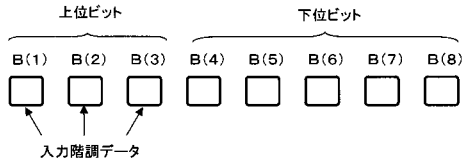
【図1】



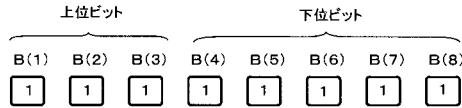
【図2】



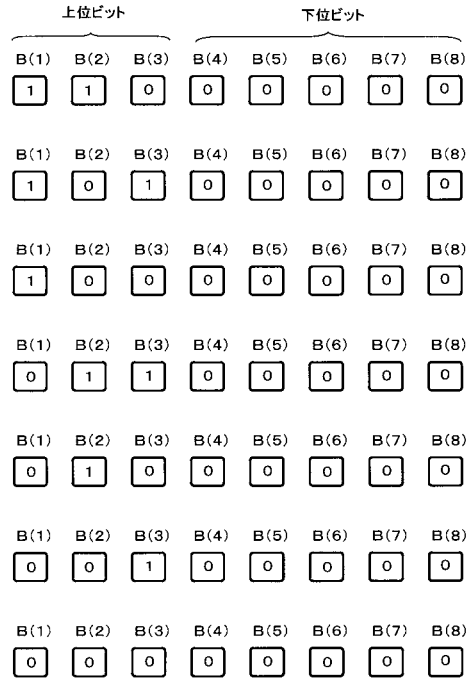
【 図 3 】



【 図 4 】



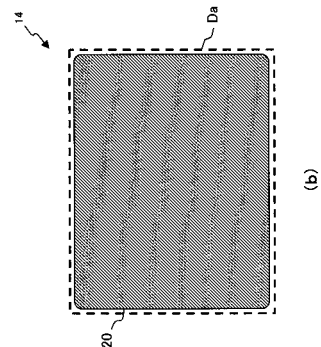
【 図 5 】



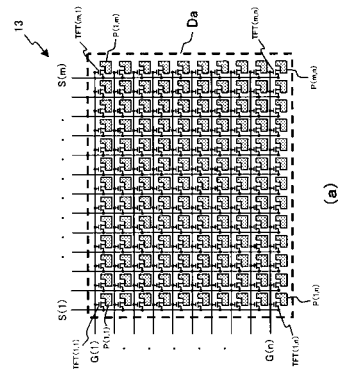
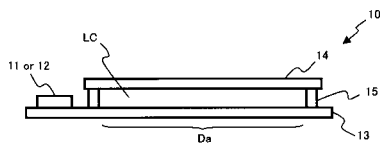
【 図 6 】

3ビット	8ビット
$[0]_3 : 0,0,0$	$[0]_8 : 0,0,0,0,0,0,0,0$
$[1]_3 : 0,0,1$	$[32]_8 : 0,0,1,0,0,0,0,0$
$[2]_3 : 0,1,0$	$[64]_8 : 0,1,0,0,0,0,0,0$
$[3]_3 : 0,1,1$	$[96]_8 : 0,1,1,0,0,0,0,0$
$[4]_3 : 1,0,0$	$[128]_8 : 1,0,0,0,0,0,0,0$
$[5]_3 : 1,0,1$	$[160]_8 : 1,0,1,0,0,0,0,0$
$[6]_3 : 1,1,0$	$[192]_8 : 1,1,0,0,0,0,0,0$
$[7]_3 : 1,1,1$	$[255]_8 : 1,1,1,1,1,1,1,1$

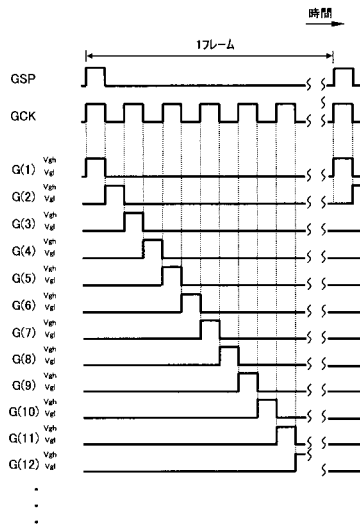
【 図 8 】



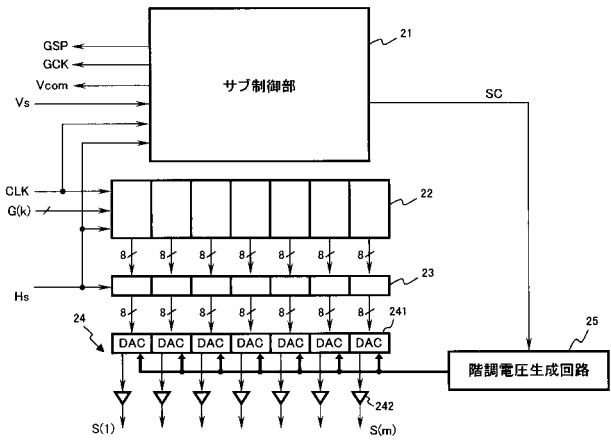
【 図 7 】



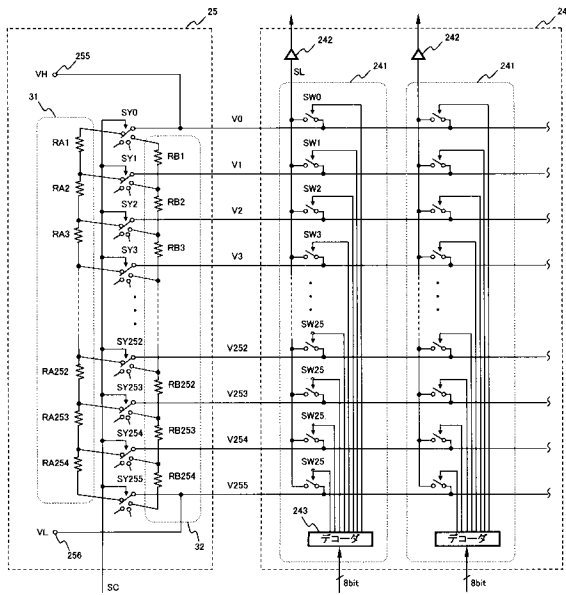
【図9】



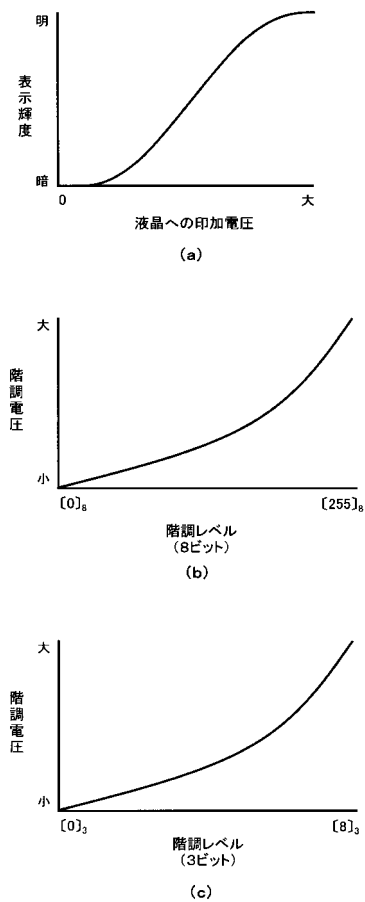
【図10】



【図11】



【図12】



【 図 1 3 】

3 ビット	8 ビット
$[0]_3 : 0,0,0$	$[0]_8 : 0,0,0,0,0,0,0$
$[1]_3 : 0,0,1$	$[63]_8 : 0,0,1,1,1,1,1,1$
$[2]_3 : 0,1,0$	$[95]_8 : 0,1,0,1,1,1,1,1$
$[3]_3 : 0,1,1$	$[127]_8 : 0,1,1,1,1,1,1,1$
$[4]_3 : 1,0,0$	$[159]_8 : 1,0,0,1,1,1,1,1$
$[5]_3 : 1,0,1$	$[191]_8 : 1,0,1,1,1,1,1,1$
$[6]_3 : 1,1,0$	$[223]_8 : 1,1,0,1,1,1,1,1$
$[7]_3 : 1,1,1$	$[255]_8 : 1,1,1,1,1,1,1,1$

フロントページの続き

(51)Int.Cl.

F I

テーマコード(参考)

G 0 9 G 3/20 6 4 2 E

G 0 2 F 1/133 5 7 5