

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 6 部門第 4 区分

【発行日】平成24年9月27日(2012.9.27)

【公開番号】特開2012-123881(P2012-123881A)

【公開日】平成24年6月28日(2012.6.28)

【年通号数】公開・登録公報2012-025

【出願番号】特願2010-275370(P2010-275370)

【国際特許分類】

G 1 1 C 11/401 (2006.01)

H 0 1 L 27/04 (2006.01)

H 0 1 L 21/822 (2006.01)

G 1 1 C 11/4074 (2006.01)

G 1 1 C 11/4093 (2006.01)

【F I】

G 1 1 C 11/34 3 7 1 K

H 0 1 L 27/04 D

H 0 1 L 27/04 H

G 1 1 C 11/34 3 5 4 F

G 1 1 C 11/34 3 5 4 Q

【手続補正書】

【提出日】平成24年8月13日(2012.8.13)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

第 1 の外部電圧が供給される複数の第 1 の電源パッドと、
複数のデータ出力パッドと、
前記複数の第 1 の電源パッドに共通接続された第 1 の電源線と、
前記第 1 の電源線に共通に接続されるとともに、それぞれが前記複数のデータ出力パッドのうちの対応する 1 つに接続された複数の出力バッファと、
それぞれが前記第 1 の電源線と前記複数の出力バッファのうちの対応する 1 つとの間に挿入された複数のローパスフィルタ回路と、を備えることを特徴とする半導体装置。

【請求項 2】

第 2 の外部電圧が供給される複数の第 2 の電源パッドと、
前記複数の第 2 の電源パッドに共通に接続された第 2 の電源線と、を更に備え、
前記複数のローパスフィルタ回路のそれぞれは、前記第 1 の電源線と前記複数の出力バッファのうちの前記対応する 1 つとの間に直列接続された第 1 の抵抗素子と、前記第 1 の抵抗素子の一端に一方の電極が接続され他方の電極が前記第 2 の電源線に接続された第 1 の容量素子とを含むことを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】

前記複数のローパスフィルタ回路のそれぞれは、前記第 2 の電源線と前記複数の出力バッファのうちの対応する 1 つとの間に直列に接続された第 2 の抵抗素子と、前記第 2 の抵抗素子の一端に一方の電極が接続され他方の電極が前記第 1 の電源線に接続された第 2 の容量素子とをさらに含むことを特徴とする請求項 2 に記載の半導体装置。

【請求項 4】

前記複数のローパスフィルタ回路のそれぞれの前記第 1 の抵抗素子が、第 1 のトランジスタを含むことを特徴とする請求項 2 に記載の半導体装置。

【請求項 5】

前記複数のローパスフィルタ回路のそれぞれの前記第 1 のトランジスタの制御電極に、制御信号を供給する制御回路であって、前記第 1 及び第 2 の外部電圧の供給開始後の第 1 の期間前記複数のローパスフィルタ回路のそれぞれの前記第 1 のトランジスタを非導通状態とする前記制御回路をさらに備えることを特徴とする請求項 4 に記載の半導体装置。

【請求項 6】

前記第 1 の外部電圧に基づいて第 1 の内部電圧を生成する第 1 の内部電圧生成回路をさらに備え、前記制御回路は、前記電源投入後の前記第 1 の期間に続く第 2 の期間に、前記複数のローパスフィルタ回路のそれぞれの前記第 1 のトランジスタの前記制御電極に前記第 1 の内部電圧を供給して前記複数のローパスフィルタ回路のそれぞれの前記第 1 のトランジスタを導通状態とすることを特徴とする請求項 5 に記載の半導体装置。

【請求項 7】

前記第 1 の外部電圧に基づいて第 2 の内部電圧を生成する第 2 の内部電圧生成回路と、前記複数の出力バッファに入力信号を供給する内部回路とをさらに備え、前記内部回路は前記第 2 の内部電圧によって動作することを特徴とする請求項 5 に記載の半導体装置。

【請求項 8】

前記複数の第 1 の電源パッドと前記第 2 の内部電圧生成回路との間に挿入された第 2 のトランジスタをさらに備え、

前記制御回路は、前記制御信号を前記第 2 のトランジスタの制御電極に供給することを特徴とする請求項 7 に記載の半導体装置。

【請求項 9】

前記第 1 の内部電圧は前記第 1 の外部電圧よりも高く、前記第 2 の内部電圧は前記第 1 の外部電圧よりも低いことを特徴とする請求項 7 に記載の半導体装置。

【請求項 10】

一対のデータストロープパッドと、

前記第 1 の電源線に共通に接続され、前記複数の出力バッファのそれぞれが前記複数のデータ出力パッドのうちの対応する 1 つを駆動するタイミングと実質的に同じタイミングで前記一対のデータストロープパッドを駆動する一対のストロープバッファとをさらに備えることを特徴とする請求項 1 に記載の半導体装置。

【請求項 11】

第 1 の外部電圧が供給される複数の第 1 の電源パッドと、

複数のデータ出力パッドと、

前記複数の第 1 の電源パッドに共通接続された第 1 の電源線と、

それぞれが前記第 1 の電源線から供給される前記第 1 の外部電圧で動作し、活性化されると前記複数のデータ出力パッドのうちの対応する 1 つを第 1 及び第 2 の論理レベルのうちの一方に駆動する複数の出力バッファと、

それぞれが前記複数の出力バッファのうちの対応する 1 つに対応して設けられ、前記複数の出力バッファのうちの対応する 1 つが動作したときに発生しうるノイズが、前記複数の出力バッファのうちの対応する 1 つから前記第 1 の電源線に伝播する前に前記ノイズを取り除く、複数のローパスフィルタ回路と、を備えることを特徴とする半導体装置。

【請求項 12】

第 2 の外部電圧が供給される複数の第 2 の電源パッドと、

前記複数の第 2 の電源パッドに共通に接続された第 2 の電源線と、を更に備え、

前記複数のローパスフィルタ回路のそれぞれは、前記第 1 の電源線と前記複数の出力バッファのうちの前記対応する 1 つとの間に直列接続された第 1 の抵抗素子と、前記第 1 の抵抗素子の一端に一方の電極が接続され他方の電極が前記第 2 の電源線に接続された第 1 の容量素子とを含むことを特徴とする請求項 11 に記載の半導体装置。

【請求項 13】

前記複数のローパスフィルタ回路のそれぞれの、前記第2の電源線と前記複数の出力バッファのうちの対応する1つとの間に直列に接続された第2の抵抗素子と、前記第2の抵抗素子の一端に一方の電極が接続され他方の電極が前記第1の電源線に接続された第2の容量素子とをさらに含むことを特徴とする請求項12に記載の半導体装置。

【請求項 14】

前記複数のローパスフィルタ回路のそれぞれの前記第1の抵抗素子が、第1のトランジスタを含むことを特徴とする請求項12に記載の半導体装置。

【請求項 15】

前記複数のローパスフィルタ回路のそれぞれの前記第1のトランジスタの制御電極に、制御信号を供給する制御回路であって、前記第1及び第2の外部電圧の供給開始後の第1の期間前記複数のローパスフィルタ回路のそれぞれの前記第1のトランジスタを非導通状態とする前記制御回路をさらに備えることを特徴とする請求項14に記載の半導体装置。

【請求項 16】

前記第1の外部電圧に基づいて第1の内部電圧を生成する第1の内部電圧生成回路をさらに備え、前記制御回路は、前記電源投入後の前記第1の期間に続く第2の期間に、前記複数のローパスフィルタ回路のそれぞれの前記第1のトランジスタの前記制御電極に前記第1の内部電圧を供給して前記複数のローパスフィルタ回路のそれぞれの前記第1のトランジスタを導通状態とすることを特徴とする請求項15に記載の半導体装置。

【請求項 17】

前記第1の外部電圧に基づいて第2の内部電圧を生成する第2の内部電圧生成回路と、前記複数の出力バッファに入力信号を供給する内部回路とをさらに備え、前記内部回路は前記第2の内部電圧によって動作することを特徴とする請求項15に記載の半導体装置。

【請求項 18】

前記複数の第1の電源パッドと前記第2の内部電圧生成回路との間に挿入された第2のトランジスタをさらに備え、

前記制御回路は、前記制御信号を前記第2のトランジスタの制御電極に供給することを特徴とする請求項17に記載の半導体装置。

【請求項 19】

前記第1の内部電圧は前記第1の外部電圧よりも高く、前記第2の内部電圧は前記第1の外部電圧よりも低いことを特徴とする請求項17に記載の半導体装置。

【請求項 20】

前記複数のデータ出力パッドが複数のデータストロブパッドを含み、前記複数の出力バッファが、それぞれが前記複数のデータストロブパッドのうちの対応する1つを前記第1及び第2の論理レベルのうちの一方に駆動する複数のストロブバッファを含むことを特徴とする請求項11に記載の半導体装置。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0009

【補正方法】変更

【補正の内容】

【0009】

【図1】本発明の好ましい実施形態による半導体装置10の構成を示すブロック図である。

【図2】半導体装置10のレイアウトを説明するための全体図である。

【図3】データ入出力回路70におけるデータ出力回路700のブロック図である。

【図4】本発明の好ましい実施形態による複数のデータ出力回路700と、これらに電源を供給する電源幹線及び電源パッドやデータ出力パッド等を示す模式図である。

【図5】本発明の好ましい第1の実施形態による半導体装置におけるローパスフィルタ回路1000の詳細を説明するための模式図である。

【図 6】半導体装置 10 における電源投入後（パワーオンリセット信号 P O N が入力されてから）の電源電圧 V D D と内部電圧 V P E R I の時間経過にともなう電位変化を示す図である。

【図 7】図 6 に示す問題の対応を説明するための模式図である。

【図 8】図 7 に示す問題の対応を行った半導体装置 10 における電源投入後（パワーオンリセット信号 P O N が入力されてから）の電源電圧 V D D と内部電圧 V P E R I の時間経過にともなう電位変化を示す図である。

【図 9】第 2 の実施形態による半導体装置におけるローパスフィルタ回路 1000 の詳細を説明するための模式図である。

【手続補正 3】

【補正対象書類名】明細書

【補正対象項目名】0023

【補正方法】変更

【補正の内容】

【0023】

以上が本実施形態による半導体装置 10 の全体構成である。図 1 に示した各要素のうち、パッド群 100 は 2 つのパッド列に配置され、アレイ系回路 200 はメモリセルアレイ領域に配置され、その他の周辺回路 300 は周辺回路領域に配置される。ここで、パッド群 100 とは、上述の通り、クロック端子 11a, 11b、コマンド端子 12a ~ 12e、アドレス端子 13、データ入出力端子 14、電源端子 15a, 15b、データ入出力用の電源端子 16a, 16b 及びデータストロープ端子 17a, 17b を含む外部端子群である。一方、アレイ系回路 200 とは、メモリセルアレイ 60、ロウデコーダ 61、カラムデコーダ 62、センス回路 63 及びデータアンプ 64 からなる回路群である。また、周辺回路 300 とは、アレイ系回路 200 を除く他の全ての回路である。

【手続補正 4】

【補正対象書類名】明細書

【補正対象項目名】0044

【補正方法】変更

【補正の内容】

【0044】

図 6 に示すように、パワーオンリセット信号 P O N の電位の上昇とともに電源電圧 V D D の電位も上昇するが内部電源発生回路によって生成される内部電圧 V P E R I の電位は初期段階において不定である。このため、例えば、図 3 に示すデータ出力回路 700 において、電源電圧 V D D と接地電圧 V S S との間で動作するレベル変換回路 711, 712 内の P チャネル型 M O S トランジスタと N チャネル型 M O S トランジスタがともにオンし、貫通電流が流れてしまうこととなる。これにより、電源電圧 V D D の電位も期待値まで上がらないという問題が生じ、したがって、内部電圧 V P E R I の電位も予定の電位まで上がらないことになってしまう。

【手続補正 5】

【補正対象書類名】明細書

【補正対象項目名】0045

【補正方法】変更

【補正の内容】

【0045】

このような問題に対応する構成を図 7 に示す。図 7 に示すように、電源電圧 V D D が供給される電源パッド 115 に接続される電源配線に N チャネル型 M O S トランジスタ 800 を挿入し、このゲート電極に内部電圧 V P P を入力させるとともに、電源投入後の一定期間、トランジスタ 800 をオフさせるスイッチ回路 900 を設ける。スイッチ回路 900 としては、ゲート電極にパワーオンリセット信号 P O N を受け、ドレイン電極が内部電圧 V P P の供給ライン 700 に接続され、ソース電極が接地電圧に接続された N チャネル

型 MOS トランジスタにより構成することができる。

【手続補正 6】

【補正対象書類名】明細書

【補正対象項目名】0047

【補正方法】変更

【補正の内容】

【0047】

ここで、パワーオンリセット信号 P O N が入力されている間、電源電圧 V D D のレベル変換回路 7 1 1 , 7 1 2 への供給をストップさせていることにより、図 3 に示すデータ出力回路 7 0 0 において、電源電圧 V D D Q と接地電圧 V S S Q との間で動作する出力バッファ 7 2 に入力される電位も不定となり、出力バッファ 7 2 に貫通電流が流れるおそれが生じる。しかしながら、第 1 の実施形態によれば、図 5 に示すように、電源電圧 V D D Q が供給される電源パッド 1 1 1 と出力バッファ 7 2 との間にはゲート電極に内部電圧 V P P が入力されるトランジスタ 1 0 1 a 1 が設けられ、接地電圧 V S S Q が供給される電源パッド 1 1 2 と出力バッファ 7 2 との間にはゲート電極に内部電圧 V P P が入力されるトランジスタ 1 0 1 b 1 が設けられていることから、図 7 に示すような構成となる。すなわち、パワーオンリセット信号 P O N の電位が入力されている間はスイッチ回路 (トランジスタ) 9 0 0 がオンすることにより内部電圧 V P P の供給ライン 7 0 0 の電位が接地電位となり、これにより、トランジスタ 8 0 0 と同様、トランジスタ 1 0 1 a 1 及び 1 0 1 b 1 もオフする。したがって、トランジスタ 1 0 1 a 1 のソース電極には電源電圧 V D D Q が供給されず、その電位 V D D Q c l a m p は上がらない。また、トランジスタ 1 0 1 b 1 の電極パッド 1 1 2 と反対側の電極に接地電圧 V S S Q は供給されない。その後、パワーオンリセット信号 P O N の入力終了し、スイッチ回路 (トランジスタ) 9 0 0 がオフすることから内部電圧 V P P の電位が上がっていき、トランジスタ 1 0 1 a 1 がオンすることにより、トランジスタ 1 0 1 a 1 のソース電極の電位 V D D Q c l a m p も V D D c l a m p と同様、問題なく期待値まで上昇する。また、トランジスタ 1 0 1 b 1 の電極パッド 1 1 2 と反対側の電極に接地電圧 V S S Q が電位 V S S Q c l a m p として供給される。

【手続補正 7】

【補正対象書類名】図面

【補正対象項目名】図 7

【補正方法】変更

【補正の内容】

【図 7】

