



(19)대한민국특허청(KR)  
(12) 등록특허공보(B1)

(51) 。 Int. Cl. G01R 19/165 (2006.01)	(45) 공고일자 (11) 등록번호 (24) 등록일자	2007년07월19일 10-0740887 2007년07월12일
--	-------------------------------------	--

(21) 출원번호 (22) 출원일자 심사청구일자	10-2005-0100497 2005년10월25일 2005년10월25일	(65) 공개번호 (43) 공개일자	10-2007-0044519 2007년04월30일
----------------------------------	---	------------------------	--------------------------------

(73) 특허권자                   한양대학교 산학협력단  
                                  서울 성동구 행당동 17번지

                                  한국전자통신연구원  
                                  대전 유성구 가정동 161번지

(72) 발명자                    노정진  
                                  서울 서초구 방배4동 현대아파트 105동2005호

                                  김인석  
                                  서울 구로구 개봉동 현대 홈타운 202동 1401호

(74) 대리인                    특허법인 신성

(56) 선행기술조사문헌 JP2000099172 A US6400211 B1 KR1020020004664 A	JP2003250265 A US6753723 B2
--	--------------------------------

심사관 : 우귀애

전체 청구항 수 : 총 5 항

(54) 전압차 검출회로

(57) 요약

기존의 램프파형 신호 발생기의 전류분석을 통하여 저항과 증폭기를 사용함 없이 출력전압과 입력전압의 전압차를 검출할 수 있는 전압차 검출 회로.

본 발명의 일 실시예에 따른 전압차 검출회로는 제1 전압레벨과 제2 전압레벨의 차를 검출하기 위한 것으로서, 상기 제1 전압레벨이 인가되는 제1 노드; 상기 제1 노드에 결합되는 제1 미러회로; 상기 제1 미러회로의 입력전류와 출력전류가 유입되는 제2 노드; 상기 제1 노드 및 상기 제1 미러회로에 결합되는 제2 미러회로; 상기 제2 미러회로의 출력전류가 유입되는 제3 노드; 및 상기 제2 노드를 통해 상기 제1 미러회로에 연결되고 상기 제2 미러회로의 출력단으로 출력되는 전류값이 상기 제1 전압레벨과 상기 제2 전압레벨의 차 형태로 출력되도록 상기 전압차 검출회로에 포함된 반도체 소자값을 조절하는 조절부; 를 포함한다.

대표도

도 5

특허청구의 범위

청구항 1.

제1 노드와 제2 노드 사이에 접속되고, 게이트로 입력되는 제1 입력전압에 응답하여 상기 제1 노드로 입력되는 제2 입력 전압을 상기 제2 노드로 전달하는 제1 트랜지스터;

상기 제2 노드와 접지전압원 사이에 접속되고, 바이어스 전압에 응답하여 전류원으로 동작하는 제2 트랜지스터;

상기 제1 노드와 상기 제2 노드 사이에 접속되고, 상기 제1 입력전압과 동일 전압을 공통 게이트 전압으로 입력받아 상기 제1 노드로부터 입력되는 제1 전류를 미러링(mirroring)하는 제1 미러 회로; 및

상기 제1 노드와 상기 제1 미러 회로 사이에 접속되고, 상기 제1 미러 회로에 의해 미러링되어 상기 제1 전류와 동일한 크기를 갖는 제2 전류에 대응되는 전압을 공통 게이트 전압으로 입력받아 상기 제2 전류를 미러링하여 상기 제1 및 제2 입력 전압의 차를 출력하는 제2 미러 회로

를 포함하는 전압차 검출회로.

청구항 2.

제 1 항에 있어서,

상기 제1 미러 회로는,

상기 제1 노드와 일단이 접속된 저항;

드레인과 게이트가 상호 접속되어 상기 저항의 타단과 접속되고, 소스가 상기 제2 노드와 접속된 제3 트랜지스터; 및

게이트가 상기 제3 트랜지스터의 게이트와 접속되고, 소스가 상기 제2 노드와 접속되며, 드레인이 상기 제2 미러 회로와 연결되어 상기 제1 전류를 미러링하여 출력하는 제4 트랜지스터

를 포함하는 전압차 검출회로.

청구항 3.

제 2 항에 있어서,

상기 제2 미러 회로는,

드레인이 게이트와 상호 접속되어 상기 제4 트랜지스터의 드레인과 접속되고, 소스가 상기 제1 노드와 접속된 제5 트랜지스터; 및

게이트가 상기 제5 트랜지스터의 게이트와 접속되고, 소스가 상기 제1 노드와 접속되며, 드레인으로 상기 제2 전류를 미러링하여 출력하는 제6 트랜지스터

를 포함하는 전압차 검출회로.

#### 청구항 4.

제 2 항에 있어서,

상기 제1 트랜지스터는 드레인이 상기 제1 노드와 연결되고, 소스가 상기 제2 트랜지스터의 드레인과 연결된 전압차 검출 회로.

#### 청구항 5.

제 2 항에 있어서,

상기 제1 미러 회로의 공통 게이트 전압은 상기 제1, 상기 제3 및 제4 트랜지스터의 크기(W/L) 비에 의해 상기 제1 입력전압과 동일한 전압을 갖는 전압차 검출회로.

#### 청구항 6.

삭제

#### 청구항 7.

삭제

#### 청구항 8.

삭제

#### 명세서

### 발명의 상세한 설명

#### 발명의 목적

##### 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 DC-DC 컨버터에 관한 것으로서, 보다 구체적으로 DC-DC 컨버터에 사용되는 램프파형 신호 발생기의 전압차 검출회로에 관한 것이다.

일반적으로 DC-DC 컨버터는 입력전압레벨을 소정의 전압레벨로 승압 또는 감압하기 위한 것이다. 이러한 DC-DC 컨버터에는 컨버터를 제어하기 위하여 컨트롤러가 사용되는데 일반적으로 입력전류를 컨트롤하는 방식인 "전류제어 컨트롤러(Current Programmed Controller)"가 널리 사용되고 있다. 그러나 이러한 전류제어(Current Programmed Control) 방식의 DC-DC 컨버터는 PWM(Pulse-Width Modulation) 듀티(duty)가 50%를 넘을 경우 안정성에 문제가 발생하므로 일반적으로 전류제어 방식의 DC-DC 컨버터에는 램프파형 신호 발생기가 사용된다.

도 1에 램프파형 신호 발생기가 포함된 전류제어(Current Programmed Control) 방식의 DC-DC 컨버터의 회로가 도시되어 있으며 도 2에는 램프파형 신호 발생기에 의해 생성된 램프파형의 신호가 도시되어 있다. 도 1을 참조하여 전류제어 방식의 DC-DC 컨버터의 동작원리를 설명하면, 먼저 래치회로(SR-Latch, 2)가 세트(set)는 일정한 주기를 갖는 클럭신호에 의해 결정되고, 리세트(Reset)는 피드백 시스템과 비교기에 의해서 결정된다. 이때,  $V_{out}(t)$ 는 2개의 저항 R11, R12에 의해 분배되어지고, 분배되어서 피드백된  $V_{fb}$ 와 기준전압(Reference Voltage)인  $V_{ref}$ 가 에러앰프(Error Amp, 8)에 의

해 비교되게 되는데, 피드백 된 신호가 Vref보다 작은 경우 에러앰프의 출력전압이 상승하게 된다. 이 결과 비교기(6)의 출력이 하이(High) 상태가 되는 타이밍이 지연되게 되어 래치회로(SR-Latch, 2)가 리셋(Reset)되는 시간도 지연되게 되며, 따라서 스위치 M1을 온/오프하는 PWM 펄스의 듀티가 증가하며, 출력전압인 Vout(t)이 상승하게 된다.

도 3은 램프파형 신호 발생기에 의해 램프 파형신호가 생성될 때 스위치 M1이 온/오프 되는 그래프를 보여주는데 도시된 바와 같이 인덕터에 흐르는 전류인  $i_L(t)$ 가 제어신호인  $i_c$ 와 램프파형 신호인  $i_a(t)$ 의 차와 동일한 경우, 즉  $i_L(t)=i_c-i_a(t)$ 인 경우에 M1이 오프된다. 여기서,  $i_L(t)$ 는 PWM 펄스가 하이(High) 상태일 때는 m1의 기울기로 증가하고, PWM펄스가 로우(Low) 상태일 때는 m2의 기울기로 감소하게 되고, 이때 스위치M1이 오프되기 때문에  $i_L(t)$ 가 다이오드를 통해 컨버터의 출력단의 커패시터에 공급되게 된다.

도 1에 도시된 컨버터가 부스터 컨버터라고 가정하는 경우 m1 및 m2는 수학식1에 의해 산출된다.

수학식 1

$$m1 = \frac{Vg(t)}{L}, \quad m2 = \frac{Vout(t) - Vg(t)}{L}$$

상술한 수학식1을 참조할때 스위치 M1을 오프시키게 되는 m2의 값은 출력전압과 입력전압의 차의 형태로 나타나게 됨을 알 수 있다. 따라서, 기존의 DC-DC 부스터 컨버터에서는 출력전압과 입력전압의 차를 검출하기 위해서 복수개의 저항과 증폭기로 구성된 회로를 이용하였다.

그러나 종래와 같이 복수개의 저항과 증폭기를 사용하는 경우, 회로의 사이즈가 커지게 되어 시스템 온 칩(System On Chip)의 구현이 어렵다는 문제가 있었다. 특히 최근들어 모든 시스템이 온칩화 되는 추세임을 감안할때 이러한 문제점은 더욱 심각하다 할 수 있다.

발명이 이루고자 하는 기술적 과제

상술한 문제점을 해결하기 위하여 본 발명은 기존의 램프파형 신호 발생기의 전류분석을 통하여 저항과 증폭기를 사용하지 출력전압과 입력전압의 전압차를 검출할 수 있는 전압차 검출 회로를 제공하는 것을 그 기술적 과제로 한다.

발명의 구성

상술한 기술적 과제를 달성하기 위한 본 발명의 일 실시예에 따른 전압차 검출회로는 제1 전압레벨과 제2 전압레벨의 차를 검출하기 위한 것으로서, 상기 제1 전압레벨이 인가되는 제1 노드; 상기 제1 노드에 결합되는 제1 반도체 타입의 제1 미러회로; 상기 제1 미러회로의 입력전류와 출력전류가 유입되는 제2 노드; 상기 제1 노드 및 상기 제1 미러회로에 결합되는 제2 반도체 타입의 제2 미러회로; 상기 제2 미러회로의 출력전류가 유입되는 제3 노드; 및 상기 제1 및 제2 노드를 통해 상기 제1 미러회로에 연결되고 상기 제2 미러회로의 출력단으로 출력되는 전류값이 상기 제1 전압레벨과 상기 제2 전압레벨의 차 형태로 출력되도록 상기 전압차 검출회로에 포함된 반도체 소자값을 조절하는 조절부;를 포함하고, 상기 제2 전압레벨은 상기 조절부의 입력전압인 것을 특징으로 한다.

일 실시예에 있어서 상기 제1 미러회로는 공통 게이트 전극을 갖는 제1 트랜지스터 및 제2 트랜지스터를 포함하고, 상기 제1 트랜지스터의 드레인 전극은 상기 제1 노드와 저항을 통해 연결됨과 동시에 상기 공통 게이트 전극에 연결되어 상기 제1 미러회로의 입력을 형성하며, 제2 트랜지스터의 드레인 전극은 상기 제1 미러회로의 출력을 형성하고, 상기 제1 및 제2 트랜지스터의 소스 전극들은 상기 제2 노드에 연결된다.

또한, 상기 제2 미러회로는 공통 게이트 전극을 갖는 제3 트랜지스터 및 제4 트랜지스터를 포함하고, 상기 제3 트랜지스터의 드레인 전극은 상기 공통 게이트 전극 및 상기 제2 트랜지스터의 드레인 전극에 연결되어 상기 제2 미러회로의 입력을 형성하며, 상기 제4 트랜지스터의 드레인 전극은 상기 제3 노드에 연결되어 상기 제2 미러회로의 출력을 형성하고, 상기 제3 및 제4 트랜지스터의 소스 전극들은 상기 제1 노드에 연결된다.

한편, 상기 조절부는 캐스코드 연결된 제5 트랜지스터 및 제6 트랜지스터를 포함하고, 제5 트랜지스터의 드레인 전극에는 상기 제1 전압레벨이 인가되고 게이트 전극에는 상기 제2 전압레벨이 인가되며 소스전극은 상기 제6 트랜지스터에 연결되며, 제6 트랜지스터의 드레인 전극은 상기 제2 노드 및 상기 제5 트랜지스터의 소스 전극과 연결되고 게이트 전극에는 제3 전압레벨이 인가되며 소스 전극은 접지된다.

바람직한 실시예에 있어서, 상기 조절부는 상기 제1, 제2, 및 제6 트랜지스터의 소자값의 조절을 통해 상기 제1 미러회로의 공통 게이트 전극과 접지 사이에 인가되는 전압레벨과 상기 제1 전압레벨을 일치시킴으로서 상기 제2 미러회로의 출력 전류가 상기 제1 전압레벨과 상기 제2 전압레벨의 차 형태로 출력되게 하며, 여기서 상기 제1, 제2, 및 제6 트랜지스터의 소자값은 제3 전압레벨의 조절에 의해 조절된다.

일 실시예에 있어서, 상기 제1 반도체 타입은 N채널 모스 트랜지스터로 구성되고, 상기 제2 반도체 타입은 P채널 모스 트랜지스터로 구성된다.

다른 실시예에 있어서, 상기 전압차 검출회로는 상기 제3 노드를 통해 출력되는 출력전류를 별도의 적분기의 입력단으로 입력시킴으로써 상기 적분기가 램프파형의 신호를 생성하도록 한다.

이하 첨부된 도면을 참조하여 본 발명의 실시예를 상세하게 설명한다.

도 4는 종래의 램프파형 신호 발생기의 회로를 보여주는 도면이다. 도시된 바와 같이 종래의 램프파형 신호 발생기는 램프파형의 신호를 발생시키는 신호 발생부(20)와 출력전압 $V_{out}(t)$ 과 입력전압 $V_g(t)$ 의 차를 산출하여 상기 신호 발생부로 입력하는 전압차 검출부(10)로 구성된다.

신호 발생부(20)는 적분기로 구현되는 증폭기(AMP2)와 도 1에 도시된 래치회로(2)에서 발생하는 출력신호에 동기화되어 적분기를 리셋(Reset)시키는 스위치(S11) 및 커패시터(C11)로 구성된다. 신호발생부(20)는 상기 전압차 검출부(10)로부터 입력되는  $\{V_{out}(t)-V_g(t)\}$ 의 값을 적분함으로써 램프파형을 발생시킨다.

전압차 검출부(10)는 도시된 바와 같이 4개의 저항들( $R_1, R_2, R_3, R_4$ )과 1개의 증폭기(AMP1)로 구성된다. 도시된 전압차 검출(10)부의 동작원리를  $R_4/R_2$ 와  $R_3/R_1$ 이 동일하다는 가정아래 중첩의 원리(Seperposition)를 이용하여 설명하면 다음과 같다.

먼저,  $V_{out}(t)$ 을 접지로 연결한 상태에서  $V_o$ 와의 관계를 수식화하면 다음과 같다.

수학식 2

$$V_{o1} = -\frac{R_3}{R_1} V_g(t)$$

다음으로  $V_g(t)$ 을 접지로 연결한 상태에서  $V_o$ 와의 관계를 수식화하면 다음과 같다.

수학식 3

$$V_{o2} = V_{out}(t) \frac{R_4}{R_2 + R_4} \left(1 + \frac{R_3}{R_1}\right) = \frac{R_3}{R_1} V_{out}(t)$$

따라서, 중첩의 원리에 의해  $V_o$ 는 다음과 같이 나타낼 수 있다.

한편, 상기 수학식 3은  $\frac{R_4}{R_2} = \frac{R_3}{R_1}$  로 가정한다.

수학식 4

$$V_o = V_{o1} + V_{o2} = \frac{R_3}{R_1} (V_{out}(t) - V_g(t))$$

즉, 상술한 바와 같이 종래의 램프파형 신호 발생기에서는 복수개의 저항과 증폭기를 이용하여 출력전압과 입력전압의 전압차를 검출함을 알 수 있다.

도 5는 본 발명의 일 실시예에 따른 램프파형 신호발생기를 도시한 것으로서, 도시된 바와 같이 본 실시예에 따른 램프파형 신호 발생기는 신호 발생부(200)와 전압차 검출부(100)를 포함한다. 신호 발생부(200)는 도 1에 도시된 신호 발생부(20)와 그 구성 및 동작이 동일하므로 상세한 설명은 생략하기로 한다.

전압차 검출부(100)는 복수개의 저항들과 증폭기를 사용하여 전압차를 검출하는 도 4의 전압차 검출부(10)와 달리 전류미러(Current Mirror)회로를 이용하여 출력전압과 입력전압의 전압차를 검출한다.

구체적으로 본 발명의 실시예에 따른 전압차 검출부(100)는 출력전압인  $V_{out}$ 이 인가되는 제1 노드(N1), 상기 제1 노드에 결합되는 제1 미러회로(120), 상기 제1 미러회로(120)의 입력전류와 출력전류가 유입되는 제2 노드(N2), 상기 제1 노드(N1) 및 상기 제1 미러회로(120)에 결합되는 제2 미러회로(130), 제2 미러회로(130)의 출력전류가 유입되는 제3 노드(N3), 및 상기 제2 노드(N2)를 통해 상기 제1 미러회로(120)에 연결되고 상기 제2 미러회로(130)의 출력단으로 출력되는 전류값이 출력전압과 입력전압의 차 형태로 출력되도록 전압차 검출회로에 포함된 반도체 소자값을 조절하는 조절부(110)를 포함한다.

제1 미러회로(120)는 2개의 N채널 MOS 트랜지스터로 구성되는데, 여기서 제3 트랜지스터(M1)는 다이오드 결합된다. 제3 트랜지스터(M1)의 드레인 전극은 저항R을 통해 제1 노드(N1)에 연결되어 제1 전류미러(120)의 입력이 되며 게이트 전극은 노드(N12)를 통해 제4 트랜지스터(M2)의 게이트 전극과 상호 연결되고 소스 전극은 제2 노드(N2)에 연결된다. 한편, 제4 트랜지스터(M2)의 드레인 전극은 제2 전류미러(130)의 입력인 노드(N34)에 결합되고 제1 전류미러(120)의 출력이 되며 게이트 전극은 노드(N12)를 통해 제3 트랜지스터(M1)의 게이트 전극과 연결되며 소스 전극은 제2 노드(N2)에 연결된다.

제2 미러회로(130)는 2개의 P채널 MOS 트랜지스터로 구성되는데, 여기서 제5 트랜지스터(M3)는 다이오드 결합된다. 제5 트랜지스터(M3)의 소스 전극은 제6 트랜지스터(M4)의 소스 전극과 함께 제1 노드(N1)에 연결되고, 제5 트랜지스터(M3)의 게이트 전극과 제6 트랜지스터(M4)의 게이트 전극은 노드 N34를 통해 상호연결되며, 제5 트랜지스터(M3)의 드레인 전극은 상술한 바와 같이 제1 전류미러(120)의 드레인 전극과 연결되어 제2 전류미러(130)의 입력이 되고, 제6 트랜지스터(M4)의 드레인 전극은 제3 노드(N3)에 연결되어 제2 전류미러(130)의 출력이 된다.

조절부(110)는 2개의 N채널 MOS 트랜지스터로 구성되는데 2개의 트랜지스터는 캐스코드 연결되어 제1 트랜지스터(M5)의 소스 전극이 제2 트랜지스터(M6)의 드레인 전극에 연결된다. 제1 트랜지스터(M5)의 드레인 전극에는 출력전압인  $V_{out}$ 이 인가되고 게이트 전극에는 입력전압인  $V_g$ 가 인가되며 소스 전극은 상술한 바와 같이 제2 트랜지스터(M6)의 드레인 전극과 연결되는데, 이때 제2 트랜지스터(M6)의 드레인 전극은 제2 노드(N2)에도 연결된다. 제2 트랜지스터(M6)의 게이트 전극에는 전압  $V_b$ 가 인가되고, 소스 전극은 접지에 연결된다.

본 실시예에 있어서 제2 미러회로(130)의 출력전류가 출력전압과 입력전압의 차의 형태로 출력되게 하기 위해 제1 미러회로(120)의 공통 게이트 전극과 접지 간의 전압인  $V_1$ 의 전압레벨이 입력전압의 전압레벨과 동일하도록 설정하여야 한다. 이를 위해 먼저, 제2 트랜지스터(M6)의 게이트 전극에 인가되는  $V_b$ 를 조절하여 제2 트랜지스터(M6)의 드레인 전류가 일정하도록 제2 트랜지스터(M6)의 바이어스 전압을 결정하고, 다음으로 일정한 드레인 전류를 기준으로 하여 제3, 제4, 및 제1 트랜지스터(M1, M2, M5)의 소자값인 (W/L)비를 조절함으로써  $V_1$ 과  $V_g$ 를 동일하게 설정한다.

상술한 바와 같은 전압차 검출부의 동작원리를  $V_b$ 와 제3, 제4, 및 제1 트랜지스터(M1, M2, M5)의 W/L의 비율 조절에 의해  $V_1$ 과  $V_g$ 가 동일하게 설정된 것으로 하여 설명한다.

먼저,  $V_1$ 과  $V_g$ 가 동일하기 때문에 제1 미러회로(120)의 입력전류인  $I_1$ 은 다음과 같이 정의된다.

수학식 5

$$I_1 = \frac{V_{out} - V_1}{R} = \frac{V_{out} - V_g}{R}$$

제1 미러회로(120)의 입력전류는 제3 트랜지스터(M1) 및 제4 트랜지스터(M2)의 (W/L)비에 의해 제4 트랜지스터(M2)의 드레인 전극으로 복사되어 출력되고, 이러한 제1 미러회로(120)의 출력전류는 다시 제2 미러회로(130)의 입력전류가 되어 제5 트랜지스터(M3) 및 제6 트랜지스터(M4)의 (W/L)비에 의해 제6 트랜지스터(M4)의 드레인 전극으로 출력되게 된다.

제1 미러회로(120)의 출력전류를 I2라 할때, 제1 미러회로(120)의 입력전류인 I1과 출력전류인 I2의 관계를 살펴보면 다음과 같다.

$$\text{수학식 6}$$

$$I_2 = \frac{\left(\frac{W}{L}\right)_2}{\left(\frac{W}{L}\right)_1} I_1$$

또한, 제1 미러회로(120)의 출력전류이자 제2 미러회로(130)의 입력전류인 I2와 제2 미러회로(130)의 출력전류인 Iout과의 관계를 살펴보면 다음과 같다.

$$\text{수학식 7}$$

$$I_{out} = \frac{\left(\frac{W}{L}\right)_4}{\left(\frac{W}{L}\right)_3} I_2$$

따라서, 수학식 5 내지 수학식 7를 이용하여 제2 미러회로(130)의 출력전류인 Iout을 정의하면 다음과 같이 정의된다.

$$\text{수학식 8}$$

$$I_{out} = \frac{\left(\frac{W}{L}\right)_2 \left(\frac{W}{L}\right)_4}{\left(\frac{W}{L}\right)_1 \left(\frac{W}{L}\right)_3} \frac{V_{out} - V_g}{R}$$

결과적으로 제2 미러회로(130)의 출력전류인 Iout는 출력전압인 Vout와 입력전압인 Vg의 차에 의해 결정되고, 이렇게 결정된 전류 Iout가 신호 발생부의 적분기에 입력되어 램프파형 신호 발생기가 램프파형의 신호를 생성하게 된다.

도 6은 종래의 전압차 검출부를 사용한 램프파형 신호 발생기의 출력파형을 확대한 그래프를 도시한 것이고 도 7은 본 발명의 일 실시예에 따른 전압차 검출부를 사용한 램프파형 신호 발생기의 출력파형을 확대한 그래프를 도시한 것이다. 도시된 바와 같이 본 발명의 전압차 검출부를 사용한 램프파형 신호 발생기의 출력파형이 기존의 전압차 검출부를 사용한 램프파형 신호 발생기의 출력파형과 거의 동일함을 알 수 있다.

### 발명의 효과

상술한 바와 같이 본 발명에 따르면, 기존의 램프파형 신호 발생기의 전압차 검출부에 사용되었던 저항과 증폭기를 사용하지 않고 복수개의 미러회로를 사용하여 전압차를 검출할 수 있으므로 회로의 크기를 현저하게 줄일 수 있어 시스템 온 칩을 용이하게 구현할 수 있다는 효과가 있다.

### 도면의 간단한 설명

도 1은 램프파형 신호 발생기가 포함된 전류제어(Current Programmed Control) 방식의 DC-DC 컨버터의 회로를 보여주는 도면,

도 2는 램프파형 신호 발생기에 의해 생성된 램프파형의 신호를 보여주는 도면,

도 3은 램프과형 신호 발생기에 의해 램프 과형신호가 생성될 때 스위치 M1이 온/오프 되는 것을 그래프로 보여주는 도면,

도 4는 종래의 램프과형 신호 발생기의 회로를 보여주는 도면,

도 5는 본 발명의 일 실시예에 따른 램프과형 신호발생기를 보여주는 도면,

도 6은 종래의 전압차 검출부를 사용한 램프과형 신호 발생기의 출력과형을 확대한 그래프를 보여주는 도면,

도 7은 본 발명의 일 실시예에 따른 전압차 검출부를 사용한 램프과형 신호 발생기의 출력과형을 확대한 그래프를 보여주는 도면이다.

본 발명에 따른 도면들에서 실질적으로 동일한 구성과 기능을 가진 구성요소들에 대하여는 동일한 참조부호를 사용한다.

\*도면의 주요부분에 대한 부호의 설명\*

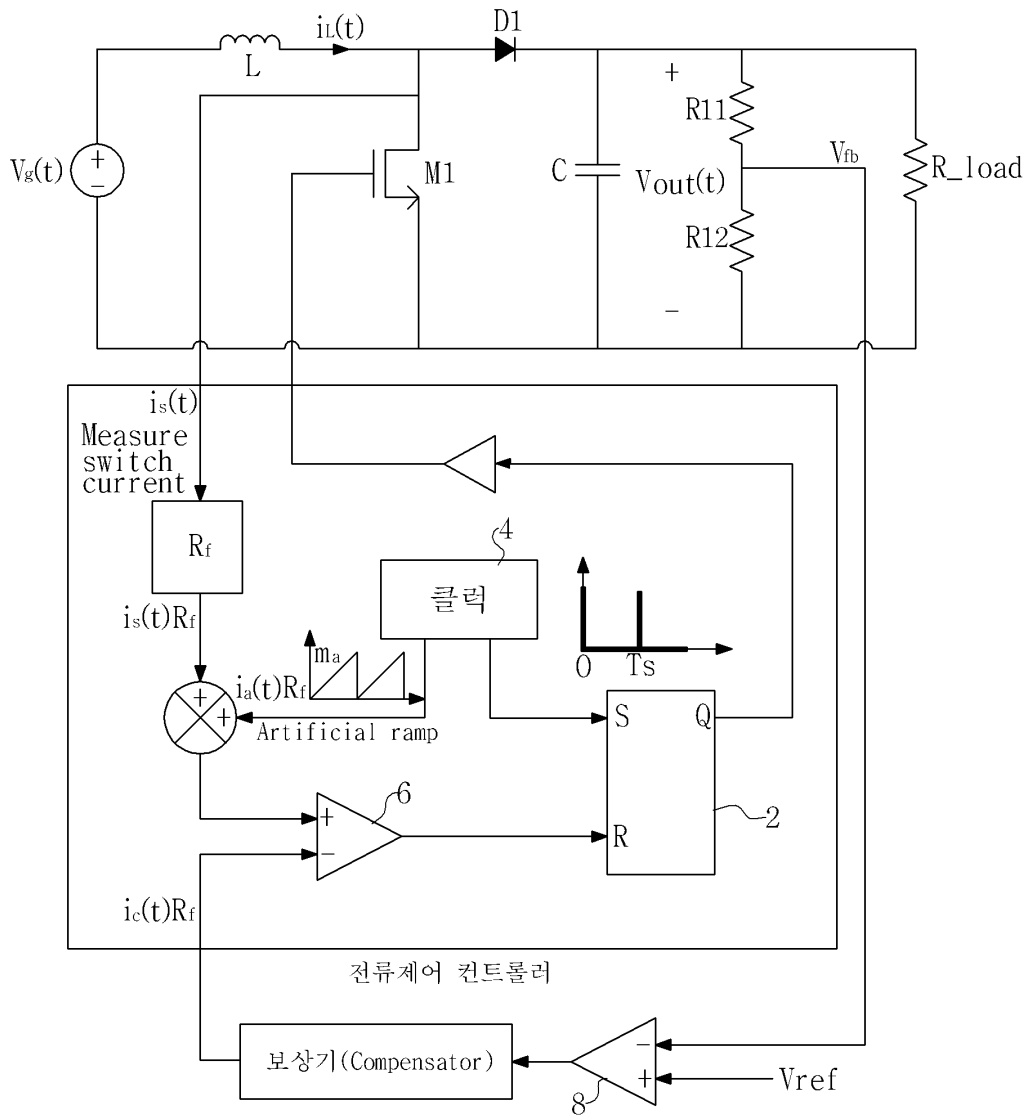
10, 100 : 전압차 검출부 110 : 조절부

120 : 제1 미러회로 130 : 제2 미러회로

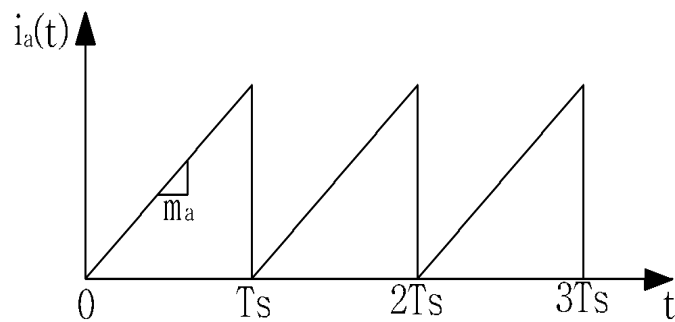
20, 200 : 신호 발생부

도면

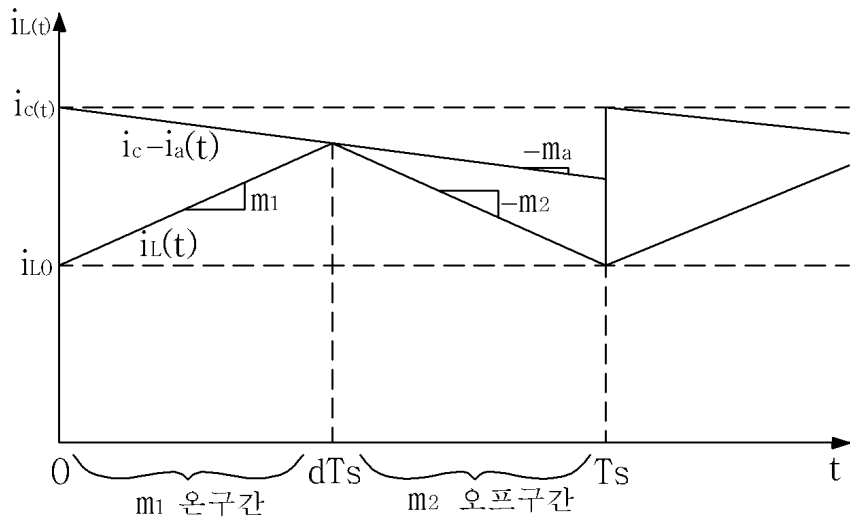
도면1



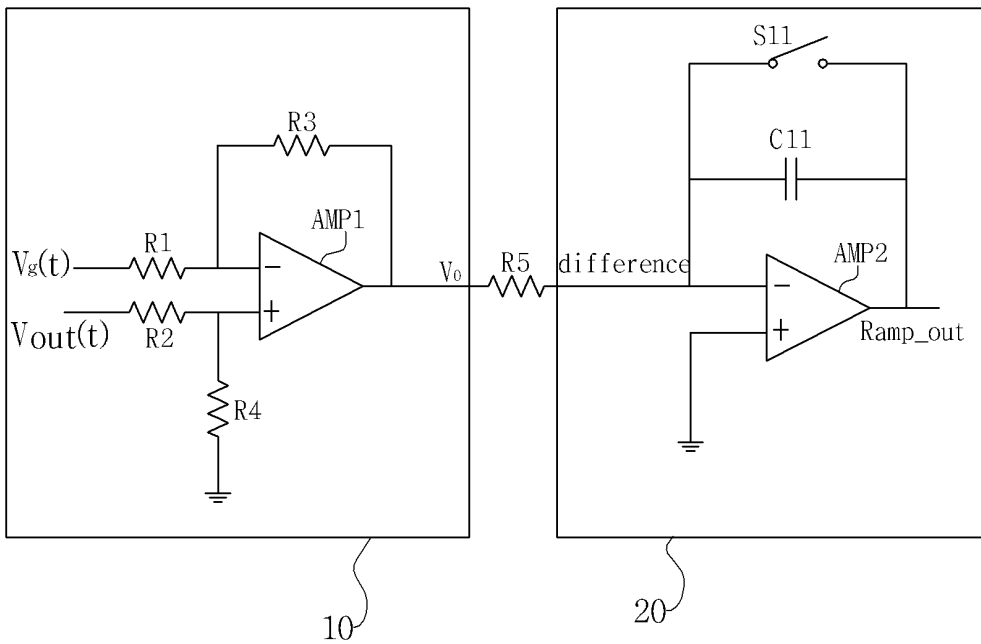
도면2



도면3



도면4





도면7

