

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2024年12月12日(12.12.2024)



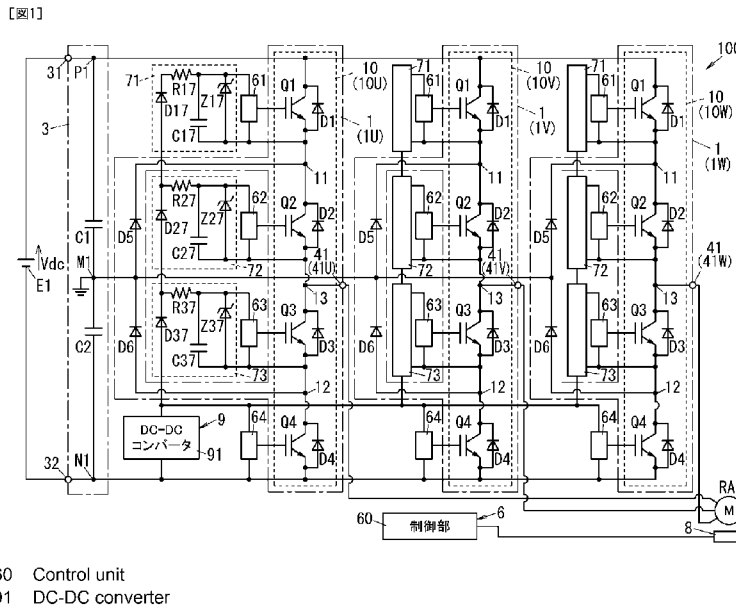
(10) 国際公開番号

WO 2024/253051 A1

- (51) 国際特許分類:
H02M 7/487 (2007.01)
- (21) 国際出願番号: PCT/JP2024/020137
- (22) 国際出願日: 2024年6月3日(03.06.2024)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2023-095854 2023年6月9日(09.06.2023) JP
- (71) 出願人: パナソニックIPマネジメント株式会社 (PANASONIC INTELLECTUAL PROPERTY MANAGEMENT CO., LTD.) [JP/JP]; 〒5710057 大阪府門真市元町2番6号 Osaka (JP).
- (72) 発明者: 鈴木 朝実良(SUZUKI Asamira), 中村 裕一(NAKAMURA Hirokazu), ヘガデ アナンタ(HEGDE Anantha), 新井 康弘(ARAI Yasuhiro), 椛島 孝宗(KABASHIMA Takamune).
- (74) 代理人: 鎌田 健司, 外(KAMATA Kenji et al.); 〒5710057 大阪府門真市元町2番6号 パナソニックIPマネジメント株式会社内 Osaka (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG,

(54) Title: MULTILEVEL INVERTER

(54) 発明の名称: マルチレベルインバータ



(57) Abstract: The present invention suppresses a voltage drop in a bootstrap circuit. A multilevel inverter (100) is provided with a DC power supply unit (3), a plurality of inverter circuits (1), and a control device (6). Each of the plurality of inverter circuits (1) has a first switching element (Q1), a second switching element (Q2), a third switching element (Q3), and a fourth switching element (Q4). The control device (6) has a plurality of first gate drivers (61), a plurality of second gate drivers (62), a plurality of third gate drivers (63), a plurality of fourth gate drivers (64), a plurality of bootstrap circuits



WO 2024/253051 A1

KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU,
LY, MA, MD, MG, MK, MN, MU, MW, MX, MY,
MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL,
PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK,
SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類 :

一 国際調査報告 (条約第21条(3))

(71), a power supply unit (9), and a control unit (60). In the multilevel inverter (100), the capacitance of the capacitor (C17) included in each of the plurality of first bootstrap circuits (71) is 10-50 μF .

(57) 要約 : ブートストラップ回路の電圧低下を抑制する。マルチレベルインバータ (100) は、直流電源部 (3) と、複数のインバータ回路 (1) と、制御装置 (6) と、を備える。複数のインバータ回路 (1) の各々は、第1スイッチング素子 (Q1)、第2スイッチング素子 (Q2)、第3スイッチング素子 (Q3) 及び第4スイッチング素子 (Q4) を有する。制御装置 (6) は、複数の第1ゲートドライバ (61) と、複数の第2ゲートドライバ (62) と、複数の第3ゲートドライバ (63) と、複数の第4ゲートドライバ (64) と、複数のブートストラップ回路 (71) と、電源部 (9) と、制御部 (60) と、を有する。マルチレベルインバータ (100) では、複数の第1ブートストラップ回路 (71) の各々に含まれるコンデンサ (C17) の容量は、10 μF 以上かつ50 μF 以下である。

明 細 書

発明の名称：マルチレベルインバータ

技術分野

[0001] 本開示は、マルチレベルインバータに関し、より詳細には、ブートストラップ回路を備えるマルチレベルインバータに関する。

背景技術

[0002] 特許文献1は、3レベル中性点クランプ形インバータのスイッチング素子駆動回路を開示している。

[0003] 特許文献1に開示された中性点クランプ形インバータは、第1スイッチング素子、第2スイッチング素子、第3スイッチング素子及び第4スイッチング素子の直列回路と、第1クランプダイオードと、第2クランプダイオードと、直流電圧の平滑化及びその中性点電位を生成する、2つの平滑コンデンサの直列回路（直流電源部）と、を備える。

[0004] また、スイッチング素子駆動回路は、第1スイッチング素子を駆動するための第1ゲート駆動回路（第1ゲートドライバ）と、第2スイッチング素子を駆動するための第2ゲート駆動回路（第2ゲートドライバ）と、第3スイッチング素子を駆動するための第3ゲート駆動回路（第3ゲートドライバ）と、第4スイッチング素子を駆動するための第4ゲート駆動回路（第4ゲートドライバ）と、を備える。第1ゲート駆動回路、第2ゲート駆動回路、第3ゲート駆動回路及び第4ゲート駆動回路には、制御回路（制御部）によりスイッチング信号が入力される。

[0005] また、スイッチング素子駆動回路は、ゲート電源（電源部）を備える。スイッチング素子駆動回路では、第1ゲート駆動回路に対しては、コンデンサが並列に接続されている。コンデンサは、ダイオードを介してゲート電源により充電される。第1スイッチング素子のゲート駆動用電源は、コンデンサに充電された電圧となる。

先行技術文献

特許文献

[0006] 特許文献1：特開2018-133876号公報

発明の概要

[0007] 特許文献1に開示された第1スイッチング素子、第2スイッチング素子、第3スイッチング素子及び第4スイッチング素子のセットを複数備えるマルチレベルインバータでは、コンデンサとダイオードとを含むブートストラップ回路の電圧低下が問題となることがある。

[0008] 本開示の目的は、ブートストラップ回路の電圧低下を抑制することが可能なマルチレベルインバータを提供することにある。

[0009] 本開示に係る一態様のマルチレベルインバータは、直流電源部と、複数のインバータ回路と、制御装置と、を備える。前記直流電源部は、正極と負極と中間電位点とを有する。前記複数のインバータ回路は、前記直流電源部の前記正極と前記負極との間に接続されている。前記制御装置は、前記複数のインバータ回路を制御する。前記複数のインバータ回路の各々は、中性点クランプ型インバータである。前記複数のインバータ回路の各々は、第1スイッチング素子、第2スイッチング素子、第3スイッチング素子及び第4スイッチング素子と、第1ダイオード、第2ダイオード、第3ダイオード及び第4ダイオードと、を有する。前記第1ダイオード、前記第2ダイオード、前記第3ダイオード及び前記第4ダイオードは、前記第1スイッチング素子、前記第2スイッチング素子、前記第3スイッチング素子及び前記第4スイッチング素子にそれぞれ逆並列接続されている。前記制御装置は、複数の第1ゲートドライバと、複数の第2ゲートドライバと、複数の第3ゲートドライバと、複数の第4ゲートドライバと、複数のブートストラップ回路と、電源部と、制御部と、を有する。前記複数の第1ゲートドライバは、前記複数のインバータ回路の各々の前記第1スイッチング素子を駆動する。前記複数の第2ゲートドライバは、前記複数のインバータ回路の各々の前記第2スイッチング素子を駆動する。前記複数の第3ゲートドライバは、前記複数のインバータ回路の各々の前記第3スイッチング素子を駆動する。前記複数の第4

ゲートドライバは、前記複数のインバータ回路の各々の前記第4スイッチング素子を駆動する。前記複数のブートストラップ回路は、前記複数の第1ゲートドライバに一对一に対応する。前記複数のブートストラップ回路の各々は、前記複数の第1ゲートドライバのうち対応する第1ゲートドライバに電圧を供給する。前記電源部は、前記複数のブートストラップ回路に電圧を供給する。前記制御部は、前記複数の第1ゲートドライバ、前記複数の第2ゲートドライバ、前記複数の第3ゲートドライバ及び前記複数の第4ゲートドライバを制御する。前記複数のブートストラップ回路の各々は、コンデンサと、前記コンデンサに直列接続されているダイオードと、を含む。前記複数のブートストラップ回路の各々に含まれる前記コンデンサの容量は、 $10\mu\text{F}$ 以上かつ $50\mu\text{F}$ 以下である。

[0010] 本開示のマルチレベルインバータは、ブートストラップ回路の電圧低下を抑制することが可能となるという効果がある。

図面の簡単な説明

[0011] [図1]図1は、実施形態1に係るマルチレベルインバータを備えるシステムの回路図である。

[図2]図2は、実施形態1のマルチレベルインバータにおいてスイッチング回路が第1スイッチング状態のときの電流経路の説明図である。

[図3]図3は、実施形態1のマルチレベルインバータにおいてスイッチング回路が第1スイッチング状態のときの放電経路及び充電経路の説明図である。

[図4]図4は、実施形態1のマルチレベルインバータにおいてスイッチング回路が第2スイッチング状態のときの電流経路の説明図である。

[図5]図5は、実施形態1のマルチレベルインバータにおいてスイッチング回路が第2スイッチング状態のときの放電経路及び充電経路の説明図である。

[図6]図6は、実施形態1のマルチレベルインバータにおいてスイッチング回路が第3スイッチング状態のときの電流経路の説明図である。

[図7]図7は、実施形態1のマルチレベルインバータにおいてスイッチング回路が第3スイッチング状態のときの放電経路及び充電経路の説明図である。

[図8]図8は、実施形態1のマルチレベルインバータにおける各相の電圧指令値の説明図である。

[図9]図9は、実施形態1のマルチレベルインバータに関する一群の電圧ベクトルの説明図である。

[図10]図10は、実施形態1のマルチレベルインバータに関する一群の電圧ベクトルのより詳細な説明図である。

[図11]図11は、実施形態1のマルチレベルインバータにおける制御部の動作を説明するためのベクトル図である。

[図12]図12は、実施形態1のマルチレベルインバータの各相のスイッチング状態のタイムチャートを示す図である。

[図13]図13は、実施形態1のマルチレベルインバータの第1～第4スイッチング素子のオンオフ状態のタイムチャートを示す図である。

[図14A]図14Aは、スイッチング素子をターンオンさせるときのスイッチング素子への制御信号とスイッチング素子の制御端子に流れる電流との関係を示すタイミングチャートを示す図である。

[図14B]図14Bは、スイッチング素子をターンオフさせるときのスイッチング素子への制御信号とスイッチング素子の制御端子に流れる電流との関係を示すタイミングチャートを示す図である。

[図15A]図15Aは、ブートストラップ回路に含まれるコンデンサの電圧変化のキャリア周波数依存性を示す特性図である。

[図15B]図15Bは、ブートストラップ回路に含まれるコンデンサの電圧変化の容量依存性を示す特性図である。

[図16]図16は、ブートストラップ回路に含まれるコンデンサの最小容量とキャリア周波数とマルチレベルベクトル制御（MLVC）比率との関係を示すグラフである。

[図17]図17は、ブートストラップ回路に含まれるコンデンサの最小容量とキャリア周波数との関係を示すグラフである。

[図18]図18は、ブートストラップ回路に含まれるコンデンサの最小容量と

マルチレベルベクトル制御比率との関係を示すグラフである。

[図19A]図19Aは、比較例に係るマルチレベルインバータに関する指令電圧ベクトル及び第1電圧ベクトルの説明図である。

[図19B]図19Bは、比較例のマルチレベルインバータに関する指令電圧ベクトル、零ベクトル及び第2電圧ベクトルの説明図である。

[図20]図20は、比較例のマルチレベルインバータにおいて第1電圧ベクトルを零ベクトルと第2電圧ベクトルとに置換して各相のインバータ回路を制御した場合の各相のスイッチング状態のタイムチャートを示す図である。

[図21]図21は、比較例のマルチレベルインバータにおいて第1電圧ベクトルを零ベクトルと第2電圧ベクトルとに置換してインバータ回路を制御した場合の第1～第4スイッチング素子のオンオフ状態のタイムチャートを示す図である。

[図22]図22は、実施形態2に係るマルチレベルインバータを備えるシステムの回路図である。

[図23]図23は、実施形態2のマルチレベルインバータにおいてスイッチング回路が第1スイッチング状態のときの電流経路の説明図である。

[図24]図24は、実施形態2のマルチレベルインバータにおいてスイッチング回路が第1スイッチング状態のときの放電経路の説明図である。

[図25]図25は、実施形態2のマルチレベルインバータにおいてスイッチング回路が第2スイッチング状態のときの電流経路の説明図である。

[図26]図26は、実施形態2のマルチレベルインバータにおいてスイッチング回路が第2スイッチング状態のときの放電経路の説明図である。

[図27]図27は、実施形態2のマルチレベルインバータにおいてスイッチング回路が第3スイッチング状態のときの電流経路の説明図である。

[図28]図28は、実施形態2のマルチレベルインバータにおいてスイッチング回路が第3スイッチング状態のときの放電経路及び充電経路の説明図である。

[図29]図29は、実施形態2のマルチレベルインバータにおいてスイッチン

グ回路が第2スイッチング状態のときの電流経路の説明図である。

発明を実施するための形態

[0012] (実施形態1)

以下では、実施形態1に係るマルチレベルインバータ100について、図1～18に基づいて説明する。

[0013] (1) マルチレベルインバータの全体構成

図1は、実施形態1に係るマルチレベルインバータ100を備えるシステムの回路図である。マルチレベルインバータ100は、例えば、図1に示すように、直流電源部3と、複数(図1の例では3つ)のインバータ回路1と、制御装置6と、を備える。直流電源部3は、正極P1と負極N1と中間電位点M1とを有する。複数のインバータ回路1は、直流電源部3の正極P1と負極N1との間に接続されている。制御装置6は、複数のインバータ回路1を制御する。「中間電位点M1」とは、直流電源部3の正極P1の電位と負極N1の電位との間の中間の電位となる点である。

[0014] マルチレベルインバータ100は、ダイオードクランプ型の3レベル3相インバータである。マルチレベルインバータ100では、複数のインバータ回路1の各々が出力端子41を有している。マルチレベルインバータ100では、複数(図1の例では3つ)の出力端子41に交流負荷RA1が接続される。

[0015] 交流負荷RA1は、例えば、3相サーボモータである。マルチレベルインバータ100では、複数のインバータ回路1のうちの1つが、U相の電圧を出力するインバータ回路1Uであり、別の1つが、V相の電圧を出力するインバータ回路1Vであり、残りの1つが、W相の電圧を出力するインバータ回路1Wである。

[0016] 複数のインバータ回路1の各々は、スイッチング回路10と、第1ダイオードD1と、第2ダイオードD2と、第3ダイオードD3と、第4ダイオードD4と、を有する。また、複数のインバータ回路1の各々は、第1クランプダイオードD5と、第2クランプダイオードD6と、を有する。マルチレ

ベルインバータ100では、中間電位点M1の電位が、各インバータ回路1の第1クランプダイオードD5及び第2クランプダイオードD6によってクランプされる。

- [0017] 各スイッチング回路10では、第1スイッチング素子Q1、第2スイッチング素子Q2、第3スイッチング素子Q3及び第4スイッチング素子Q4が、直流電源部3の正極P1側から負極N1側へ第1スイッチング素子Q1、第2スイッチング素子Q2、第3スイッチング素子Q3及び第4スイッチング素子Q4の順に並ぶように直列接続されている。
- [0018] 各インバータ回路1では、第1ダイオードD1は、第1スイッチング素子Q1に逆並列接続されている。第2ダイオードD2は、第2スイッチング素子Q2に逆並列接続されている。第3ダイオードD3は、第3スイッチング素子Q3に逆並列接続されている。第4ダイオードD4は、第4スイッチング素子Q4に逆並列接続されている。第1クランプダイオードD5は、第1スイッチング素子Q1と第2スイッチング素子Q2との第1接続点11にカソードが接続されており、中間電位点M1にアノードが接続されている。第2クランプダイオードD6は、第3スイッチング素子Q3と第4スイッチング素子Q4との第2接続点12にアノードが接続されており、中間電位点M1にカソードが接続されている。
- [0019] 制御装置6は、複数（図1の例では3つ）の第1ゲートドライバ61と、複数（図1の例では3つ）の第2ゲートドライバ62と、複数（図1の例では3つ）の第3ゲートドライバ63と、複数（図1の例では3つ）の第4ゲートドライバ64と、を有する。また、制御装置6は、複数（図1の例では3つ）のブートストラップ回路71（以下では、第1ブートストラップ回路71ともいう）と、複数（図1の例では3つ）の第2ブートストラップ回路72と、複数（図1の例では3つ）の第3ブートストラップ回路73と、電源部9と、制御部60と、を有する。
- [0020] 複数の第1ゲートドライバ61は、複数のインバータ回路1の各々の第1スイッチング素子Q1を駆動する。複数の第2ゲートドライバ62は、複数

のインバータ回路1の各々の第2スイッチング素子Q2を駆動する。複数の第3ゲートドライバ63は、複数のインバータ回路1の各々の第3スイッチング素子Q3を駆動する。複数の第4ゲートドライバ64は、複数のインバータ回路1の各々の第4スイッチング素子Q4を駆動する。

[0021] 複数の第1ブートストラップ回路71は、複数の第1ゲートドライバ61に一对一に対応する。複数の第1ブートストラップ回路71の各々は、対応する第1ゲートドライバ61に電圧を供給する。複数の第2ブートストラップ回路72は、複数の第2ゲートドライバ62に一对一に対応する。複数の第2ブートストラップ回路72の各々は、対応する第2ゲートドライバ62に電圧を供給する。複数の第3ブートストラップ回路73は、複数の第3ゲートドライバ63に一对一に対応する。複数の第3ブートストラップ回路73の各々は、対応する第3ゲートドライバ63に電圧を供給する。電源部9は、複数の第4ゲートドライバ64に電圧を供給する。

[0022] 制御部60は、複数の第1ゲートドライバ61、複数の第2ゲートドライバ62、複数の第3ゲートドライバ63及び複数の第4ゲートドライバ64を制御する。

[0023] (2) マルチレベルインバータの詳細

直流電源部3は、第1コンデンサC1と、第2コンデンサC2と、を有する。直流電源部3では、第1コンデンサC1と第2コンデンサC2とが直列接続されている。直流電源部3は、正極P1に接続されている第1直流端子31と、負極N1に接続されている第2直流端子32と、を更に有している。直流電源部3では、第1コンデンサC1の第1端が第1直流端子31に接続されており、第1コンデンサC1の第2端が第2コンデンサC2の第1端に接続されており、第2コンデンサC2の第2端が第2直流端子32に接続されている。直流電源部3では、第1コンデンサC1と第2コンデンサC2との接続点が中間電位点M1である。第1直流端子31と第2直流端子32との間には、例えば、直流電圧源E1が接続される。この場合、直流電源部3の正極P1と負極N1の間には、直流電圧源E1の出力電圧Vdcが印

加される。なお、第2コンデンサC2のキャパシタンスは、第1コンデンサC1のキャパシタンスと同じである。「第2コンデンサC2のキャパシタンスは、第1コンデンサC1のキャパシタンスと同じである」とは、第2コンデンサC2のキャパシタンスが第1コンデンサC1のキャパシタンスに完全に一致する場合だけに限らず、第2コンデンサC2のキャパシタンスが第1コンデンサC1のキャパシタンスの95%以上かつ105%以下の範囲内であればよい。

[0024] 以下では、説明の便宜上、複数のスイッチング回路10に関し、インバータ回路1Uに含まれるスイッチング回路10をスイッチング回路10Uと称し、インバータ回路1Vに含まれるスイッチング回路10をスイッチング回路10Vと称し、インバータ回路1Wに含まれるスイッチング回路10をスイッチング回路10Wと称することもある。また、複数の出力端子41のうちインバータ回路1Uに含まれる出力端子41を出力端子41Uと称し、インバータ回路1Vに含まれる出力端子41を出力端子41Vと称し、インバータ回路1Wに含まれる出力端子を出力端子41Wと称することもある。

[0025] 各スイッチング回路10の第1スイッチング素子Q1、第2スイッチング素子Q2、第3スイッチング素子Q3及び第4スイッチング素子Q4は、制御端子と、第1主端子と、第2主端子と、を有する。各スイッチング回路10の第1スイッチング素子Q1、第2スイッチング素子Q2、第3スイッチング素子Q3及び第4スイッチング素子Q4は、例えば、絶縁ゲート型バイポーラトランジスタ（IGBT）である。したがって、各スイッチング回路10の第1スイッチング素子Q1、第2スイッチング素子Q2、第3スイッチング素子Q3及び第4スイッチング素子Q4の各々における、制御端子、第1主端子及び第2主端子は、それぞれ、ゲート端子、コレクタ端子及びエミッタ端子である。

[0026] 各スイッチング回路10の第1スイッチング素子Q1の制御端子は、複数の第1ゲートドライバ61のうち対応する第1ゲートドライバ61に接続されている。また、各スイッチング回路10の第2スイッチング素子Q2の制

御端子は、複数の第2ゲートドライバ62のうち対応する第2ゲートドライバ62に接続されている。また、各スイッチング回路10の第3スイッチング素子Q3の制御端子は、複数の第3ゲートドライバ63のうち対応する第3ゲートドライバ63に接続されている。また、各スイッチング回路10の第4スイッチング素子Q4の制御端子は、複数の第4ゲートドライバ64のうち対応する第4ゲートドライバ64に接続されている。

[0027] 各スイッチング回路10では、第1スイッチング素子Q1の第1主端子が直流電源部3の正極P1に接続され、第1スイッチング素子Q1の第2主端子が第2スイッチング素子Q2の第1主端子に接続されている。また、各スイッチング回路10では、第2スイッチング素子Q2の第2主端子が第3スイッチング素子Q3の第1主端子に接続されている。また、各スイッチング回路10では、第3スイッチング素子Q3の第2主端子が第4スイッチング素子Q4の第1主端子に接続され、第4スイッチング素子Q4の第2主端子が直流電源部3の負極N1に接続されている。

[0028] インバータ回路1Uでは、スイッチング回路10Uにおける第2スイッチング素子Q2と第3スイッチング素子Q3との第3接続点13が出力端子41Uに接続されている。また、インバータ回路1Vでは、スイッチング回路10Vにおける第2スイッチング素子Q2と第3スイッチング素子Q3との第3接続点13が出力端子41Vに接続されている。また、インバータ回路1Wでは、スイッチング回路10Wにおける第2スイッチング素子Q2と第3スイッチング素子Q3との第3接続点13が出力端子41Wに接続されている。インバータ回路1Uの第3接続点13には、出力端子41Uを介して、例えば、交流負荷RA1のU相が接続される。また、インバータ回路1Vの第3接続点13には、出力端子41Vを介して、例えば、交流負荷RA1のV相が接続される。また、インバータ回路1Wの第3接続点13には、出力端子41Wを介して、例えば、交流負荷RA1のW相が接続される。

[0029] 各インバータ回路1では、第1ダイオードD1のアノードが、第1スイッチング素子Q1の第2主端子（エミッタ端子）に接続され、第1ダイオード

D 1 のカソードが、第 1 スイッチング素子 Q 1 の第 1 主端子（コレクタ端子）に接続されている。また、各インバータ回路 1 では、第 2 ダイオード D 2 のアノードが、第 2 スイッチング素子 Q 2 の第 2 主端子（エミッタ端子）に接続され、第 2 ダイオード D 2 のカソードが、第 2 スイッチング素子 Q 2 の第 1 主端子（コレクタ端子）に接続されている。また、各インバータ回路 1 では、第 3 ダイオード D 3 のアノードが、第 3 スイッチング素子 Q 3 の第 2 主端子（エミッタ端子）に接続され、第 3 ダイオード D 3 のカソードが、第 3 スイッチング素子 Q 3 の第 1 主端子（コレクタ端子）に接続されている。また、各インバータ回路 1 では、第 4 ダイオード D 4 のアノードが、第 4 スイッチング素子 Q 4 の第 2 主端子（エミッタ端子）に接続され、第 4 ダイオード D 4 のカソードが、第 4 スイッチング素子 Q 4 の第 1 主端子（コレクタ端子）に接続されている。

[0030] 各インバータ回路 1 では、第 1 ダイオード D 1 は、第 1 スイッチング素子 Q 1 を構成する IGBT の寄生ダイオードで代用されてもよい。また、各インバータ回路 1 では、第 2 ダイオード D 2 は、第 2 スイッチング素子 Q 2 を構成する IGBT の寄生ダイオードで代用されてもよい。また、各インバータ回路 1 では、第 3 ダイオード D 3 は、第 3 スイッチング素子 Q 3 を構成する IGBT の寄生ダイオードで代用されてもよい。また、各インバータ回路 1 では、第 4 ダイオード D 4 は、第 4 スイッチング素子 Q 4 を構成する IGBT の寄生ダイオードで代用されてもよい。

[0031] 各インバータ回路 1 では、第 1 クランプダイオード D 5 のカソードは、第 1 スイッチング素子 Q 1 と第 2 スイッチング素子 Q 2 との第 1 接続点 1 1 に接続されている。また、第 1 クランプダイオード D 5 のアノードは、直流電源部 3 の中間電位点 M 1 に接続されている。実施形態 1 では、中間電位点 M 1 がグラウンドに接続されているので、中間電位点 M 1 の電位が 0 V である。この場合、直流電源部 3 の両端電圧を V_{dc} とすると、正極 P 1 の電位は、 $V_{dc}/2$ であり、負極 N 1 の電位は、 $-V_{dc}/2$ である。

[0032] 第 2 クランプダイオード D 6 のカソードは、中間電位点 M 1 に接続されて

いる。第2クランプダイオードD6のアノードは、第3スイッチング素子Q3と第4スイッチング素子Q4との第2接続点12に接続されている。

[0033] 複数の第1ゲートドライバ61は、複数の第1スイッチング素子Q1に一对一に対応する。複数の第1ゲートドライバ61の各々は、対応する第1スイッチング素子Q1の制御端子に接続されている。複数の第1ゲートドライバ61の各々は、対応する第1スイッチング素子Q1を駆動する。複数の第1ゲートドライバ61は、制御部60に接続されている。制御部60は、複数の第1ゲートドライバ61に一对一に対応する複数の第1制御信号S1（図2参照）を出力する。複数の第1ゲートドライバ61の各々は、与えられた第1制御信号S1に基づいて、第1スイッチング素子Q1をオンオフ制御する。

[0034] 複数の第2ゲートドライバ62は、複数の第2スイッチング素子Q2に一对一に対応する。複数の第2ゲートドライバ62の各々は、対応する第2スイッチング素子Q2の制御端子に接続されている。複数の第2ゲートドライバ62の各々は、対応する第2スイッチング素子Q2を駆動する。複数の第2ゲートドライバ62は、制御部60に接続されている。制御部60は、複数の第2ゲートドライバ62に一对一に対応する複数の第2制御信号S2（図2参照）を出力する。複数の第2ゲートドライバ62の各々は、与えられた第2制御信号S2に基づいて、第2スイッチング素子Q2をオンオフ制御する。

[0035] 複数の第3ゲートドライバ63は、複数の第3スイッチング素子Q3に一对一に対応する。複数の第3ゲートドライバ63の各々は、対応する第3スイッチング素子Q3の制御端子に接続されている。複数の第3ゲートドライバ63の各々は、対応する第3スイッチング素子Q3を駆動する。複数の第3ゲートドライバ63は、制御部60に接続されている。制御部60は、複数の第3ゲートドライバ63に一对一に対応する複数の第3制御信号S3（図2参照）を出力する。複数の第3ゲートドライバ63の各々は、与えられた第3制御信号S3に基づいて、第3スイッチング素子Q3をオンオフ制御

する。

[0036] 複数の第4ゲートドライバ64は、複数の第4スイッチング素子Q4に一对一に対応する。複数の第4ゲートドライバ64の各々は、対応する第4スイッチング素子Q4の制御端子に接続されている。複数の第4ゲートドライバ64の各々は、対応する第4スイッチング素子Q4を駆動する。複数の第4ゲートドライバ64は、制御部60に接続されている。制御部60は、複数の第4ゲートドライバ64に一对一に対応する複数の第4制御信号S4（図2参照）を出力する。複数の第4ゲートドライバ64の各々は、与えられた第4制御信号S4に基づいて、第4スイッチング素子Q4をオンオフ制御する。

[0037] 複数の第1ブートストラップ回路71は、複数の第1ゲートドライバ61に一对一に対応する。複数の第1ブートストラップ回路71の各々は、複数の第1ゲートドライバ61のうち対応する第1ゲートドライバ61に電圧を供給する。複数の第1ブートストラップ回路71の各々は、ダイオードD17と、抵抗R17と、コンデンサC17（昇圧用コンデンサC17ともいう）と、を有する。各第1ブートストラップ回路71では、ダイオードD17のアノードがダイオードD27及びダイオードD37を介して電源部9の正側端子に接続されており、ダイオードD17のカソードが抵抗R17を介してコンデンサC17の第1端に接続されている。コンデンサC17の第1端は、第1ゲートドライバ61の高電位側電源端子61H（図3参照）に接続されており、コンデンサC17の第2端は、第1ゲートドライバ61の低電位側電源端子61L（図3参照）に接続されている。第1ブートストラップ回路71は、第1ゲートドライバ61において第1スイッチング素子Q1をオンさせるために必要な電圧を第1ゲートドライバ61に供給する。複数の第1ブートストラップ回路71の各々は、コンデンサC17に並列接続されているツェナダイオードZ17を更に有する。

[0038] 複数の第2ブートストラップ回路72は、複数の第2ゲートドライバ62に一对一に対応する。複数の第2ブートストラップ回路72の各々は、複数

の第2ゲートドライバ62のうち対応する第2ゲートドライバ62に電圧を供給する。複数の第2ブートストラップ回路72の各々は、ダイオードD27と、抵抗R27と、コンデンサC27（昇圧用コンデンサC27ともいう）と、を有する。各第2ブートストラップ回路72では、ダイオードD27のアノードがダイオードD37を介して電源部9の正側端子に接続されており、ダイオードD27のカソードが抵抗R27を介してコンデンサC27の第1端に接続されている。コンデンサC27の第1端は、第2ゲートドライバ62の高電位側電源端子62H（図3参照）に接続されており、コンデンサC27の第2端は、第2ゲートドライバ62の低電位側電源端子62L（図3参照）に接続されている。第2ブートストラップ回路72は、第2ゲートドライバ62において第2スイッチング素子Q2をオンさせるために必要な電圧を第2ゲートドライバ62に供給する。複数の第2ブートストラップ回路72の各々は、コンデンサC27に並列接続されているツェナダイオードZ27を更に有する。

[0039] 複数の第3ブートストラップ回路73は、複数の第3ゲートドライバ63に一対一に対応する。複数の第3ブートストラップ回路73の各々は、複数の第3ゲートドライバ63のうち対応する第3ゲートドライバ63に電圧を供給する。複数の第3ブートストラップ回路73の各々は、ダイオードD37と、抵抗R37と、コンデンサC37（昇圧用コンデンサC37ともいう）と、を有する。各第3ブートストラップ回路73では、ダイオードD37のアノードが電源部9の正側端子に接続されており、ダイオードD37のカソードが抵抗R37を介してコンデンサC37の第1端に接続されている。コンデンサC37の第1端は、第3ゲートドライバ63の高電位側電源端子63H（図3参照）に接続されており、コンデンサC37の第2端は、第3ゲートドライバ63の低電位側電源端子63L（図3参照）に接続されている。第3ブートストラップ回路73は、第3ゲートドライバ63において第3スイッチング素子Q3をオンさせるために必要な電圧を第3ゲートドライバ63に供給する。複数の第3ブートストラップ回路73の各々は、コンデ

ンサC37に並列接続されているツェナダイオードZ37を更に有する。

[0040] 電源部9は、複数(3つ)の第1ブートストラップ回路71、複数(3つ)の第2ブートストラップ回路72、複数(3つ)の第3ブートストラップ回路73及び複数(3つ)の第4ゲートドライバ64に電圧を供給する。電源部9は、例えば、絶縁型のDC-DCコンバータ91を含む直流電源である。電源部9の正側端子は、複数の第4ゲートドライバ64の各々の高電位側電源端子64H(図3参照)に接続されており、電源部9の負側端子は、複数の第4ゲートドライバ64の各々の低電位側電源端子64L(図3参照)に接続されている。

[0041] 制御部60は、複数の第1ゲートドライバ61、複数の第2ゲートドライバ62、複数の第3ゲートドライバ63及び複数の第4ゲートドライバ64を制御する。これにより、制御部60は、複数の第1スイッチング素子Q1、複数の第2スイッチング素子Q2、複数の第3スイッチング素子Q3及び複数の第4スイッチング素子Q4を制御する。制御部60の実行主体は、コンピュータシステムを含んでいる。コンピュータシステムは、1又は複数のコンピュータを有している。コンピュータシステムは、ハードウェアとしてのプロセッサ及びメモリを主構成とする。コンピュータシステムのメモリに記録されたプログラムをプロセッサが実行することによって、本開示における制御部60の実行主体としての機能が実現される。プログラムは、コンピュータシステムのメモリに予め記録されていてもよいが、電気通信回線を通じて提供されてもよいし、コンピュータシステムで読み取り可能なメモリカード、光学ディスク、ハードディスクドライブ(磁気ディスク)等の非一時的記録媒体に記録されて提供されてもよい。コンピュータシステムのプロセッサは、半導体集積回路(IC)又は大規模集積回路(LSI)を含む1または複数の電子回路で構成される。複数の電子回路は、1つのチップに集約されていてもよいし、複数のチップに分散して設けられていてもよい。複数のチップは、1つの装置に集約されていてもよいし、複数の装置に分散して設けられていてもよい。

[0042] 制御部60は、複数(3つ)の第1スイッチング素子Q1を制御するための複数(3つ)の第1制御信号S1(図2参照)と、複数(3つ)の第2スイッチング素子Q2を制御するための複数(3つ)の第2制御信号S2(図2参照)と、複数の第3スイッチング素子Q3を制御するための複数(3つ)の第3制御信号S3(図2参照)と、複数(3つ)の第4スイッチング素子Q4を制御するための複数(3つ)の第4制御信号S4(図2参照)と、を出力する。なお、図2では、3つのインバータ回路1(図1参照)のうち1つのインバータ回路1のみを記載し、残りの2つのインバータ回路1の図示を省略してある。また、図2では、図1における、複数の第1ゲートドライバ61と、複数の第2ゲートドライバ62と、複数の第3ゲートドライバ63と、複数の第4ゲートドライバ64と、複数の第1ブートストラップ回路71と、複数の第2ブートストラップ回路72と、複数の第3ブートストラップ回路73と、電源部9との図示を省略してある。また、図3では、3つのインバータ回路1(図1参照)のうち1つのインバータ回路1のみを記載し、残りの2つのインバータ回路1の図示を省略してある。また、図3では、図1における、2つの第1ゲートドライバ61と、2つの第2ゲートドライバ62と、2つの第3ゲートドライバ63と、2つの第4ゲートドライバ64と、2つの第1ブートストラップ回路71と、2つの第2ブートストラップ回路72と、2つの第3ブートストラップ回路73との図示を省略してある。

[0043] 3つの第1制御信号S1は、スイッチング回路10Uの第1スイッチング素子Q1を制御する第1制御信号S1Uと、スイッチング回路10Vの第1スイッチング素子Q1を制御する第1制御信号S1Vと、スイッチング回路10Wの第1スイッチング素子Q1を制御する第1制御信号S1Wと、を含む。

[0044] 3つの第2制御信号S2は、スイッチング回路10Uの第2スイッチング素子Q2を制御する第2制御信号S2Uと、スイッチング回路10Vの第2スイッチング素子Q2を制御する第2制御信号S2Vと、スイッチング回路

10Wの第2スイッチング素子Q2を制御する第2制御信号S2Wと、を含む。

[0045] 3つの第3制御信号S3は、スイッチング回路10Uの第3スイッチング素子Q3を制御する第3制御信号S3Uと、スイッチング回路10Vの第3スイッチング素子Q3を制御する第3制御信号S3Vと、スイッチング回路10Wの第3スイッチング素子Q3を制御する第3制御信号S3Wと、を含む。

[0046] 3つの第4制御信号S4は、スイッチング回路10Uの第4スイッチング素子Q4を制御する第4制御信号S4Uと、スイッチング回路10Vの第4スイッチング素子Q4を制御する第4制御信号S4Vと、スイッチング回路10Wの第4スイッチング素子Q4を制御する第4制御信号S4Wと、を含む。

[0047] 複数の第1制御信号S1、複数の第2制御信号S2、複数の第3制御信号S3及び複数の第4制御信号S4の各々は、例えば、電位レベルが第1電位レベル（以下、ローレベルともいう）と、第1電位レベルよりも高電位の第2電位レベル（以下、ハイレベルともいう）と、の間で変化する信号である。

[0048] 第1電位レベルは、例えば、0Vであり、第2電位レベルは、IGBTのゲート閾値電圧よりも大きな電位レベルである。つまり、複数の制御信号（複数の第1制御信号S1、複数の第2制御信号S2、複数の第3制御信号S3及び複数の第4制御信号S4）の各々において、第1電位レベルは、その制御信号に対応するスイッチング素子をオフ状態とするための電位レベルであり、第2電位レベルは、その制御信号に対応するスイッチング素子をオン状態とするための電位レベルである。

[0049] 複数の第1スイッチング素子Q1の各々は、対応する第1制御信号S1がハイレベルのときにオン状態となり、ローレベルのときにオフ状態となる。また、複数の第2スイッチング素子Q2の各々は、対応する第2制御信号S2がハイレベルのときにオン状態となり、ローレベルのときにオフ状態とな

る。また、複数の第3スイッチング素子Q3の各々は、対応する第3制御信号S3がハイレベルのときにオン状態となり、ローレベルのときにオフ状態となる。また、複数の第4スイッチング素子Q4の各々は、対応する第4制御信号S4がハイレベルのときにオン状態となり、ローレベルのときにオフ状態となる。

[0050] マルチレベルインバータ100では、複数のインバータ回路1の各々が、第1スイッチング状態又は第2スイッチング状態又は第3スイッチング状態に制御される。つまり、マルチレベルインバータ100は、3つのインバータ回路1U、1V、1Wの各々において、スイッチング回路10のスイッチング状態が、第1スイッチング状態と、第2スイッチング状態と、第3スイッチング状態と、のいずれかに制御される。第1スイッチング状態と第2スイッチング状態と第3スイッチング状態とは、第1～第4スイッチング素子Q1～Q4のオンオフの状態の組み合わせが異なる。複数のインバータ回路1の各々では、第1スイッチング状態のときの出力電圧と第2スイッチング状態のときの出力電圧と第3スイッチング状態のときの出力電圧とが互いに異なる。つまり、複数のインバータ回路1の各々では、第1～第4スイッチング素子Q1～Q4の状態によって出力電圧の電位レベルが3レベルで変化する。なお、複数のインバータ回路1の出力電圧に関して、U相のインバータ回路1Uの出力電圧と、V相のインバータ回路1Vの出力電圧と、W相のインバータ回路1Wの出力電圧とは、互いの位相が異なる。

[0051] 第1スイッチング状態は、第1スイッチング素子Q1及び第2スイッチング素子Q2の両方がオン状態、かつ、第3スイッチング素子Q3及び第4スイッチング素子Q4の両方がオフ状態となる組み合わせである。複数のインバータ回路1の各々は、第1スイッチング状態に制御されているときに、直流電源部3の正極P1の電位レベルの出力電圧を出力することができる。複数のインバータ回路1の各々は、第1スイッチング状態では、第3接続点13の電位が直流電源部3の正極P1の電位レベル（例えば、 $V_{dc}/2$ ）となる。

- [0052] 第2スイッチング状態は、第1スイッチング素子Q1及び第4スイッチング素子Q4の両方がオフ状態、かつ、第2スイッチング素子Q2及び第3スイッチング素子Q3の両方がオン状態となる組み合わせである。複数のインバータ回路1の各々は、第2スイッチング状態に制御されているときに、直流電源部3の中間電位点M1の電位レベルの出力電圧を出力することができる。複数のインバータ回路1の各々は、第2スイッチング状態では、第3接続点13の電位が中間電位点M1の電位レベル（例えば、0）となる。
- [0053] 第3スイッチング状態は、第1スイッチング素子Q1及び第2スイッチング素子Q2の両方がオフ状態、かつ、第3スイッチング素子Q3及び第4スイッチング素子Q4の両方がオン状態となる組み合わせである。複数のインバータ回路1の各々は、第3スイッチング状態に制御されているときに、直流電源部3の負極N1の電位レベルの出力電圧を出力することができる。複数のインバータ回路1の各々は、第3スイッチング状態では、第3接続点13の電位が直流電源部3の負極N1の電位レベル（例えば、 $-V_{dc}/2$ ）となる。
- [0054] 図2は、実施形態1のマルチレベルインバータ100においてスイッチング回路10が第1スイッチング状態のときの電流経路の説明図である。インバータ回路1のスイッチング回路10が第1スイッチング状態のときには、図2に示すように、直流電源部3の正極P1－第1スイッチング素子Q1－第2スイッチング素子Q2－第3接続点13－出力端子41の経路で電流I1が流れて、交流負荷RA1（図1参照）への出力電圧の電圧値が略 $V_{dc}/2$ となる。
- [0055] また、インバータ回路1のスイッチング回路10が第1スイッチング状態のときには、第1ブートストラップ回路71のコンデンサC17から第1ゲートドライバ61に、第1ゲートドライバ61により第1スイッチング素子Q1をオンさせるために必要な電圧が供給される。したがって、第1ブートストラップ回路71のコンデンサC17の電荷が、図3に示すように、コンデンサC17－第1ゲートドライバ61の高電位側電源端子61H－第1ゲ

ートドライバ61の低電位側電源端子61L-コンデンサC17の放電経路Ru1で放電される。これにより、第1ブートストラップ回路71では、コンデンサC17の両端電圧が時間経過とともに低下する。

[0056] また、インバータ回路1のスイッチング回路10が第1スイッチング状態のときには、第2ブートストラップ回路72のコンデンサC27から第2ゲートドライバ62に、第2ゲートドライバ62により第2スイッチング素子Q2をオンさせるために必要な電圧が供給される。したがって、第2ブートストラップ回路72のコンデンサC27の電荷が、コンデンサC27-第2ゲートドライバ62の高電位側電源端子62H-第2ゲートドライバ62の低電位側電源端子62L-コンデンサC27の放電経路Ru2で放電される。これにより、第2ブートストラップ回路72では、コンデンサC27の両端電圧が時間経過とともに低下する。

[0057] 図3は、実施形態1のマルチレベルインバータ100においてスイッチング回路10が第1スイッチング状態のときの放電経路及び充電経路の説明図である。インバータ回路1のスイッチング回路10が第1スイッチング状態のときには、第1条件を満たす場合にコンデンサC27によりコンデンサC17が充電される。図3に示すように、コンデンサC17の両端電圧を V_{o1} とし、コンデンサC27の両端電圧を V_{o2} とし、ダイオードD17の両端電圧を V_{d1} とし、抵抗R17の両端電圧を V_{R1} とし、第2スイッチング素子Q2の両端電圧を V_{f2} とすると、第1条件は、 $V_{o2} > (V_{o1} + V_{d1} + V_{R1} + V_{f2})$ という条件である。コンデンサC27によりコンデンサC17を充電する充電経路Ru21は、コンデンサC27-抵抗R27-ダイオードD17-抵抗R17-コンデンサC17-第1接続点11-第2スイッチング素子Q2-コンデンサC27の経路である。

[0058] 図4は、実施形態1のマルチレベルインバータ100においてスイッチング回路10が第2スイッチング状態のときの電流経路の説明図である。インバータ回路1のスイッチング回路10が第2スイッチング状態かつ出力電流の極性が正のときには、図4に示すように、直流電源部3の中間電位点M1

ー第1クランプダイオードD5ー第2スイッチング素子Q2ー第3接続点13ー出力端子41の経路（太い実線矢印で示す経路）で電流I1が流れて、交流負荷RA1への出力電圧の電圧値が0となる。より詳細には、スイッチング回路10U、10V、10Wが、それぞれ、第2スイッチング状態、第3スイッチング状態、第3スイッチング状態の場合には、直流電源部3の中間電位点M1ーインバータ回路1Uの第1クランプダイオードD5ースイッチング回路10Uの第2スイッチング素子Q2ー第3接続点13ー出力端子41の経路で電流I1が流れる。

[0059] また、インバータ回路1のスイッチング回路10が第2スイッチング状態かつ出力電流の極性が負のときには、図4に示すように、出力端子41ー第3接続点13ー第3スイッチング素子Q3ー第2接続点12ー第2クランプダイオードD6の経路（太い破線矢印で示す経路）で電流I1が流れて、交流負荷RA1への出力電圧の電圧値が0となる。より詳細には、スイッチング回路10U、10V、10Wが、それぞれ、第2スイッチング状態、第2スイッチング状態、第1スイッチング状態の場合には、インバータ回路1Uにおいて、出力端子41ー第3接続点13ー第3スイッチング素子Q3ー第2接続点12ー第2クランプダイオードD6の経路（太い破線矢印で示す経路）で電流I1が流れて、交流負荷RA1への出力電圧の電圧値が0となる。

[0060] 図5は、実施形態1のマルチレベルインバータ100においてスイッチング回路10が第2スイッチング状態のときの放電経路及び充電経路の説明図である。インバータ回路1のスイッチング回路10が第2スイッチング状態のときには、第2ブートストラップ回路72のコンデンサC27から第2ゲートドライバ62に、第2ゲートドライバ62により第2スイッチング素子Q2をオンさせるために必要な電圧が供給される。したがって、第2ブートストラップ回路72のコンデンサC27の電荷が、図5に示すように、コンデンサC27ー第2ゲートドライバ62の高電位側電源端子62Hー第2ゲートドライバ62の低電位側電源端子62LーコンデンサC27の放電経路

Ru2で放電される。また、インバータ回路1のスイッチング回路10が第2スイッチング状態のときには、第3ブートストラップ回路73のコンデンサC37から第3ゲートドライバ63に、第3ゲートドライバ63により第3スイッチング素子Q3をオンさせるために必要な電圧が供給される。したがって、第3ブートストラップ回路73のコンデンサC37の電荷が、コンデンサC37－第3ゲートドライバ63の高電位側電源端子63H－第3ゲートドライバ63の低電位側電源端子63L－コンデンサC37の放電経路Ru3で放電される。

[0061] また、インバータ回路1のスイッチング回路10が第2スイッチング状態のときには、第2条件を満たす場合にコンデンサC37によりコンデンサC27が充電され、第3条件を満たす場合にコンデンサC27によりコンデンサC17が充電される。図5に示すように、コンデンサC17、C27、C37それぞれの両端電圧を V_{o1} 、 V_{o2} 、 V_{o3} とし、ダイオードD17、D27それぞれの両端電圧を V_{d1} 、 V_{d2} とし、抵抗R17、R27それぞれの両端電圧を V_{R1} 、 V_{R2} とし、第2スイッチング素子Q2、第3スイッチング素子Q3それぞれの両端電圧を V_{f2} 、 V_{f3} とすると、第2条件は、 $V_{o3} > (V_{o2} + V_{d2} + V_{R2} + V_{f3})$ という条件である。第3条件は、 $V_{o2} > (V_{o1} + V_{d1} + V_{R1} + V_{f2})$ という条件である。コンデンサC37によりコンデンサC27を充電する充電経路Ru32は、コンデンサC37－抵抗R37－ダイオードD27－抵抗R27－コンデンサC27－第3接続点13－第3スイッチング素子Q3－コンデンサC37の経路である。コンデンサC27によりコンデンサC17を充電する充電経路Ru21は、コンデンサC27－抵抗R27－ダイオードD17－抵抗R17－コンデンサC17－第1接続点11－第2スイッチング素子Q2－コンデンサC27の経路である。

[0062] 図6は、実施形態1のマルチレベルインバータ100においてスイッチング回路10が第3スイッチング状態のときの電流経路の説明図である。インバータ回路1のスイッチング回路10が第3スイッチング状態のときには、

図6に示すように、出力端子41－第3接続点13－第3スイッチング素子Q3－第4スイッチング素子Q4－直流電源部3の負極N1の経路で電流I1が流れて、交流負荷RA1への出力電圧の電圧値が $-V_{dc}/2$ となる。また、インバータ回路1のスイッチング回路10が第3スイッチング状態のときには、コンデンサC37により第2ブートストラップ回路72（図1参照）のコンデンサC27が充電されるので、コンデンサC27の電圧が時間経過とともに上昇し、コンデンサC27が満充電状態となる。また、インバータ回路1のスイッチング回路10が第3スイッチング状態のときには、第3ブートストラップ回路73のコンデンサC37から第3ゲートドライバ63に、第3ゲートドライバ63により第3スイッチング素子Q3をオンさせるために必要な電圧が供給される。したがって、第3ブートストラップ回路73のコンデンサC37の電荷が、コンデンサC37－第3ゲートドライバ63の高電位側電源端子63H－第3ゲートドライバ63の低電位側電源端子63L－コンデンサC37の放電経路Ru3で放電される。また、インバータ回路1のスイッチング回路10が第3スイッチング状態のときには、第4条件を満たす場合に電源部9によりコンデンサC37が充電され、第5条件を満たす場合にコンデンサC37によりコンデンサC27が充電される。

[0063] 図7は、実施形態1のマルチレベルインバータ100においてスイッチング回路10が第3スイッチング状態のときの放電経路及び充電経路の説明図である。図7に示すように、電源部9の両端電圧を V_{oo} とし、コンデンサC27、C37それぞれの両端電圧を V_{o2} 、 V_{o3} とし、ダイオードD27、D37それぞれの両端電圧を V_{d2} 、 V_{d3} とし、抵抗R27、R37それぞれの両端電圧を V_{R2} 、 V_{R3} とし、第3スイッチング素子Q3、第4スイッチング素子Q4それぞれの両端電圧を V_{f3} 、 V_{f4} とすると、第4条件は、 $V_{oo} > (V_{o3} + V_{d3} + V_{R3} + V_{f4})$ という条件である。第5条件は、 $V_{o3} > (V_{o2} + V_{d2} + V_{R2} + V_{f3})$ という条件である。電源部9によりコンデンサC37を充電する充電経路Ru93は、電源部9の正側端子－ダイオードD37－抵抗R37－コンデンサC37－第

2 接続点 1 2 - 第 4 スイッチング素子 Q 4 - 電源部 9 の負側端子の経路である。コンデンサ C 3 7 によりコンデンサ C 2 7 を充電する充電経路 R u 3 2 は、コンデンサ C 3 7 - 抵抗 R 3 7 - ダイオード D 2 7 - 抵抗 R 2 7 - コンデンサ C 2 7 - 第 3 接続点 1 3 - 第 3 スイッチング素子 Q 3 - コンデンサ C 3 7 の経路である。

[0064] 制御部 6 0 は、インバータ回路 1 U、1 V、1 W それぞれの出力電圧に関する電圧指令 V_u 、 V_v 、 V_w (図 8 参照) に基づいてインバータ回路 1 U の第 1 ~ 第 4 スイッチング素子 Q 1 ~ Q 4 に対する第 1 ~ 第 4 制御信号 S 1 ~ S 4 (S_{1U} ~ S_{4U})、インバータ回路 1 V の第 1 ~ 第 4 スイッチング素子 Q 1 ~ Q 4 に対する第 1 ~ 第 4 制御信号 S 1 ~ S 4 (S_{1V} ~ S_{4V})、インバータ回路 1 W の第 1 ~ 第 4 スイッチング素子 Q 1 ~ Q 4 に対する第 1 ~ 第 4 制御信号 S 1 ~ S 4 (S_{1W} ~ S_{4W}) を生成する。

[0065] 図 8 は、実施形態 1 のマルチレベルインバータ 1 0 0 における各相の電圧指令値の説明図である。図 8 に示すように、電圧指令 V_u と、電圧指令 V_v と、とは、例えば、互いの位相が 120° 異なる正弦波状の信号であり、それぞれ、時間とともに値 (電圧指令値) が変化する。なお、電圧指令 V_u 、電圧指令 V_v 及び電圧指令 V_w の 1 周期の長さは、同じである。制御部 6 0 は、交流負荷 R A 1 の状態を検出する検出部 8 から出力される情報に基づいて電圧指令 V_u 、 V_v 、 V_w を P I (Proportional Integral) 制御してもよい。交流負荷 R A 1 が 3 相モータの場合、検出部 8 から出力される情報は、例えば、交流負荷 R A 1 の U 相、V 相及び W 相それぞれに流れる出力電流を検出する複数の電流センサの検出結果の情報と、3 相モータの回転数、回転角等を検出するエンコーダの検出結果の情報と、のうち少なくとも 1 つを含む。

[0066] 以下、3 つのインバータ回路 1 のうち 1 つ (例えば、U 相のインバータ回路 1 U) の動作について説明する。V 相のインバータ回路 1 V、W 相のインバータ回路 1 W の動作は、U 相のインバータ回路 1 U の動作と同様である。U 相のインバータ回路 1 U の出力電圧と、V 相のインバータ回路 1 V の出力

電圧と、W相のインバータ回路1Wの出力電圧とは、互いの位相が異なる。

[0067] 制御部60は、電圧ベクトル制御を行うことによって、複数の第1ゲートドライバ61と複数の第2ゲートドライバ62と複数の第3ゲートドライバ63と複数の第4ゲートドライバ64とを制御する。

[0068] 以下、制御部60での電圧ベクトル制御について、より詳細に説明する。

[0069] 制御部60は、あらかじめ一群の電圧ベクトルを記憶している。一群の電圧ベクトルの各々は、複数のインバータ回路1の第2スイッチング素子Q2と第3スイッチング素子Q3との接続点（第3接続点13）の電位レベルの組み合わせで定まる。言い換えれば、一群の電圧ベクトルは、U相に対応するスイッチング回路10Uのスイッチング状態と、V相に対応するスイッチング回路10Vのスイッチング状態と、W相に対応するスイッチング回路10Wのスイッチング状態と、で定まる。一群の電圧ベクトルに含まれる電圧ベクトルの数は、 $3^3 = 27$ 個である。

[0070] 図9は、実施形態1のマルチレベルインバータ100に関する一群の電圧ベクトルの説明図である。一群の電圧ベクトルは、図9に示すように、各々の大きさが零である3個の零ベクトル V_{0p} 、 V_{0n} 、 V_{0o} を含む。また、一群の電圧ベクトルは、各々の大きさが $(2/3)^{1/2} \cdot 2V_{dc}$ であり向きが異なる6個の電圧ベクトル V_1 、 V_2 、 V_3 、 V_4 、 V_5 、 V_6 を含む。また、一群の電圧ベクトルは、各々の大きさが $(2/3)^{1/2} \cdot V_{dc}$ である12個の電圧ベクトル V_{7p} 、 V_{7n} 、 V_{8p} 、 V_{8n} 、 V_{9p} 、 V_{9n} 、 V_{10p} 、 V_{10n} 、 V_{11p} 、 V_{11n} 、 V_{12p} 、 V_{12n} を含む。また、一群の電圧ベクトルは、各々の大きさが $(2/3)^{1/2} \cdot 3^{1/2} \cdot V_{dc}$ であり向きが異なる6個の電圧ベクトル V_{13} 、 V_{14} 、 V_{15} 、 V_{16} 、 V_{17} 、 V_{18} を含む。図9において、6個の電圧ベクトル V_1 、 V_2 、 V_3 、 V_4 、 V_5 、 V_6 のうち隣り合う2つの電圧ベクトルのなす角度は、60度である。また、6個の電圧ベクトル V_{13} 、 V_{14} 、 V_{15} 、 V_{16} 、 V_{17} 、 V_{18} のうち隣り合う2つの電圧ベクトルのなす角度は、60度である。なお、図9は、一群の電圧ベクトルを直交d-q座

標上に図示したベクトル図である。

[0071] 一群の電圧ベクトルは、第1スイッチング状態、第2スイッチング状態及び第3スイッチング状態を、それぞれ、「P」、「0」及び「N」の記号で表現し、U相、V相、W相の順に表記すると、図10に示すように表現できる。

[0072] 図10は、実施形態1のマルチレベルインバータ100に関する一群の電圧ベクトルのより詳細な説明図である。図10に示すように、3個の零ベクトル V_{0p} 、 V_{0n} 、 V_{0o} は、それぞれ、 V_{0p} [PPP]、 V_{0n} [NNN]、 V_{0o} [000]と表現できる。例えば、 V_{0p} [PPP]は、零ベクトル V_{0p} に関して、U相のスイッチング回路10Uのスイッチング状態が「P」であり、V相のスイッチング回路10Vのスイッチング状態が「P」であり、W相のスイッチング回路10Wのスイッチング状態が「P」であることを表現している。例えば、 V_{10p} のように「p」を付してある電圧ベクトルは、「P」を含み、かつ「N」を含まない。この点は、以下、同様である。また、 V_{10n} のように「n」を付してある電圧ベクトルは、「N」を含み、かつ、「P」を含まない。この点は、以下、同様である。また、 V_{10o} のように「o」を付してある電圧ベクトルは、「0」を含み、かつ、「P」及び「N」を含まない。スイッチング回路10のスイッチング状態が「P」の場合、そのスイッチング回路10における第3接続点13の電位は、直流電源部3の正極P1の電位となる。スイッチング回路10のスイッチング状態が「N」の場合、そのスイッチング回路10における第3接続点13の電位は、直流電源部3の負極N1の電位となる。スイッチング回路10のスイッチング状態が「0」の場合、そのスイッチング回路10における第3接続点13の電位は、直流電源部3の中間電位点M1の電位となる。

[0073] また、6個の電圧ベクトル V_1 、 V_2 、 V_3 、 V_4 、 V_5 、 V_6 は、それぞれ、 V_1 [PNN]、 V_2 [PPN]、 V_3 [NPN]、 V_4 [NPP]、 V_5 [NNP]、 V_6 [PNP]と表現できる。 V_1 [PNN]、 V_2 [PPN]、 V_3 [NPN]、 V_4 [NPP]、 V_5 [NNP]、 V_6 [PNP]

P]のように、「V」に付した数字の後に「p」、「n」、「o」のいずれも付していない電圧ベクトルは、3相のスイッチング状態として、「P」及び「N」を含む。

[0074] また、12個の電圧ベクトルV7p、V7n、V8p、V8n、V9p、V9n、V10p、V10n、V11p、V11n、V12p、V12nは、それぞれ、V7p [P00]、V7n [0NN]、V8p [PP0]、V8n [00N]、V9p [OP0]、V9n [NON]、V10p [OPP]、V10n [N00]、V11p [00P]、V11n [NN0]、V12p [POP]、V12n [ON0]と表現できる。

[0075] また、6個の電圧ベクトルV13、V14、V15、V16、V17、V18は、それぞれ、V13 [PON]、V14 [OPN]、V15 [NPO]、V16 [NOP]、V17 [ONP]、V18 [PNO]と表現できる。

[0076] 制御部60は、複数のインバータ回路1の各々の出力電圧に関する指令電圧の瞬時値を指令電圧ベクトルV* (図11参照)に変換する。指令電圧ベクトルV*の、直交d-q座標上におけるd軸成分をVdとし、指令電圧ベクトルV*の、直交d-q座標上におけるq軸成分をVqとすると、指令電圧ベクトルV*は、式(1)を用いて求めることができる。

[0077] [数1]

$$V^* = \begin{bmatrix} V_d \\ V_q \end{bmatrix} = \sqrt{\frac{2}{3}} \begin{bmatrix} 1 & -\frac{1}{2} & -\frac{1}{2} \\ 0 & \frac{\sqrt{3}}{2} & -\frac{\sqrt{3}}{2} \end{bmatrix} \begin{bmatrix} V_u \\ V_v \\ V_w \end{bmatrix} \quad \dots \text{式(1)}$$

[0078] 制御部60は、一群の電圧ベクトルのうち指令電圧ベクトルV*に隣接する複数(例えば、5つ)の電圧ベクトルを選択する。図11は、実施形態1のマルチレベルインバータ100における制御部60の動作を説明するためのベクトル図である。図11の例では、複数の電圧ベクトルは、V8p [PP0]、V8n [00N]、V13 [PON]、V7p [P00]、V7n

[0NN] である。

[0079] 指令電圧ベクトル V^* に最も近い電圧ベクトル（以下、電圧ベクトル $V V_1$ ともいう）と指令電圧ベクトル V^* とのなす角度は、 30 度よりも小さい。

[0080] 制御部60は、所定の制御周期 T_s 内において、指令電圧ベクトル V^* を囲む正三角形の頂点のベクトルの合成ベクトルを、指令電圧ベクトル V^* に一致させる。すなわち、制御部60では、電圧ベクトル $V V_1$ （図11の例では、 V_{8p} [PP0] 及び V_{8n} [00N]）と、電圧ベクトル V_{13} [PON] と、電圧ベクトル V_{7p} [P00] 及び V_{7n} [0NN] と、の合成ベクトルを指令電圧ベクトル V^* と一致させる。制御周期 T_s は、キャリア信号の1周期である。制御部60では、制御周期 T_s 内において、時系列的に並ぶ2つの電圧ベクトルにおいてU相、V相、W相のうち1相のみのスイッチング状態が「P」と「0」との間又は「0」と「N」との間で変化し、かつ、同じ電圧ベクトルが2回ずつ出力される。図12では、電圧ベクトル V_{8n} [00N] →電圧ベクトル V_{13} [PON] →電圧ベクトル V_{7p} [P00] →電圧ベクトル V_{8p} [PP0] →電圧ベクトル V_{8p} [PP0] →電圧ベクトル V_{7p} [P00] →電圧ベクトル V_{13} [PON] →電圧ベクトル V_{8n} [00N] の順に出力される。図12では、制御周期 T_s に対する、電圧ベクトル V_{8p} 及び電圧ベクトル V_{8n} の配分時間を T_0 とし、電圧ベクトル V_{13} の配分時間を T_1 とし、電圧ベクトル V_{7p} 及び電圧ベクトル V_{7n} の配分時間を T_2 とした場合について例示してある。 T_0 、 T_1 、 T_2 については、指令電圧ベクトル V^* を囲む正三角形の頂点の電圧ベクトルを V_a 、 V_b 、 V_c とし、指令電圧ベクトル V^* の大きさを V 、角度を θ とすると、式(2)及び式(3)を満足するように、 T_0 、 T_1 、 T_2 を決める。式(2)における「 j 」は、虚数単位である。なお、図11の例では、例えば、電圧ベクトル V_a は、電圧ベクトル V_{8p} [PP0] 及び V_{8n} [00N] であり、電圧ベクトル V_b は、電圧ベクトル V_{13} [PON] であり、電圧ベクトル V_c は、電圧ベクトル V_{7p} [P00] 及び V_{7n}

n [ONN] である。

[0081] [数2]

$$\begin{aligned} & V_a \cdot T_0 + V_b \cdot T_1 + V_c \cdot T_2 \\ & = V \cdot T_s \cdot \cos \theta + j V \cdot T_s \cdot \sin \theta \quad \dots \text{式 (2)} \end{aligned}$$

[0082] [数3]

$$T_0 + T_1 + T_2 = T_s \quad \dots \text{式 (3)}$$

[0083] 図12は、実施形態1のマルチレベルインバータ100の各相のスイッチング状態のタイムチャートを示す図である。図12の例では、第1スイッチング素子Q1、第2スイッチング素子Q2、第3スイッチング素子Q3及び第4スイッチング素子Q4のオンオフは、制御周期 T_s 内において、図13に示すようになる。図13は、実施形態1のマルチレベルインバータ100の第1～第4スイッチング素子(Q1～Q4)のオンオフ状態のタイムチャートを示す図である。図13の例では、制御周期 T_s 内の全期間において第2スイッチング素子Q2がオン状態となってしまう、第2ブートストラップ回路72の電圧低下幅が大きくなってしまふ。

[0084] なお、指令電圧ベクトル V^* が図11と同じであっても、制御周期 T_s の開始時のキャリア信号の初期値により、制御周期 T_s 内の電圧ベクトルの順序が異なることがある。

[0085] 図14Aは、スイッチング素子(Q1～Q4)をターンオンさせるときのスイッチング素子(Q1～Q4)への制御信号とスイッチング素子(Q1～Q4)の制御端子に流れる電流との関係を示すタイミングチャートを示す図である。マルチレベルインバータ100では、複数の第1スイッチング素子Q1の各々への制御信号S1の電位レベルがローレベル(図14Aでは、“L”)からハイレベル(図14Aでは、“H”)へ変化するとき、ターン

オンする第1スイッチング素子Q1の制御端子にパルス状の電流（図14A参照）が流れる。これにより、複数のブートストラップ回路71のうち、ターンオンする第1スイッチング素子Q1に対応するブートストラップ回路71のコンデンサC17の電荷が消費される。

[0086] 図14Bは、スイッチング素子（Q1～Q4）をターンオフさせるときのスイッチング素子（Q1～Q4）への制御信号とスイッチング素子（Q1～Q4）の制御端子に流れる電流との関係を示すタイミングチャートを示す図である。マルチレベルインバータ100では、複数の第1スイッチング素子Q1の各々への制御信号S1の電位レベルがハイレベル（図14Bでは、“H”）からローレベル（図14Bでは、“L”）へ変化するとき、ターンオフする第1スイッチング素子Q1の制御端子にパルス状の電流（図14B参照）が流れる。これにより、複数のブートストラップ回路71のうち、ターンオンする第1スイッチング素子Q1に対応するブートストラップ回路71のコンデンサC17の電荷が消費される。

[0087] したがって、マルチレベルインバータ100では、高周波化のためにキャリア周波数を高くするほど、コンデンサC17の電荷の消費が多くなる。キャリア周波数は、キャリア信号の周期により定まるキャリア信号の周波数である。

[0088] 図15Aは、実施形態1のマルチレベルインバータ100におけるコンデンサC17の電圧変化のキャリア周波数依存性を示す図である。図15Aでは、コンデンサC17の容量を $0.2\mu\text{F}$ として、キャリア周波数を変化させた場合の、コンデンサC17の電圧（上述の両端電圧 V_{o1} ）の時間変化を示している。図15Aにおいて、「A1」はキャリア周波数を6kHzとした場合のコンデンサC17の電圧の時間変化を示し、「A2」はキャリア周波数を12kHzとした場合のコンデンサC17の電圧の時間変化を示し、「A3」はキャリア周波数を20kHzとした場合のコンデンサC17の電圧の時間変化を示している。

[0089] 図15Aから、コンデンサC17の容量が同じ値であれば、キャリア周波

数を高くするほどコンデンサC 17の電圧が低下する傾向が分かる。

[0090] 図15Bは、実施形態1のマルチレベルインバータ100におけるコンデンサC 17の電圧変化の容量依存性を示す図である。キャリア周波数を20kHzとして、コンデンサC 17の容量を変化させた場合の、コンデンサC 17の電圧の時間変化を示している。図15Bにおいて、「A4」は、コンデンサC 17の容量を0.2 μ Fとした場合のコンデンサC 17の電圧の時間変化を示し、「A5」は、コンデンサC 17の容量を1 μ Fとした場合のコンデンサC 17の電圧の時間変化を示し、「A6」は、コンデンサC 17の容量を10 μ Fとした場合のコンデンサC 17の電圧の時間変化を示している。

[0091] 図15Bから、キャリア周波数が同じ値であれば、コンデンサC 17の容量が小さいほどコンデンサC 17の電圧が低下する傾向が分かる。

[0092] 複数の第1ブートストラップ回路71の各々のコンデンサC 17の電圧低下の要因について図14A及び14Bを参照して説明したが、複数の第2ブートストラップ回路72の各々のコンデンサC 27の電圧低下の要因、複数の第3ブートストラップ回路73の各々のコンデンサC 37の電圧低下の要因についても同様である。

[0093] マルチレベルインバータ100では、複数の第1ブートストラップ回路71の各々のコンデンサC 17の容量を10 μ F以上かつ50 μ F以下の値に設定してある。また、マルチレベルインバータ100では、複数の第2ブートストラップ回路72の各々のコンデンサC 27の容量を10 μ F以上かつ50 μ F以下の値に設定してある。また、マルチレベルインバータ100では、複数の第3ブートストラップ回路73の各々のコンデンサC 37の容量を10 μ F以上かつ50 μ F以下の値に設定してある。

[0094] 各コンデンサC 17, C 27, C 37の容量は、例えば、キャリア周波数の値に応じて設定されている。各コンデンサC 17, C 27, C 37の容量の決め方については、比較例に係るマルチレベルインバータの制御部の動作について図19A、19B、20、21を参照しながら説明した後で、図1

6～18を参照しながら説明する。

[0095] (3) 比較例

比較例に係るマルチレベルインバータでは、ブートストラップ回路のコンデンサの電圧低下を抑制するために、制御部が、電圧ベクトル制御において一部の電圧ベクトルを別の電圧ベクトルに置換する制御を行う。

[0096] 制御部は、一群の電圧ベクトルのうち指令電圧ベクトル V^* （図19A参照）に隣接する複数（例えば、5つ）の電圧ベクトルを選択する。図19Aは、比較例に係るマルチレベルインバータに関する指令電圧ベクトル及び第1電圧ベクトルの説明図である。図19Aの例では、複数の電圧ベクトルは、 V_{8p} [PP0]、 V_{8n} [00N]、 V_{13} [PON]、 V_{7p} [P00]、 V_{7n} [0NN] である。

[0097] 制御部は、複数の電圧ベクトルのうち大きさが基準大きさであり指令電圧ベクトル V^* に最も近い2つの電圧ベクトル V_{V1} である2つの第1電圧ベクトル V_{V1} （図19Aの例では、 V_{8p} [PP0] 及び V_{8n} [00N]）のうち1つを、複数のインバータ回路1の第3接続点13の電位レベルが負極の電位となる組み合わせの零ベクトル V_{0n} [NNN] と、第1電圧ベクトル V_{V1} と同じ向きで第1電圧ベクトル V_{V1} とは大きさの異なる少なくとも1つの第2電圧ベクトル V_{V2} （図19Aの例では、 V_2 [PPN]）と、に置換する。基準大きさは、例えば、 $(2/3) 1/2 \cdot V_{dc}$ である。したがって、複数の電圧ベクトルは、大きさが基準大きさである電圧ベクトル（基準ベクトル）として、12個の電圧ベクトル V_{7p} [P00]、 V_{7n} [0NN]、 V_{8p} [PP0]、 V_{8n} [00N]、 V_{9p} [0P0]、 V_{9n} [NON]、 V_{10p} [OPP]、 V_{10n} [N00]、 V_{11p} [00P]、 V_{11n} [NN0]、 V_{12p} [POP]、 V_{12n} [ON0] を含む。指令電圧ベクトル V^* に最も近い2つの第1電圧ベクトル V_{V1} と指令電圧ベクトル V^* とのなす角度は、30度よりも小さい。

[0098] 図19Bは、比較例のマルチレベルインバータに関する指令電圧ベクトル、零ベクトル及び第2電圧ベクトルの説明図である。制御部は、複数の電圧

ベクトルのうち第1電圧ベクトル $VV1$ （図19Aの例では、 $V8p$ [P P 0] 及び $V8n$ [0 0 N]）以外の3つの電圧ベクトル（図19Bの例では、 $V13$ [P 0 N]、 $V7p$ [P 0 0] 及び $V7n$ [0 N N]）と、零ベクトル $V0n$ [N N N] と、少なくとも1つの第2電圧ベクトル $VV2$ と、の合成ベクトルを指令電圧ベクトル $V*$ と一致させるように、所定の制御周期 T_s （図20参照）内において複数の第1ゲートドライバと複数の第2ゲートドライバと複数の第3ゲートドライバと複数の第4ゲートドライバとを制御する。比較例では、所定の制御周期 T_s は、例えば、キャリア信号の2周期である。

[0099] 図20は、比較例のマルチレベルインバータにおいて第1電圧ベクトルを零ベクトルと第2電圧ベクトルとに置換して各相のインバータ回路を制御した場合の各相のスイッチング状態のタイムチャートを示す図である。図20の例では、第1スイッチング素子 $Q1$ 、第2スイッチング素子 $Q2$ 、第3スイッチング素子 $Q3$ 及び第4スイッチング素子 $Q4$ のオンオフは、制御周期 T_s 内において、図21に示すようになる。図21は、比較例のマルチレベルインバータにおいて第1電圧ベクトルを零ベクトルと第2電圧ベクトルとに置換してインバータ回路を制御した場合の第1～第4スイッチング素子のオンオフ状態のタイムチャートを示す図である。

[0100] また、比較例に係るマルチレベルインバータでは、制御部は、指令電圧ベクトル $V*$ に対応する指令電圧の極性が正のときだけ、第1電圧ベクトル $VV1$ を零ベクトル $V0n$ [N N N] と第2電圧ベクトル $VV2$ とに置換してもよいし、指令電圧の極性が負のときにも第1電圧ベクトル $VV1$ を零ベクトル $V0n$ [N N N] と第2電圧ベクトル $VV2$ とに置換してもよい。

[0101] 比較例に係るマルチレベルインバータでは、制御部によるマルチレベルベクトル制御において電圧ベクトルを置換する複雑な制御が必要となり、キャリア周波数の高周波化が難しくなる場合がある。

[0102] （4）ブートストラップ回路に含まれるコンデンサの最小容量とキャリア周波数とマルチレベルベクトル制御（MLVC）比率との関係

図16は、第1ブートストラップ回路71に含まれるコンデンサC17の最小容量とキャリア周波数とマルチレベルベクトル制御（MLVC）比率との関係についてシミュレーションした結果を示すグラフである。「最小容量」とは、第1スイッチング素子Q1をオンオフさせるために必要なゲート電圧の電圧値をコンデンサC17において維持するために必要なコンデンサC17の容量の下限値を意味する。「MLVC比率」とは、実施形態1の電圧ベクトル制御に対して比較例の電圧ベクトル制御を行う比率を示し、MLVC比率の値が0の場合は実施形態1の電圧ベクトル制御のみを行い、比較例の電圧ベクトル制御を行わないことを意味する。また、MLVC比率の値が0よりも大きいほど比較例の電圧ベクトル制御において電圧ベクトルの置換を行う頻度が高いことを意味する。

[0103] 図16では、太線で囲んだ規定面PL1が、第1スイッチング素子Q1をオンオフさせるために必要なゲート電圧の電圧値（例えば、11[V]）をコンデンサC17において維持するために必要なコンデンサC17の最小容量を規定する面である。したがって、コンデンサC17の容量が、図16においてキャリア周波数とMLVC比率との組み合わせの任意の点を規定面PL1上に垂直投影した点の最小容量よりも大きな容量を有していれば、第1スイッチング素子Q1をオンオフさせるために必要なゲート電圧の電圧値をコンデンサC17において維持することが可能となる。

[0104] 図16から分かるように、例えば、キャリア周波数が6kHzでMLVC比率が0%の場合、コンデンサC17の最小容量は10 μ Fであり、キャリア周波数が20kHzでMLVC比率が0%の場合、コンデンサC17の最小容量は37 μ Fである。

[0105] 図17は、第1ブートストラップ回路71に含まれるコンデンサC17の最小容量とキャリア周波数との関係についてシミュレーションした結果を示すグラフである。図17から、キャリア周波数が高くなるにつれてコンデンサC17の最小容量が大きくなることが分かる。なお、図17は、図16において、HLVC比率が0%の場合のグラフである。

[0106] 図18は、第1ブートストラップ回路71に含まれるコンデンサC17の最小容量とMLVC比率との関係を示すグラフである。図18は、図16において、キャリア周波数が6kHz、10kHz、16kHz、20kHzそれぞれの場合について、コンデンサC17の最小容量とMLVC比率との関係を示している。図18から、キャリア周波数が高くなるにつれてコンデンサC17の最小容量が大きくなることが分かる。また、図18から、MLVC比率を高めることにより、コンデンサC17の最小容量を低減できることが分かる。

[0107] 複数の第1ブートストラップ回路71の各々のコンデンサC17の最小容量の上限値は、コンデンサC17としてアルミ電解コンデンサよりも小型のコンデンサを採用するという観点で、50 μ Fであるのが好ましい。したがって、複数の第1ブートストラップ回路71の各々のコンデンサC17の容量は、10 μ F以上かつ50 μ F以下であるのが好ましい。

[0108] 複数の第1ブートストラップ回路71の各々のコンデンサC17は、例えば、積層セラミックコンデンサ又はフィルムコンデンサ又はタンタル電解コンデンサである。

[0109] 複数の第1ブートストラップ回路71の各々のコンデンサC17の最小容量について説明したが、複数の第2ブートストラップ回路72の各々のコンデンサC27の最小容量、複数の第3ブートストラップ回路73の各々のコンデンサC37の最小容量についても同じである。

[0110] (5) 利点

実施形態1に係るマルチレベルインバータ100では、複数の第1ブートストラップ回路71の各々に含まれるコンデンサC17の容量は、10 μ F以上かつ50 μ F以下である。

[0111] 上記構成によれば、第1ブートストラップ回路71の電圧低下を抑制することが可能となる。より詳細には、キャリア周波数が6kHz以上かつ20kHz以下の範囲内の場合に、制御部60が電圧ベクトルを置換する特別の電圧ベクトル制御を行うことなく、複数の第1ブートストラップ回路71の

コンデンサC 1 7の電圧を第1スイッチング素子Q 1のオンオフに必要な電圧以上に維持することが可能となる。

[0112] また、実施形態1に係るマルチレベルインバータ100では、複数の第2ブートストラップ回路72の各々に含まれるコンデンサC 2 7の容量は、10 μ F以上かつ50 μ F以下である。

[0113] 上記構成によれば、第2ブートストラップ回路72のコンデンサC 2 7の電圧低下を抑制することが可能となる。

[0114] また、実施形態1に係るマルチレベルインバータ100では、複数の第3ブートストラップ回路73の各々に含まれるコンデンサC 3 7の容量は、10 μ F以上かつ50 μ F以下である。

[0115] 上記構成によれば、第3ブートストラップ回路73のコンデンサC 3 7の電圧低下を抑制することが可能となる。

[0116] また、実施形態1に係るマルチレベルインバータ100では、電源部9に含まれるDC-DCコンバータ91が、複数の第4ゲートドライバ64と複数の第3ブートストラップ回路73とに電圧を供給する。これにより、実施形態1に係るマルチレベルインバータ100は、小型化を図りつつ複数の第3ブートストラップ回路73それぞれの電圧低下を抑制することが可能となる。

[0117] (実施形態2)

以下では、実施形態2に係るマルチレベルインバータ100Aについて、図22~29に基づいて説明する。

[0118] (1) マルチレベルインバータの全体構成

図22は、実施形態2に係るマルチレベルインバータ100Aを備えるシステムの回路図である。マルチレベルインバータ100Aは、例えば、図22に示すように、直流電源部3と、複数(図22の例では3つ)のインバータ回路1と、制御装置6と、を備える。直流電源部3は、正極P 1と負極N 1と中間電位点M 1とを有する。複数のインバータ回路1は、直流電源部3の正極P 1と負極N 1との間に接続されている。制御装置6は、複数のイン

バータ回路 1 を制御する。

[0119] マルチレベルインバータ 100A は、T 型の 3 レベル 3 相インバータである。マルチレベルインバータ 100A では、複数のインバータ回路 1 の各々が出力端子 41 を有している。マルチレベルインバータ 100A では、複数（図 22 の例では 3 つ）の出力端子（交流端子）41 に交流負荷 RA1 が接続される。交流負荷 RA1 は、例えば、3 相サーボモータである。マルチレベルインバータ 100A では、複数のインバータ回路 1 のうちの 1 つが、U 相の電圧を出力するインバータ回路 1U であり、別の 1 つが、V 相の電圧を出力するインバータ回路 1V であり、残りの 1 つが、W 相の電圧を出力するインバータ回路 1W である。

[0120] 複数のインバータ回路 1 の各々は、第 1 スイッチング素子 Q1、第 2 スイッチング素子 Q2、第 3 スイッチング素子 Q3 及び第 4 スイッチング素子 Q4 と、第 1 ダイオード D1、第 2 ダイオード D2、第 3 ダイオード D3 及び第 4 ダイオード D4 と、を有する。第 1 ダイオード D1、第 2 ダイオード D2、第 3 ダイオード D3 及び第 4 ダイオード D4 は、第 1 スイッチング素子 Q1、第 2 スイッチング素子 Q2、第 3 スイッチング素子 Q3 及び第 4 スイッチング素子 Q4 にそれぞれ逆並列接続されている。複数のインバータ回路 1 の各々では、第 1 スイッチング素子 Q1、第 2 スイッチング素子 Q2 が、正極 P1 側から負極 N1 側へ第 1 スイッチング素子 Q1、第 2 スイッチング素子 Q2 の順に並ぶように直列接続されている。つまり、図 22 及び 23 に示すように、第 1 スイッチング素子 Q1 と第 2 スイッチング素子 Q2 との直列回路（第 1 回路 111）が、正極 P1 と負極 N1 との間に接続されている。複数のインバータ回路 1 の各々では、第 3 スイッチング素子 Q3 と第 4 スイッチング素子 Q4 との直列回路（第 2 回路 112）が、中間電位点 M1 と出力点との間に接続されている。出力点は、第 1 スイッチング素子 Q1 と第 2 スイッチング素子 Q2 との接続点 113 である。第 2 回路 112 は、第 3 スイッチング素子 Q3 と第 4 スイッチング素子 Q4 と第 3 ダイオード D3 と第 4 ダイオード D4 とを含む双方向スイッチを有している。

[0121] 制御装置6は、複数（図22の例では3つ）の第1ゲートドライバ61と、複数（図22の例では3つ）の第2ゲートドライバ62と、複数（図22の例では3つ）の第3ゲートドライバ63と、複数（図22の例では3つ）の第4ゲートドライバ64と、を有する。また、制御装置6は、複数（図22の例では3つ）のブートストラップ回路71（以下、第1ブートストラップ回路71ともいう）と、複数（図22の例では3つ）の第2ブートストラップ回路72と、電源部9と、制御部60と、を有する。

[0122] 複数の第1ゲートドライバ61は、複数のインバータ回路1の第1スイッチング素子Q1を駆動する。複数の第2ゲートドライバ62は、複数のインバータ回路1の第2スイッチング素子Q2を駆動する。複数の第3ゲートドライバ63は、複数のインバータ回路1の第3スイッチング素子Q3を駆動する。複数の第4ゲートドライバ64は、複数のインバータ回路1の第4スイッチング素子Q4を駆動する。

[0123] 複数の第1ブートストラップ回路71は、複数の第1ゲートドライバ61に一対一に対応する。複数の第1ブートストラップ回路71の各々は、複数の第1ゲートドライバ61のうち対応する第1ゲートドライバ61に電圧を供給する。複数の第2ブートストラップ回路72は、複数の第3ゲートドライバ63及び複数の第4ゲートドライバ64に対応する。複数の第2ブートストラップ回路72の各々は、複数の第3ゲートドライバ63のうち対応する第3ゲートドライバ63及び対応する第4ゲートドライバ64に電圧を供給する。電源部9は、複数の第2ゲートドライバ62に電圧を供給する。

[0124] 制御部60は、複数の第1ゲートドライバ61、複数の第2ゲートドライバ62、複数の第3ゲートドライバ63及び複数の第4ゲートドライバ64を制御する。

[0125] （2）マルチレベルインバータの詳細

直流電源部3は、第1コンデンサC1と、第2コンデンサC2と、を有する。直流電源部3では、第1コンデンサC1と第2コンデンサC2とが直列接続されている。直流電源部3では、第1コンデンサC1の第1端が第1直

流端子31に接続されており、第1コンデンサC1の第2端が第2コンデンサC2の第1端に接続されており、第2コンデンサC2の第2端が第2直流端子32に接続されている。直流電源部3では、第1コンデンサC1と第2コンデンサC2との接続点が中間電位点M1である。直流電源部3は、正極P1に接続されている第1直流端子31と、負極N1に接続されている第2直流端子32と、を更に有している。第1直流端子31と第2直流端子32との間には、例えば、直流電圧源E1が接続される。この場合、直流電源部3の正極P1と負極N1の間には、直流電圧源E1の出力電圧Vdcが印加される。なお、第2コンデンサC2のキャパシタンスは、第1コンデンサC1のキャパシタンスと同じである。「第2コンデンサC2のキャパシタンスは、第1コンデンサC1のキャパシタンスと同じである」とは、第2コンデンサC2のキャパシタンスが第1コンデンサC1のキャパシタンスに完全に一致する場合だけに限らず、第2コンデンサC2のキャパシタンスが第1コンデンサC1のキャパシタンスの95%以上かつ105%以下の範囲内であればよい。

[0126] 以下では、説明の便宜上、複数の出力端子41のうちインバータ回路1Uに含まれる出力端子41を出力端子41Uと称し、インバータ回路1Vに含まれる出力端子41を出力端子41Vと称し、インバータ回路1Wに含まれる出力端子を出力端子41Wと称することもある。

[0127] 各インバータ回路1の第1スイッチング素子Q1、第2スイッチング素子Q2、第3スイッチング素子Q3及び第4スイッチング素子Q4は、制御端子と、第1主端子と、第2主端子と、を有する。各インバータ回路1の第1スイッチング素子Q1、第2スイッチング素子Q2、第3スイッチング素子Q3及び第4スイッチング素子Q4は、例えば、IGBTである。したがって、各インバータ回路1の第1スイッチング素子Q1、第2スイッチング素子Q2、第3スイッチング素子Q3及び第4スイッチング素子Q4の各々における、制御端子、第1主端子及び第2主端子は、それぞれ、ゲート端子、コレクタ端子及びエミッタ端子である。

- [0128] 各インバータ回路1の第1スイッチング素子Q1の制御端子は、複数の第1ゲートドライバ61のうち対応する第1ゲートドライバ61に接続されている。また、各インバータ回路1の第2スイッチング素子Q2の制御端子は、複数の第2ゲートドライバ62のうち対応する第2ゲートドライバ62に接続されている。また、各インバータ回路1の第3スイッチング素子Q3の制御端子は、複数の第3ゲートドライバ63のうち対応する第3ゲートドライバ63に接続されている。また、各インバータ回路1の第4スイッチング素子Q4の制御端子は、複数の第4ゲートドライバ64のうち対応する第4ゲートドライバ64に接続されている。
- [0129] 各インバータ回路1では、第1スイッチング素子Q1の第1主端子が直流電源部3の正極P1に接続され、第1スイッチング素子Q1の第2主端子が第2スイッチング素子Q2の第1主端子に接続されており、第2スイッチング素子Q2の第2主端子が直流電源部3の負極N1に接続されている。
- [0130] また、各インバータ回路1では、第3スイッチング素子Q3の第1主端子が中間電位点M1に接続されており、第3スイッチング素子Q3の第2主端子が第4スイッチング素子Q4の第2主端子に接続され、第4スイッチング素子Q4の第1主端子が接続点113に接続されている。したがって、第2回路112の有する双方向スイッチは、第3スイッチング素子Q3と第4スイッチング素子Q4との第2主端子（エミッタ端子）同士が接続されているコモンエミッタの双方向スイッチである。「中間電位点M1」とは、直流電源部3の正極P1の電位と負極N1の電位との間の中間の電位となる点である。実施形態1では、中間電位点M1がグランドに接続されているので、中間電位点M1の電位が0Vである。この場合、直流電源部3の両端電圧をVdcとすると、正極P1の電位は、 $Vdc/2$ であり、負極N1の電位は、 $-Vdc/2$ である。
- [0131] インバータ回路1Uでは、第1スイッチング素子Q1と第2スイッチング素子Q2との接続点113が出力端子41Uに接続されている。また、インバータ回路1Vでは、第1スイッチング素子Q1と第2スイッチング素子Q

2との接続点113が出力端子41Vに接続されている。また、インバータ回路1Wでは、第1スイッチング素子Q1と第2スイッチング素子Q2との接続点113が出力端子41Wに接続されている。インバータ回路1Uの接続点113には、出力端子41Uを介して、例えば、交流負荷RA1のU相が接続される。また、インバータ回路1Vの接続点113には、出力端子41Vを介して、例えば、交流負荷RA1のV相が接続される。また、インバータ回路1Wの接続点113には、出力端子41Wを介して、例えば、交流負荷RA1のW相が接続される。

[0132] 各インバータ回路1では、第1ダイオードD1のアノードが、第1スイッチング素子Q1の第2主端子（エミッタ端子）に接続され、第1ダイオードD1のカソードが、第1スイッチング素子Q1の第1主端子（コレクタ端子）に接続されている。また、各インバータ回路1では、第2ダイオードD2のアノードが、第2スイッチング素子Q2の第2主端子（エミッタ端子）に接続され、第2ダイオードD2のカソードが、第2スイッチング素子Q2の第1主端子（コレクタ端子）に接続されている。また、各インバータ回路1では、第3ダイオードD3のアノードが、第3スイッチング素子Q3の第2主端子（エミッタ端子）に接続され、第3ダイオードD3のカソードが、第3スイッチング素子Q3の第1主端子（コレクタ端子）に接続されている。また、各インバータ回路1では、第4ダイオードD4のアノードが、第4スイッチング素子Q4の第2主端子（エミッタ端子）に接続され、第4ダイオードD4のカソードが、第4スイッチング素子Q4の第1主端子（コレクタ端子）に接続されている。

[0133] 各インバータ回路1では、第1ダイオードD1は、第1スイッチング素子Q1を構成するIGBTの寄生ダイオードで代用されてもよい。また、各インバータ回路1では、第2ダイオードD2は、第2スイッチング素子Q2を構成するIGBTの寄生ダイオードで代用されてもよい。また、各インバータ回路1では、第3ダイオードD3は、第3スイッチング素子Q3を構成するIGBTの寄生ダイオードで代用されてもよい。また、各インバータ回路

1では、第4ダイオードD4は、第4スイッチング素子Q4を構成するIGBTの寄生ダイオードで代用されてもよい。

[0134] 複数の第1ゲートドライバ61は、複数の第1スイッチング素子Q1に一つ一つに対応する。複数の第1ゲートドライバ61の各々は、複数の第1スイッチング素子Q1のうち対応する第1スイッチング素子Q1の制御端子に接続されている。複数の第1ゲートドライバ61は、対応する第1スイッチング素子Q1を駆動する。複数の第1ゲートドライバ61は、制御部60に接続されている。制御部60は、複数の第1ゲートドライバ61に一つ一つに対応する複数の第1制御信号S1（図23参照）を出力する。複数の第1ゲートドライバ61の各々は、与えられた第1制御信号S1に基づいて、第1スイッチング素子Q1をオンオフ制御する。

[0135] 複数の第2ゲートドライバ62は、複数の第2スイッチング素子Q2に一つ一つに対応する。複数の第2ゲートドライバ62の各々は、複数の第2スイッチング素子Q2のうち対応する第2スイッチング素子Q2の制御端子に接続されている。複数の第2ゲートドライバ62は、対応する第2スイッチング素子Q2を駆動する。複数の第2ゲートドライバ62は、制御部60に接続されている。制御部60は、複数の第2ゲートドライバ62に一つ一つに対応する複数の第2制御信号S2（図23参照）を出力する。複数の第2ゲートドライバ62の各々は、与えられた第2制御信号S2に基づいて、第2スイッチング素子Q2をオンオフ制御する。

[0136] 複数の第3ゲートドライバ63は、複数の第3スイッチング素子Q3に一つ一つに対応する。複数の第3ゲートドライバ63の各々は、複数の第3スイッチング素子Q3のうち対応する第3スイッチング素子Q3の制御端子に接続されている。複数の第3ゲートドライバ63は、対応する第3スイッチング素子Q3を駆動する。複数の第3ゲートドライバ63は、制御部60に接続されている。制御部60は、複数の第3ゲートドライバ63に一つ一つに対応する複数の第3制御信号S3（図2参照）を出力する。複数の第3ゲートドライバ63の各々は、与えられた第3制御信号S3に基づいて、第3スイ

ッチング素子Q 3 をオンオフ制御する。

[0137] 複数の第4ゲートドライバ64は、複数の第4スイッチング素子Q4に一対一に対応する。複数の第4ゲートドライバ64の各々は、複数の第4スイッチング素子Q4のうち対応する第4スイッチング素子Q4の制御端子に接続されている。複数の第4ゲートドライバ64は、対応する第4スイッチング素子Q4を駆動する。複数の第4ゲートドライバ64は、制御部60に接続されている。制御部60は、複数の第4ゲートドライバ64に一対一に対応する複数の第4制御信号S4（図23参照）を出力する。複数の第4ゲートドライバ64の各々は、与えられた第4制御信号S4に基づいて、第4スイッチング素子Q4をオンオフ制御する。

[0138] 複数の第1ブートストラップ回路71は、複数の第1ゲートドライバ61に一対一に対応する。複数の第1ブートストラップ回路71は、対応する第1ゲートドライバ61に電圧を供給する。複数の第1ブートストラップ回路71の各々は、図22及び24に示すように、ダイオードD17と抵抗R17とコンデンサC17（昇圧用コンデンサC17ともいう）とを有する。各第1ブートストラップ回路71では、ダイオードD17のアノードが電源部9の正側端子に接続されており、ダイオードD17のカソードが抵抗R17を介してコンデンサC17の第1端に接続されている。コンデンサC17の第1端は、第1ゲートドライバ61の高電位側電源端子61H（図24参照）に接続されており、コンデンサC17の第2端は、第1ゲートドライバ61の低電位側電源端子61L（図24参照）に接続されている。第1ブートストラップ回路71は、第1ゲートドライバ61において第1スイッチング素子Q1をオンさせるために必要な電圧を第1ゲートドライバ61に供給する。複数の第1ブートストラップ回路71の各々は、コンデンサC17に並列接続されているツェナダイオードZ17を更に有する。

[0139] 複数の第2ブートストラップ回路72は、複数の第3ゲートドライバ63及び複数の第4ゲートドライバ64に対応する。複数の第2ブートストラップ回路72は、対応する第3ゲートドライバ63及び対応する第4ゲートド

ライバ64に電圧を供給する。複数の第2ブートストラップ回路72の各々は、ダイオードD27と抵抗R27とコンデンサC27（昇圧用コンデンサC27ともいう）とを有する。各第2ブートストラップ回路72では、ダイオードD27のアノードが電源部9の正側端子に接続されており、ダイオードD27のカソードが抵抗R27を介してコンデンサC27の第1端に接続されている。コンデンサC27の第1端は、第3ゲートドライバ63の高電位側電源端子63H（図24参照）及び第4ゲートドライバ64の高電位側電源端子64H（図24参照）に接続されており、コンデンサC27の第2端は、第3ゲートドライバ63の低電位側電源端子63L（図24参照）及び第4ゲートドライバ64の低電位側電源端子64L（図24参照）に接続されている。第2ブートストラップ回路72は、第3ゲートドライバ63において第3スイッチング素子Q3をオンさせるために必要な電圧を第3ゲートドライバ63に供給し、かつ、第4ゲートドライバ64において第4スイッチング素子Q4をオンさせるために必要な電圧を第4ゲートドライバ64に供給する。複数の第2ブートストラップ回路72の各々は、コンデンサC27に並列接続されているツェナダイオードZ27を更に有する。

[0140] 電源部9は、複数（図22の例では3つ）の第1ブートストラップ回路71、複数（図22の例では3つ）の第2ブートストラップ回路72及び複数（図22の例では3つ）の第2ゲートドライバ62に電圧を供給する。電源部9は、例えば、絶縁型のDC-DCコンバータ91を含む直流電源である。電源部9の正側端子は、複数の第2ゲートドライバ62の各々の高電位側電源端子62H（図24参照）に接続されており、電源部9の負側端子は、複数の第2ゲートドライバ62の各々の低電位側電源端子62L（図24参照）に接続されている。

[0141] 制御部60は、複数の第1ゲートドライバ61、複数の第2ゲートドライバ62、複数の第3ゲートドライバ63及び複数の第4ゲートドライバ64を制御する。これにより、制御部60は、複数の第1スイッチング素子Q1、複数の第2スイッチング素子Q2、複数の第3スイッチング素子Q3及び

複数の第4スイッチング素子Q4を制御する。制御部60の実行主体は、コンピュータシステムを含んでいる。コンピュータシステムは、1又は複数のコンピュータを有している。コンピュータシステムは、ハードウェアとしてのプロセッサ及びメモリを主構成とする。コンピュータシステムのメモリに記録されたプログラムをプロセッサが実行することによって、本開示における制御部60の実行主体としての機能が実現される。プログラムは、コンピュータシステムのメモリに予め記録されていてもよいが、電気通信回線を通じて提供されてもよいし、コンピュータシステムで読み取り可能なメモリカード、光学ディスク、ハードディスクドライブ（磁気ディスク）等の非一時的記録媒体に記録されて提供されてもよい。コンピュータシステムのプロセッサは、半導体集積回路（IC）又は大規模集積回路（LSI）を含む1乃至複数の電子回路で構成される。複数の電子回路は、1つのチップに集約されていてもよいし、複数のチップに分散して設けられていてもよい。複数のチップは、1つの装置に集約されていてもよいし、複数の装置に分散して設けられていてもよい。

[0142] 制御部60は、複数（3つ）の第1スイッチング素子Q1を制御するための複数（3つ）の第1制御信号S1（図23参照）と、複数（3つ）の第2スイッチング素子Q2を制御するための複数（3つ）の第2制御信号S2（図23参照）と、複数の第3スイッチング素子Q3を制御するための複数（3つ）の第3制御信号S3（図23参照）と、複数（3つ）の第4スイッチング素子Q4を制御するための複数（3つ）の第4制御信号S4（図23参照）と、を出力する。なお、図23では、3つのインバータ回路1のうち1つのインバータ回路1のみを記載し、残りの2つのインバータ回路1の図示を省略してある。また、図23では、複数の第1ゲートドライバ61と、複数の第2ゲートドライバ62と、複数の第3ゲートドライバ63と、複数の第4ゲートドライバ64と、複数の第1ブートストラップ回路71と、複数の第2ブートストラップ回路72と、電源部9との図示を省略してある。また、図24では、3つのインバータ回路1のうち1つのインバータ回路1の

みを記載し、残りの2つのインバータ回路1の図示を省略してある。また、図24では、2つの第1ゲートドライバ61と、2つの第2ゲートドライバ62と、2つの第3ゲートドライバ63と、2つの第4ゲートドライバ64と、2つの第1ブートストラップ回路71と、2つの第2ブートストラップ回路72と、との図示を省略してある。

[0143] 3つの第1制御信号S1は、インバータ回路1Uの第1スイッチング素子Q1を制御する第1制御信号S1Uと、インバータ回路1Vの第1スイッチング素子Q1を制御する第1制御信号S1Vと、インバータ回路1Wの第1スイッチング素子Q1を制御する第1制御信号S1Wと、を含む。

[0144] 3つの第2制御信号S2は、インバータ回路1Uの第2スイッチング素子Q2を制御する第2制御信号S2Uと、インバータ回路1Vの第2スイッチング素子Q2を制御する第2制御信号S2Vと、インバータ回路1Wの第2スイッチング素子Q2を制御する第2制御信号S2Wと、を含む。

[0145] 3つの第3制御信号S3は、インバータ回路1Uの第3スイッチング素子Q3を制御する第3制御信号S3Uと、インバータ回路1Vの第3スイッチング素子Q3を制御する第3制御信号S3Vと、インバータ回路1Wの第3スイッチング素子Q3を制御する第3制御信号S3Wと、を含む。

[0146] 3つの第4制御信号S4は、インバータ回路1Uの第4スイッチング素子Q4を制御する第4制御信号S4Uと、インバータ回路1Vの第4スイッチング素子Q4を制御する第4制御信号S4Vと、インバータ回路1Wの第4スイッチング素子Q4を制御する第4制御信号S4Wと、を含む。

[0147] 複数の第1制御信号S1、複数の第2制御信号S2、複数の第3制御信号S3及び複数の第4制御信号S4の各々は、例えば、電位レベルが第1電位レベル（以下、ローレベルともいう）と、第1電位レベルよりも高電位の第2電位レベル（以下、ハイレベルともいう）と、の間で変化する信号である。第1電位レベルは、例えば、0Vであり、第2電位レベルは、IGBTのゲート閾値電圧よりも大きな電位レベルである。つまり、複数の制御信号（複数の第1制御信号S1、複数の第2制御信号S2、複数の第3制御信号S

3及び複数の第4制御信号S4)の各々において、第1電位レベルは、その制御信号に対応するスイッチング素子をオフ状態とするための電位レベルであり、第2電位レベルは、その制御信号に対応するスイッチング素子をオン状態とするための電位レベルである。

[0148] 複数の第1スイッチング素子Q1の各々は、対応する第1制御信号S1がハイレベルのときにオン状態となり、ローレベルのときにオフ状態となる。また、複数の第2スイッチング素子Q2の各々は、対応する第2制御信号S2がハイレベルのときにオン状態となり、ローレベルのときにオフ状態となる。また、複数の第3スイッチング素子Q3の各々は、対応する第3制御信号S3がハイレベルのときにオン状態となり、ローレベルのときにオフ状態となる。また、複数の第4スイッチング素子Q4の各々は、対応する第4制御信号S4がハイレベルのときにオン状態となり、ローレベルのときにオフ状態となる。

[0149] マルチレベルインバータ100Aでは、複数のインバータ回路1の各々が、第1スイッチング状態又は第2スイッチング状態又は第3スイッチング状態に制御される。つまり、マルチレベルインバータ100Aは、3つのインバータ回路1U、1V、1Wの各々において、スイッチング状態が、第1スイッチング状態と、第2スイッチング状態と、第3スイッチング状態と、のいずれかに制御される。第1スイッチング状態と第2スイッチング状態と第3スイッチング状態とは、第1～第4スイッチング素子Q1～Q4のオンオフの状態の組み合わせが異なる。複数のインバータ回路1の各々では、第1スイッチング状態のときの出力電圧と第2スイッチング状態のときの出力電圧と第3スイッチング状態のときの出力電圧とが互いに異なる。つまり、複数のインバータ回路1の各々では、第1～第4スイッチング素子Q1～Q4の状態によって出力電圧の電位レベルが3レベルで変化する。なお、複数のインバータ回路1の出力電圧に関して、U相のインバータ回路1Uの出力電圧と、V相のインバータ回路1Vの出力電圧と、W相のインバータ回路1Wの出力電圧とは、互いの位相が異なる。

- [0150] 第1スイッチング状態は、第1スイッチング素子Q1及び第3スイッチング素子Q3の両方がオン状態、かつ、第2スイッチング素子Q2及び第4スイッチング素子Q4の両方がオフ状態となる組み合わせである。複数のインバータ回路1の各々は、第1スイッチング状態に制御されているときに、直流電源部3の正極P1の電位レベルの出力電圧を出力することができる。複数のインバータ回路1の各々は、第1スイッチング状態では、接続点113の電位が直流電源部3の正極P1の電位レベル（例えば、 $V_{dc}/2$ ）となる。
- [0151] 第2スイッチング状態は、第1スイッチング素子Q1及び第2スイッチング素子Q2の両方がオフ状態、かつ、第3スイッチング素子Q3及び第4スイッチング素子Q4の両方がオン状態となる組み合わせである。複数のインバータ回路1の各々は、第2スイッチング状態に制御されているときに、直流電源部3の中間電位点M1の電位レベルの出力電圧を出力することができる。複数のインバータ回路1の各々は、第2スイッチング状態では、接続点113の電位が中間電位点M1の電位レベル（例えば、0）となる。
- [0152] 第3スイッチング状態は、第1スイッチング素子Q1及び第3スイッチング素子Q3の両方がオフ状態、かつ、第2スイッチング素子Q2及び第4スイッチング素子Q4の両方がオン状態となる組み合わせである。複数のインバータ回路1の各々は、第3スイッチング状態に制御されているときに、直流電源部3の負極N1の電位レベルの出力電圧を出力することができる。複数のインバータ回路1の各々は、第3スイッチング状態では、接続点113の電位が直流電源部3の負極N1の電位レベル（例えば、 $-V_{dc}/2$ ）となる。
- [0153] 図23は、実施形態2のマルチレベルインバータ100Aにおいてスイッチング回路が第1スイッチング状態のときの電流経路の説明図である。インバータ回路1が第1スイッチング状態のときには、図23に示すように直流電源部3の正極P1－第1スイッチング素子Q1－接続点113－出力端子41の経路で電流が流れて、交流負荷RA1（図22参照）への出力電圧の

電圧値が $V_{dc}/2$ となる。

[0154] また、インバータ回路1が第1スイッチング状態のときには、電源部9から第1ブートストラップ回路71のコンデンサC17への充電は行われず、第1ブートストラップ回路71のコンデンサC17から第1ゲートドライバ61に、第1ゲートドライバ61により第1スイッチング素子Q1をオンさせるために必要な電圧が供給される。したがって、第1ブートストラップ回路71のコンデンサC17の電荷が、図24に示すように、コンデンサC17-第1ゲートドライバ61の高電位側電源端子61H-第1ゲートドライバ61の低電位側電源端子61L-コンデンサC17の放電経路Ru1で放電される。これにより、第1ブートストラップ回路71では、コンデンサC17の両端電圧が時間経過とともに低下する。

[0155] 図24は、実施形態2のマルチレベルインバータ100Aにおいてスイッチング回路が第1スイッチング状態のときの放電経路の説明図である。インバータ回路1が第1スイッチング状態のときには、電源部9から第2ブートストラップ回路72のコンデンサC27への充電は行われず、第2ブートストラップ回路72のコンデンサC27から第3ゲートドライバ63に、第3ゲートドライバ63により第3スイッチング素子Q3をオンさせるために必要な電圧が供給される。したがって、第2ブートストラップ回路72のコンデンサC27の電荷が、図24に示すように、コンデンサC27-第3ゲートドライバ63の高電位側電源端子63H-第3ゲートドライバ63の低電位側電源端子63L-コンデンサC27の放電経路Ru3で放電される。これにより、第2ブートストラップ回路72では、コンデンサC27の両端電圧が時間経過とともに低下する。

[0156] 図25は、実施形態2のマルチレベルインバータ100Aにおいてスイッチング回路が第2スイッチング状態のときの電流経路の説明図である。インバータ回路1が第2スイッチング状態のとき（第1スイッチング状態から第2スイッチング状態に変化したとき）には、例えば、図25に示すように直流電源部3の中間電位点M1-第3スイッチング素子Q3-第4スイッチン

グ素子Q 4－接続点1 1 3－出力端子4 1（図2 2参照）の経路で電流が流れて、交流負荷R A 1への出力電圧の電圧値が0となる。より詳細には、インバータ回路1 U、1 V、1 Wが、それぞれ、第2スイッチング状態、第3スイッチング状態、第3スイッチング状態の場合には、直流電源部3の中間電位点M 1－インバータ回路1 Uの第3スイッチング素子Q 3－インバータ回路1 Uの第4スイッチング素子Q 4－接続点1 1 3－出力端子4 1 Uの経路で電流が流れる。

[0157] 図2 6は、実施形態2のマルチレベルインバータ1 0 0 Aにおいてスイッチング回路が第2スイッチング状態のときの放電経路の説明図である。インバータ回路1が第2スイッチング状態のときには、第2ブートストラップ回路7 2のコンデンサC 2 7から第3ゲートドライバ6 3に、第3ゲートドライバ6 3により第3スイッチング素子Q 3をオンさせるために必要な電圧が供給される。したがって、第2ブートストラップ回路7 2のコンデンサC 2 7の電荷が、図2 6に示すように、コンデンサC 2 7－第3ゲートドライバ6 3の高電位側電源端子6 3 H－第3ゲートドライバ6 3の低電位側電源端子6 3 L－コンデンサC 2 7の放電経路R u 3で放電される。また、インバータ回路1が第2スイッチング状態のときには、第2ブートストラップ回路7 2のコンデンサC 2 7から第4ゲートドライバ6 4に、第4ゲートドライバ6 4により第4スイッチング素子Q 4をオンさせるために必要な電圧が供給される。したがって、第2ブートストラップ回路7 2のコンデンサC 2 7の電荷が、コンデンサC 2 7－第4ゲートドライバ6 4の高電位側電源端子6 4 H－第4ゲートドライバ6 4の低電位側電源端子6 4 L－コンデンサC 2 7の放電経路R u 4で放電される。

[0158] 図2 7は、実施形態2のマルチレベルインバータ1 0 0 Aにおいてスイッチング回路が第3スイッチング状態のときの電流経路の説明図である。インバータ回路1が第3スイッチング状態のときには、図2 7に示すように、出力端子4 1－接続点1 1 3－第2スイッチング素子Q 2－直流電源部3の負極N 1の経路で電流が流れて、交流負荷R A 1への出力電圧の電圧値が－V

dc/2となる。また、インバータ回路1が第3スイッチング状態のときには、電源部9により第1ブートストラップ回路71のコンデンサC17が充電されるので、コンデンサC17の電圧が時間経過とともに上昇し、コンデンサC17が満充電状態となる。

[0159] 図28は、実施形態2のマルチレベルインバータ100Aにおいてスイッチング回路が第3スイッチング状態のときの放電経路及び充電経路の説明図である。図28に示すように、電源部9によりコンデンサC17を充電する充電経路Ru91は、電源部9の正側端子—ダイオードD17—抵抗R17—コンデンサC17—接続点113—第2スイッチング素子Q2—電源部9の負側端子の経路である。

[0160] また、インバータ回路1が第3スイッチング状態のときには、電源部9により第2ブートストラップ回路72のコンデンサC27が充電される。電源部9によりコンデンサC27を充電する充電経路Ru92は、電源部9の正側端子—ダイオードD27—抵抗R27—コンデンサC27—第4スイッチング素子Q4—接続点113—第2スイッチング素子Q2—電源部9の負側端子の経路である。

[0161] 図29は、実施形態2のマルチレベルインバータ100Aにおいてスイッチング回路が第2スイッチング状態のときの電流経路の説明図である。インバータ回路1が第2スイッチング状態のとき（第3スイッチング状態から第2スイッチング状態に変化したとき）には、例えば、図29に示すように出力端子41—接続点113—第4スイッチング素子Q4—第3スイッチング素子Q3—中間電位点M1の経路で電流が流れて、交流負荷RA1への出力電圧の電圧値が0となる。より詳細には、インバータ回路1U、1V、1Wが、それぞれ、第2スイッチング状態、第2スイッチング状態、第1スイッチング状態の場合には、インバータ回路1Uの出力端子41—接続点113—第4スイッチング素子Q4—第3スイッチング素子Q3—中間電位点M1の経路で電流が流れて、交流負荷RA1への出力電圧の電圧値が0となる。

[0162] ここで、インバータ回路1が第2スイッチング状態のときには、上述の図

26に示した放電経路 R_{u3} 、 R_{u4} それぞれで放電される。

[0163] 制御部60は、例えば、インバータ回路1U、1V、1Wそれぞれの出力電圧に関する電圧指令 V_u 、 V_v 、 V_w （図8参照）に基づいてインバータ回路1Uの第1～第4スイッチング素子 Q_1 ～ Q_4 に対する第1～第4制御信号 S_1 ～ S_4 （ S_{1U} ～ S_{4U} ）、インバータ回路1Vの第1～第4スイッチング素子 Q_1 ～ Q_4 に対する第1～第4制御信号 S_1 ～ S_4 （ S_{1V} ～ S_{4V} ）、インバータ回路1Wの第1～第4スイッチング素子 Q_1 ～ Q_4 に対する第1～第4制御信号 S_1 ～ S_4 （ S_{1W} ～ S_{4W} ）を生成する。

[0164] 図8に示すように、電圧指令 V_u と、電圧指令 V_v と、とは、例えば、互いの位相が 120° 異なる正弦波状の信号であり、それぞれ、時間とともに値（電圧指令値）が変化する。なお、電圧指令 V_u 、電圧指令 V_v 及び電圧指令 V_w の1周期の長さは、同じである。制御部60は、交流負荷RA1の状態を検出する検出部8から出力される情報に基づいて電圧指令 V_u 、 V_v 、 V_w をPI（Proportional Integral）制御してもよい。交流負荷RA1が3相モータの場合、検出部8から出力される情報は、例えば、交流負荷RA1のU相、V相及びW相それぞれに流れる出力電流を検出する複数の電流センサの検出結果の情報と、3相モータの回転数、回転角等を検出するエンコーダの検出結果の情報と、のうち少なくとも1つを含む。

[0165] 以下、3つのインバータ回路1のうち1つ（例えば、U相のインバータ回路1U）の動作について説明する。V相のインバータ回路1V、W相のインバータ回路1Wの動作は、U相のインバータ回路1Uの動作と同様である。U相のインバータ回路1Uの出力電圧と、V相のインバータ回路1Vの出力電圧と、W相のインバータ回路1Wの出力電圧とは、互いの位相が異なる。

[0166] 制御部60は、電圧ベクトル制御を行うことによって、複数の第1ゲートドライバ61と複数の第2ゲートドライバ62と複数の第3ゲートドライバ63と複数の第4ゲートドライバ64とを制御する。制御部60は、実施形態1と同様の電圧ベクトル制御を行う。制御部60は、制御周期 T_s （図12及び13参照）内において、指令電圧ベクトル V^* （図11参照）を囲む

正三角形の頂点のベクトルの合成ベクトルを、指令電圧ベクトル V^* に一致させるように、複数の第1ゲートドライバ61と複数の第2ゲートドライバ62と複数の第3ゲートドライバ63と複数の第4ゲートドライバ64とを制御する。電圧ベクトル制御の方法は実施形態1と同様なので、説明を省略する。

[0167] 複数の第1ブートストラップ回路71の各々のコンデンサC17の電圧低下の要因については、実施形態1と同様である。また、複数の第2ブートストラップ回路72の各々のコンデンサC27の電圧低下の要因についても実施形態1と同様である。

[0168] 複数の第1ブートストラップ回路71の各々のコンデンサC17の最小容量の上限値は、コンデンサC17としてアルミ電解コンデンサよりも小型のコンデンサを採用するという観点で、 $50\mu\text{F}$ であるのが好ましい。したがって、複数の第1ブートストラップ回路71の各々のコンデンサC17の容量は、 $10\mu\text{F}$ 以上かつ $50\mu\text{F}$ 以下であるのが好ましい。

[0169] 複数の第1ブートストラップ回路71の各々のコンデンサC17は、例えば、積層セラミックコンデンサ又はフィルムコンデンサ又はタンタル電解コンデンサである。

[0170] 複数の第1ブートストラップ回路71の各々のコンデンサC17の最小容量について説明したが、複数の第2ブートストラップ回路72の各々のコンデンサC27の最小容量についても同じである。

[0171] マルチレベルインバータ100Aでは、複数の第1ブートストラップ回路71の各々のコンデンサC17の容量を $10\mu\text{F}$ 以上かつ $50\mu\text{F}$ 以下の値に設定してある。また、マルチレベルインバータ100Aでは、複数の第2ブートストラップ回路72の各々のコンデンサC27の容量を $10\mu\text{F}$ 以上かつ $50\mu\text{F}$ 以下の値に設定してある。

[0172] (3) 利点

実施形態2に係るマルチレベルインバータ100Aでは、複数の第1ブートストラップ回路71の各々に含まれるコンデンサC17の容量は、 10μ

F以上かつ $50\mu\text{F}$ 以下である。

[0173] 上記構成によれば、第1ブートストラップ回路71の電圧低下を抑制することが可能となる。より詳細には、キャリア周波数が 6kHz 以上かつ 20kHz 以下の範囲内の場合に、制御部60が電圧ベクトルを置換する特別の電圧ベクトル制御を行うことなく、複数の第1ブートストラップ回路71のコンデンサC17の電圧を第1スイッチング素子Q1のオンオフに必要な電圧以上に維持することが可能となる。

[0174] また、実施形態2に係るマルチレベルインバータ100Aでは、複数の第2ブートストラップ回路72の各々に含まれるコンデンサC27の容量は、 $10\mu\text{F}$ 以上かつ $50\mu\text{F}$ 以下である。

[0175] 上記構成によれば、第2ブートストラップ回路72のコンデンサC27の電圧低下を抑制することが可能となる。

[0176] (変形例)

上記の実施形態1、2は、本開示の様々な実施形態の一つに過ぎない。上記の実施形態1、2は、本開示の目的を達成できれば、設計等に応じて種々の変更が可能である。

[0177] 例えば、複数の第1スイッチング素子Q1、複数の第2スイッチング素子Q2、複数の第3スイッチング素子Q3及び複数の第4スイッチング素子Q4の各々は、IGBTに限らず、MOSFETであってもよい。この場合、複数の第1スイッチング素子Q1、複数の第2スイッチング素子Q2、複数の第3スイッチング素子Q3及び複数の第4スイッチング素子Q4の各々における、制御端子、第1主端子及び第2主端子は、それぞれ、ゲート端子、ドレイン端子及びソース端子である。各スイッチング回路10において、第1スイッチング素子Q1、第2スイッチング素子Q2、第3スイッチング素子Q3及び第4スイッチング素子Q4の各々を構成するMOSFETは、例えば、ノーマリオフ型のnチャネルMOSFETである。なお、MOSFETは、Si系MOSFETであるが、Si系MOSFETに限らず、例えば、SiC系MOSFETであってもよい。

[0178] また、複数の第1ブートストラップ回路71の各々は、ツェナダイオードZ17を含んでいるが、ツェナダイオードZ17を含んでいない構成であってもよい。また、複数の第2ブートストラップ回路72の各々は、ツェナダイオードZ27を含んでいるが、ツェナダイオードZ27を含んでいない構成であってもよい。

[0179] また、マルチレベルインバータ100、100Aは、3レベル以上のマルチレベルインバータであればよく、例えば、5レベルインバータであってもよい。

[0180] (態様)

本明細書には以下の態様が開示されている。

[0181] 第1の態様に係るマルチレベルインバータ(100; 100A)は、直流電源部(3)と、複数のインバータ回路(1)と、制御装置(6)と、を備える。直流電源部(3)は、正極(P1)と負極(N1)と中間電位点(M1)とを有する。複数のインバータ回路(1)は、直流電源部(3)の正極(P1)と負極(N1)との間に接続されている。制御装置(6)は、複数のインバータ回路(1)を制御する。複数のインバータ回路(1)の各々は、中性点クランプ型インバータである。複数のインバータ回路(1)の各々は、第1スイッチング素子(Q1)、第2スイッチング素子(Q2)、第3スイッチング素子(Q3)及び第4スイッチング素子(Q4)と、第1ダイオード(D1)、第2ダイオード(D2)、第3ダイオード(D3)及び第4ダイオード(D4)と、を有する。第1ダイオード(D1)、第2ダイオード(D2)、第3ダイオード(D3)及び第4ダイオード(D4)は、第1スイッチング素子(Q1)、第2スイッチング素子(Q2)、第3スイッチング素子(Q3)及び第4スイッチング素子(Q4)にそれぞれ逆並列接続されている。制御装置(6)は、複数の第1ゲートドライバ(61)と、複数の第2ゲートドライバ(62)と、複数の第3ゲートドライバ(63)と、複数の第4ゲートドライバ(64)と、複数のブートストラップ回路(71)と、電源部(9)と、制御部(60)と、を有する。複数の第1ゲ-

トドライバ（61）は、複数のインバータ回路（1）の各々の第1スイッチング素子（Q1）を駆動する。複数の第2ゲートドライバ（62）は、複数のインバータ回路（1）の各々の第2スイッチング素子（Q2）を駆動する。複数の第3ゲートドライバ（63）は、複数のインバータ回路（1）の各々の第3スイッチング素子（Q3）を駆動する。複数の第4ゲートドライバ（64）は、複数のインバータ回路（1）の各々の第4スイッチング素子（Q4）を駆動する。複数のブートストラップ回路（71）は、複数の第1ゲートドライバ（61）に一対一に対応する。複数のブートストラップ回路（71）の各々は、複数の第1ゲートドライバ（61）のうち対応する第1ゲートドライバ（61）に電圧を供給する。電源部（9）は、複数のブートストラップ回路（71）に電圧を供給する。制御部（60）は、複数の第1ゲートドライバ（61）、複数の第2ゲートドライバ（62）、複数の第3ゲートドライバ（63）及び複数の第4ゲートドライバ（64）を制御する。複数のブートストラップ回路（71）の各々は、コンデンサ（C17）と、コンデンサ（C17）に直列接続されているダイオード（D17）と、を含む。複数のブートストラップ回路（71）の各々に含まれるコンデンサ（C17）の容量は、 $10\mu\text{F}$ 以上かつ $50\mu\text{F}$ 以下である。

[0182] この態様によれば、ブートストラップ回路（71）の電圧低下を抑制することが可能となる。より詳細には、この態様によれば、複数のブートストラップ回路（71）のコンデンサ（C17）の電圧低下を抑制することが可能となる。

[0183] 第2の態様に係るマルチレベルインバータ（100；100A）では、第1の態様において、制御部（60）は、一群の電圧ベクトルのうち指令電圧ベクトル（ V^* ）を囲む正三角形の頂点に対応する複数の電圧ベクトルの合成ベクトルを、指令電圧ベクトル（ V^* ）に一致させるように、所定の制御周期（ T_s ）内において複数の第1ゲートドライバ（61）と複数の第2ゲートドライバ（62）と複数の第3ゲートドライバ（63）と複数の第4ゲートドライバ（64）とを制御する。一群の電圧ベクトルの各々は、複数の

インバータ回路（１）における複数の電位レベルの組み合わせで定まる。

[0184] 第３の態様に係るマルチレベルインバータ（１００）では、第１又は２の態様において、複数のインバータ回路（１）の各々は、第１クランプダイオード（Ｄ５）と、第２クランプダイオード（Ｄ６）と、を有する。複数のインバータ回路（１）の各々では、正極（Ｐ１）と負極（Ｎ１）との間において、第１スイッチング素子（Ｑ１）、第２スイッチング素子（Ｑ２）、第３スイッチング素子（Ｑ３）及び第４スイッチング素子（Ｑ４）が、正極（Ｐ１）側から第１スイッチング素子（Ｑ１）、第２スイッチング素子（Ｑ２）、第３スイッチング素子（Ｑ３）及び第４スイッチング素子（Ｑ４）の順に並んで直列接続されている。複数のインバータ回路（１）の各々では、第１クランプダイオード（Ｄ５）のカソードが第１スイッチング素子（Ｑ１）と第２スイッチング素子（Ｑ２）との第１接続点（１１）に接続され、第１クランプダイオード（Ｄ５）のアノードが中間電位点（Ｍ１）に接続されている。複数のインバータ回路（１）の各々では、第２クランプダイオード（Ｄ６）のアノードが第３スイッチング素子（Ｑ３）と第４スイッチング素子（Ｑ４）との第２接続点（１２）に接続され、第２クランプダイオード（Ｄ６）のカソードが中間電位点（Ｍ１）に接続されている。第２スイッチング素子（Ｑ２）と第３スイッチング素子（Ｑ３）との第３接続点（１３）が、交流負荷に接続される出力端子（４１）に接続されている。

[0185] 第４の態様に係るマルチレベルインバータ（１００Ａ）は、第１又は２の態様に基づく。複数のインバータ回路（１）の各々では、第１スイッチング素子（Ｑ１）、第２スイッチング素子（Ｑ２）が、正極（Ｐ１）側から負極（Ｎ１）側へ第１スイッチング素子（Ｑ１）、第２スイッチング素子（Ｑ２）の順に並ぶように直列接続されている。複数のインバータ回路（１）の各々では、第３スイッチング素子（Ｑ３）と第４スイッチング素子（Ｑ４）との直列回路が、中間電位点（Ｍ１）と出力点との間に接続されている。出力点は、第１スイッチング素子（Ｑ１）と第２スイッチング素子との接続点（１１３）である。

- [0186] 第5の態様に係るマルチレベルインバータ（100；100A）は、第1～4の態様のいずれか一つに基づく。複数のインバータ回路（1）の各々では、第1スイッチング素子（Q1）、第2スイッチング素子（Q2）、第3スイッチング素子（Q3）及び第4スイッチング素子（Q4）の各々は、絶縁ゲート型バイポーラトランジスタである。
- [0187] 第6の態様に係るマルチレベルインバータ（100；100A）では、第1～5の態様のいずれか一つにおいて、複数のブートストラップ回路（71）の各々に含まれるコンデンサ（C17）は、積層セラミックコンデンサ又はフィルムコンデンサ又はタンタル電解コンデンサである。
- [0188] この態様によれば、コンデンサ（C17）としてアルミ電解コンデンサを採用する場合と比べて、マルチレベルインバータ（100；100A）の小型化を図ることが可能となる。

産業上の利用可能性

- [0189] 以上説明したように、本開示のマルチレベルインバータは、ブートストラップ回路の電圧低下を抑制することが可能となる。このように、本開示のマルチレベルインバータは、産業上有用である。

符号の説明

- [0190] 1 インバータ回路
3 直流電源部
6 制御装置
60 制御部
61 第1ゲートドライバ
62 第2ゲートドライバ
63 第3ゲートドライバ
64 第4ゲートドライバ
9 電源部
11 第1接続点
12 第2接続点

- 1 3 第3接続点
- 7 1 ブートストラップ回路 (第1 ブートストラップ回路)
- 1 0 0、1 0 0 A マルチレベルインバータ
- 1 1 3 接続点 (出力点)
- C 1 7 コンデンサ
- D 1 第1 ダイオード
- D 2 第2 ダイオード
- D 3 第3 ダイオード
- D 4 第4 ダイオード
- D 5 第1 クランプダイオード
- D 6 第2 クランプダイオード
- D 1 7 ダイオード
- P 1 正極
- Q 1 第1 スイッチング素子
- Q 2 第2 スイッチング素子
- Q 3 第3 スイッチング素子
- Q 4 第4 スイッチング素子
- M 1 中間電位点
- N 1 負極
- T s 制御周期
- V 0 ~ V 1 8 電圧ベクトル
- V * 指令電圧ベクトル
- V V 1 第1 電圧ベクトル
- V V 2 第2 電圧ベクトル

請求の範囲

[請求項1]

正極と負極と中間電位点とを有する直流電源部と、
前記直流電源部の前記正極と前記負極との間に接続されている複数のインバータ回路と、
前記複数のインバータ回路を制御する制御装置と、を備え、
前記複数のインバータ回路の各々は、中性点クランプ型インバータであり、
前記複数のインバータ回路の各々は、
第1スイッチング素子、第2スイッチング素子、第3スイッチング素子及び第4スイッチング素子と、
前記第1スイッチング素子、前記第2スイッチング素子、前記第3スイッチング素子及び前記第4スイッチング素子にそれぞれ逆並列接続されている、第1ダイオード、第2ダイオード、第3ダイオード及び第4ダイオードと、を有し、
前記制御装置は、
前記複数のインバータ回路の各々の前記第1スイッチング素子を駆動する複数の第1ゲートドライバと、
前記複数のインバータ回路の各々の前記第2スイッチング素子を駆動する複数の第2ゲートドライバと、
前記複数のインバータ回路の各々の前記第3スイッチング素子を駆動する複数の第3ゲートドライバと、
前記複数のインバータ回路の各々の前記第4スイッチング素子を駆動する複数の第4ゲートドライバと、
前記複数の第1ゲートドライバに一対一に対応し、対応する第1ゲートドライバに電圧を供給する複数のブートストラップ回路と、
前記複数のブートストラップ回路に電圧を供給する電源部と、
前記複数の第1ゲートドライバ、前記複数の第2ゲートドライバ、前記複数の第3ゲートドライバ及び前記複数の第4ゲートドライバ

を制御する制御部と、を有し、

前記複数のブートストラップ回路の各々は、

コンデンサと、

前記コンデンサに直列接続されているダイオードと、を含み、

前記複数のブートストラップ回路の各々に含まれる前記コンデンサの容量は、 $10\ \mu\text{F}$ 以上かつ $50\ \mu\text{F}$ 以下である、

マルチレベルインバータ。

[請求項2]

前記制御部は、

各々が前記複数のインバータ回路における複数の電位レベルの組み合わせで定まる一群の電圧ベクトル、のうち指令電圧ベクトルを囲む正三角形の頂点に対応する複数の電圧ベクトルの合成ベクトルを、指令電圧ベクトルに一致させるように、所定の制御周期内において前記複数の第1ゲートドライバと前記複数の第2ゲートドライバと前記複数の第3ゲートドライバと前記複数の第4ゲートドライバとを制御する、

請求項1に記載のマルチレベルインバータ。

[請求項3]

前記複数のインバータ回路の各々は、

第1クランプダイオードと、

第2クランプダイオードと、を有し、

前記複数のインバータ回路の各々では、

前記正極と前記負極との間において、前記第1スイッチング素子、前記第2スイッチング素子、前記第3スイッチング素子及び前記第4スイッチング素子が、前記正極側から前記第1スイッチング素子、前記第2スイッチング素子、前記第3スイッチング素子及び前記第4スイッチング素子の順に並んで直列接続されており、

前記第1クランプダイオードのカソードが前記第1スイッチング素子と前記第2スイッチング素子との第1接続点に接続され、前記第1クランプダイオードのアノードが前記中間電位点に接続されており

、
前記第2クランプダイオードのアノードが前記第3スイッチング素子と前記第4スイッチング素子との第2接続点に接続され、前記第2クランプダイオードのカソードが前記中間電位点に接続されており

、
前記第2スイッチング素子と前記第3スイッチング素子との第3接続点が、交流負荷に接続される出力端子に接続されている、

請求項1又は2に記載のマルチレベルインバータ。

[請求項4]

前記複数のインバータ回路の各々では、

前記第1スイッチング素子、前記第2スイッチング素子が、前記正極側から前記負極側へ前記第1スイッチング素子、前記第2スイッチング素子の順に並ぶように直列接続されており、

前記第3スイッチング素子と前記第4スイッチング素子との直列回路が、前記中間電位点と出力点との間に接続されており、

前記出力点は、前記第1スイッチング素子と前記第2スイッチング素子との接続点である、

請求項1又は2に記載のマルチレベルインバータ。

[請求項5]

前記複数のインバータ回路の各々では、

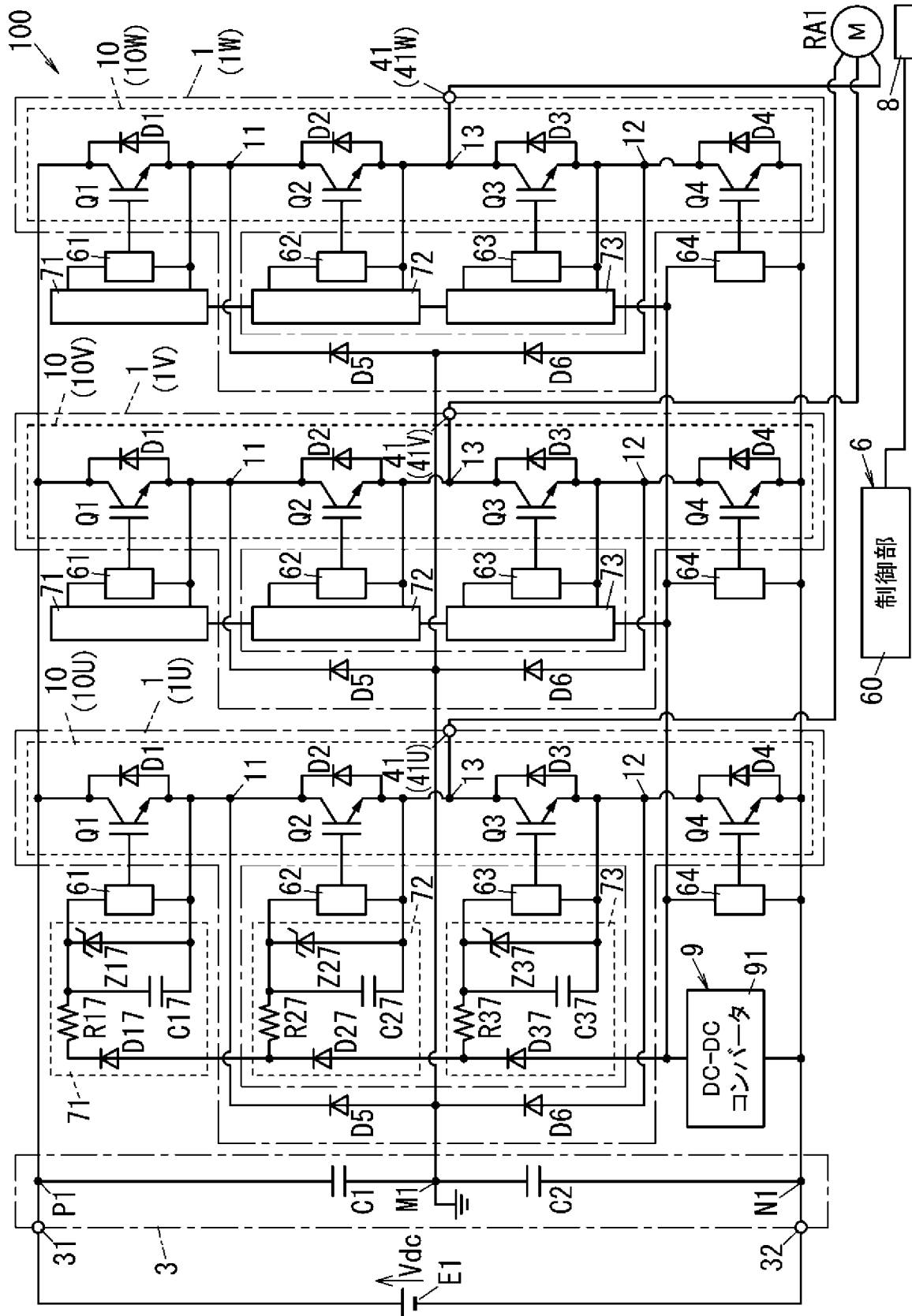
前記第1スイッチング素子、前記第2スイッチング素子、前記第3スイッチング素子及び前記第4スイッチング素子の各々は、絶縁ゲート型バイポーラトランジスタである、

請求項1～4のいずれか一項に記載のマルチレベルインバータ。

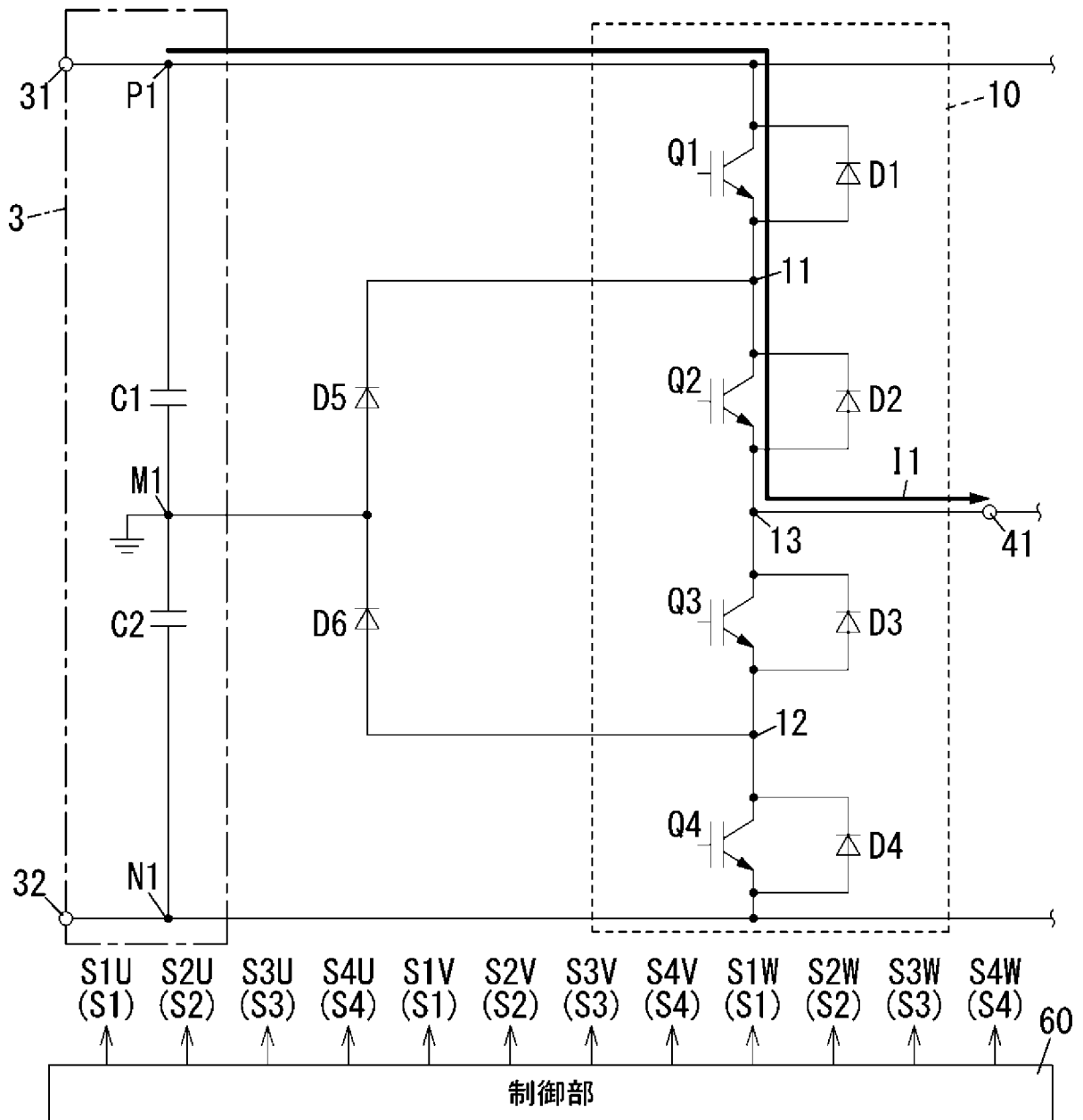
[請求項6]

前記複数のブートストラップ回路の各々に含まれる前記コンデンサは、積層セラミックコンデンサ又はフィルムコンデンサ又はタンタル電解コンデンサである、請求項1～5のいずれか一項に記載のマルチレベルインバータ。

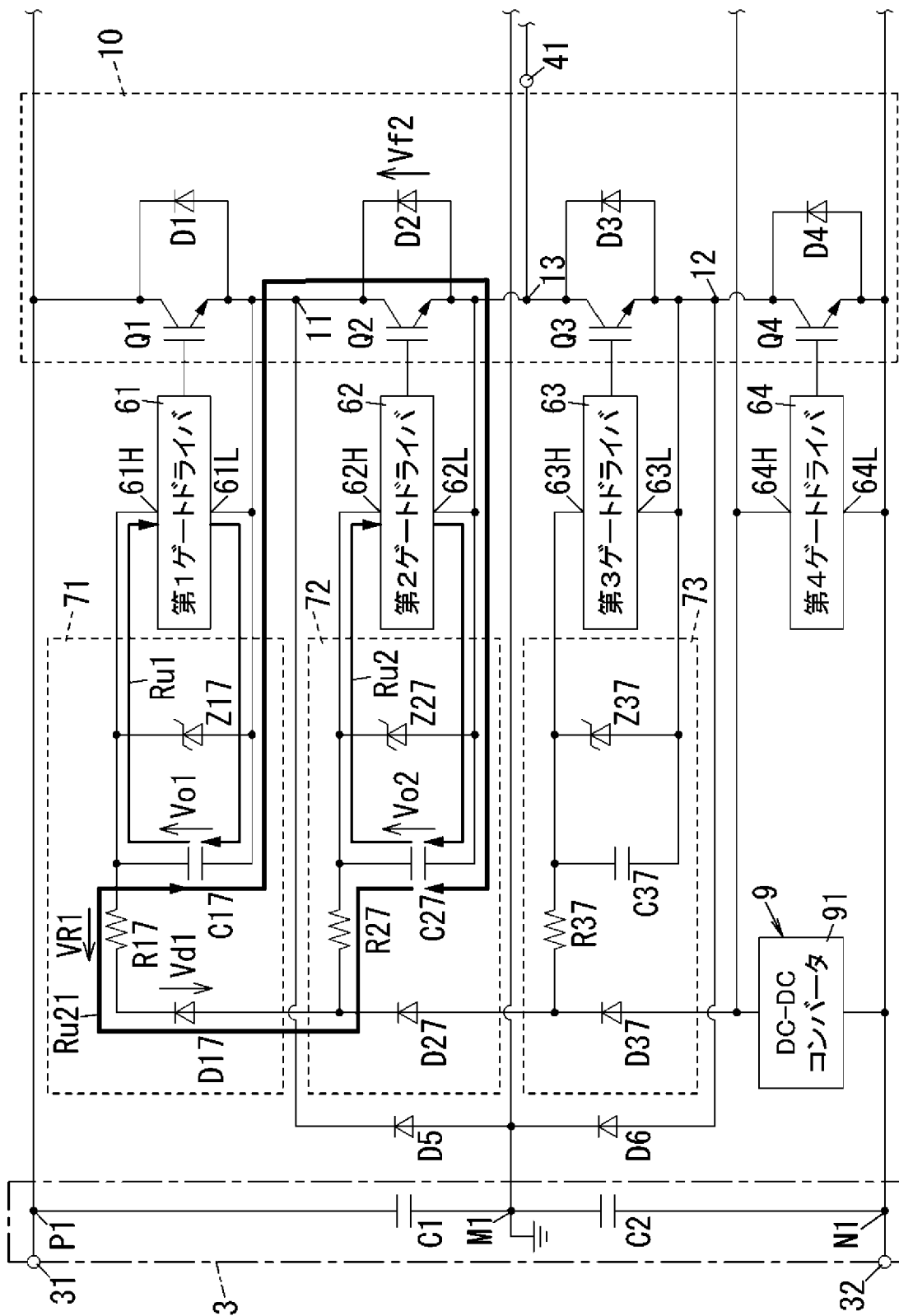
[図1]



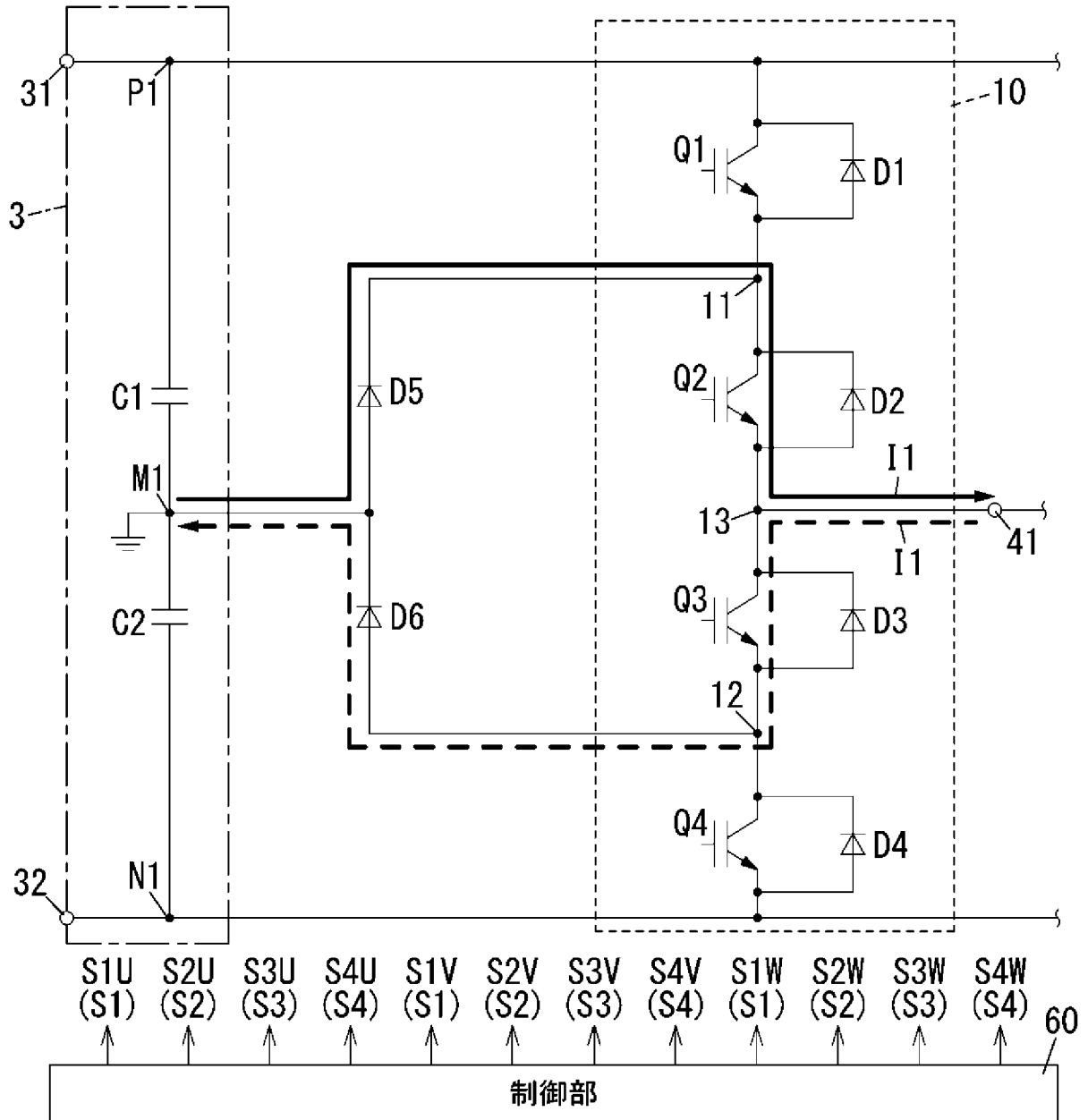
[図2]



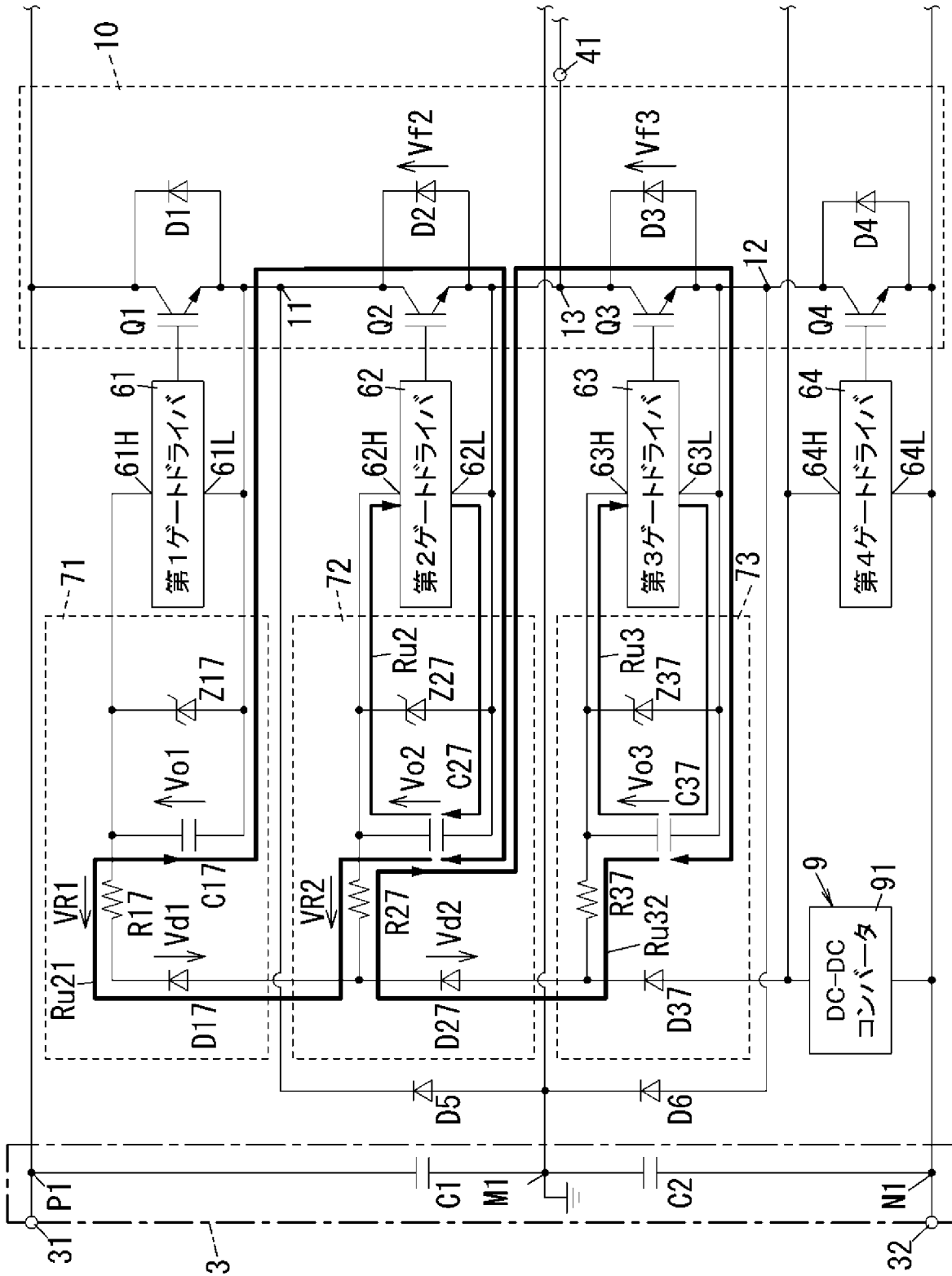
[図3]



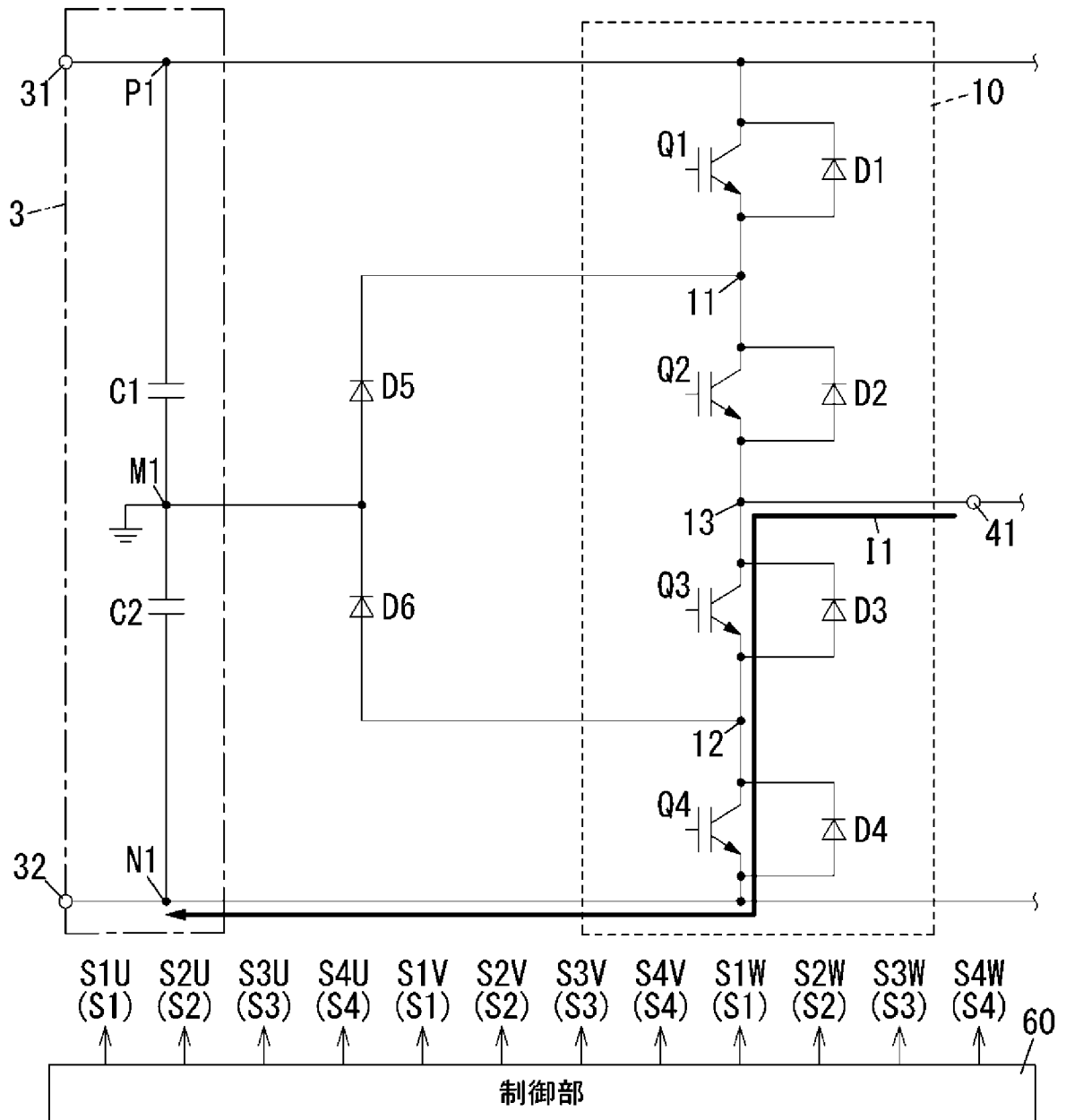
[図4]



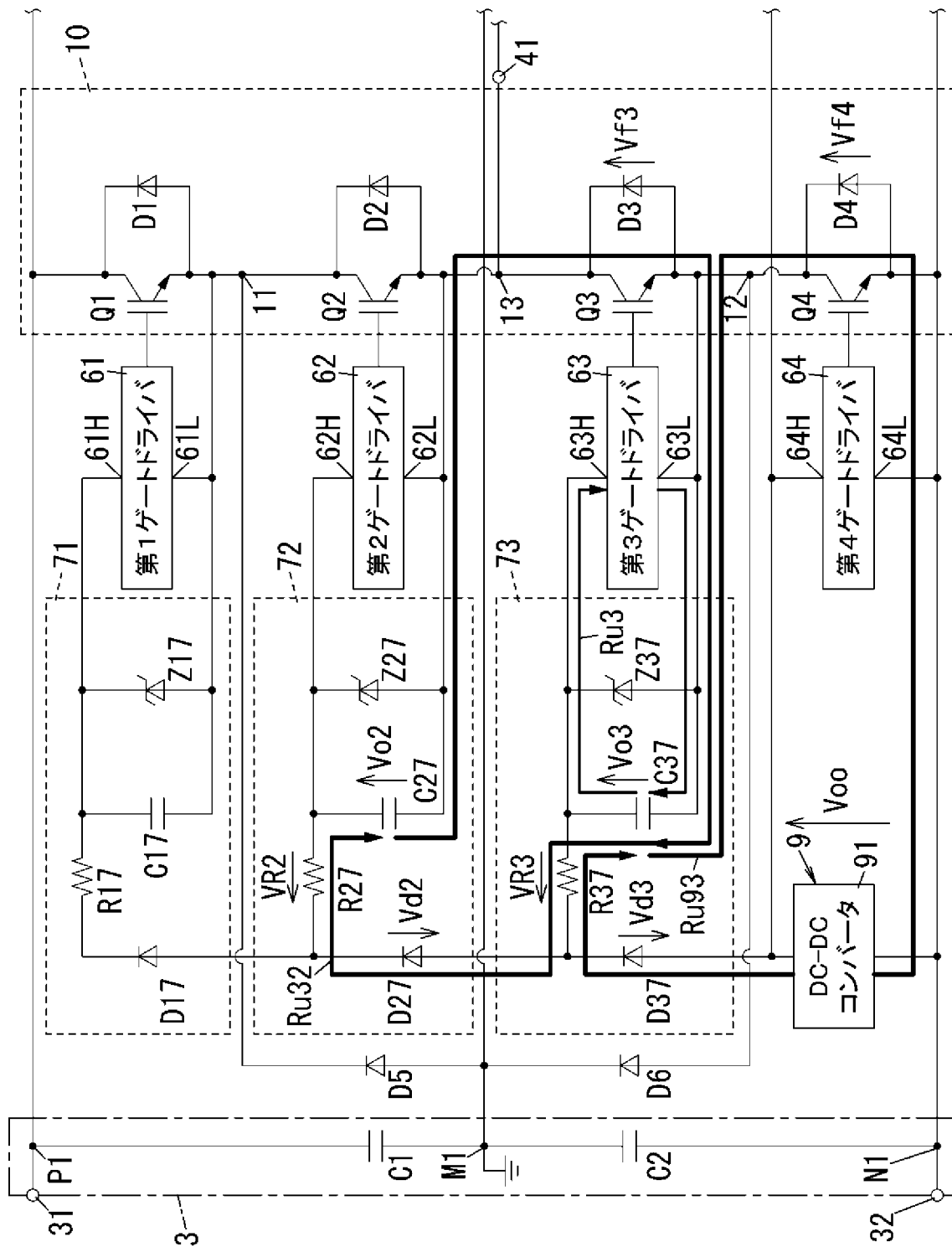
[図5]



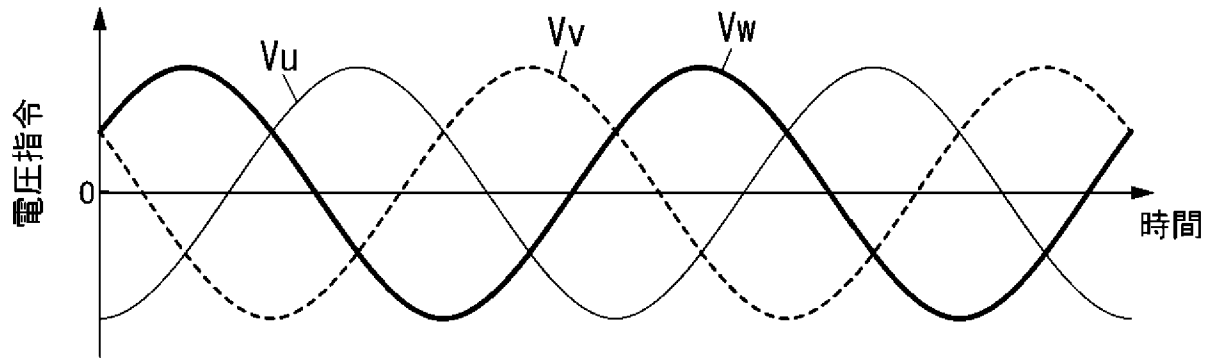
[図6]



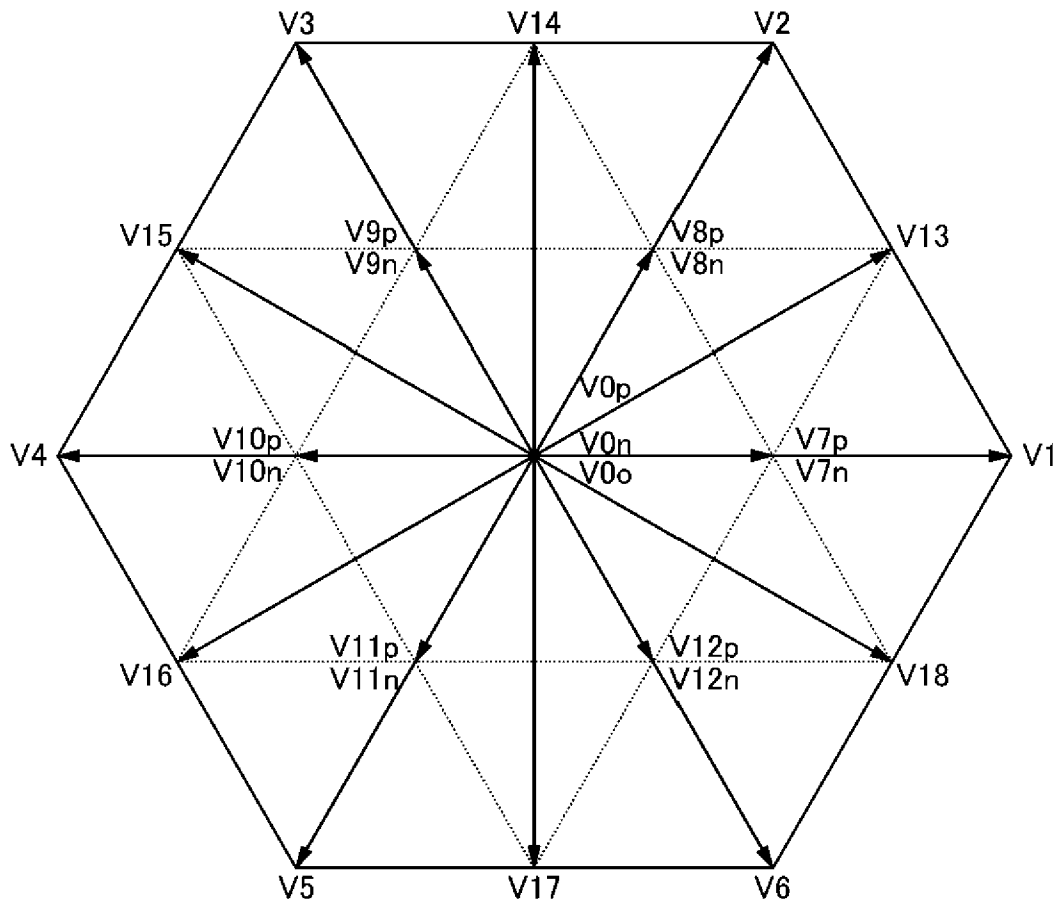
[図7]



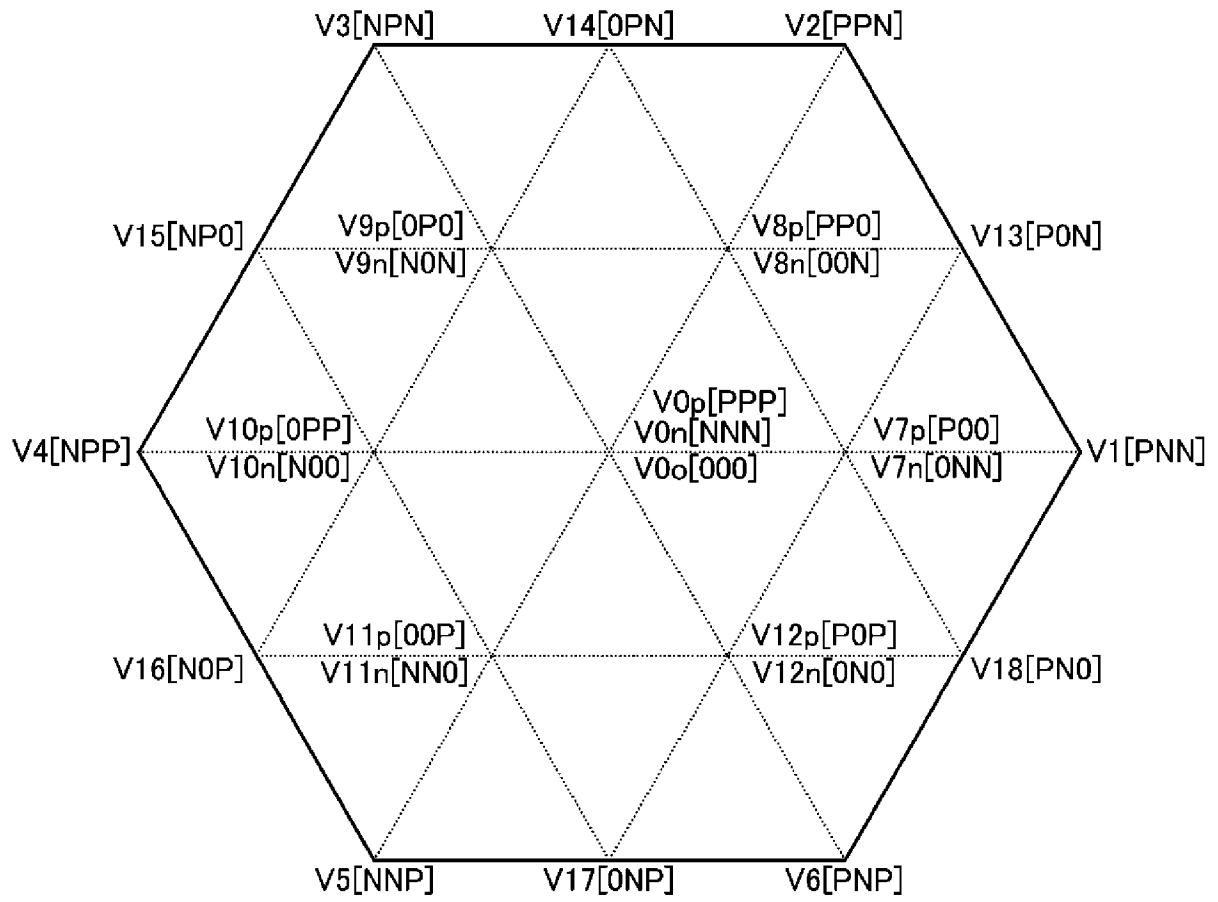
[図8]



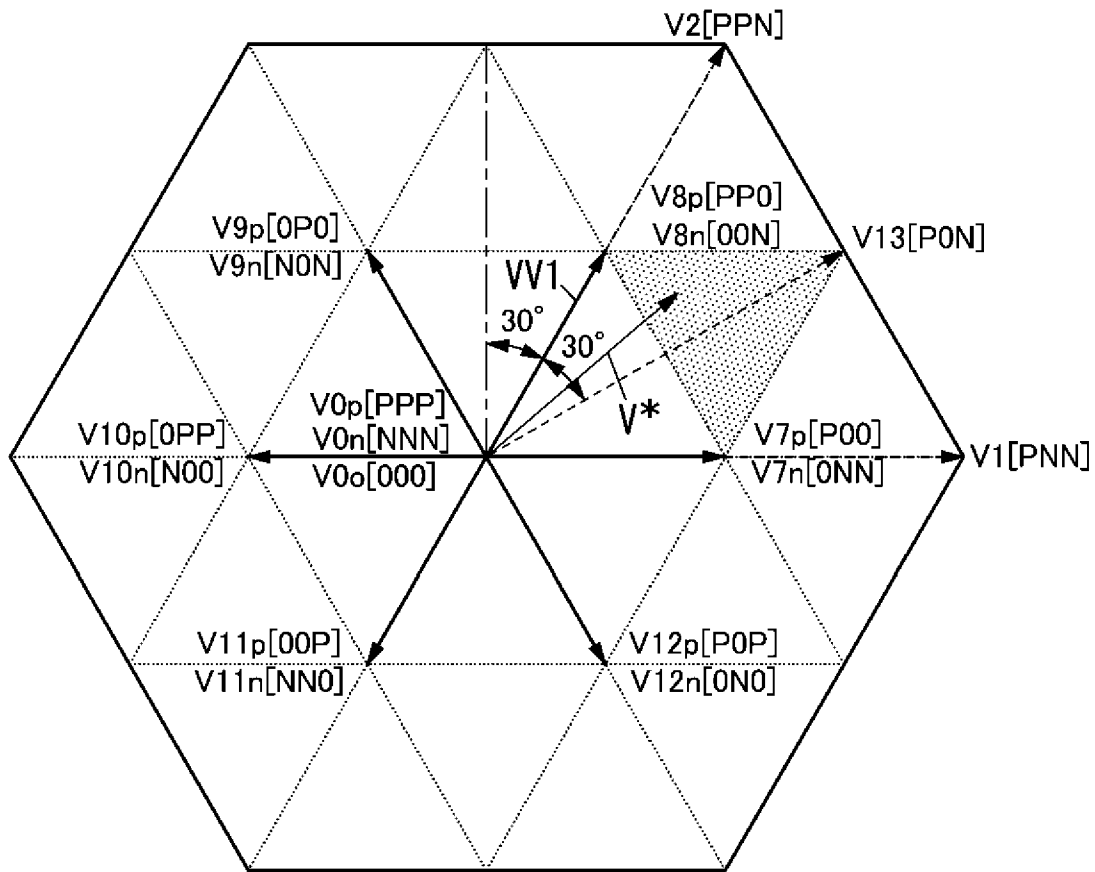
[図9]



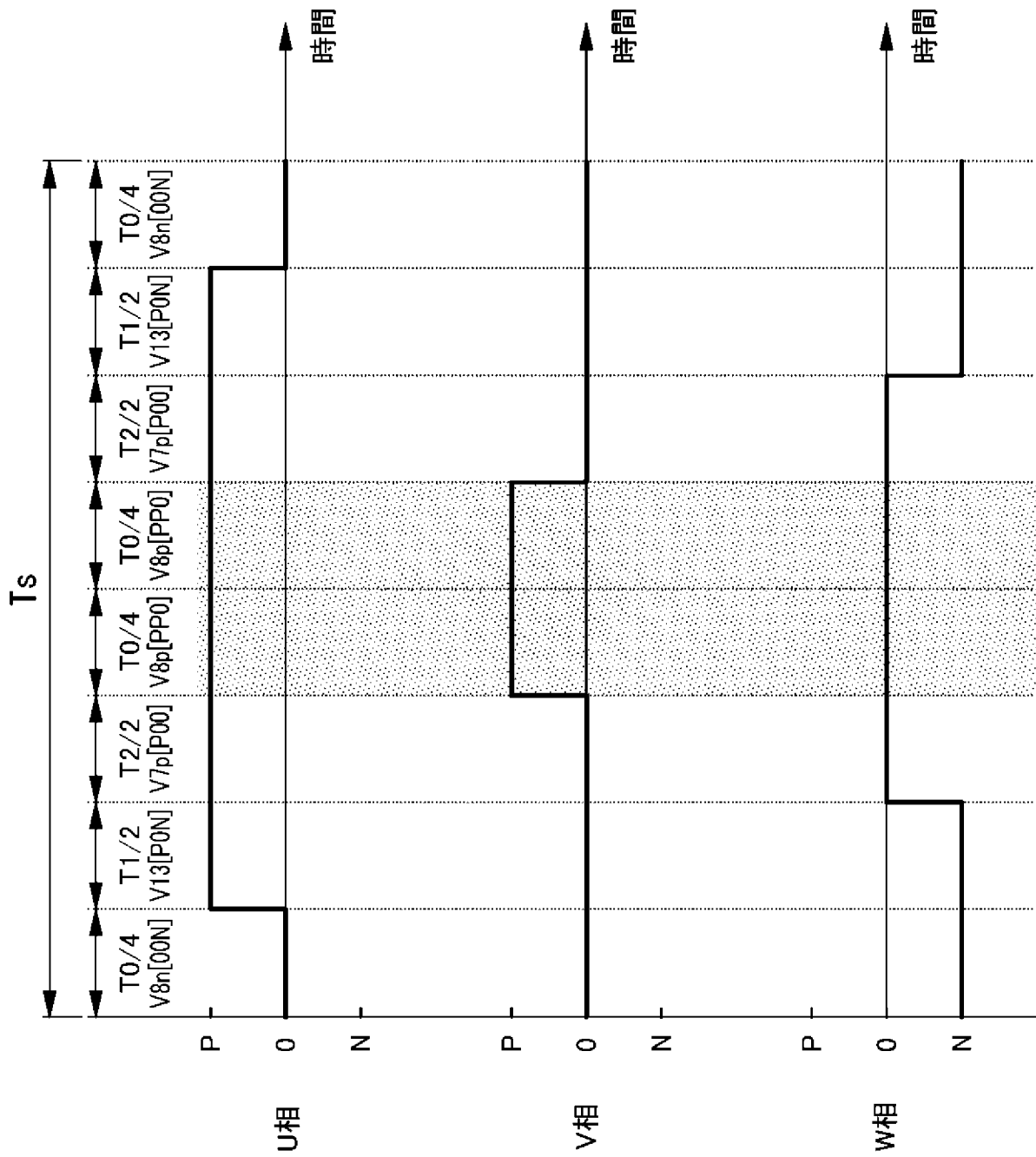
[図10]



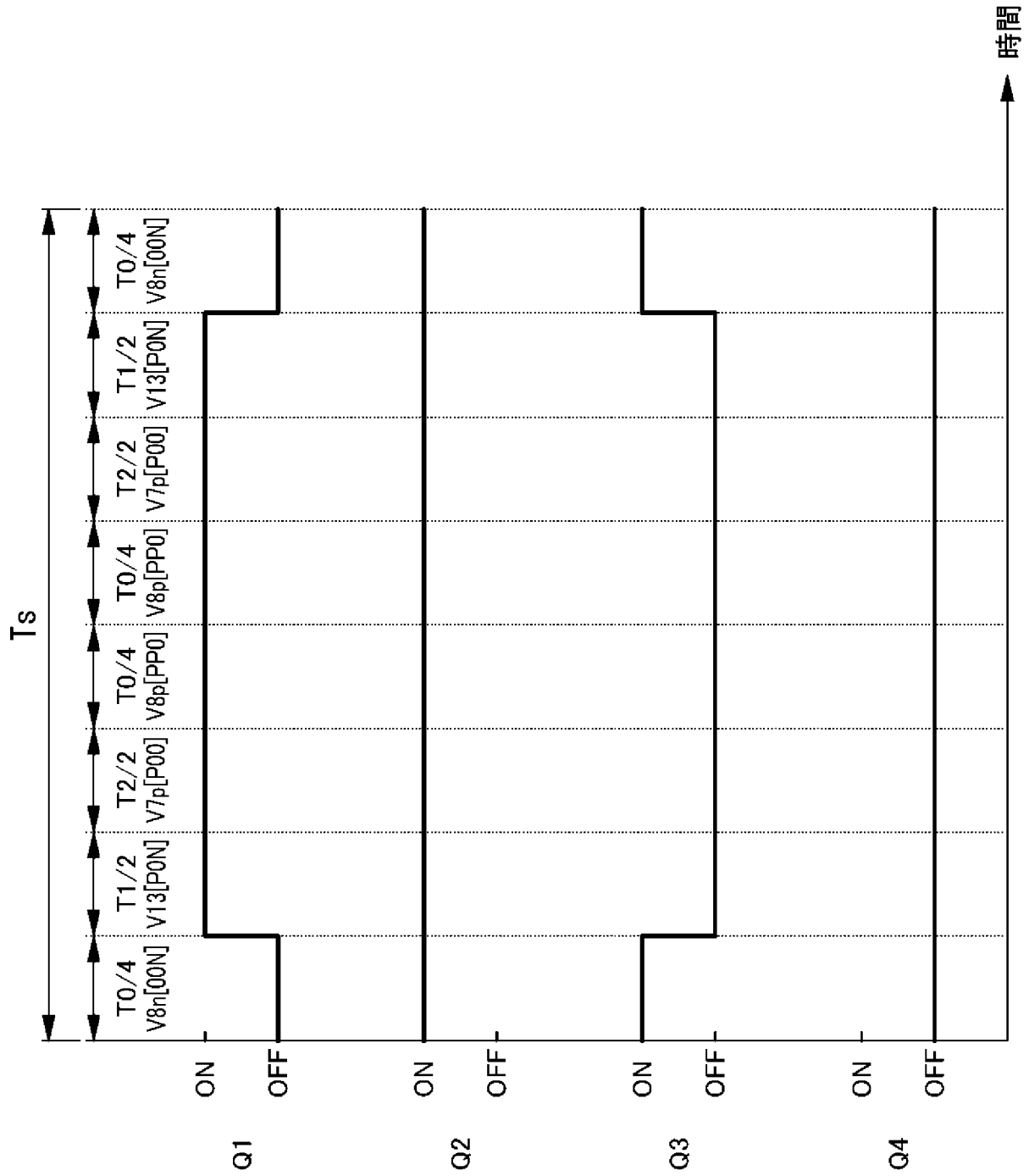
[図11]



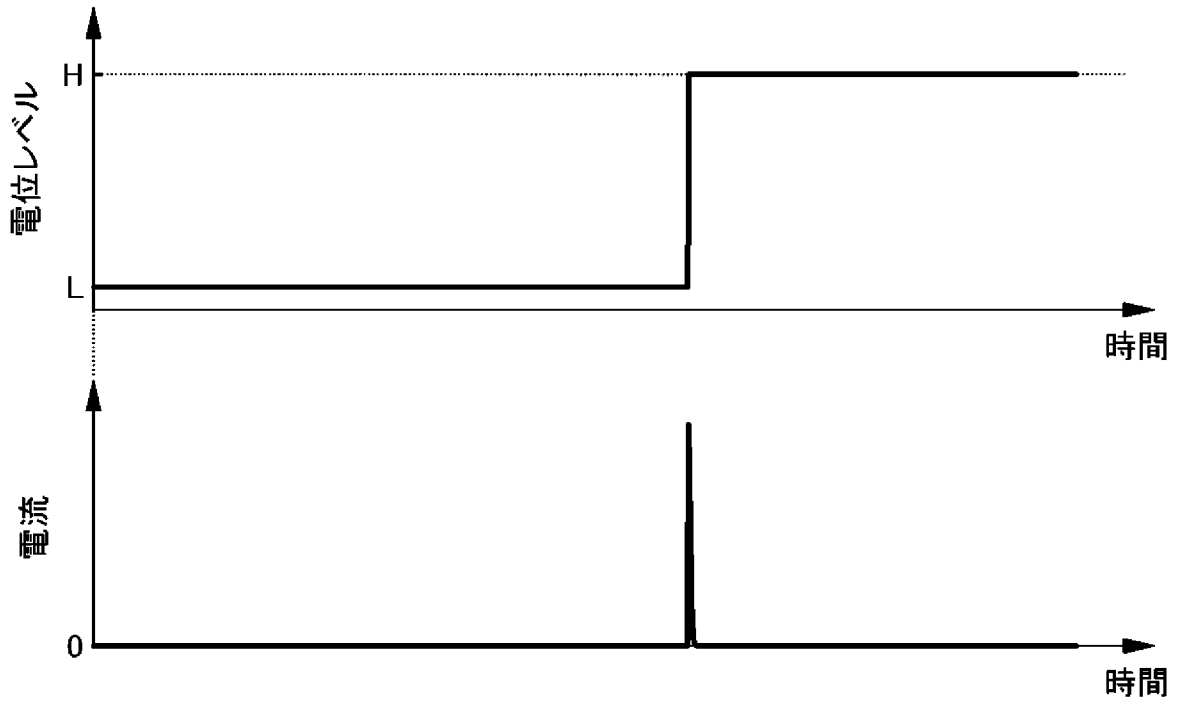
[図12]



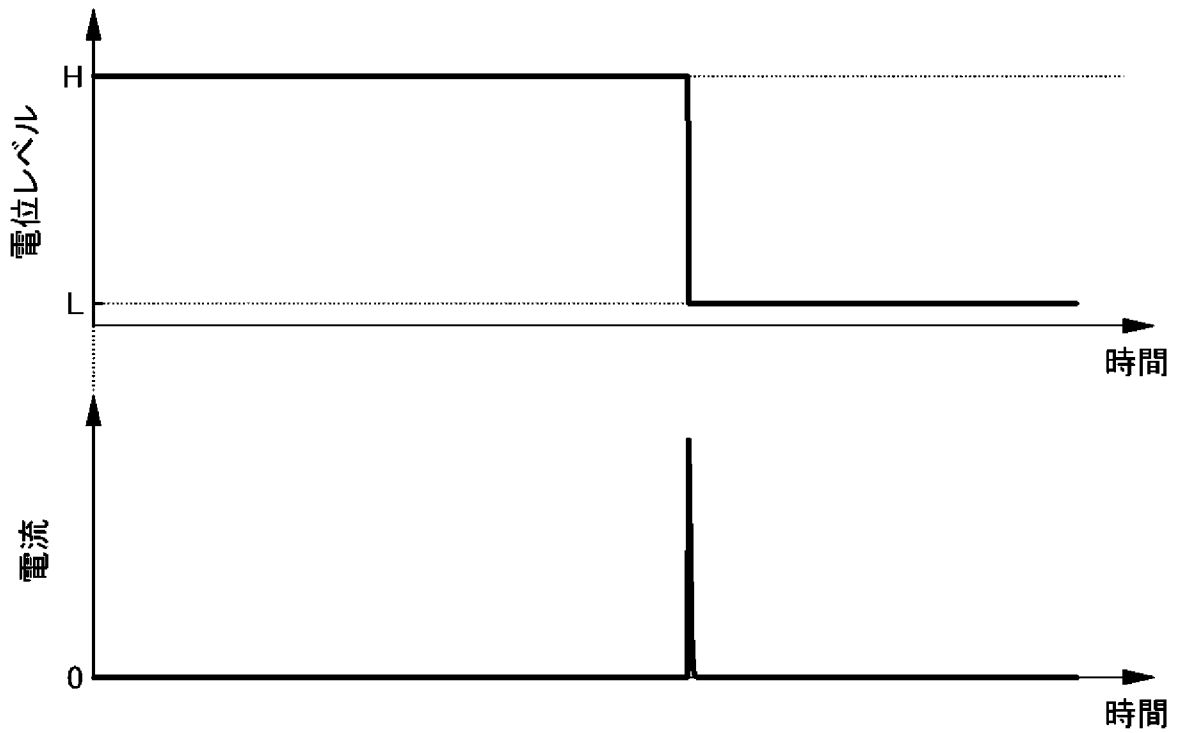
[図13]



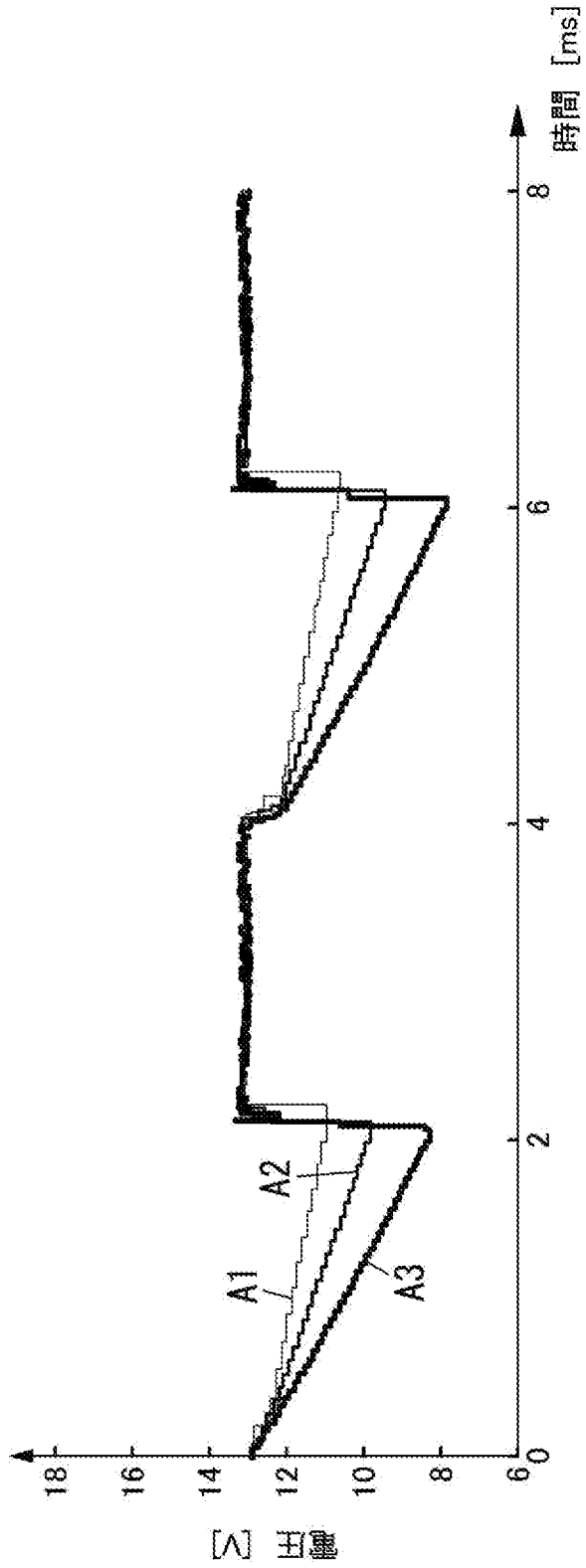
[図14A]



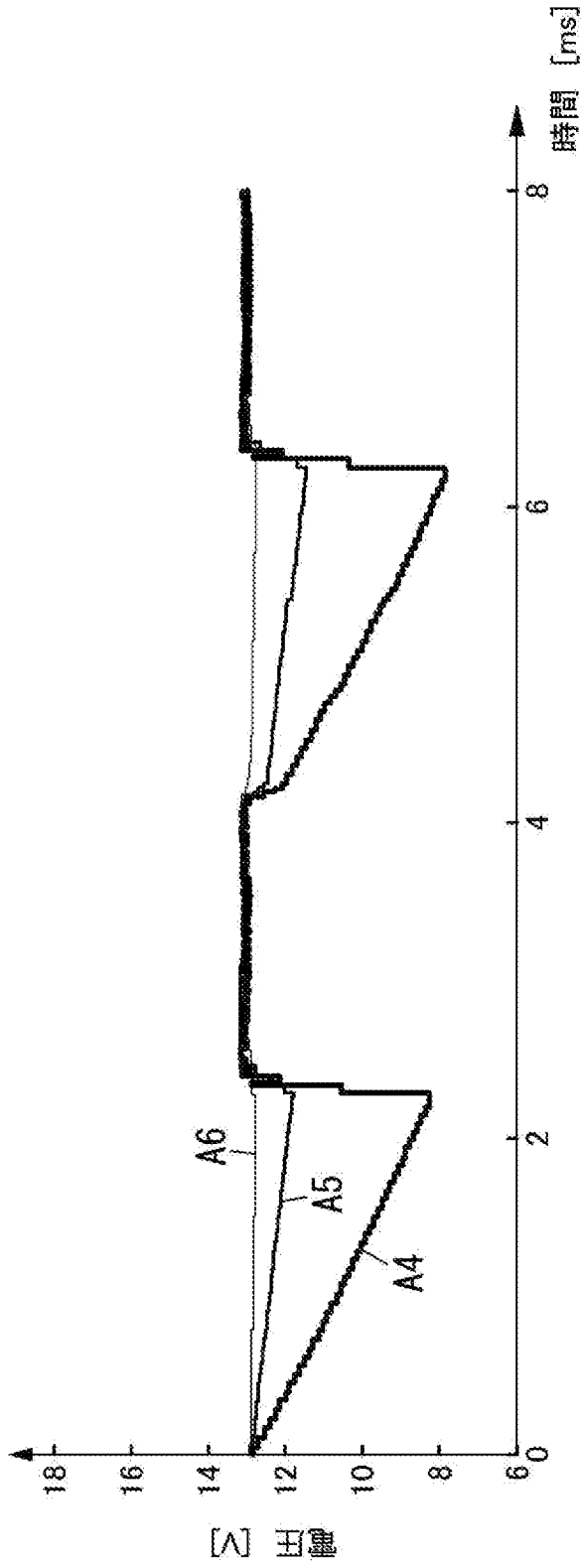
[図14B]



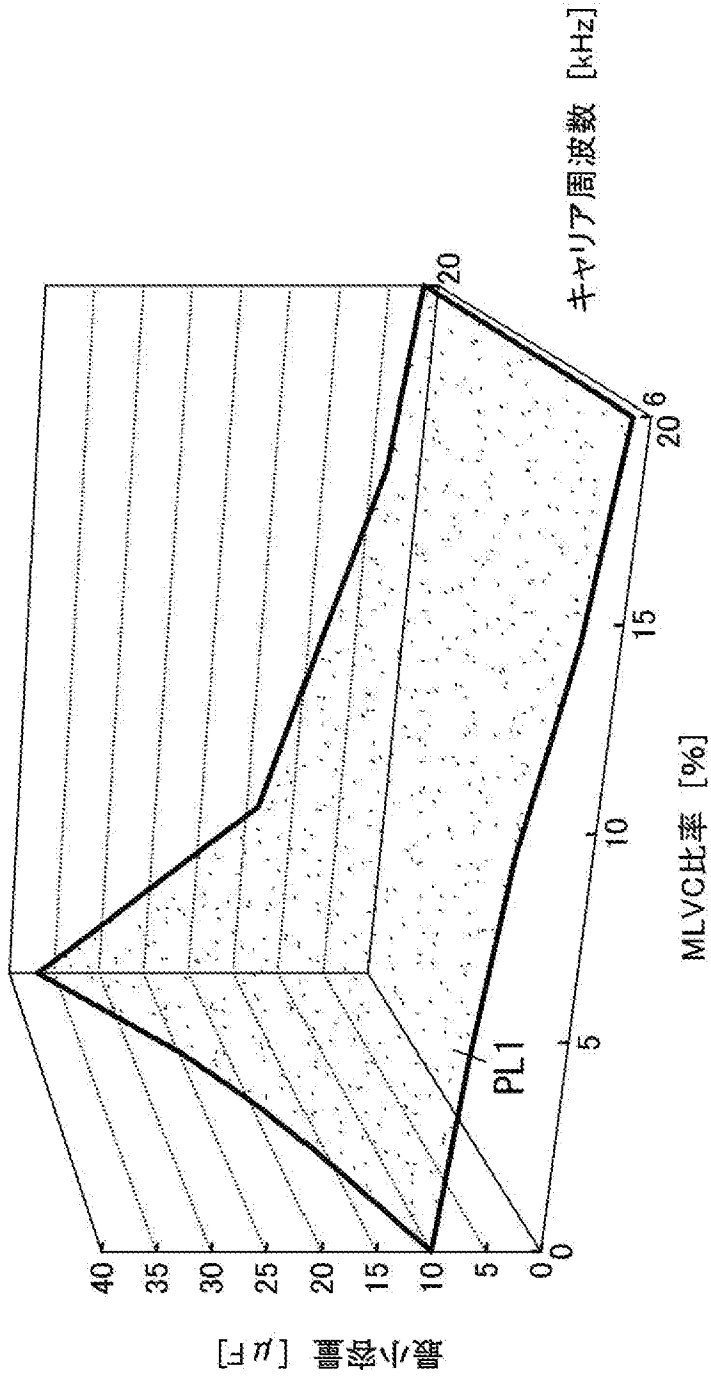
[図15A]



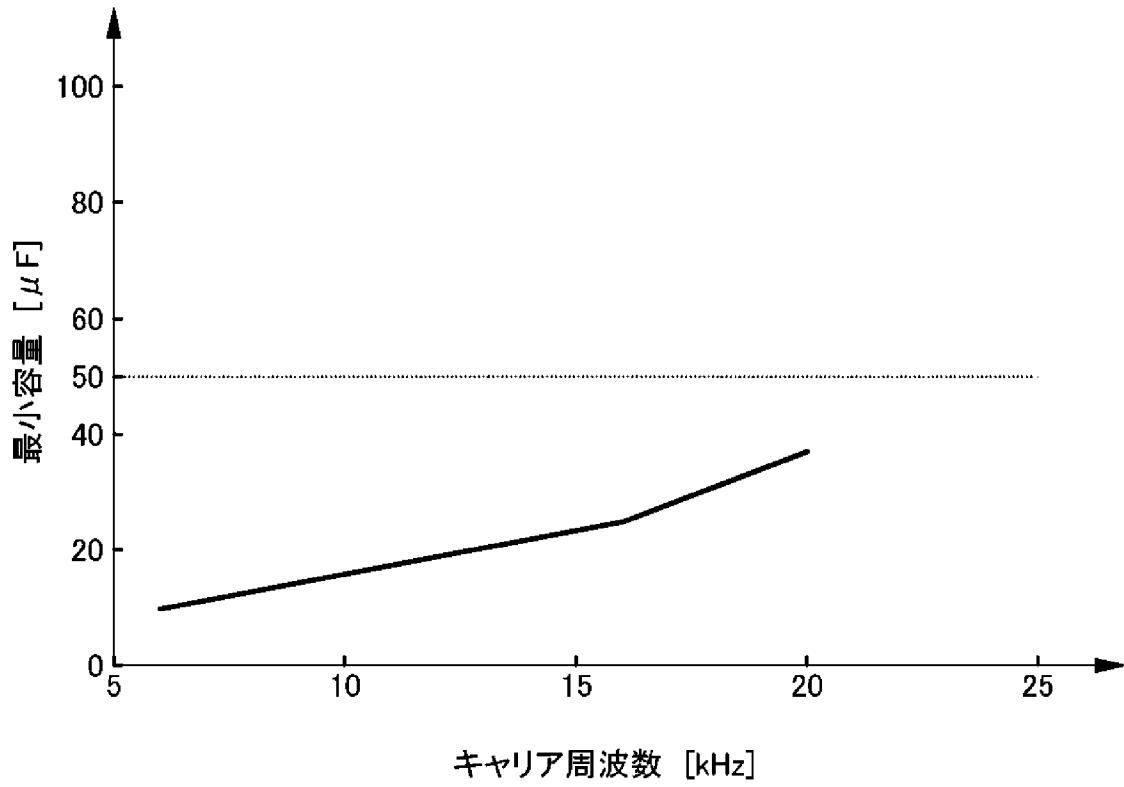
[図15B]



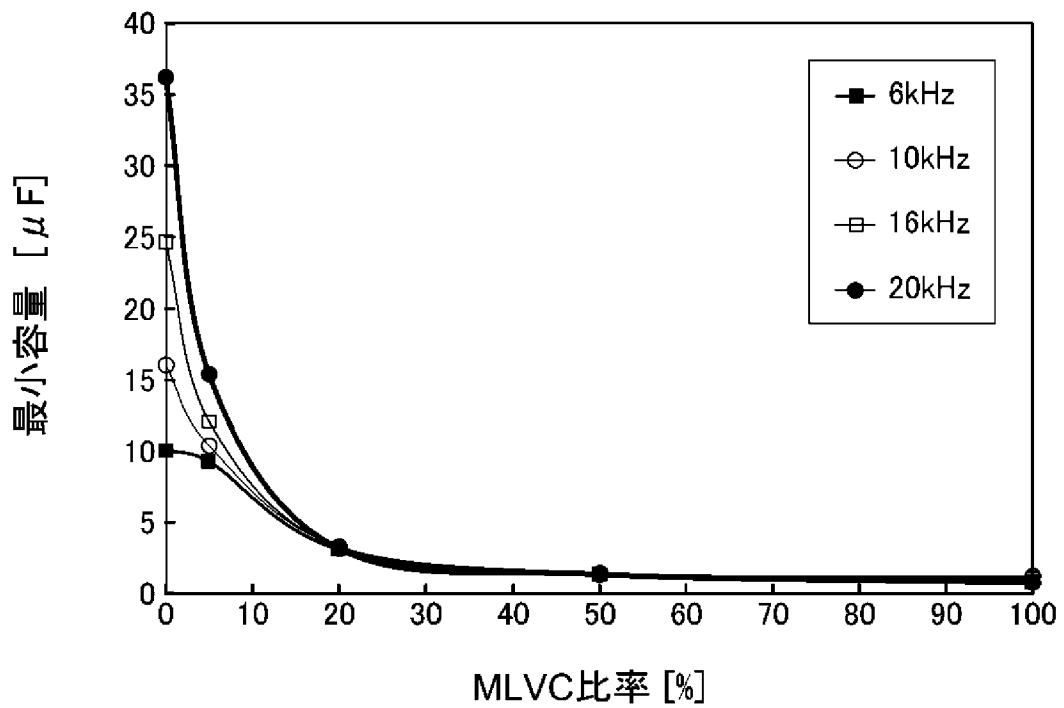
[図16]



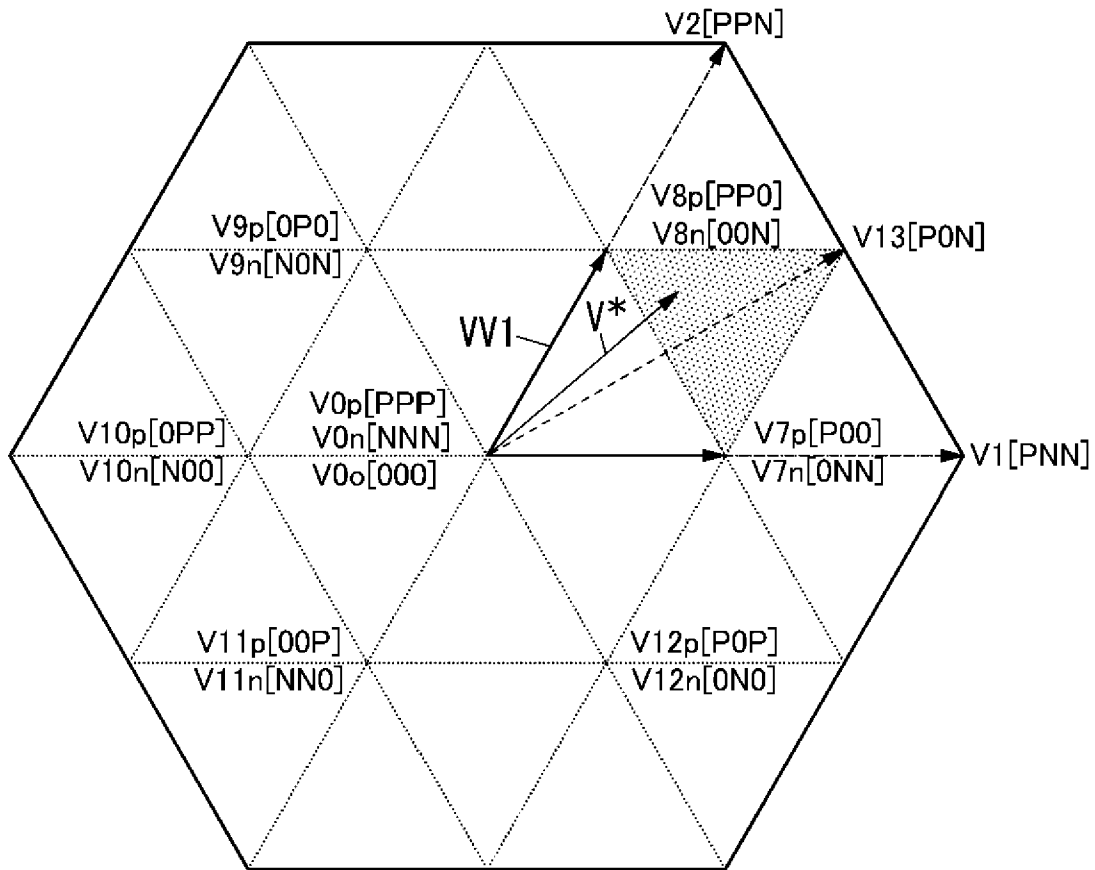
[図17]



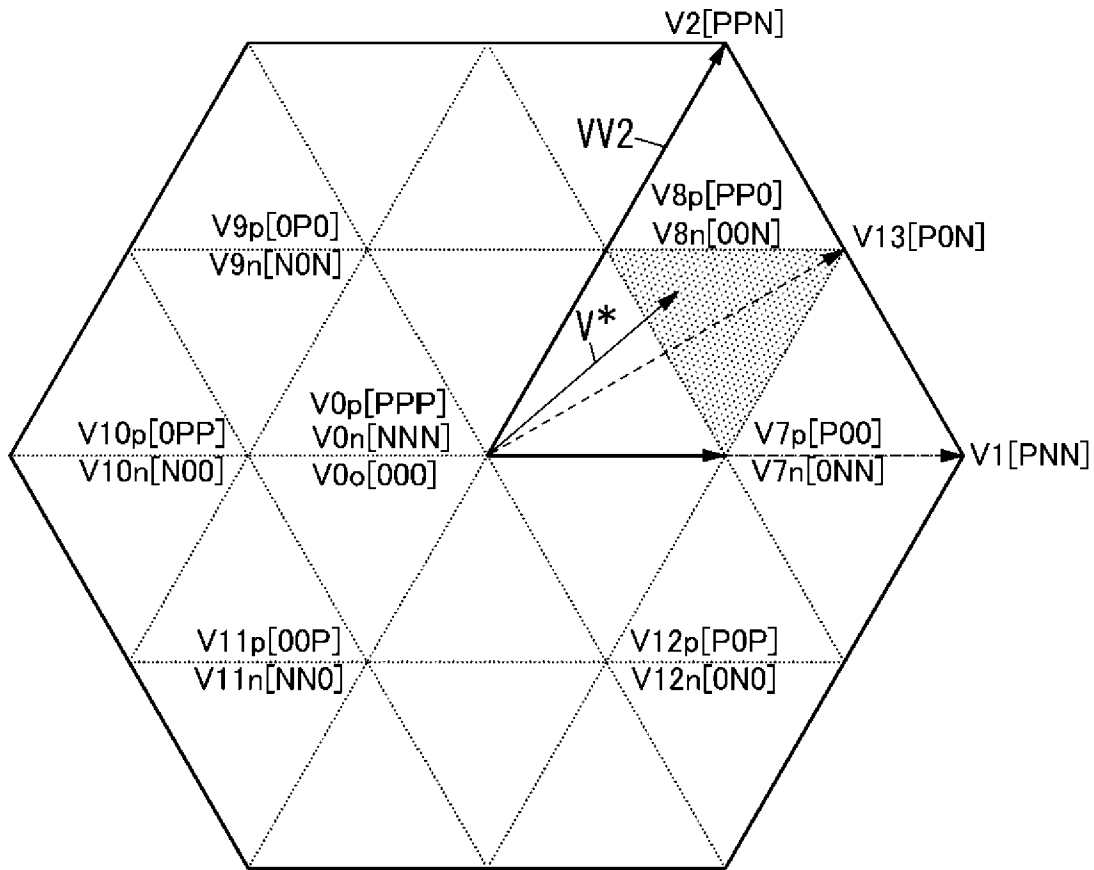
[図18]



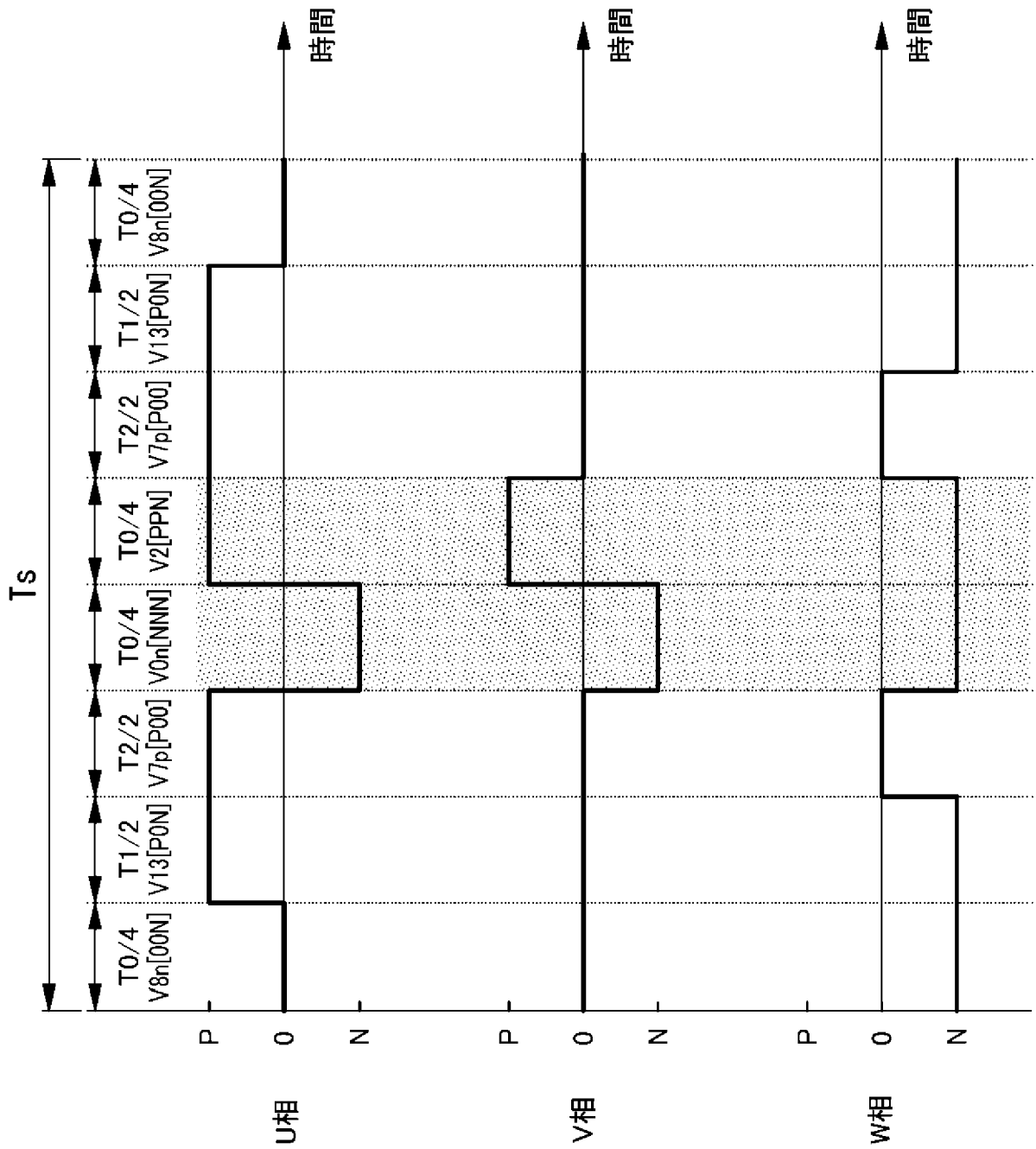
[図19A]



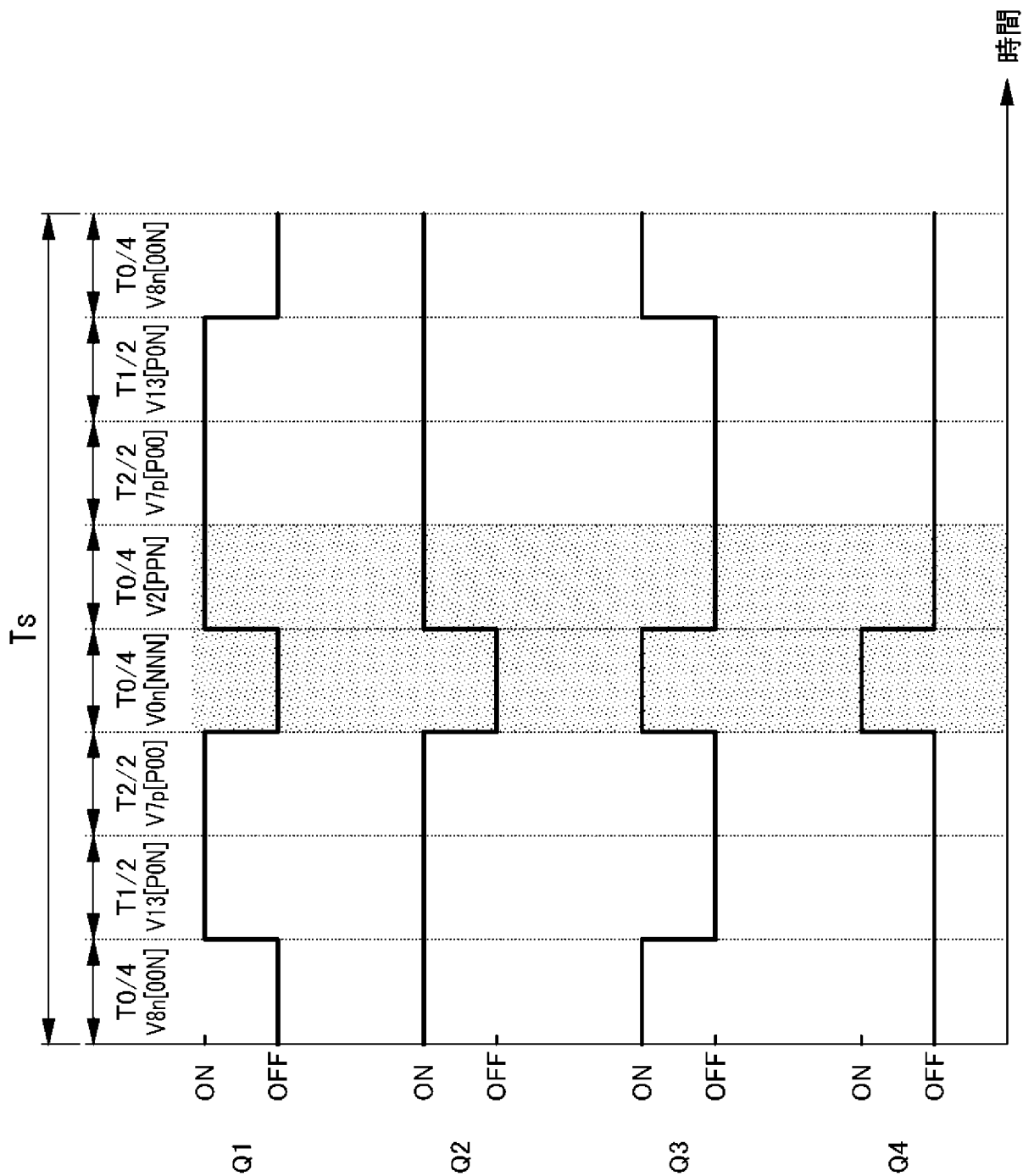
[図19B]



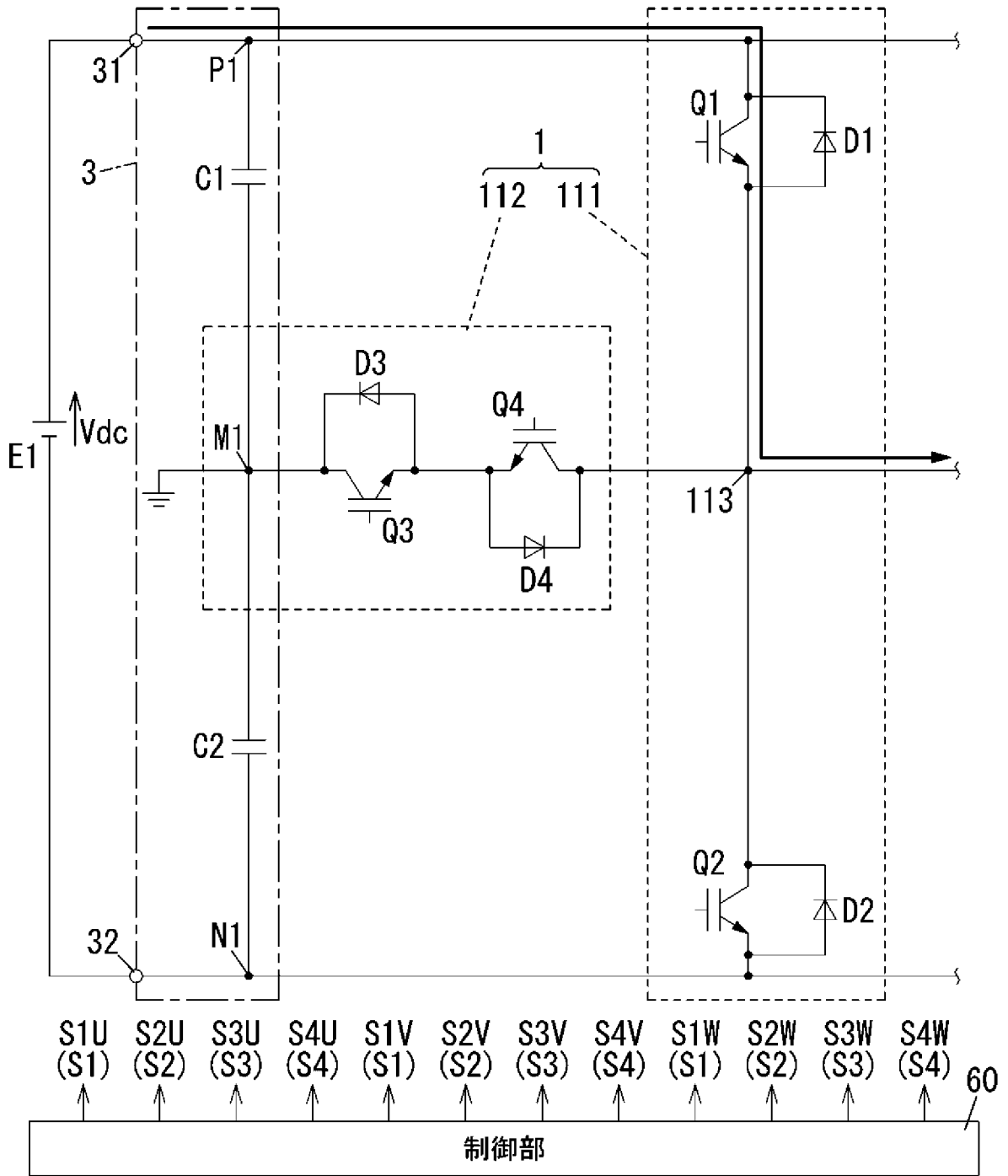
[図20]



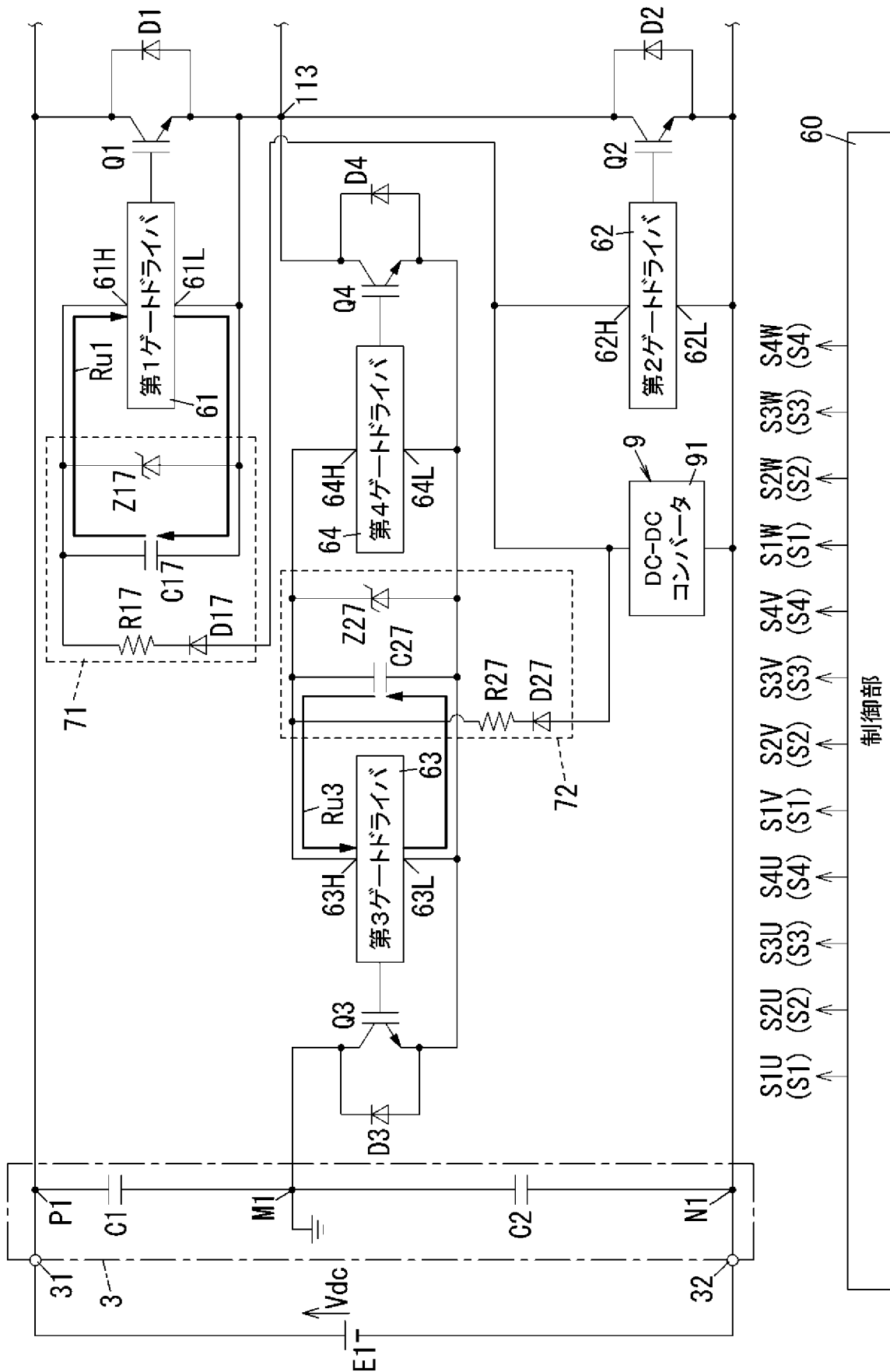
[図21]



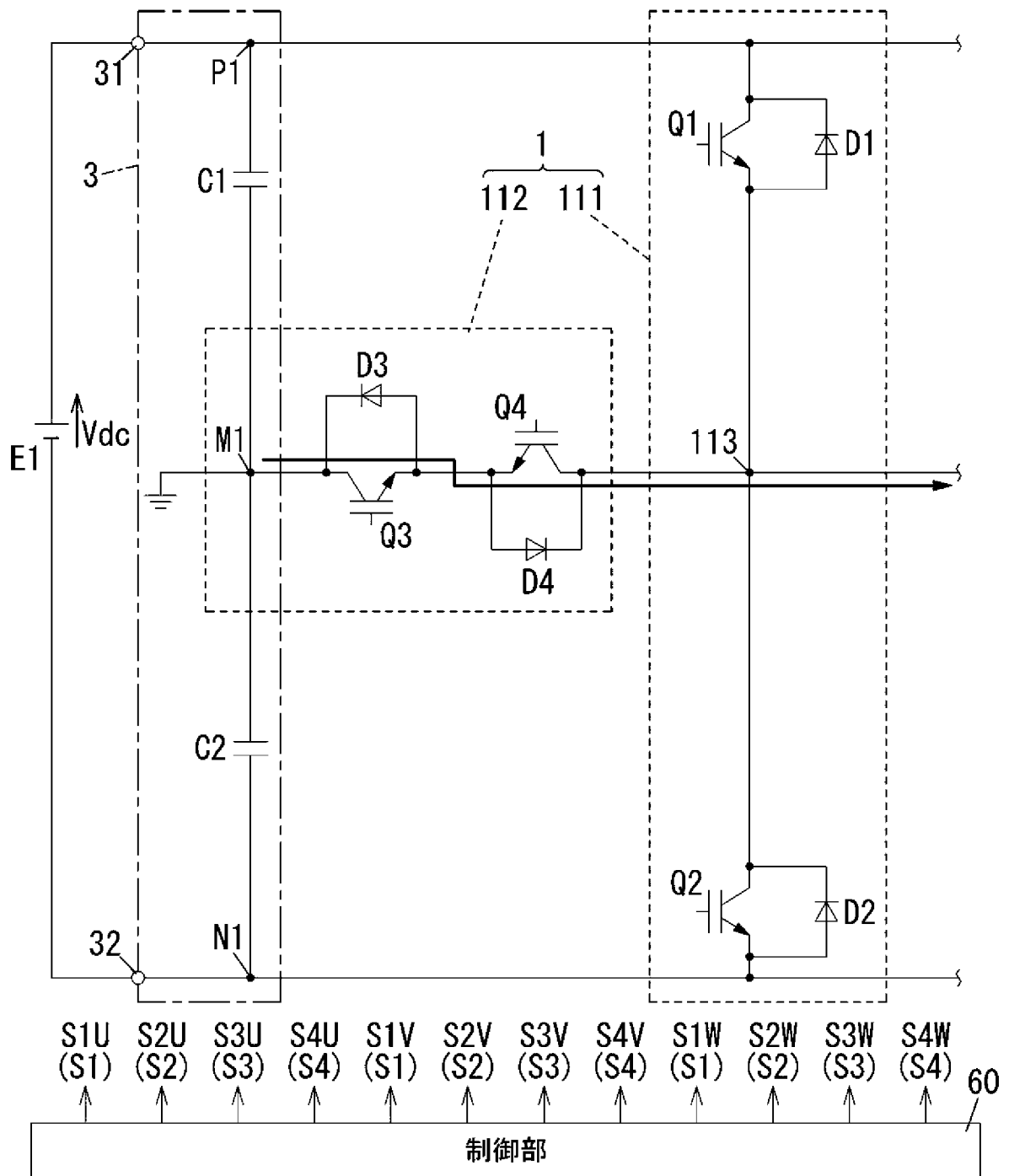
[図23]



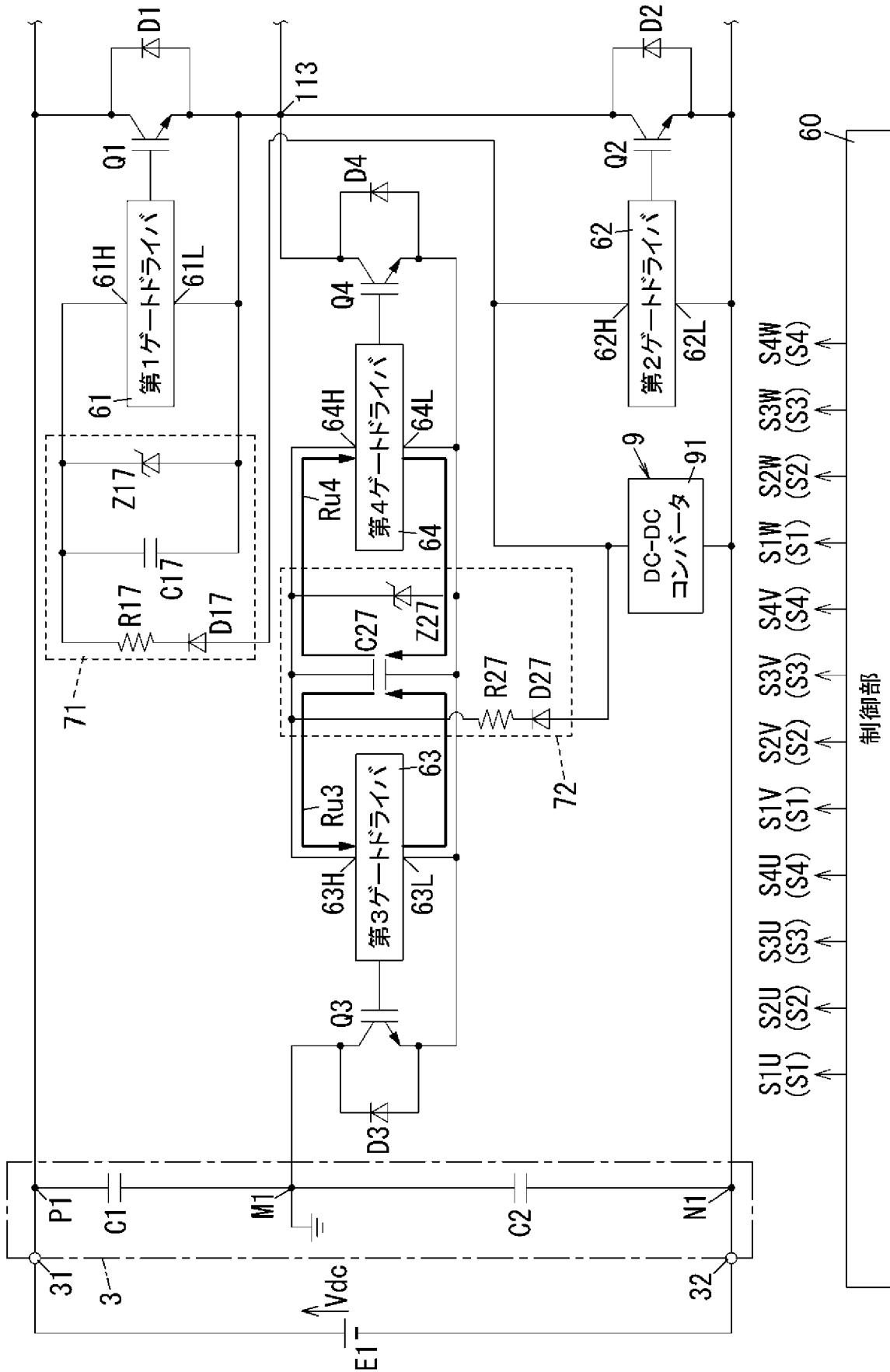
[図24]



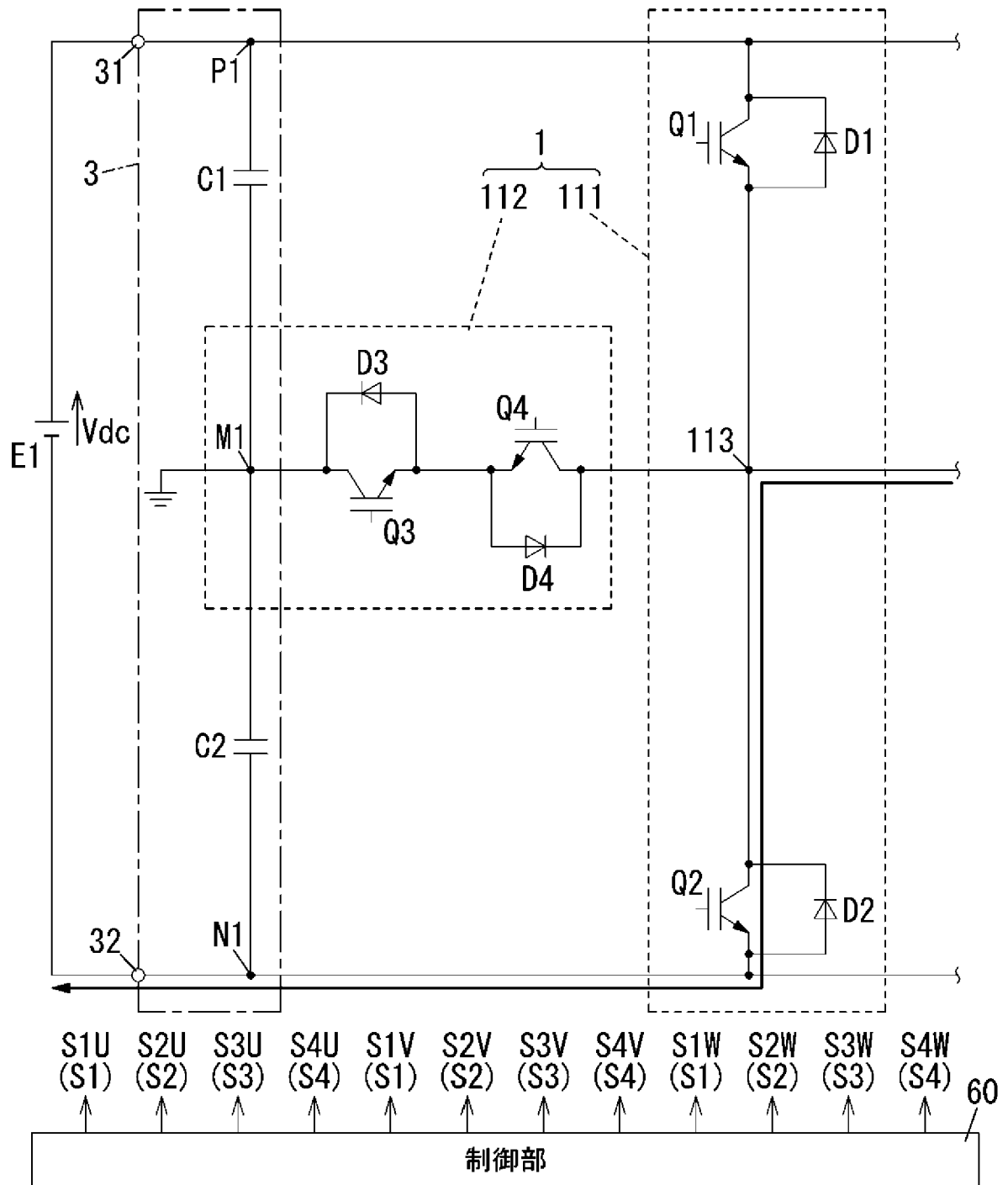
[図25]



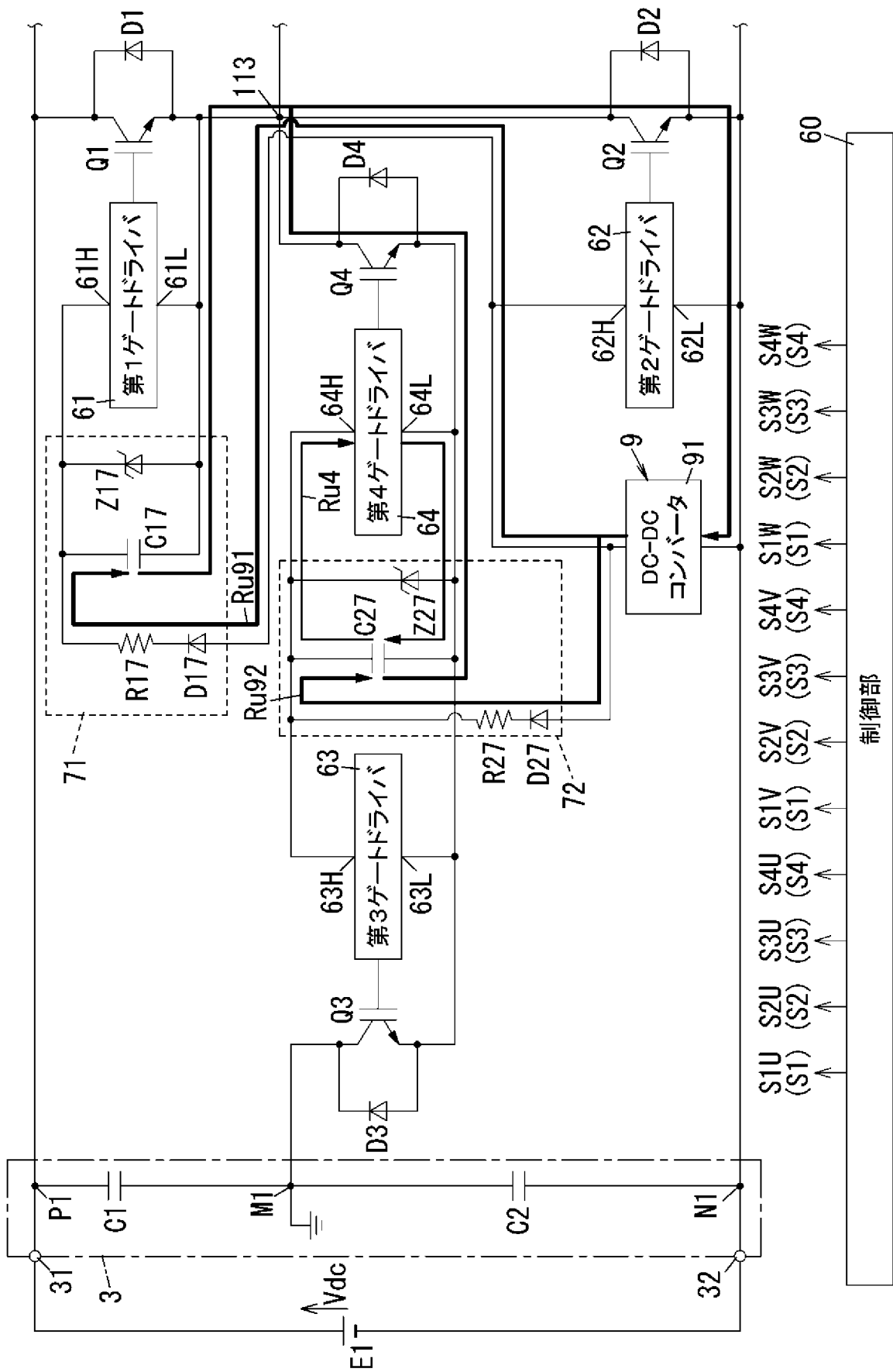
[図26]



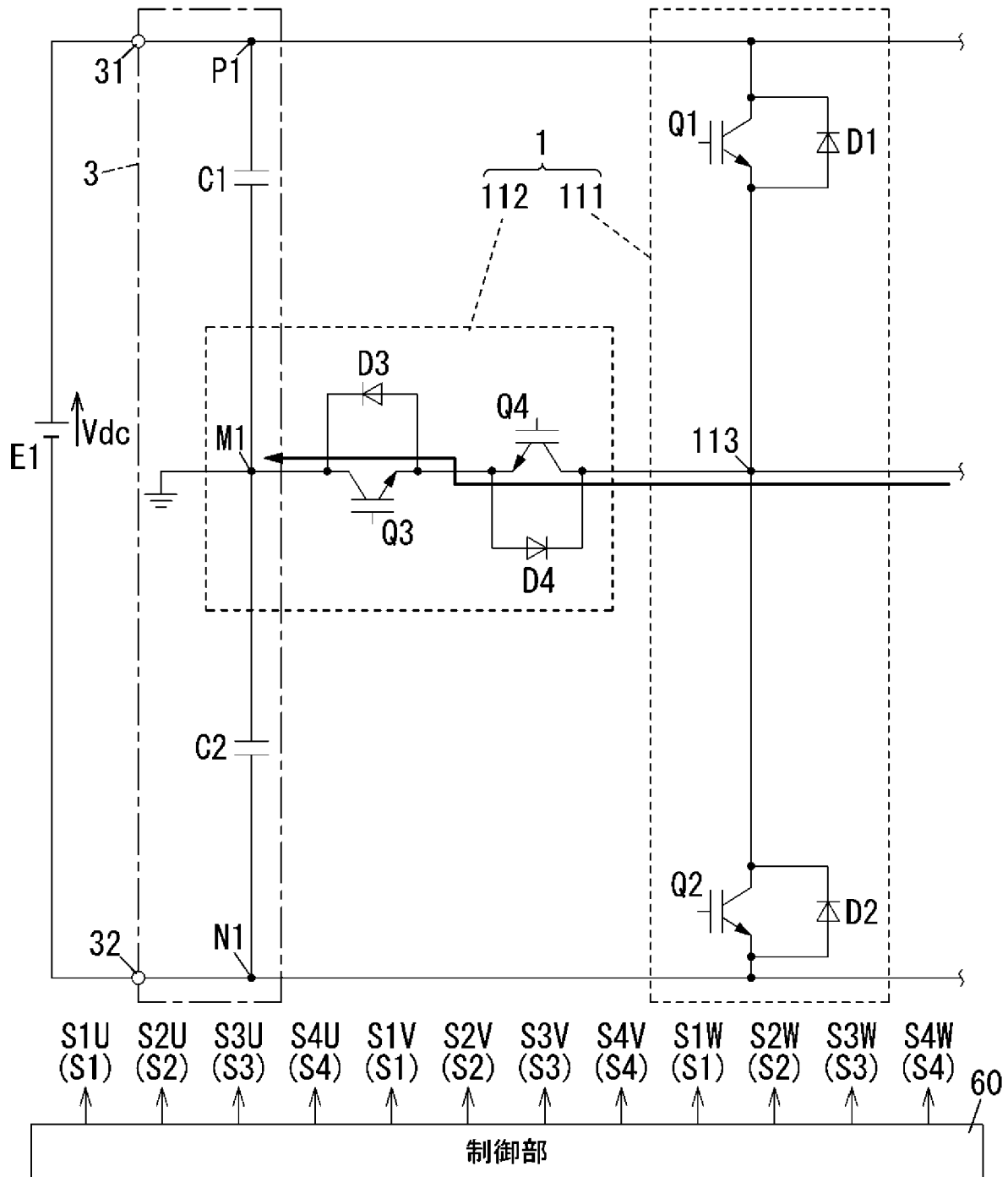
[図27]



[図28]



[図29]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2024/020137

A. CLASSIFICATION OF SUBJECT MATTER		
H02M 7/487 (2007.01)i FI: H02M7/487		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) H02M7/487		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Published examined utility model applications of Japan 1922-1996 Published unexamined utility model applications of Japan 1971-2024 Registered utility model specifications of Japan 1996-2024 Published registered utility model applications of Japan 1994-2024		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2018-133876 A (KABUSHIKI KAISHA TOSHIBA) 23 August 2018 (2018-08-23) paragraphs [0001], [0009]-[0023], fig. 1-8	1-6
Y	JP 11-206178 A (MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.) 30 July 1999 (1999-07-30) paragraphs [0035]-[0036], fig. 1	1-6
Y	JP 5-211775 A (MITSUBISHI ELECTRIC CORPORATION) 20 August 1993 (1993-08-20) paragraphs [0015]-[0024], fig. 1-4	2-6
Y	JP 2014-176281 A (KABUSHIKI KAISHA MEIDENSHA) 22 September 2014 (2014-09-22) paragraphs [0002]-[0009], fig. 5-7	4-6
Y	US 2021/0091675 A1 (CYPRESS SEMICONDUCTOR CORPORATION) 25 March 2021 (2021-03-25) paragraph [0035]	6
<input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "D" document cited by the applicant in the international application "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 08 July 2024		Date of mailing of the international search report 23 July 2024
Name and mailing address of the ISA/JP Japan Patent Office (ISA/JP) 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915 Japan		Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2024/020137

C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2013-004683 A (MIYOSHI, Hiroshi) 07 January 2013 (2013-01-07) paragraph [0144]	6
A	JP 2020-182338 A (IHI CORP.) 05 November 2020 (2020-11-05) paragraphs [0015]-[0135], fig. 1-16	1-6
P, A	WO 2024/053452 A1 (PANASONIC INTELLECTUAL PROPERTY MANAGEMENT CO., LTD.) 14 March 2024 (2024-03-14) paragraphs [0013]-[0238], fig. 1-54	1-6
P, A	WO 2024/053453 A1 (PANASONIC INTELLECTUAL PROPERTY MANAGEMENT CO., LTD.) 14 March 2024 (2024-03-14) paragraphs [0011]-[0226], fig. 1-46	1-6

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No. PCT/JP2024/020137

Patent document cited in search report	Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP 2018-133876 A	23 August 2018	CN 108429479 A	
JP 11-206178 A	30 July 1999	(Family: none)	
JP 5-211775 A	20 August 1993	(Family: none)	
JP 2014-176281 A	22 September 2014	(Family: none)	
US 2021/0091675 A1	25 March 2021	WO 2021/055172 A1 CN 114424442 A	
JP 2013-004683 A	07 January 2013	(Family: none)	
JP 2020-182338 A	05 November 2020	(Family: none)	
WO 2024/053452 A1	14 March 2024	(Family: none)	
WO 2024/053453 A1	14 March 2024	(Family: none)	

A. 発明の属する分野の分類（国際特許分類（IPC）） H02M 7/487(2007.01)i FI: H02M7/487		
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） H02M7/487 最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2024年 日本国実用新案登録公報 1996-2024年 日本国登録実用新案公報 1994-2024年		
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2018-133876 A (株式会社東芝) 23.08.2018 (2018-08-23) 段落[0001], [0009]-[0023], 図1-8	1-6
Y	JP 11-206178 A (松下電器産業株式会社) 30.07.1999 (1999-07-30) 段落[0035]-[0036], 図1	1-6
Y	JP 5-211775 A (三菱電機株式会社) 20.08.1993 (1993-08-20) 段落[0015]-[0024], 図1-4	2-6
Y	JP 2014-176281 A (株式会社明電舎) 22.09.2014 (2014-09-22) 段落[0002]-[0009], 図5-7	4-6
Y	US 2021/0091675 A1 (CYPRESS SEMICONDUCTOR CORPORATION) 25.03.2021 (2021-03-25) 段落[0035]	6
Y	JP 2013-004683 A (三由 洋) 07.01.2013 (2013-01-07) 段落[0144]	6
<input checked="" type="checkbox"/> C欄の続きにも文献が列挙されている。 <input checked="" type="checkbox"/> パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的な技術水準を示すもの “D” 国際出願で出願人が先行技術文献として記載した文献 “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献	“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献	
国際調査を完了した日 08.07.2024	国際調査報告の発送日 23.07.2024	
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号	権限のある職員（特許庁審査官） 安池 一貴 3H 9150 電話番号 03-3581-1101 内線 3316	

C. 関連すると認められる文献		
引用文献の カテゴリ*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2020-182338 A (株式会社 I H I) 05.11.2020 (2020 - 11 - 05) 段落[0015]-[0135], 図1-16	1-6
P, A	WO 2024/053452 A1 (パナソニック I P マネジメント株式会社) 14.03.2024 (2024 - 03 - 14) 段落[0013]-[0238], 図1-54	1-6
P, A	WO 2024/053453 A1 (パナソニック I P マネジメント株式会社) 14.03.2024 (2024 - 03 - 14) 段落[0011]-[0226], 図1-46	1-6

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2024/020137

引用文献	公表日	パテントファミリー文献	公表日
JP 2018-133876 A	23.08.2018	CN 108429479 A	
JP 11-206178 A	30.07.1999	(ファミリーなし)	
JP 5-211775 A	20.08.1993	(ファミリーなし)	
JP 2014-176281 A	22.09.2014	(ファミリーなし)	
US 2021/0091675 A1	25.03.2021	WO 2021/055172 A1	
		CN 114424442 A	
JP 2013-004683 A	07.01.2013	(ファミリーなし)	
JP 2020-182338 A	05.11.2020	(ファミリーなし)	
WO 2024/053452 A1	14.03.2024	(ファミリーなし)	
WO 2024/053453 A1	14.03.2024	(ファミリーなし)	