

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成22年1月21日(2010.1.21)

【公表番号】特表2005-519474(P2005-519474A)

【公表日】平成17年6月30日(2005.6.30)

【年通号数】公開・登録公報2005-025

【出願番号】特願2003-573706(P2003-573706)

【国際特許分類】

H 01 L 29/78 (2006.01)

H 01 L 29/417 (2006.01)

【F I】

H 01 L 29/78 301D

H 01 L 29/50 M

【誤訳訂正書】

【提出日】平成21年11月27日(2009.11.27)

【誤訳訂正1】

【訂正対象書類名】特許請求の範囲

【訂正対象項目名】全文

【訂正方法】変更

【訂正の内容】

【特許請求の範囲】

【請求項1】

半導体本体(11)を供給する工程と；

前記半導体本体(11)の上にゲート構造(15)を形成する工程と；

前記半導体本体(11)中にソース領域(19)とドレイン領域(20)を形成する工程であって、前記ソース領域(19)は前記ゲート構造(15)近傍の一方の側面に存在し、前記ドレイン領域(20)は前記ゲート構造(15)近傍の他方の側面に存在することと；

前記ゲート構造(15)の上、および前記ソース領域(19)近傍の前記半導体本体(11)の一部分の上に第1の誘電体層(22)を形成する工程と；

前記ゲート構造(15)と前記ドレイン領域(20)の間の誘電体層の静電容量を減らすソース接触を形成するため前記ソース領域(19)に電気的接続する第1の接地シールド(24)を前記第1の誘電体層(22)の上にパターン化して形成する工程であって、前記第1の接地シールド(24)は前記ゲート構造(15)の上を通り且つ前記ドレイン領域(20)近傍まで延びることと；

前記ソース領域(19)近傍の前記ゲート構造(15)とは反対側の前記第1の誘電体層(22)上に、前記ゲート構造(15)とパラレル構造になるようにゲートバス(25)を形成する工程と；

前記ゲートバス(25)の上と前記ソース接触の上に第2の誘電体層(29)を形成する工程と；

前記ゲートバス(25)上の前記第2の誘電体層(29)の部分と前記ドレイン領域(20)近傍の前記第2の誘電体層(29)の部分の静電容量を減らす為の第2の接地シールド(31)を提供する金属層を、前記ゲートバス(25)上の第2の誘電体層(29)の上部にパターン化して形成することによって前記第2の接地シールド(31)を前記ソース接触に電気的接続させる工程であって、前記第2の接地シールド(31)が前記第1の接地シールド(24)に接続している部分は、前記ドレイン領域(20)と前記ゲートバス(25)の間に存在し、前記第2の接地シールド(31)は前記ゲートバス(25)の全体の上に存在し且つ前記ゲートバス(25)とパラレル構造に形成されていること

； 前記ドレイン領域（20）に接触するように形成されるドレイン接触（26，33）と；

プラスチックパッケージのモールド化合物を、前記第2の接地シールド（31）と前記ドレイン接触（26，33）の間に形成する工程とからなる半導体デバイスの作製方法。

【請求項2】

半導体本体（11）を供給する工程と；

前記半導体本体（11）の上にゲート構造（15）を形成する工程と；

前記半導体本体（11）中にソース領域（19）とドレイン領域（20）を形成する工程であって、前記ソース領域（19）は前記ゲート構造（15）近傍の一方の側面に存在し、前記ドレイン領域（20）は前記ゲート構造（15）近傍の他方の側面に存在することと；

前記ゲート構造（15）の上、および前記ソース領域（19）近傍の前記半導体本体（11）の一部分の上に第1の中間誘電体層（22）を形成する工程と；

前記ゲート構造（15）と前記ドレイン領域（20）の間の静電容量を減らすために、前記第1の中間誘電体層（22）の上において前記ゲート構造（15）の上を通り且つ前記ドレイン領域（20）近傍まで延びる第1の接地シールド（24）を提供することによつて、前記ソース領域（19）に電気的接続している第1の接地シールド（24）をパターン化して形成する工程と；

前記ソース領域（19）近傍の前記ゲート構造（15）とは反対側の前記第1の中間誘電体層（22）の上に、前記ゲート構造（15）とパラレル構造になるようにゲートバス（25）を形成する工程と；

前記ゲートバス（25）の上と前記第1の接地シールド（24）の上に第2の中間誘電体層（29）を形成する工程と；

前記ゲートバス（25）上の前記第2の誘電体層（29）の部分と前記ドレイン領域（20）近傍の前記第2の中間誘電体層（29）の部分の静電容量を減らすために、前記ゲートバス（25）上の前記第2の中間誘電体層（29）の一部分の上に、前記第1の接地シールド（24）に電気的接続する第2の接地シールド（31）を金属層でパターン化して形成する工程であつて、第2の接地シールド（31）が前記第1の接地シールド（24）に接続している部分は、前記ドレイン領域（20）と前記ゲートバス（25）の間に存在し、前記第2の接地シールド（31）は前記ゲートバス（25）の全体の上に存在し且つ前記ゲートバス（25）とパラレル構造に形成されていることと；

前記ドレイン領域（20）に接触するように形成されるドレイン接触（26，33）と；

プラスチックパッケージのモールド化合物を、前記第2の接地シールド（31）と前記ドレイン接触（26，33）の間に形成する工程とからなる半導体デバイスの作製方法。

【請求項3】

半導体本体（11）と；

前記半導体本体（11）の上のゲート構造（15）と；

前記半導体本体（11）中に存在するソース領域（19）とドレイン領域（20）であり、前記ソース領域（19）は前記ゲート構造（15）近傍の一方の側面に存在し、前記ドレイン領域（20）は前記ゲート構造（15）近傍の他方の側面に存在することと；

前記ゲート構造（15）上および前記ソース領域（19）近傍の前記半導体本体（11）の一部分の表面上に存在する第1の誘電体層（22）と；

前記ゲート構造（15）と前記ドレイン領域（20）の間の静電容量を減らすために、前記ソース領域（19）に電気的接続するように前記第1の誘電体層（22）の上において前記ゲート構造（15）の上を通り且つ前記ドレイン領域（20）近傍まで延びるパターン化された第1の接地シールド（24）によって形成されるソース接触と；

前記ソース領域(19)近傍の前記ゲート構造(15)とは反対側の前記第1の誘電体層(22)の上に、前記ゲート構造(15)とパラレル構造になるように存在するゲートバス(25)と；

前記ゲートバス(25)の上と前記ソース接触の上に形成される第2の誘電体層(29)と；

前記ゲートバス(25)上の前記第2の誘電体層(29)の部分と前記ドレイン領域(20)近傍の前記第2の誘電体層(29)の部分の静電容量を減らすために、前記ゲートバス(25)の上の第2の誘電体層(29)の一部分の上に、前記ソース接触に電気的接続する第2の接地シールド(31)をパターン化して提供する金属層であって、第2の接地シールド(31)が前記第1の接地シールド(24)に接続している部分は、前記ドレイン領域(20)と前記ゲートバス(25)の間に存在し、前記第2の接地シールド(31)は前記ゲートバス(25)の全体の上に存在し且つ前記ゲートバス(25)とパラレル構造に形成されていること；

前記ドレイン領域(20)に接触するように形成されるドレイン接触(26, 33)と；

プラスチックパッケージのモールド化合物を、前記第2の接地シールド(31)と前記ドレイン接触(26, 33)の間に形成する工程とからなる半導体デバイス。

【誤訳訂正2】

【訂正対象書類名】明細書

【訂正対象項目名】0008

【訂正方法】変更

【訂正の内容】

【0008】

次にゲート構造15が半導体部11の上に形成される。ゲート構造15は説明しやすいように非常に簡略化して示している。ゲート構造15はゲート誘電体層とゲート電極(個別に表示しない)からなる。好ましくはゲート電極は、大量ドープの多結晶半導体層と、当該多結晶半導体層の上に形成されたゲートオーミックまたは金属層とを含む。好ましくは、ゲート金属層はタンゲステン・シリコン合金から成るが、チタン、窒化チタン、モリブデンのような他の金属も適当である。多結晶半導体層は通常、ドープN型である。

【誤訳訂正3】

【訂正対象書類名】明細書

【訂正対象項目名】0015

【訂正方法】変更

【訂正の内容】

【0015】

ソース接触、あるいは第1の接地シールド24はソース領域19と電気的接觸をしている。第1の接地シールド24はゲート構造15上にあり、それはドレイン領域20(第1のドレイン接觸26と第2のドレイン接觸33を含む：図3に示す)と、ゲート構造15との間の寄生静電容量を減少させる。本実施例において、第1の接地シールド24はゲート構造15とILD0層22の上に形成される。しかし、第1の接地シールド層24はソース接觸としてのみ動作するので、ILD0層22の一部分に配置されてもよいし、ゲート構造15の上全体には伸びていなくてもよい。この第1の接地シールド24がゲート構造15の上にあるということは、本発明においてはさして重要ではない。なぜならば、第2の接地シールド31(以下に説明(図3参照))が形成されるからである。ゲートバス25はゲート構造15のフィンガーに挟まれたILD0層22の上に配置されている。各々のドレイン接觸26はドレイン領域20と電気的接觸している。

【誤訳訂正4】

【訂正対象書類名】明細書

【訂正対象項目名】0017

【訂正方法】変更

【訂正の内容】

【0017】

図3に戻って、従来のフォトリソグラフィやエッチング技術はILD1層29に接触開口、あるいはILD1層29のビアを形成するために用いられる。第1のオーミック、もしくは金属層はILD1層29の上に、ILD1層29の開口やビア中に形成、パターン化されて、第2の接地シールド31と第2のドレイン接触33を形成する。好ましくは、第2の金属層はアルミニウムもしくはアルミニウム合金からなり、もっとも好ましくは厚さが約5,000から60,000オングストロームの範囲にあるAlCuWである。アルミニウム・銅・タンゲステン合金のメタライズは、故障による電気マイグレーションに対する保護を増進する。

【誤訳訂正5】

【訂正対象書類名】明細書

【訂正対象項目名】0019

【訂正方法】変更

【訂正の内容】

【0019】

さて、図3を上から見た図である図4は、ゲートバス25がどのようにしてゲート構造15のフィンガーの間に形成され、ゲート構造15のフィンガーとパラレル構造になっているかを示している。ゲートバス25は周期的にコンタクト領域27でゲート構造15と電気的接続をしているので、ゲート抵抗(R_g)はデバイス10の電力利得を劣化させないほど低く保つことができる。