(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.[6]
H03K 19/177

(45) 공고일자 1999년04월15일
(11) 등록번호 특0184919
(24) 등록일자 1998년12월22일

(21) 출원번호 특1995-044495
(22) 출원일자 1995년11월22일
(65) 공개번호 특1996-018933
(43) 공개일자 1996년06월17일
(30) 우선권주장 344,802 1994년11월23일 미국

(73) 특허권자 에이 티 앤드 티 코포레이션 엘리 와이스
미국, 뉴욕 10013-2412, 뉴욕, 애비뉴 오브 디 아메리카즈 32
(72) 발명자 와이-보어레웅
미국, 펜실바니아 18106, 웨스코스빌, 세실리아 드라이브 5170
(74) 대리인 이병호, 최달용

심사관 : 인치복

(54) 필드 프로그램 가능 게이트 어레이 및 그 사용 방법

요약

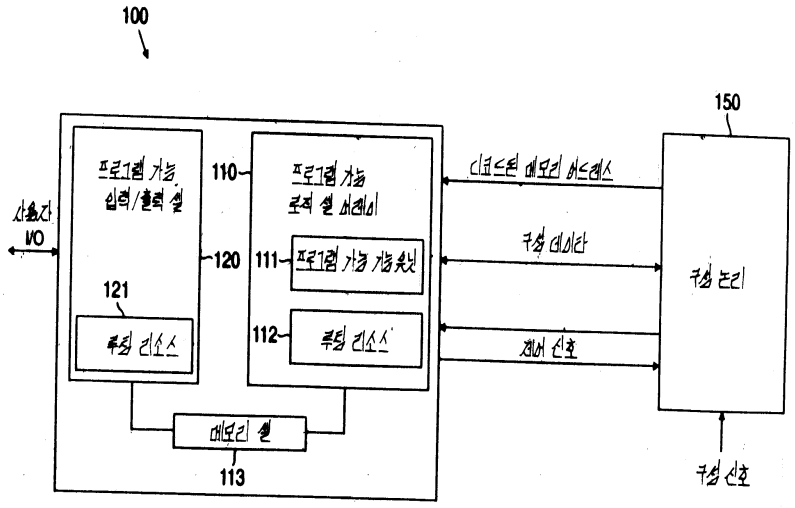
구성 데이타를 프로그램 가능 메모리 셀에 기록하기 전에 인입 비트스트림이 FPGA를 위해 사용되는지를 검사하는 필드 프로그램 가능 게이트 어레이(FPGA)에 대해 서술한다.

비트스트림은 목표 FPGA용 확인 코드를 포함하는 확인 프레임을 가진다. 메모리 제어기의 확인 회로는 비트스트림이 확인 코드에 기초하여 FPGA를 위해 사용되는지를 검사한다.

비트스트림이 FPGA를 위해 사용된다면, 구성 데이타는 처리되어 프로그램 가능 메모리 셀에 저장된다. 비트스트림이 FPGA를 위해 사용되지 않는다면, FPGA는 대기 모드로 들어가며 구성 프로세스는 사용자가 FPGA를 리셋시킬 때까지 중지될 수 있다.

상이한 크기의 메모리 셀 어레이를 위해 사용되는 비트 스트림이 FPGA에 의해 수신될 때 검사 회로는 FPGA에서 발생할 수 있는 해를 방지할 수 있다.

대표도



명세서

[발명의 명칭]

필드 프로그램 기능 게이트 어레이 및 그 사용방법

[도면의 간단한 설명]

제1도는 필드 프로그램 가능 게이트 어레이(FPGA)의 기능 블럭도.

제2도는 본 발명의 원리에 따른 비트스트림의 예시도.

제3도는 FPGA의 구성 논리에 대한 기능 블럭도.

제4도는 본 발명의 원리에 따라 구성 논리의 메모리 제어기에 대한 기능 블럭도.

제5도는 제4도의 메모리 제어기의 검사 유닛에서 사용하는 검사 회로의 예시적 회로도.

제6도는 패리티 체킹을 인에이블하는데 사용할 수 있는 부가 회로도.

제7도는 본 발명의 원리에 따라 FPGA의 사용 방법의 단계를 나타내는 흐름도.

* 도면의 주요부분에 대한 부호의 설명

100 : 필드 프로그램 가능 게이트 어레이(FPGA)

110 : 프로그램 가능 노리 셀 어레이(PLC)

113 : 메모리 셀

120 : 프로그램 가능 입력/ 출력 셀(PIC)

121 : 루팅 리소스

150 : 구성 논리

[발명의 상세한 설명]

(발명 분야)

본 발명은 집적 회로, 특히 필드 프로그램 가능 게이트 어레이에 관한다.

(발명의 배경)

집적 회로는 통상적으로 단일 기능이나 또는 소프트웨어 프로그램밍에 의해 한정되는 다른 기능을 수행해 왔다.

그렇지만, 어떤 경우이든지간에 회로의 기능을 수행한 논리 아키텍처는 집적회로의 설계동안 고정되어 있다. 최근에 제조후에 논리 아키텍처를 바꿀 수 있는 집적회로가 개발되었다.

예를 들어 제조한 곳으로부터 멀리 떨어져 있는 사용자가 논리 기능을 정할 수 있는 필드 프로그램 가능 게이트 어레이(FPGA)가 개발되었다. FPGA는 랜덤 논리 네트웍, 데이타 루팅, 코드 변환기, 명령 디코더, 스테이트 시퀀스(state sequences) 및 다양한 다른 기능을 수행하는데 사용된다.

사용자에 의한 FPGA의 프로그래밍은 집적된 칩의 소자를 연결 또는 분리하기 위해, 제조한 집적된 칩의 물리적 수정에 사용되는 퓨즈 기술(fuse technology)를 사용하거나 또는 복수의 메모리 비트를 집적된 칩에 설정하는데 사용되는 메모리 프로그래밍에 의해 이루어질 수 있다. 메모리 비트는 집적된 칩의 소자의 접속을 차례로 제어한다. FPGA는 통상적으로 논리 블럭과 상호 접속 리소스 어레이를 포함한다. 각 논리 블럭은 특별한 기능을 실행하도록 프로그램 될 수 있다. 상호 접속 리소스에 의해 신호 전파가 이루어진다. 논리 기능을 실행하도록 복수의 논리 블럭을 프로그래밍함으로써 또한 신호를 전파하도록 상호 접속 리소스를 사용함으로써 원하는 논리 회로가 실행될 수 있다.

예를 들어 정적 랜덤 액세스 메모리(SRAM)를 사용하는 FPGA의 기능을 비트스트림에서 판독함으로써 또한 그것을 구성 메모리(configuration memory)에 저장함으로써 한정될 수 있다.

비트-스트림은 통상적으로, 헤더, 데이타 프레임 및 트레일러를 포함한다. 그렇지만, 상이한 어레이 크기 또는 상이한 논리 용량을 가진 FPGA 칩용 데이타 프레임의 길이는 통상적으로 상이하다. 어떤 어레이 크기에 사용되는 비트스트림이 상이한 어레이 크기를 가진 FPGA 칩으로 보내진다면 문제가 발생한다.

또한, 칩은 입력-출력 또는 내부신호 오류를 유도하는 식으로 착오적으로 구성될 수도 있다. 결과적으로, 칩은 많은 양의 전력을 소모하며, 이에 따라 칩의 전기적 특성이나 다른 특성을 해치거나 파괴한다. 또한, FPGA 칩상의 입력이 출력 버퍼로 바뀌졌을 때 FPGA에 접속된 다른 칩이 해를 입을 수 있다.

목표 FPGA의 어레이 크기가 비트스트림의 크기와 일치할 지라도 다른 FPGA는 다른 루팅 구조체를 가질 수 있다. 그러므로, 특별한 비트스트림이 착오 매치를 검출하고 방지하도록 사용되도록 하기 위해 FPGA칩을 검사하는 메카니즘이 제공되는 것이 바람직하다.

(발명의 요약)

본 발명의 원리에 따라 필드 프로그램 가능 게이트 어레이(FPGA)는 적어도 하나의 프로그램 가능 논리 셀(PFU)과 관련 루팅 리소스를 갖는 프로그램 가능 논리셀(PLC)을 양호하게 포함한다. FPGA는 또한 다수의 프로그램 가능 입력/출력셀(PIC), 다수의 프로그램 가능 메모리 셀, 및 구성 논리를 포함한다. FPGA는 또한 FPGA에 의해 수신된 비트스트림이 FPGA를 위해 사용되는가를 검사하는 검사 유닛을 포함한다.

일 실시예에서, 검사 유닛은 하드웨어 확인 코드를 영구적으로 저장하고 있는 비교기 회로를 가진 확인 회로를 포함한다. 목표 FPGA용 확인 코드를 포함하는 비트스트림이 FPGA에 수신될 때, 수신된 확인 코드는 하드웨어 확인 코드에 비교된다. 이에 따라 FPGA는 수신된 비트스트림이 FPGA를 위해 사용된 것인가를 검사한다. 다른 확인 장치는 용이하게 설계될 수 있다. 그러한 FPGA를 사용하는 방법도 또한 기술한다.

본 발명의 다른 특징 및 이점이 다음의 서술과 첨부된 도면을 참고하여 쉽게 분명해진다.

(상세한 설명)

제1도는 필드 프로그램 가능 게이트 어레이(FPGA)(100)의 기능 블럭도이다. FPGA(100)는 프로그램 가능 논리 셀(PLC) 어레이(100)를 포함한다. PLC 어레이(110)는 다수의 프로그램 가능 입력/출력 셀(PIC)(12

0)에 의해 양호하게 둘러싸여 있다. 각 PIC는 접착 패드와 인터페이스하는데 필요한 입력-출력 버퍼를 적절하게 구비한다. PIC(120)는 또한 접착 패드에서 PIC로 또한 PIC로부터 신호를 연결시키는데 필요한 루팅 리소스(121)를 포함할 수 있다.

논리 기능을 당분야에 구성가능 논리 블럭으로 알려진 프로그램 가능 유닛(PFU)(111)에서 실행된다. 그래서 PLC 어레이(110)는 적어도 하나의 PFU를 구비한다. 그렇지만, 각 PLC는 단일의 프로그램 가능 기능 유닛(PFU)을 양호하게 구비한다.

PLC(110)는 또한 관련 루팅 리소스(112)를 구비한다. FPGA(100)는 또한, 랜덤 액세스 메모리(RAM), 삭제가능 프로그램 가능 판독 적용 메모리(EPROM), 전기적으로 삭제가능한 프로그램 가능 판독 전용 메모리(EEPROM)와 같은 다수의 프로그램 가능 메모리 셀(113)을 포함한다. 루팅 리소스(112, 112)는 통상적으로 전환회로 및 금속 상호접속 세그먼트를 구비한다. 사용자-프로그램 논리 회로의 특성을 나타내는 구성 데이타는 메모리 셀(113)에 저장되어 있다. 메모리 셀(113)에 대한 각각의 판독 및 기입 명령은 메모리 셀의 전체 칼럼을 수반한다.

특정의 기능이나 동작을 수행하기 위해 사용자가 FPGA칩을 사용하고자 할때 FPGA칩은 비트스트림으로 프로그램되어야 한다. 사용자가 FPGA(100)로 넣은 구성 데이타를 처리하는데 또한 구성 메모리 셀(113)의 내용을 기입하는데 구성 논리(150)가 사용된다. 프로그램 가능 분리셀(110), 프로그램 가능 입력-출력셀(120), 메모리셀(113), 및 구성 논리(150) 사이에 제어 신호가 통과한다. 유사하게, PLC(110), PIC(120), 메모리 셀(113) 및 구성 논리(150)사이에 구성 데이타와 디코드된 메모리 어드레스가 통과한다. 사용자가 발생하는 리셋 신호와 같은 구성 신호는 또한 구성 논리(150)에 의해 수신된다.

제2도는 본 발명의 원리에 따라 예시적 비트스트림을 도시한다. 비트림은 예를 들어 프레임 형을 나타내는 2진 코드의 몇 비트와 헤드 정보를 포함하는 부가 비트를 구비하는 헤더 프레임을 포함한다. 헤더 프레임은 중지 비트로 양호하게 중지한다. 본 발명의 원리에 따라, 비트스트림은 또한 확인 프레임도 양호하게 포함한다. 양호한 실시예에서, 확인 프레임은 하드웨어 오버헤드를 최소화하기 위해 데이타 프레임과 유사한 포맷을 가진다. 양호한 실시예에서 확인 프레임은 프레임 형을 나타내는 몇개의 비트와 어드레스 필드용 몇개의 비트를 포함한다. 확인 프레임은 또한 확인 필드와 중지 비트를 구비한다. 양호한 실시예에서, 확인 프레임은 모든 어레이 크기를 위해 동일한 길이를 가지며 그 길이는 비트스트림이 들어갈 수 있는 또는 들어갈 것같은 최소의 FPGA의 데이타 프레임보다도 작다. 확인 필드의 폭은 예를 들어 통상적으로 64비트이다. 정지비트의 수는, 확인 비트의 전체 길이가 목표 FPGA의 데이타 프레임의 길이와 동일하게 되도록 양호하게 선택되어야 한다.

확인 프레임의 확인 필드는 목표 FPGA형을 위한 확인 코드를 포함하는 확인 데이타를 포함한다. 본 발명의 일실시예에서, 확인 필드의 64비트중 약간의 비트만이 예로 20비트만이 단일 확인 코드를 위해 사용된다. 나머지 비트는 다른 응용에 사용될 수 있다. 예를들어, 양호한 실시예에서, 어드레스 필드의 최초 2비트는 확인 필드의 체크-패리티 비트에 따라 번역된다. 체크-패리트 비트는 예로 확인 필드의 최초 비트가 될 수 있다. 그래서, 예를 들어 체크-패리티가 2진수 1이면, 어드레스 필드의 최초 2비트는 확인 및 데이타 프레임의 패리티 비트로서 번역된다. 반면에, 체크-패리티 비트가 2진수 0이면, 패리티 체킹은 디스에이블되며 어드레스 필드의 최초 2비트는 데이타 프레임을 위한 어드레스 비트로 번역된다. 확인 필드의 잔여 비트는 다른 응용에 사용된다.

제2도의 비트스트림은 적어도 하나의 데이타 프레임을 포함한다. 통상적인 데이타 프레임은 프레임 형을 나타내는 몇개의 비트와 어드레스 필드용 부가 비트와 구성 데이타를 정하는 복수개의 비트 및 중지 비트를 포함한다. 양호한 실시예에서, 확인 프레임은 비트스트림의 모든 데이타 프레임 보다 선행한다. 그렇지만, 비트스트림내의 다른 곳에서 대안적으로 위치할 수도 있다. 마지막으로 비트스트림은 비트스트림의 끝을 나타내는 트레일러를 포함한다. 트레일러는 프레임 형을 정하는 몇 개의 비트와 트레일러 정보를 설명하는 몇개의 비트 및 중지 비트를 포함한다.

제3도는 FPGA(100)의 구성논리(150)의 기능 블럭이다. 양호한 실시예에서, 구성 논리(150)는 IEEE VYWNS 1149.1-1990, 표준 검사 액세스 포트 및 경계-주사 아키텍처를 실시하는 경계 주사 제어기(301)를 포함한다. 상기 표준은 경계-주사를 장착한 디바이스사이의 상호-동작 가능성을 다른 벤더(vendors)로부터 보장하는 양호하게 규정된 프로토콜이다. 경계 주사 제어기(301)는 사용자가 PCB상의 집적 회로들간의 상호접속을 검사하는 것 뿐만 아니라 집적 회로 자체를 효과적으로 검사할 수 있게한다. 경계 주사 제어기(301)는 결함 검사 액션군 입력 신호를 수신하여 제어 신호를 구성 데이타 프로세서(302)및 구성 제어기(303)로 보낸다.

구성 데이타 프로세서(302)는 비트스트림에서 수신하여 판독하고 필요하다면 비트스트림에 포함된 정보를 일렬로 나열한다. 구성 데이타 프로세서(302)는 사용자가 선택한 칩과 동작 모드를 나타내는 신호뿐만 아니라 적절한 클럭 또는 타이밍 신호를 수신할 수 있다. 비트스트림은 예를 들어, 한번에 1바이트 또는 1비트로 수신될 수 있다. 그런 다음 구성 데이타 제어기는 비트스트림에 포함된 정보와 클럭 신호를 구성 논리(150)의 다른 유닛에 보낸다.

구성 제어기(303)는 구성 프로세스를 위한 적당한 동작 시퀀스를 결정한다. 또한 구성 신호를 수신하며 리셋 및 재-구성 프로세스를 위한 적당한 동작 시퀀스를 결정한다.

구성 데이타 프로세서(302)로부터 데이타를 수신하는 데이타 프레임 프로세서(304)는 데이타 프레임형을 결정하고 프레임 어드레스를 저장하며 패리티 비트를 계산한다. 그런 다음 데이타 프레임 프로세서(304)는 프레임 어드레스를 메모리 제어기(305)로 보낸다. 메모리 제어기(305)는 프레임 어드레스외에 데이타 프레임에 포함된 구성 데이타와 비트스트림의 확인 프레임에 포함된 정보를 수신한다. 또한 구성 논리(150)의 여러 유닛사이에 제어 신호가 보내질 수 있다.

제4도는 메모리 제어기(305)의 기능 블럭도이다.

메모리 제어기(305)는 동기 또는 비동기 타이밍 발생기(401), 어드레스 디코더(402)및 데이타 시프트 레지스터(403)를 포함한다. 본 발명의 원리에 따라 메모리 제어기(305)는 또한 후에 상세히 설명할 검사 회

로를 포함하는 검사 유닛을 구비한다. 제어 신호는 메모리 제어기(305)의 각각의 유닛에 의해 구성 제어기(303)로부터 수신될 수 있다. 유사하게 기입펄스를 발생하는 타이밍 발생기(401)는 타이밍 신호를 어드레스 디코더(402), 데이타 시프트 레지스터(403) 및 검사 유닛(404)으로 보낸다.

어드레스 디코더(402)는 데이타 프레임 프로세서(304)로부터 프레임 어드레스를 수신하여 그것을 디코드한다. 데이타 시프트 레지스터(403)는 현재 처리되고 있는 프레임 형에 따라 구성 데이타나 또는 확인 데이타를 수신한다. 프레임의 어드레스 필드가 확인 프레임이 처리되고 있음을 나타낸다면, 데이타 시프트 레지스터는 최초 64비트가 수신된 후 채워진 상태(filled state)에 도달한다. 그런 다음 확인 데이타가 FPGA검사 회로를 포함하는 검사 유닛(404)으로 보내진다. 제5도와 관련하여 더 후술되는 바와 같이, FPGA 검사 회로의 비교기 회로는 확인 유닛(404)에 저장된 또는 하드웨어 확인 코드에 대해서 20비트 확인 코드를 체크하도록 인에이블 된다. 결과는 에러 조종 회로에 의해 번역되어 구성 프로세스와 함께 진행할 것인지 또는 대기 모드로 들어갈 것인지를 나타내는 확인-에러 신호가 리드(413)상에 제공된다. 체크-패리트 비트와 같은 확인 필드에 포함된 부가 필드가 또한 검사 유닛(404)에 의해 처리된다. 메모리 제어기(305)에 있는 각각의 유닛은 제어신호를 수신하고 송신한다.

데이타 프레임이 처리되고 있다면, 데이타 시스트 레지스터가 채워져 있을때, 그 내용이 메모리 셀(113)에 접속되어 있는 구성 데이타 버스(412)로 구동된다. 동시에, 어드레스 디코더(402)는메모리 셀의 한 칼럼을 인에이블시키는 디코드된 메모리 어드레스 버스(411)을 구동한다.

제5도는 검사 유닛(404)에 사용되는 예시적 검사회로(500)의 회로도이다. 검사 회로(500)는 리드(501)상에서 체크-확인 신호를 수신한다. 체크-확인 신호는 데이타 프레임 프로세서(304)에 의해 발생되며 처리되고 있는 프레임의 어드레스 필드가 확인 프레임임을 나타낼 때 디지탈 하이(high)신호이다. 체크-확인 신호는 플립-플롭(502)의 0입력으로 작용한다. 클럭 신호는 리드(503)상에서 발생되어 플립-플롭(502)용 클럭 신호로 작용한다. 양호한 실시예에서, 플립-플롭(502)에 보내지기 전에 클럭 신호를 완충시키기 위해 리드(503)상의 클럭 신호는 공지된 방법으로 두 역변환기를 거쳐 제공된다. 초기화 신호도 또한 리드(506)상에서 발생된다. 초기화 신호는 모든 구성 프로세서의 초기의 일정한 기간동안의 디지탈 로우 신호이며 플립-플롭(502)의 Q출력을 강제로 디지탈 로우로 만드는 리셋 펄스로 작용한다.

체크-확인 신호와 플립-플롭(502)의 Q 출력의 보수는 NAND게이트(507)의 입력으로 작용한다. 리드(501)상의 체크-확인 신호가 디지탈 하이가된 후, 리드(508)상의 NAND게이트(507)의 출력은 디지탈 로우가 된다. NAND 게이트(507)의 출력은 뒤이은 클럭 사이클 동안 디지탈 하이로 된다. 시프트-레지스터-용량(shift-register-capacity)이라 명명된 리드(508)상의 신호는 데이타 시프트 레지스터(403)으로 보내진다.

시프트-레지스터-용량 신호가 디지탈 로우일때, 데이타 시프트 레지스터는 확인 프레임의 확인 필드의 폭에 대응하는 64비트의 용량에서 채워지는 것으로 고려된다. 시프트-레지스터-용량 신호가 디지탈 하이일때, 데이타 시프트 레지스터는 각 데이타 프레임의 구성 데이타 비트의 수에 대응하는 비트 용량에서 채워지는 것으로 고려된다.

검사회로(500)는 또한 리드(520)상의 시프트-레지스터-풀(shift-register-full)신호를 수신한다. 일단 데이타 시프트 레지스터가 채워지면, 시프트-레지스터-풀 신호는 하이가 된다. 시프트-레지스터-풀 신호와 체크-확인 신호는 NAND 게이트(521)의 입력으로 작용한다. 체크-확인 신호와 시프트-레지스터-풀 신호가 디지탈 하이 신호일때, 확인 데이타는 시프트 레지스터(403)에 있으며 검사 준비가 되어 있다. 디지탈 로우가 되는 NAND게이트(521)의 출력은 NOR게이트(540)의 제1입력으로 작용한다. 그래서, 체크-확인 신호와 시프트-레지스터-풀 신호가 디지탈 하이일때, NOR 게이트(540)는 인 에이블 된다.

NOR 게이트(540)의 제2입력은 비교기 회로의 출력(535)이며, 이 비교기 회로는 적절하게 상호접속된 다수의 전계 효과 트랜지스터(FEI)를 양호하게 포함한다. 상세히 설명하면, 비교기 회로는 풀-업(pull-up)구성에서 P형 FET(522)와 n형 FET(523)을 적절하게 포함한다. 제5도에 도시된 FET(522)의 드레인은 전원(524)에 접속되어 있다. FET(522)의 소오스는 FET(523)의 드레인에 접속되며, FET(523)의 소오스는 그라운드(526)에 접속되어 있다. NAND게이트(521)의 출력은 FET(522, 523)용 게이트 신호로서 작용한다.

비교기 회로는 531로 표시한 n형 FET 어레이를 더 포함한다. 어레이(531)의 FET 수는 특별한 FPGA를 위해 확정된 단일 확인 코드의 비트수와 동일하다. 그래서 예를 들어, 단일 하드웨어 확인 코드가 20 비트를 포함하면 어레이 (531)에 20 FET가 있게 된다. 각 FET의 드레인이 FET(522)의 소오스와 FET(523)의 드레인에 접속되도록 어레이(531)의 FET가 접속된다. 어레이(531)에서 각 FET의 소오스가 그라운드(526)에 접속된다.

어레이(531)에서 각 FET의 게이트 신호는 비프스트림의 확인 프레임에서 정해진 확인 코드의 특정한 비트의 참(true)신호나 또는 보수 신호가 되도록 하드웨어된다. 확인 코드에서 특정한 비트의 보수 신호를 제공하도록 역 변환기가 적절하게 사용되어 목표 FPGA용 정정 확인 코드가 확인 프레임에서 정해지면, 어레이(531)에서 FET 상의 게이트 신호는 모두 디지탈 로우 신호가 된다. 어레이(531)에서 FET의 모든 게이트 신호가 로우일 때, NOR 게이트(540)의 제2입력으로 작용하는 비교기 회로의 출력(535)은 디지탈 하이가 된다. 그런 다음 NOR게이트(540)는 그 출력으로서 디지탈 로우들 발생한다. 이 방법에서, FRGA용 단일의 확인 코드가 영구적으로 저장되어 검사 유닛(404)에서 검사된다.

대조적으로, 확인 프레임에서 정해진 확인 코드가 목표 FPGA의 하드웨어된 단일의 확인 코드와 정합하지 않는다면, 어레이(531)에서 적어도 하나의 FET의 게이트 신호가 디지탈 하이가 된다.

NOR게이트(540)의 출력은 역변환기(540)를 거쳐 제공된다. 비트스트림의 확인 프레임에 포함된 확인 코드가 FPGA에 하드웨어된 단일의 확인 코드와 정합하면, 역변환기(541)의 출력은 디지탈 하이이다. 디지탈 하이 신호는 확인 코드가 올바르게 검사되었다는 것과 비트스트림이 목표 FPGA를 위해 사용되었다는 것을 나타낸다. 비트스트림의 확인 프레임에 포함된 확인 코드가 FPGA에 하드웨어된 단일의 확인 코드와 정합하지 않는다면 역변환기(541)의 출력은 디지탈 로우이다.

이 디지탈 로우 신호는 확인 로드가 올바르게 검사되지 않았다는 것과 비트스트림이 목표 FPGA를 위해 사용되지 않았다는 것을 나타낸다.

그런 다음 역변환기(541)로부터의 출력 신호는 확인-에러 신호를 발생하는 플립-플롭 회로로 보내진다. 확인 프레임의 확인 코드가 비교기 회로에 저장된 확인 코드와 정합하지 않는다면 확인-에러 신호는 디지탈 하이가 되어 래치되며, 또는 환언하면 사용자가 FPGA칩(100)을 리셋시킬 때까지 변환되지 않는다. 특히, 역변환기(541)의출력은 NAND 게이트(542)의 제1입력으로 작용한다. NAND 게이트(542)의 출력은 플립-플롭(544)의 D입력으로 작용한다.

플립-플롭(544)는 통상적으로 플립-플롭(502)과 유사한 방법으로 구성될 수 있다. 리드(503)상에서 발생한 클럭 신호는 플립-플롭(544)에 클럭 신호를 제공한다. 언급한 바와 같이, 리드(503)상의 클럭 신호는 플립-플롭(544)으로 보내지기 전에 클럭 신호를 완충시키기 위해 공지된 방법으로 두 역변환기를 거쳐 제공된다. 리드(506)상에서 발생한 초기화 신호는 모든 구성 프로세스의 초기에 플립-플롭(544) 의 Q출력을 강제로 디지탈 로우로 만들기 위해 리셋 펄스로서 작용한다.

클럭 신호를 완충시키기 위해 공지된 방법으로 두 역변환기를 거쳐 제공된다. 리드(506)상에서 발생한 초기화 신호는 모든 구성 프로세스의 초기에 플립-플롭(544)의 Q 출력을 강제로 디지탈 로우로 만들기 의해 리셋 펄스로서 작용한다. 플립-플롭(544)의 Q 출력은 역변환기(543)를 거쳐 제공된다. 역변환기(543)의 출력은 NAND 게이트(542)의 제 2 입력으로서 뿐만 아니라 다른 역 변환기(550)의 입력으로서 작용한다. 역 변환기(550)의, 출력은 리드(413)상의 확인-에러 신호이며 에러가 없다는 것을 나타내는 디지탈 로우로 초기화된다.

역변환기(541)의 출력이 로우로 되면, 플립-플롭(544)의 Q 입력은 뒤이은 클럭 사이클동안 디지탈 하이 선호를 발생한다.

확인 프로세스에서 에러가 발생되었다는 것을 나타내는 이 디지탈 하이 신호는 역변환기(543, 550)를 거쳐 구성 제어기(303)로 전송된다. 그런 다음 FPGA는 대기 모드로 들어간다.

확인 코드가 올바르게 검사되지 않았다는 것을 나타내는 확인-에러 신호는 사용자에게 제공될 수 있다. 대기 모드동안에 구성프로세스는 사용자가 FPGA 칩(100)을 리셋시킬 때까지 일시 중지된다. 비트스트림이 특별한 FPGA를 위해 사용되지 않는다는 것을 확인 코드가 나타낼때 구성 프로세스를 중지시킴으로써 본 발명의 장치 및 방법은 FPGA 칩이나 또는 이에 접속된 다른 칩이 해를 입는 것을 방지할 수 있다.

검사 회로의 특정한 실시예를 위에서와 같이 서술하였을지라도, 수신된 확인 코드를 검사하는 기능과 적절한 신호를 제공하는 기능을 수행하기 위해 다른 논리 회로를 사용할 수 있다는 것은 당분야에 익숙한 기술인에게는 자명하다. 예를 들어, 대안적 일실시예에서, 비교기 회로는 적어도 두개의 입력을 각각 가지는 다수의 익스클루시브 OR 게이트를 포함할 수 있다. 한 세트의 입력은 검사 프레임에 포함된 확인 코드의 비트에 대응한다. 제 2 세트의 입력은 검사 유닛(404)에 영구적으로 저장된 특별한 확인 코드에 따라 전원 공급기(524)나 또는 그라운드(526)에 접속된다. 유사하게, 수신된 확인 코드를 검사하는 기능과 적절한 신호를 제공하는 기능은 소프트웨어로 실행될 수 있다. 또한 검사 유닛과 검사 회로가 현재의 양호한 실시예에서 구성 논리의 일부분일지라도, 검사 유닛과 검사회로는 본 발명의 원리에 따라 FPGA 칩 내 또는 칩위의 다른 곳에 위치할 수도 있다.

제 6 도는 패리티 체킹을 인에이블시키기 위해 검사회로(500)와 결합하여 사용될 수 있는 부가 회로(600)를 도시한다. 패리티 인에이블링 회로(600)은 체크-확인 회로, 시프트-레지스터-풀 신호, 및 체크-패리티 신호를 입력 신호로서 수신하는 NAND 게이트(601)를 포함한다. 양호한 실시예에서, 체크-패리티 신호의 값은 확인 프레임의 확인 필드에서 정해진 체크-패리티 비트에 의해 결정된다. 그래서, 예를 들면, 사용자-확정 체크-패리티 비트가 디지탈 '1'이면 체크-패리티 신호의 값은 디지탈 하이가 된다.

NAND 게이트(601)의 출력은 다른 NAND 게이트(602)의 제 1 입력으로 작용한다. NAND 게이트(602)와 플립-플롭(604)를 포함하는 부가 논리 회로는 NAND 게이트(542)와 플립-플롭(544)을 포함하는 제 5 도의 플립-플롭 회로와 동일한 방법으로 구성된다. 언급한 바와 같이, 리드(503)상의 클럭 신호는 플립-플롭(604)으로 보내지기 전에 클럭 신호를 완충시키기 위해 공지된 방법으로 두 역변환기를 거쳐 제공된다. 리드(506)상에서 발생한 초기화 신호는 모든 구성 프로세스에 초기에 플립-플롭(604)의 Q 출력을 디지탈 로우로 만들기 의해 리셋 펄스로 작용한다. 플립-플롭(604)의 출력은 역변환기(603)를 거쳐 제공된다. 역변환기(603)의 출력은 NAND 게이트(602)의 제 2입력으로서 뿐만아니라 다른 역변환기(610)의 입력으로서 작용한다. 역변환기(610)의 출력은 리드(611)상의 패리티-인에이블 신호이며 패리티 체킹이 디스에이블임을 나타내는 디지탈 로우로 초기화된다.

NAND 게이트(601)로 들어간 체크-패리티 신호를 포함한 3개의 입력 신호 모두가 하이일 때, NAND 게이트(601)의 출력은 로우로 된다. 그런 다음 플립-플롭(604)의 Q 출력은 뒤이은 클럭 사이클동안 디지탈 하이 신호를 발생한다. 패리티 체킹이인에이블임을 나타내는 이 디지탈 하이신호가 역변환기(603, 610)을 거쳐 데이타 프레임 프로세서(304)로 전송되며, 패리티체킹이 위에서 언급한 바와 같이 수행될 수 있다.

제 7 도는 본 발명의 원리에 따라 FPGA를 사용하는 방법의 단계를 도시한 흐름도이다. 단계(701)에 도시한 바와 같이, 확인 코드를 가진 비트스트림이 발생된다. 비트스트림은 단계(702)에서와 같이 FPGA에서 수신된다. 다음으로, 단계(703)에 도시된 바와 같이, 확인 코드가 검사 준비가 되었음을 나타내는 신호가 발생된다. 단계(705)에 표시한 바와 같이, 비트스트림이 특별한 FPGA를 위해 사용되는지를 검사하기 위해 확인 코드가 사용된다. 비트스트림이 특별한 FPGA를 위해 사용되지 않는다면, 단계(707)에 도시한 바와 같이, FPGA는 대기 모드로 들어간다. 위에서 설명한 바와 같이, 사용자가 FPGA를 리셋시킬때까지 구성 프로세스는 대기 모드동안 중지된다.

확인 코드가 올바르게 검사되지 않았다는 것을 나타내는 신호가 사용자에게 보내진다. 한편, 비트스트림이 특별한 FPGA를 위해 사용된다면 단계(709)에 표시한 바와 같이, FPGA는 비트스트림에서 정해진 구성 데이타를 치리하고 프로그램 가능 메모리 셀에 구성 데이타를 저장한다.

본 발명의 특정의 실시예를 참조하여 기술했을지라도 본 발명의 정신 및 범주내의 다른 장치가 당 분야에 익숙한 기술인에게 쉽게 분명해진다는 것은 이해할 수 있다. 그러므로 본 발명은 첨부된 특허청구범위에만 제한받는다.

(57) 청구의 범위

청구항 1

필드 프로그램가능 게이트 어레이(FPGA)에 있어서, 적어도 하나의 프로그램 가능 유닛(PFU)와, 관련 루팅 리소스를 갖는 프로그램 가능 논리 셀(PLC)어레이와, 다수의 프로그램 가능 입력/출력 셀(PIC)와, 다수의 프로그램 가능 메모리 셀과, 구성 논리 및, 상기 FPGA에 의해 수신된 비트스트림이 상기 FPGA를 위해 사용되는지를 검사하는 검사 유닛을 구비하는 것을 특징으로 하는 필드 프로그램 가능 게이트 어레이.

청구항 2

제 1 항에 있어서, 상기 검사 유닛은 검사 회로를 구비하는 것을 특징으로 하는 필드 프로그램 가능 게이트 어레이.

청구항 3

제 2 항에 있어서, 상기 검사 회로는 하드웨어 확인 코드를 갖는 비교기 회로를 구비하는 것을 특징으로 하는 필드 프로그램 가능 게이트 어레이.

청구항 4

제 3 항에 있어서, 상기 비교기 회로는 상기 비트스트림에 포함된 확인 코드를 하드웨어 확인 코드와 비교하는 것을 특징으로 하는 필드 프르그램 가능 게이트 어레이.

청구항 5

제 4 항에 있어서, 상기 검사 회로는 상기 비트스트림에 프함된 확인 코드가 하드웨어 확인 코드와 정합하는지를 나타내는 신호를 제공하는 것을 특징으로 하는 필드 프로그램 가능 게이트 어레이.

청구항 6

제 5 항에 있어서, 상기 비트스트림에 포함된 확인 코드가 상기 하드웨어 확인 코드와 정합하지 않으면 FPGA는 대기 모드로 들어가는 것을 특징으로하는 필드 프로그램 가능 게이트 어레이.

청구항 7

제 4 항에 있이서, 상기 비트스트림에 포함된 확인 코드가 상기 하드웨어 확인 코드와 정합하지 않음을 나타내는 래치 신호를 제공하는 플립-플롭 회로를 더 구비하는 것을 특징으로 하는 필드 프로그램 가능 게이트 어레이.

청구항 8

제 2 항에 있어서, 상기 검사 회로는 상기 비트스트림에 포함된 확인 코드를 상기 검사 회로에 저장된 확인 코드와 비교하는 것을 특징으로 하는 필드 프로그램 가능 게이트 어레이.

청구항 9

제 1 항에 있어서, 상기 검사 유닛은 상기 비트스트림에 포함된 확인코드를 상기 검사 유닛에 저장된 확인 코드의 비교하는 것을 특징으로 하는 필드 프로그램 가능 게이트 어레이.

청구항 10

제 4 항에 있어서, 상기 비트스트림에 포함된 확인 코드가 상기 확인 회로에 의해 검사 준비가 되었음을 나타내는 신호를 발생하는 수단을 더 구비하는 것을 특징으로 하는 필드 프로그램 가능 게이트 어레이.

청구항 11

제 4 항에 있어서, 상기 비트스트림에 포함된 상기 확인 코드가 상기 검사 회로에 의해 검사 준비가 되었음을 나타내는 신호를 발생하는 회로를 더 구비하는 것을 특징으로 하는 필드 프로그램 가능 게이트 어레이.

청구항 12

제 1 항에 있어서, 상기 다수의 프로그램 가능 메모리 셀은 랜덤 액세스 메모리(RAM)을 구비하는 것을 특징으로 하는 필드 프로그램 가능 게이트 어레이.

청구항 13

제 1 항에 있어서, 상기 다수의 프로그램 가능 메모리 셀은 삭제가능한 프로그램 가능 판독 전용 메모리(EPROM)를 구비하는 것을 특징으로 하는 필드 프로그램 가능 게이트 어레이.

청구항 14

상기 다수의 프로그램 가능 메모리 셀은 전기적으로 삭제가능한 프로그램 가능 판독 전용 메모리(EEPROM)를 구비하는 것을 특징으로 하는 필드 프로그램 가능 게이트 어레이.

청구항 15

필드 프로그램 가능 게이트 어레이(FPGA)를 사용하는 방법에 있어서, 확인 코드를 포함하는 비트스트림을 발생하는 단계와, 상기 필드 프로그램 가능 게이트 어레이(FPGA)에서 상기 비트스트림을 수신하는 단계

및 상기 비트스트림이 상기 확인 코드에 기초하여 상기 필드 프로그램 가능 어레이(FPGA)를 위해 사용되는지를 검사하는 단계를 구비하는 것을 특징으로 하는 필드 프로그램 가능 게이트 어레이 사용방법.

청구항 16

제 15 항에 있어서, 상기 검사 단계는 상기 확인 코드를 상기 FPGA에 저장된 확인 코드와 비교하는 단계를 구비하는 것을 특징으로 하는 필드 프로그램 가능 게이트 어레이 사용방법.

청구항 17

제 15항에 있어서, 상기 검사 단계는 상기 확인 코드를 상기 FPGA에 영구적으로 저장된 확인 코드와 비교하는 단계를 구비하는 것을 특징으로 하는 필드 프로그램 가능 게이트 어레이 사용방법.

청구항 18

제 16 항에 있어서, 상기 비트 스트림의 확인 코드가 검사 준비되었음을 나타내는 신호를 발생하는 단계를 더 구비하는 것을 특징으로하는 필드 프로그램 가능 게이트 어레이 사용방법.

청구항 19

제 16 항에 있어서, 상기 비트스트림의 확인 코드가 상기 FPGA에 저장된 확인 코드와 정합하지 않으면 대기 모드로 들어가는 단계를 더 구비하는 것을 특징으로하는 필드 프로그램 가능 게이트 어레이 사용방법.

청구항 20

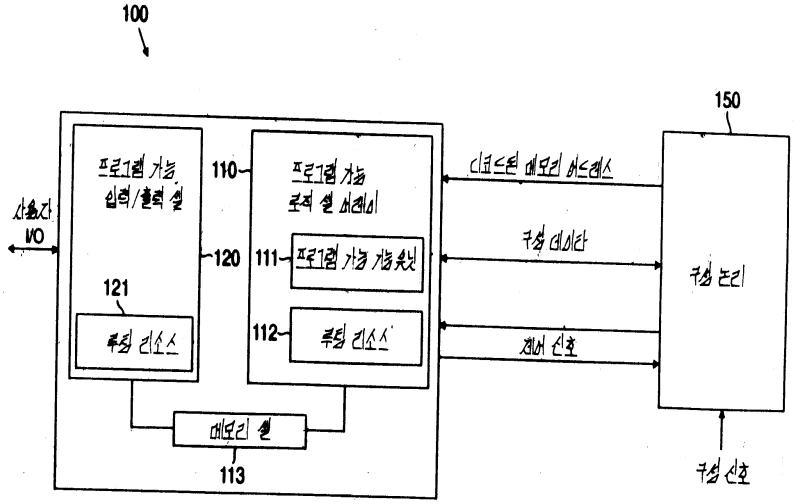
제 16 항에 있어서, 상기 비트스트림은 구성 데이타를 더 구비하며, 상기 비트스트림의 확인 코드를 처리하는 단계를 더 구비하는 것을 특징으로 하는 필드 프로그램 가능 게이트 어레이 사용방법.

청구항 21

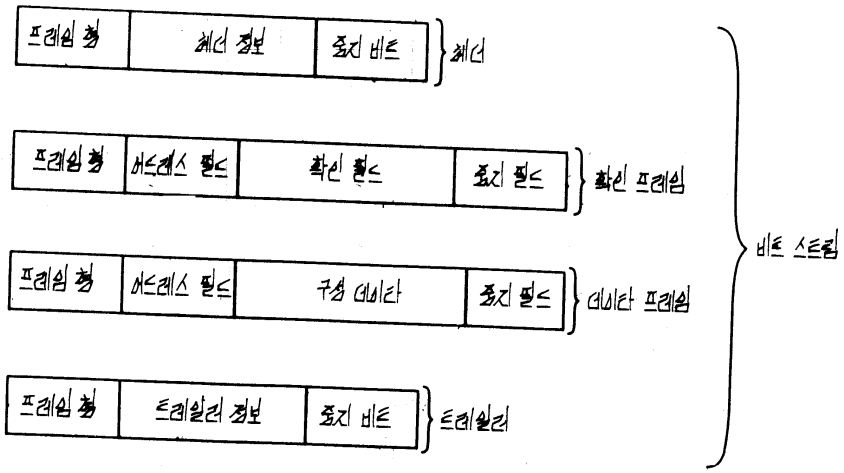
제 15 항에 있어서, 상기 FPGA의 구성 데이타를 처리하는 단계를 더 구비하며, 상기 검사 단계는 상기 처리 단계이전에 일어나는 것을 특징으로 하는 필드 프로그램 가능 게이트 어레이 사용방법.

도면

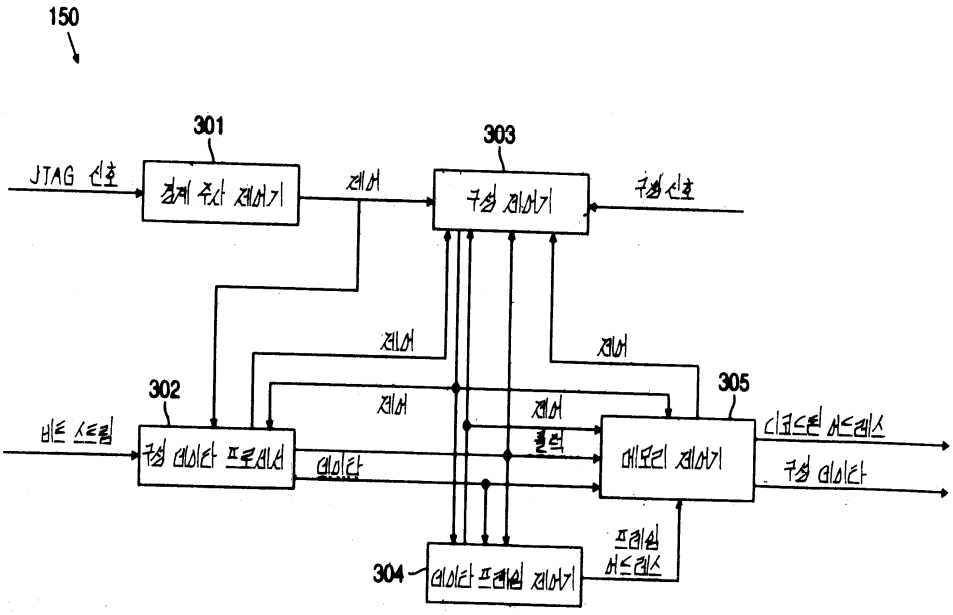
도면1



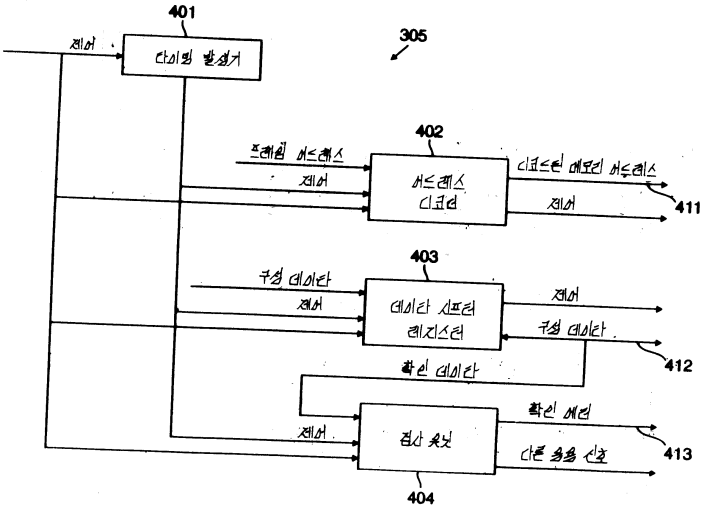
도면2


프레임 형
헤더 정보
종지 비트
헤더
프레임 형
어드레스 필드
확인 필드
종지 필드
확인 프레임
프레임 형
어드레스 필드
구성 데이타
종지 필드
데이타 프레임
프레임 형
트레일러 정보
종지 비트
트레일러
비트 스트림

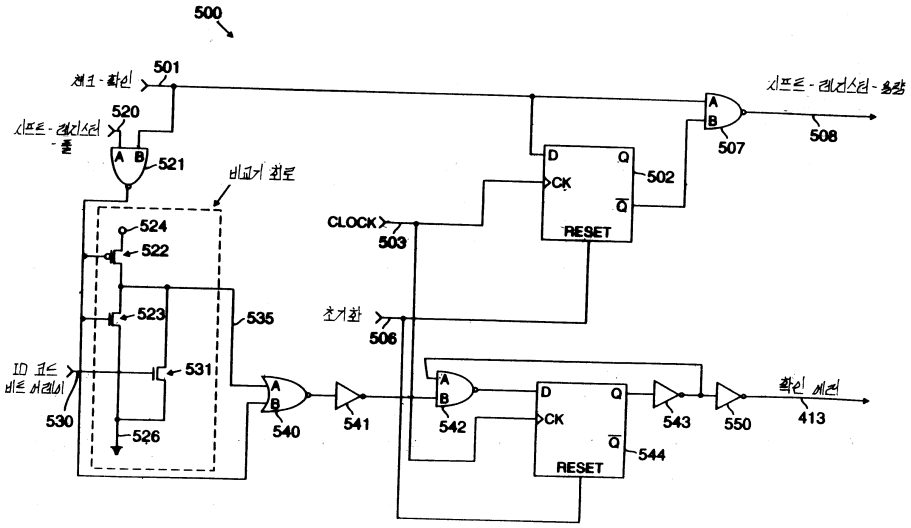
도면3


150
301
JTAG 신호
경계 주사 제어기
제어
303
구성 제어기
구성신호
제어
제어
302
305
비트 스트림
구성 데이타 프로세서
데이타
클럭
메모리 제어기
디코드된 어드레스
구성 데이타
프레임 어드레스
304
데이타 프레임 제어기

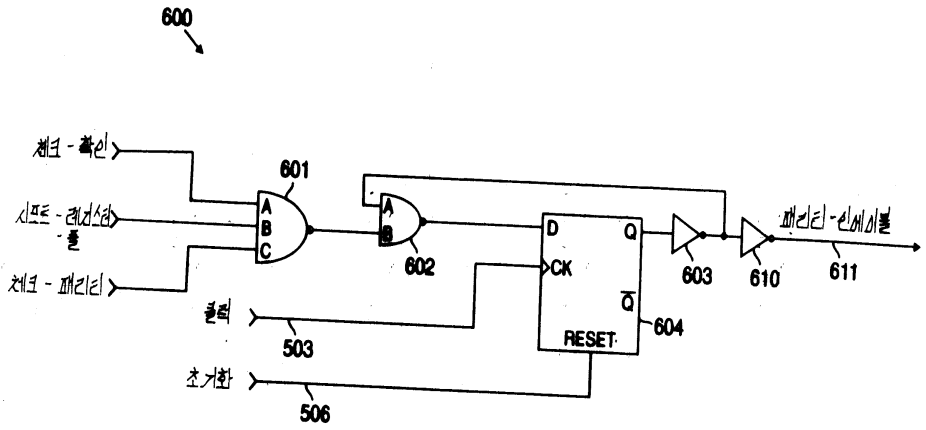
도면4


401
제어
타이밍 발생기
305
402
프레임 어드레스
제어
어드레스 디코더
디코드된 메모리 어드레스
제어
411
403
구성 데이타
제어
데이타 시프터 레지스터
제어
구성 데이타
412
확인 데이타
확인 에러
제어
검사 유닛
다른 응용 신호
413
404

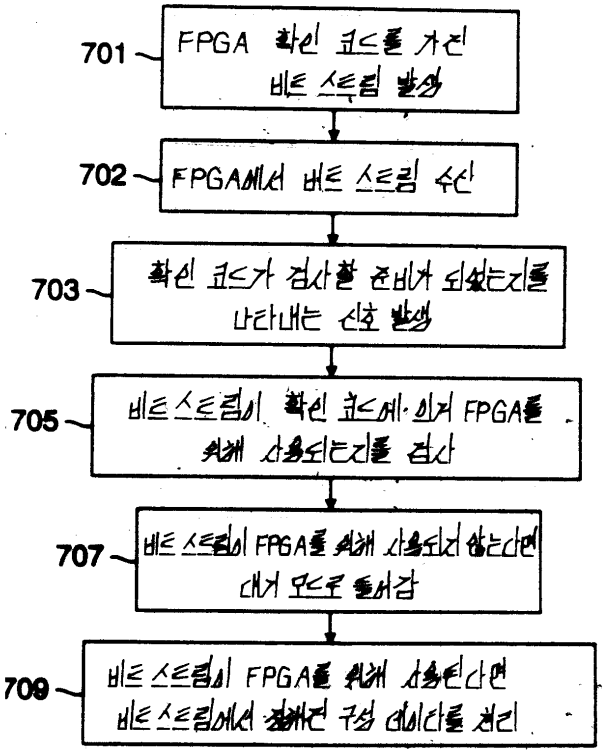
도면5


500
체크-확인
501
시프트-레지스터-출
520
521
비교기 회로
524
522
523
535
ID 코드 비트 어레이
531
530
526
540
541
CLOCK
503
초기화
506
542
543
550
확인 에러
413
544
507
508
502
RESET
D
Q
CK
A
B

도면6


600
체크-확인
시프트-레지스터-출
체크-패리티
601
602
603
610
611
패리티-인에이블
클럭
503
초기화
506
604
RESET
D
Q
CK
A
B
C

도면7


701
FPGA 확인 코드를 가진 비트 스트림 발생
702
FPGA에서 비트 스트림 수신
703
확인 코드가 검사할 준비가 되었는지를 나타내는 신호 발생
705
비트 스트림이 확인 코드에 의거 FPGA를 위해 사용되는지를 검사
707
비트 스트림이 FPGA를 위해 사용되지 않는다면 대기 모드로 돌아감
709
비트 스트림이 FPGA를 위해 사용된다면 비트 스트림에서 재배선 구성 데이타를 저리