



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2010년05월03일
 (11) 등록번호 10-0955929
 (24) 등록일자 2010년04월26일

(51) Int. Cl.

H01L 21/334 (2006.01)

(21) 출원번호 10-2003-0051579
 (22) 출원일자 2003년07월25일
 심사청구일자 2008년06월13일
 (65) 공개번호 10-2005-0012579
 (43) 공개일자 2005년02월02일

(56) 선행기술조사문헌
 KR1020030000124 A
 JP2003142687 A
 KR1020030000950 A
 JP2003060069 A

전체 청구항 수 : 총 5 항

(73) 특허권자

주식회사 하이닉스반도체

경기 이천시 부발읍 아미리 산136-1

(72) 발명자

장동혁

경기도이천시대월면초지리삼원아파트105-701

(74) 대리인

강성배

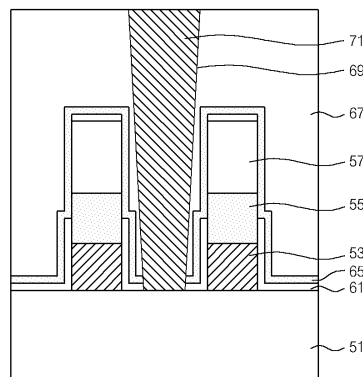
심사관 : 박귀만

(54) 반도체소자의 게이트 버퍼스페이스 형성방법

(57) 요약

본 발명은 반도체소자의 게이트 버퍼스페이스 형성방법을 개시한다. 개시된 발명은, 반도체기판상에 게이트구조를 형성하는 단계; 상기 게이트구조를 포함한 반도체기판상에 버퍼산화막을 형성하는 단계; 상기 게이트구조의 상면과 인접하는 게이트구조사이의 버퍼산화막상에 희생막을 형성하는 단계; 상기 게이트구조의 측벽에 노출되는 버퍼산화막부분을 제거하는 단계; 상기 희생막을 제거한후 상기 버퍼산화막과 게이트구조의 표면에 스페이스질화막을 형성하는 단계; 상기 스페이스 질화막상에 층간산화막을 형성하는 단계; 상기 인접하는 게이트구조사이의 층간산화막 및 그 아래의 스페이스질화막과 버퍼산화막을 제거하여 비트라인콘택홀을 형성하는 단계; 및 상기 비트라인콘택홀내에 콘택플러그를 형성하는 단계를 포함 하여 구성되어, 게이트버퍼산화막을 PR를 통해 선택적으로 제거하여 불량으로 작용하는 게이트와 비트라인콘택간 불량을 개선시킬 수 있는 것이다.

대표도 - 도4f



특허청구의 범위

청구항 1

반도체기판상에 게이트구조를 형성하는 단계;
 상기 게이트구조를 포함한 반도체기판상에 버퍼산화막을 형성하는 단계;
 상기 게이트구조상면과, 서로 인접하는 게이트구조사이에 있는 버퍼산화막부분상에 희생막을 형성하는 단계;
 상기 게이트구조의 측벽에 노출되는 버퍼산화막부분을 제거하는 단계;
 상기 희생막을 제거한후 상기 버퍼산화막과 게이트구조의 표면에 스페이서질화막을 형성하는 단계;
 상기 스페이서질화막상에 층간산화막을 형성하는 단계;
 상기 서로 인접하는 게이트구조사이의 층간산화막 및 그 아래의 스페이서질화막과 버퍼산화막을 제거하여 비트 라인콘택홀을 형성하는 단계; 및
 상기 비트라인콘택홀내에 콘택플러그를 형성하는 단계를 포함하여 구성되는 것을 특징으로하는 반도체소자의 게이트 버퍼스페이서 형성방법.

청구항 2

제1항에 있어서, 상기 희생막으로는 감광막 이외에 리플로우가 잘 되는 물질을 이용하는 것을 특징으로하는 반도체소자의 게이트 버퍼스페이서 형성방법.

청구항 3

제1항에 있어서, 상기 게이트구조의 측벽에 노출되는 버퍼산화막은 건식 식각에 의해 제거하는 것을 특징으로하는 반도체소자의 게이트 버퍼스페이서 형성방법.

청구항 4

제1항에 있어서, 상기 게이트구조는 폴리실리콘층, 텅스텐막 및 하드마스크 질화막의 적층구조로 구성하는 것을 특징으로하는 반도체소자의 게이트 버퍼스페이서 형성방법.

청구항 5

제4항에 있어서, 상기 희생막은 폴리실리콘층보다 높고 텅스텐막보다 낮게 증착하는 것을 특징으로하는 반도체소자의 게이트 버퍼스페이서 형성방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- [0012] 본 발명은 반도체소자의 게이트 버퍼스페이서 형성방법에 관한 것으로서, 보다 상세하게는 게이트버퍼산화막을 PR를 통해 선택적으로 제거하여 불량으로 작용하는 게이트와 비트라인콘택간 불량을 개선시킬 수 있는 반도체소자의 게이트버퍼 스페이서 형성방법에 관한 것이다.
- [0013] 최근에 셀 크기가 줄어들면서 현저히 발생하는 문제들중 게이트와 비트라인이 붙는 자기정렬 콘택 불량과 셀을 개구시키기 위한 습식식각시에 발생하는 병커결함(bunker defect)이 있다.
- [0014] 이러한 문제점들중 병커결함에 대해 종래기술의 일실시예에 따른 반도체소자의 게이트 버퍼스페이서 형성방법을 참조하여 설명하면 다음과 같다.
- [0015] 도 1은 종래기술의 일실시예에 따른 반도체소자의 게이트 버퍼스페이서를 이용한 금속배선콘택 형성시에 발생하는 병커결함 (bunker defect)의 원리를 설명 하기 위한 소자 단면도이다.

- [0016] 도 2는 종래기술에 따른 반도체소자의 게이트 버퍼스페이스 형성시에 발생하는 병커결함 (bunker defect)을 보여 주는 사진이다.
- [0017] 종래기술의 일실시예에 의하면, 도 1에 도시된 바와같이, 반도체기판(11)내에 소자영역과 필드영역을 한정하는 소자분리막(13)을 형성한후 소자영역상에 폴리실리콘층과 텅스텐박막 및 하드마스크막을 순차적으로 적층하고 이어 상기 하드마스크막상에 감광물질을 도포한다.
- [0018] 그다음, 상기 감광물질을 포토리소그래피 공정기술에 의한 노광 및 현상공정을 거쳐 선택적으로 제거하여 감광막패턴(미도시)을 형성한다.
- [0019] 이어서, 상기 감광막패턴(미도시)을 마스크로 상기 하드마스크막과 텅스텐박막 및 폴리실리콘층을 순차적으로 제거하여 폴리실리콘층패턴(15)과 텅스텐박막패턴(17) 및 하드마스크층패턴(19)을 형성한다. 이때, 상기 리실리콘층패턴(15)과 텅스텐박막패턴(17) 및 하드마스크층패턴(19)은 게이트구조를 이룬다.
- [0020] 그다음, 상기 감광막패턴(미도시)을 제거한후 게이트구조의 표면을 포함한 반도체기판(11)상에 스페이스 버퍼산화막(21)을 얇게 증착하고 이어 상기 스페이스 버퍼산화막(21)상에 질화막(23)을 형성한다. 이때, 게이트구조의 상부 가장자리에서 질화막 증착시에 또는 다른 영향으로 크랙이 형성되는데, 이는 후속공정에서 셀을 개구시키기 위한 습식식각시 셀영역의 산화막을 제거하기 위해 과도하게 습식 딥 아웃(wet dip out)이 이루어지게 된다.
- [0021] 이어서, 도면에는 도시하지 않았지만, 전체 구조의 상면에 층간산화막(미도시)을 증착한후 셀을 개구시키기 위한 공정으로 식각공정을 진행하여 상기 층간산화막(미도시)을 포함한 질화막(23) 및 버퍼산화막(21)을 순차적으로 제거하게 된다.
- [0022] 이 경우, 도 1의 "A"에서와 같이, 질화막 크랙에 의해 발생된 틈으로 산화막 딥(dip) 화학용액이 침투하는데 게이트 스페이스 버퍼산화막(21)과 만나 실리콘기판까지 화학용액이 침투하여 병커 결함을 이루게 되므로써 각종 불량들이 나타나게 된다.
- [0023] 따라서, 이러한 셀 개구를 위한 습식식각시에 게이트상부 가장자리로 난 틈으로 산화막 화학용액이 침투하여 버퍼산화막을 타고 실리콘기판까지 침투하게 되므로써 나타나는 병커결함사진이 도 2에 잘 나타나 있다.
- [0024] 한편, 종래기술의 문제점중 자기정렬콘택불량에 대해 종래기술의 다른 실시예에 따른 반도체소자의 게이트 버퍼스페이스 형성방법을 도 3을 참조하여 설명하면 다음과 같다.
- [0025] 도 3은 종래기술의 다른 실시예에 따른 반도체소자의 게이트 버퍼스페이스 형성시에 발생하는 병커결함 (bunker defect)의 원리를 설명하기 위한 소자 단면도 이다.
- [0026] 종래기술의 다른 실시예에 따른 반도체소자의 게이트 버퍼스페이스 형성방법은, 도 3에 도시된 바와같이, 반도체기판(31)내에 소자영역과 필드영역을 한정하는 소자분리막(미도시)을 형성한후 소자영역상에 폴리실리콘층과 텅스텐박막 및 하드마스크막을 순차적으로 적층하고 이어 상기 하드마스크막상에 감광물질을 도포한다.
- [0027] 그다음, 상기 감광물질을 포토리소그래피 공정기술에 의한 노광 및 현상공정을 거쳐 선택적으로 제거하여 감광막패턴(미도시)을 형성한다.
- [0028] 이어서, 상기 감광막패턴(미도시)을 마스크로 상기 하드마스크막과 텅스텐박막 및 폴리실리콘층을 순차적으로 제거하여 폴리실리콘층패턴(33)과 텅스텐박막패턴(35) 및 하드마스크층패턴(37)을 형성한다. 이때, 상기 폴리실리콘층패턴(33)과 텅스텐박막패턴(35) 및 하드마스크층패턴(37)은 게이트구조를 이룬다.
- [0029] 그다음, 상기 감광막패턴(미도시)을 제거한후 게이트구조의 표면을 포함한 반도체기판(31)상에 스페이스 버퍼산화막(39)을 얇게 증착하고 이어 상기 스페이스 버퍼산화막(39)상에 질화막(41)을 형성한다.
- [0030] 이어서, 도면에는 도시하지 않았지만, 전체 구조의 상면에 층간산화막(43)을 증착한후 셀을 개구시키기 위한 공정으로 건식식각공정을 진행하여 상기 층간산화막(43)을 포함한 질화막(41) 및 버퍼산화막(39)을 순차적으로 제거하여 비트라인콘택홀(미도시)을 형성한다.
- [0031] 그다음, 상기 비트라인콘택홀(미도시)을 포함한 층간산화막(43)상에 텅스텐을 증착하여 상기 비트라인콘택홀(미도시)을 매립한후 이를 전면식각 또는 CMP하여 비트라인 콘택플러그(45)을 형성한다.

발명이 이루고자 하는 기술적 과제

- [0032] 그러나, 비트라인 콘택 형성시에 산화막 식각을 실시하는데, 이때 단차에 의한 미스 얼라인으로 인하여 과도하

게 게이트 상부 가장자리부가 식각될 경우에, 도 3의 "B"에서와 같이, 질화막(41)이 깨져 안쪽의 게이트스페이스 버퍼산화막을 식각하게 된다.

- [0033] 이후 비트라인으로 형성될 텅스텐이 주입되는데, 이 텅스텐이 식각에 의한 산화막 손실로 형성된 면으로 유입된다.
- [0034] 이럴 경우에 비트라인의 텅스텐과 게이트의 텅스텐이 서로 쇼트가 일어나서 불량으로 작용하게 된다.
- [0035] 이에 본 발명은 상기 종래기술의 제반 문제점을 해결하기 위하여 안출한 것으로서, 게이트버퍼산화막을 PR를 통해 선택적으로 제거하여 불량으로 작용하는 게이트와 비트라인콘택간 불량을 개선시킬 수 있으며, 셀을 개구시키기 위한 습식 식각시에 질화막 크랙에 의한 산화막을 통해 형성되는 병커결함을 개선시킬 수 있는 반도체 소자의 게이트 버퍼스페이스 형성방법을 제공함에 그 목적이 있다.

발명의 구성 및 작용

- [0036] 상기 목적을 달성하기 위한 본 발명에 따른 반도체소자의 게이트 버퍼 스페이스 형성방법은, 반도체기판상에 게이트구조를 형성하는 단계;
- [0037] 상기 게이트구조를 포함한 반도체기판상에 버퍼산화막을 형성하는 단계;
- [0038] 상기 게이트구조의 상면과 인접하는 게이트구조사이의 버퍼산화막상에 희생막을 형성하는 단계;
- [0039] 상기 게이트구조의 측벽에 노출되는 버퍼산화막부분을 제거하는 단계;
- [0040] 상기 희생막을 제거한후 상기 버퍼산화막과 게이트구조의 표면에 스페이스질화막을 형성하는 단계;
- [0041] 상기 스페이스질화막상에 층간산화막을 형성하는 단계;
- [0042] 상기 인접하는 게이트구조사이의 층간산화막 및 그 아래의 스페이스질화막과 버퍼산화막을 제거하여 비트라인콘택홀을 형성하는 단계; 및
- [0043] 상기 비트라인콘택홀내에 콘택플러그를 형성하는 단계를 포함하여 구성되는 것을 특징으로 한다.
- [0044] (실시예)
- [0045] 이하, 본 발명에 따른 반도체소자의 게이트 버퍼스페이스 형성방법을 첨부된 도면을 참조하여 상세히 설명한다.
- [0046] 도 4a 내지 도 4f는 본 발명에 따른 반도체소자의 게이트 버퍼스페이스 형성 방법을 설명 하기 위한 공정단면도이다.
- [0047] 본 발명에 따른 반도체소자의 게이트 버퍼스페이스 형성방법은, 도 4a에 도시된 바와같이, 반도체기판(51)내에 소자영역과 필드영역을 한정하는 소자분리막(미도시)을 형성한후 소자영역상에 폴리실리콘층과 텅스텐박막 및 하드마스크막을 순차적으로 적층하고 이어 상기 하드마스크막상에 감광물질층을 도포한다.
- [0048] 그다음, 상기 감광물질층을 포토리소그래피 공정기술에 의한 노광 및 현상공정을 거쳐 선택적으로 제거하여 감광막패턴(59)을 형성한다.
- [0049] 이어서, 상기 감광막패턴(59)을 마스크로 상기 하드마스크막과 텅스텐박막 및 폴리실리콘층을 순차적으로 제거하여 폴리실리콘층패턴(53)과 텅스텐박막패턴(55) 및 하드마스크층패턴(57)을 형성한다. 이때, 상기 폴리실리콘층패턴(53)과 텅스텐박막패턴(55) 및 하드마스크층패턴(57)은 게이트구조를 이룬다.
- [0050] 그다음, 도 4b에 도시된 바와같이, 상기 감광막패턴(59)을 제거한후 게이트구조의 표면을 포함한 반도체기판(51)상에 스페이스 버퍼산화막(61)을 얇게 증착한다.
- [0051] 이어서, 도 4c에 도시된 바와같이, 상기 하드마스크층패턴(57)위에 위치하는 버퍼산화막(61)부분과 인접하는 게이트구조사이에 위치하는 버퍼산화막(61)부분상에 희생감광막(63)을 도포하여 리플로우시킨다. 이때, 상기 감광막대신에 산화막 식각에 배리어로 사용하면서 리플로우가 잘 되는 물질을 사용할 수도 있다.
- [0052] 그다음, 도 4d에 도시된 바와같이, 상기 게이트구조의 측벽에 노출된 버퍼산화막(61)부분을 건식 식각에 의해 제거한다.
- [0053] 이어서, 도 4e에 도시된 바와같이, 상기 희생감광막(63)을 제거한후 상기 전체 구조의 노출된 표면에 게이트

스페이서용 질화막(65)을 증착한다.

[0054] 그다음 도 4f에 도시된 바와같이, 전체 구조의 상면에 층간산화막(67)을 증착한후 이를 선택적으로 제거하여 상
기 인접하는 게이트구조사이의 반도체기판표면을 노출시키는 비트라인콘택홀(69)을 형성한다.

[0055] 이어서, 상기 비트라인콘택홀(69)을 포함한 층간산화막(67)상에 비트라인용 텅스텐막을 증착한후 이를 전면 식
각 또는 CMP하여 비트라인용 콘택플러그(71)를 형성한다.

발명의 효과

[0056] 상기에서 설명한 바와같이, 본 발명에 따른 반도체소자의 게이트 버퍼스페이서 형성방법에 의하면, 게이트버퍼
산화막을 PR을 이용하여 선택적으로 제거하여 불량으로 작용하는 게이트와 비트라인콘택(bit line contact)간
불량을 개선할 수 있으며, 또한 셀부를 개구시키기 위한 습식식각시 질화막 크랙(crack)에 의해 산화막을 통해
형성되는 병커 결함(bunker defect)을 개선시킬 수 있다.

[0057] 따라서, 본 발명에 의하면, 많은 수율 향상과 함께 안정적인 공정을 형성할 수가 있다.

[0058] 한편, 본 발명은 상술한 특성의 바람직한 실시예에 한정되지 아니하며, 청구범위에서 청구하는 본 발명의 요지
를 벗어남이 없이 당해 발명이 속하는 분야에서 통상의 지식을 가진 자라면 누구든지 다양한 변경 실시가 가능
할 것이다.

도면의 간단한 설명

[0001] 도 1은 종래기술의 일실시예에 따른 반도체소자의 게이트 버퍼스페이서 형성 시에 발생하는 병커결함
(bunker defect)의 원리를 설명하기 위한 소자 단면도,

[0002] 도 2는 종래기술에 따른 반도체소자의 게이트 버퍼스페이서 형성시에 발생 하는 병커결함 (bunker
defect)을 보여 주는 사진,

[0003] 도 3은 종래기술의 다른 실시예에 따른 반도체소자의 게이트 버퍼스페이서 형성시에 발생하는 병커결
함 (bunker defect)의 원리를 설명하기 위한 소자단면도,

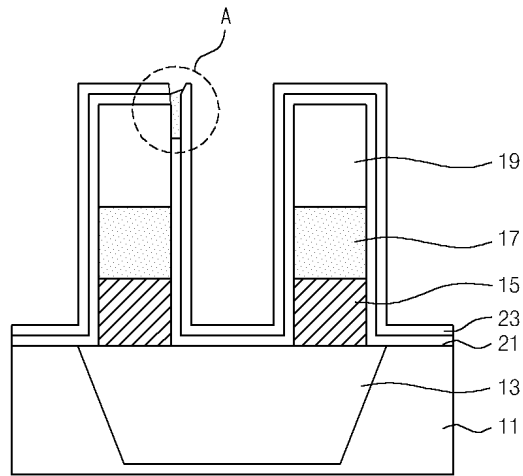
[0004] 도 4a 내지 도 4f는 본 발명에 따른 반도체소자의 게이트 버퍼스페이서 형성방법을 설명 하기 위한
공정단면도,

[0005] [도면부호의설명]

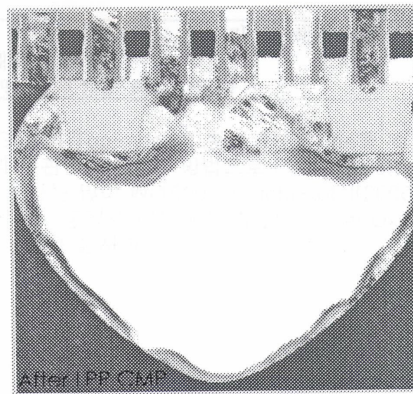
- | | |
|--------------------|-----------------|
| [0006] 51 : 반도체기판 | 53 : 폴리실리콘층패턴 |
| [0007] 55 : 텅스텐층패턴 | 57 : 하드마스크층패턴 |
| [0008] 59 : 감광막패턴 | 61 : 스페이서 버퍼산화막 |
| [0009] 63 : 희생감광막 | 65 : 스페이서 질화막 |
| [0010] 67 : 층간산화막 | 69 : 비트라인콘택홀 |
| [0011] 71 : 콘택플러그 | |

도면

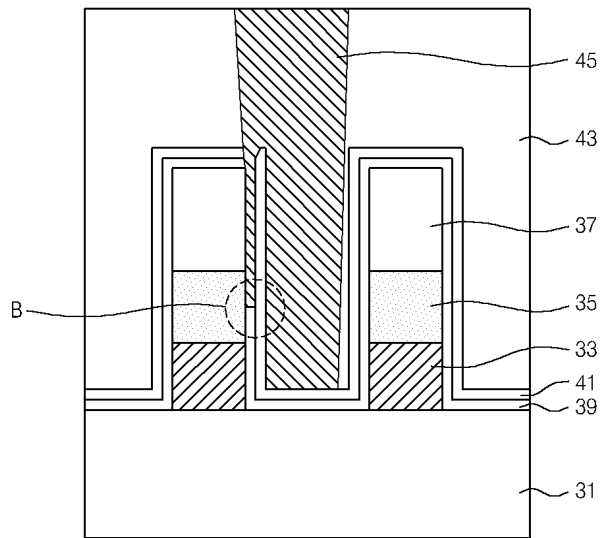
도면1



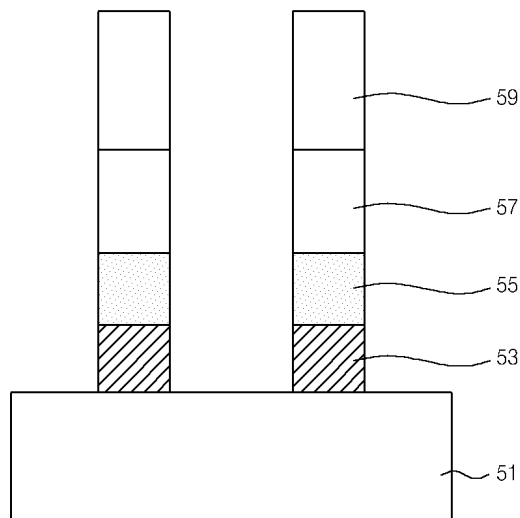
도면2



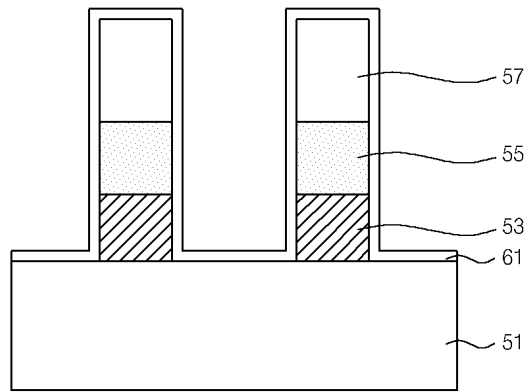
도면3



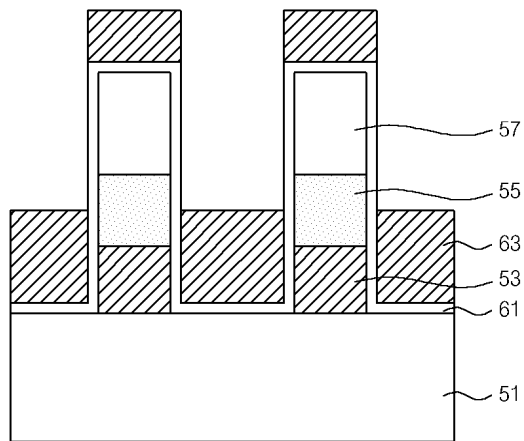
도면4a



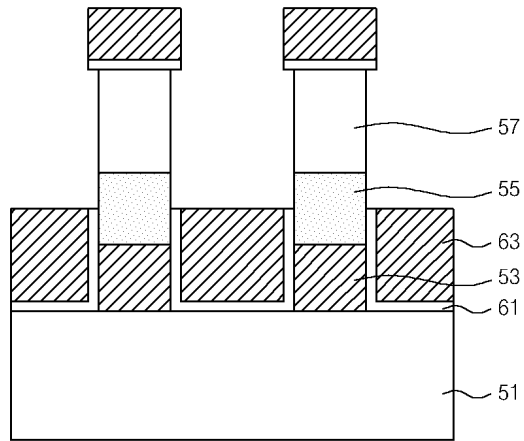
도면4b



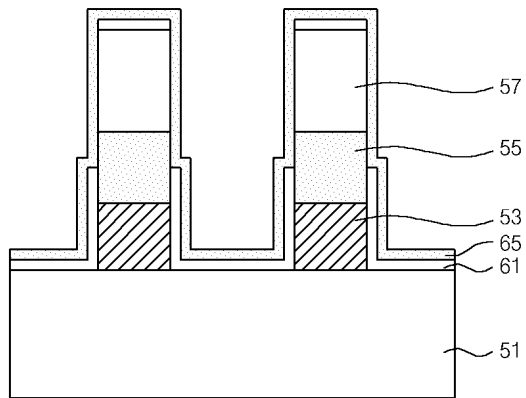
도면4c



도면4d



도면4e



도면4f

