

[19] 中华人民共和国国家知识产权局



# [12] 发明专利申请公布说明书

[21] 申请号 200610171285.0

[51] Int. Cl.

G11C 16/06 (2006.01)

G11C 11/56 (2006.01)

G11C 16/26 (2006.01)

G11C 16/10 (2006.01)

G11C 16/34 (2006.01)

G11C 11/22 (2006.01)

[43] 公开日 2007年7月4日

[11] 公开号 CN 1992082A

[22] 申请日 2006.12.28

[21] 申请号 200610171285.0

[30] 优先权

[32] 2005.12.28 [33] JP [31] 379641/05

[71] 申请人 松下电器产业株式会社

地址 日本大阪府

[72] 发明人 河野和幸

[74] 专利代理机构 北京市柳沈律师事务所

代理人 李芳华 邸万奎

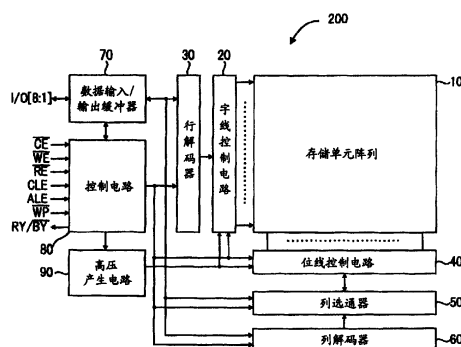
权利要求书 3 页 说明书 20 页 附图 9 页

## [54] 发明名称

用于存储多值数据的非易失性半导体存储器

## [57] 摘要

根据本发明的非易失性半导体存储器包括：存储单元阵列，包括用于存储多个页面上的数据的多值存储单元；数据处理电路，用于执行用于从存储单元阵列读取数据的读取操作和用于以页面为单元向存储单元阵列写入数据的编程操作；以及控制电路，用于控制数据处理电路的操作，该控制电路根据执行编程操作的页面顺序，通过多值存储单元的阈值电压沿正向转换来执行编程操作的方式，来改变与多值存储单元的阈值电压分布对应的数据分配。



1. 一种非易失性半导体存储器，包括：

存储单元阵列，包括用于存储多个页面上的数据的多值存储单元；

数据处理电路，用于执行用于从该存储单元阵列读取数据的读取操作、和用于以页面为单元向该存储单元阵列写入数据的编程操作；以及

控制电路，用于控制该数据处理电路的操作，

其中该控制电路根据将执行编程操作的页面顺序，以执行多值存储单元的阈值电压的正向转换来执行编程操作的方式，改变与多值存储单元的阈值电压分布对应的数据分配。

2. 根据权利要求1的非易失性半导体存储器，还包括：

编程顺序信息存储器，用于存储在编程操作的执行中的页面顺序；

其中所述控制电路通过参考编程顺序信息，来确定与存储单元的阈值电压分布对应的数据，而执行读取操作。

3. 一种非易失性半导体存储器，包括：

存储单元阵列，包括多值存储单元，用于将第一页面和第二页面上的数据分配到在“状态0”、“状态1”、“状态2”、和“状态3”中设置的不同阈值电压，并存储该数据；

数据处理电路，用于执行编程操作和读取操作，其中所述编程操作用于将从外部供应的第一或第二逻辑电平的数据以页面为单元写入到存储单元阵列，所述读取操作用于从该存储单元阵列读取数据；以及

控制电路，用于根据将执行编程操作的页面顺序，来控制数据处理电路的操作，

其中，在将按照第一页面和第二页面的顺序执行编程操作的情况下，

在第一页面的编程操作中，当将编程第一逻辑电平时，该控制电路保持“状态0”，而当将编程第二逻辑电平时，该控制电路执行从“状态0”到“状态1”的改变；以及

在第二页面的编程操作中，在第一逻辑电平存储在第二页面的情况下，当将编程第一逻辑电平时，该控制电路保持“状态0”，而当将编程第二逻辑电平时，该控制电路执行从“状态0”到“状态3”的改变，以及，在第二逻辑电平存储在第二页面中的情况下，当将编程第一逻辑电平时，该控制电

路保持“状态 1”，而当将编程第二逻辑电平时，该控制电路执行从“状态 1”到“状态 2”的改变，以及

在将按照第二页面和第一页面的顺序执行编程操作的情况下，

在第二页面的编程操作中，当将编程第一逻辑电平时，该控制电路保持“状态 0”，当将编程第二逻辑电平时，该控制电路执行从“状态 0”到“状态 2”的改变，以及

在第一页面的编程操作中，在第一逻辑电平存储在第二页面的情况下，当将编程第一逻辑电平时，该控制电路保持“状态 0”，而当将编程第二逻辑电平时，该控制电路执行从“状态 0”到“状态 1”的改变，以及在第二逻辑电平存储在第二页面中的情况下，当将编程第一逻辑电平时，该控制电路执行从“状态 2”到“状态 3”的改变，而当将编程第二逻辑电平时，该控制电路保持“状态 2”。

4. 根据权利要求 3 的非易失性半导体存储器，还包括：

编程顺序信息存储器，用于存储在编程操作的执行中的页面顺序，

所述控制电路参考该编程顺序信息，以及，

在仅第一页面被编程的状态、或者第一页面和第二页面都被编程的状态的情况下，

在用于读取第一页面的操作中，当多值存储单元的阈值电压设置在“状态 0”和“状态 3”中时，输出第一逻辑电平，而当多值存储单元的阈值电压设置在“状态 1”和“状态 2”中时，输出第二逻辑电平，以及，

在用于读取第二页面的操作中，当多值存储单元的阈值电压设置在“状态 0”和“状态 1”中时，输出第一逻辑电平，而当多值存储单元的阈值电压设置在“状态 2”和“状态 3”中时，输出第二逻辑电平，以及

在仅第二页面编程的状态的情况下，

在用于读取第一页面的操作中，输出第一逻辑电平，而不管多值存储单元的阈值电压的状态，以及在用于读取第二页面的操作中，当多值存储单元的阈值电压设置在“状态 0”和“状态 1”中时，输出第一逻辑电平，而当多值存储单元的阈值电压设置在“状态 2”和“状态 3”中时，输出第二逻辑电平。

5. 根据权利要求 2 或 4 的非易失性半导体存储器，其中该控制电路与将在存储单元阵列上执行的编程操作同时地，执行用于将编程顺序信息存储

在编程顺序信息存储器中的操作。

6. 根据权利要求 2 或 4 的非易失性半导体存储器，其中该控制电路与在存储单元阵列上执行的读取操作同时地，对在编程顺序信息存储器中存储的编程顺序信息执行读取操作。

7. 根据权利要求 2 或 4 的非易失性半导体存储器，其中该编程顺序信息存储器包括将相同字线连接到多值存储单元的存储单元。

8. 根据权利要求 4 的非易失性半导体存储器，其中该编程顺序信息存储器存储多值存储单元的设置“状态 3”中的阈值电压上的数据。

9. 根据权利要求 2 的非易失性半导体存储器，其中该编程顺序信息存储器包括铁电存储器(FeRAM)。

10. 根据权利要求 1 的非易失性半导体存储器，其中该存储单元阵列包括 NAND 型存储单元阵列。

11. 根据权利要求 1 的非易失性半导体存储器，其中该存储单元阵列包括 AND 型存储单元阵列。

12. 根据权利要求 1 的非易失性半导体存储器，其中该存储单元阵列包括 NOR 型存储单元阵列。

## 用于存储多值数据的非易失性半导体存储器

### 技术领域

本发明涉及一种用于通过电子重写来存储多值数据的非易失性半导体存储器。

### 背景技术

近年来，非易失性半导体存储器(特别是闪存)可电子重写数据，并且在电源断开的状态中也可以保持该数据。因此，许多非易失性半导体存储器已经用于诸如移动电话、数字照相机、和硅音频播放器之类的便携式设备的数据存储的存储器。

这些便携式设备处理具有大数据量的图像、动画和音乐数据。因此，在非易失性半导体存储器中，需要进一步实现容量增加和成本减少。能够实现容量增加和成本减少的非易失性半导体存储器示例包括 NAND 型闪存。

此外，为了实现更好的容量增加和成本减少，已经有力地研究和开发了使用用于在一个存储单元中存储具有 2 位或更多位的数据的多值技术的 NAND 型闪存。

例如，过去已经提出了一种在一个存储单元中具有两位数据的非易失性半导体存储器，即在一个存储单元中具有四个不同的阈值电压(见 JP-A-2001-93288)。

图 12 是示出在 JP-A-2001-93288 所描述的非易失性半导体存储器中的存储单元的阈值电压分布与数据之间的关系、以及写入和读取方法的图。图 13 是示出在 JP-A-2001-93288 所描述的非易失性半导体存储器中的存储单元的数据与写入和读取数据之间的关系图。

如图 12 和 13 所示，“状态 0”至“状态 3”是以存储单元的阈值电压的上升顺序定义的。当执行擦除时，存储单元的数据进入“状态 0”。因此，通过写入操作，将存储单元设置为其中阈值电压为高的“状态 1”至“状态 3”。

以 2 位数据存储不同页面上的数据，以便将其存储在一个存储单元中。更具体地，存储具有彼此不同页面地址的第一和第二页面上的数据。此外，

在“状态0”至“状态3”中要存储的2位数据中，将第一页面上的数据分配到LSB(最低有效位)侧，而将第二页面上的数据分配到MSB(最高有效位)侧。

按照“状态0”是数据“11”、“状态1”是数据“10”、“状态2”是数据“00”、“状态3”是数据“01”的关系，来分配“状态0”至“状态3”中的阈值电压和存储单元的数据。

这样，其中分配了数据的非易失性半导体存储器执行写入操作，也就是，在将数据写入(编程)到存储单元的情况下，首先写入第一页面上的数据并然后写入第二页面上的数据的操作。

例如，假设在初始条件下将存储单元的阈值电压设置到作为擦除状态的“状态0”。如上所述，首先将第一页面上的数据写入到存储单元。相应地，在写入数据是“1”的情况下，存储单元的阈值电压维持在“状态0”中。此外，在写入数据是“0”的情况下，存储单元的阈值电压进入“状态1”。

接下来，将第二页面上的数据写入到存储单元。此时，在通过第一页面的写入操作而将数据“0”从外部写入到阈值电压进入“状态1”的存储单元的情况下，存储单元的阈值电压进入“状态2”。在通过第一页面的写入操作而将数据“0”从外部写入到阈值电压维持在“状态0”的存储单元的情况下，存储单元的阈值电压进入“状态3”。

此外，在通过第一页面的写入操作而将数据“1”从外部写入到其中阈值电压进入“状态1”的存储单元的情况下，存储单元的阈值电压维持在“状态1”。另外，在通过第一页面的写入操作而将数据“1”从外部写入到其中阈值电压维持在“状态0”的存储单元的情况下，存储单元的阈值电压维持在“状态0”。

另一方面，在读取在存储单元中存储的数据的情况下，当要读取第二页面上的数据时，如果存储单元的阈值电压设置为“状态0”或者“状态1”，则要读取的数据为“1”，如果存储单元的阈值电压设置为“状态2”或者“状态3”，则要读取的数据为“0”。

相应地，在读取第二页面上的数据的情况下，可仅仅通过一个读取操作来判决是将存储单元的阈值电压设置为“状态1”或更低还是将其设置为“状态2”或更高。更具体地，通过将用于读取第二页面的字线电压B设置为阈值，而判决将存储单元的阈值电压设置为“状态1”或更低还是将其设置为

“状态 2”或更高。

另一方面，在读取第一页面上的数据的情况下，如果存储单元的阈值电压设置为“状态 0”或者“状态 3”，则要读取的数据为“1”，如果存储单元的阈值电压设置为“状态 1”或者“状态 2”，则要读取的数据为“0”。相应地，在读取第一页面上的数据的情况下，总共需要执行两个判决操作，包括将存储单元的阈值电压设置为“状态 0”还是“状态 1”或更高的判决、以及将存储单元的阈值电压设置为“状态 2”或更低还是“状态 3”的判决。因此，总共需要执行两次读取操作。

更具体地，通过将第一页面的读取字线电压 A 设置为阈值来判决是将存储单元的阈值电压设置为“状态 0”还是将其设置为“状态 1”或更高，而通过将第一页面的读取字线电压 C 设置为阈值来判决是将存储单元的阈值电压设置为“状态 2”或更低还是将其设置为“状态 3”。

因此，在 JP-A-2001-93288 所描述的非易失性半导体存储器中，在读取第一和第二页面的操作中，在读取第二页面的情况中，读取次数为一，而在读取第一页面的情况中，读取次数为二。这样，有可能将读取操作执行最多两次读取。因此，有可能进行高速读取操作。

[非专利文献 1] 2005 IEEE International Solid-State Circuits Conference  
『 2.2 An 8Gb Multi-Level NAND Flash Memory with 63 nm STI CMOS Process Technology 』

[非专利文献 2] 2004 IEEE International Solid-State Circuits Conference  
『 2.7 A 3.3V 4Gb Four-Level NAND Flash Memory with 90 nm CMOS Technology 』

另一方面，参考写入操作，在首先进行用于向设置在擦除状态中的存储单元写入第二页面的操作并且写入数据是“0”的情况下，存储单元的阈值电压执行从擦除状态“状态 0”（数据“11”）到“状态 3”的转换，也就是说，到其中第一页面上的数据是“1”而第二页面上的数据是“0”的状态（数据“01”）的转换。

随后，在执行用于写入第一页面的操作并且写入数据是“0”的情况中，需要降低存储单元的阈值电压，以便分配预置数据，并且，需要促使存储单元的阈值电压执行从“状态 3”到“状态 2”的转换，也就是，到其中第一页面上的数据是“0”而第二页面上的数据是“0”的状态 2（数据“00”）的

转换。

参考用于降低存储单元的阈值电压的操作，然而，仅仅允许闪存执行用于共同降低电路结构方面的块单元上的阈值电压的擦除操作，而不能仅将特定存储单元的阈值电压设置为低状态。因此，JP-A-2001-93288 所描述的非易失性半导体存储器不能按照第二页面和第一页面的顺序执行写入操作，而仅仅可按照第一页面和第二页面的顺序执行写入操作。

这样，不能按照以可选页面顺序执行写入操作的写入顺序的限制强制地促使在其上安装非易失性半导体存储器的设备和用于控制非易失性半导体存储器的控制设备来执行复杂的重写控制。因此，产生了不能有效地使用非易失性半导体存储器的地址空间的情况。

### 发明内容

为了解决这些问题，本发明的目标是提供一种能够高速读取数据并能够存储以可选页面顺序写入的多值数据的非易失性半导体存储器。

根据本发明的非易失性半导体存储器具有如下的结构，包括：存储单元阵列，包括用于存储多个页面上的数据的多值存储单元；数据处理电路，用于以页面为单元执行从存储单元阵列读取数据的读取操作、和向存储单元阵列写入数据的编程操作；以及控制电路，用于控制数据处理电路的操作，该控制电路根据执行编程操作的页面顺序，以执行多值存储单元的阈值电压沿正向转换来执行编程操作的方式，来改变与多值存储单元的阈值电压分布对应的数据分配。

根据所述结构，以通过沿正向移动存储单元的阈值电压来执行编程操作的方式，与执行编程操作的页面顺序对应地适当改变与存储单元的阈值电压分布对应的数据分配。因此，没有产生存储单元的阈值电压沿反向移动的情况。因此，可以以可选页面顺序执行编程操作，而不管将要编程的页面顺序。

此外，根据本发明的非易失性半导体存储器具有这样的结构从而还包括：编程顺序信息存储装置，用于存储在编程操作的执行中的页面顺序，所述控制电路通过参考编程顺序信息来确定与存储单元的阈值电压分布对应的数据，从而执行读取操作。

根据所述结构，通过参考读取操作中的编程顺序信息，以编程操作中的数据分配的改变不影响读取操作的方式，来确定与多值存储单元的阈值电压



分布对应的数据。因此，可以高速地准确读取数据。

此外，根据本发明的非易失性半导体存储器具有如下结构，从而包括：存储单元阵列，包括多值存储单元，该多值存储单元用于将第一页面和第二页面上的数据分配到在“状态 0”、“状态 1”、“状态 2”、和“状态 3”中设置的不同阈值电压，并存储该数据；数据处理电路，用于执行编程操作和读取操作，所述编程操作用于将从外部供应的第一或第二逻辑电平的数据以页面为单元写入到该存储单元阵列，所述读取操作用于从该存储单元阵列读取数据；以及控制电路，用于根据执行编程操作的页面顺序来控制数据处理电路的操作，其中，在将按照第一页面和第二页面的顺序执行编程操作的情况下，在第一页面的编程操作中，当将编程第一逻辑电平时，控制电路保持“状态 0”，当将编程第二逻辑电平时，控制电路执行从“状态 0”到“状态 1”的改变，在第二页面的编程操作中，在第一逻辑电平存储在第二页面的情况中，当将编程第一逻辑电平时，控制电路保持“状态 0”，而当将编程第二逻辑电平时，控制电路执行从“状态 0”到“状态 3”的改变，以及在第二逻辑电平存储在第二页面中的情况中，当将编程第一逻辑电平时，控制电路保持“状态 1”，而当将编程第二逻辑电平时，控制电路执行从“状态 1”到“状态 2”的改变，以及在将按照第二页面和第一页面的顺序执行编程操作的情况下，在第二页面的编程操作中，当将编程第一逻辑电平时，控制电路保持“状态 0”，当将编程第二逻辑电平时，控制电路执行从“状态 0”到“状态 2”的改变，在第一页面的编程操作中，在第一逻辑电平存储在第二页面的情况中，当将编程第一逻辑电平时，控制电路保持“状态 0”，而当将编程第二逻辑电平时，控制电路执行从“状态 0”到“状态 1”的改变，以及在第二逻辑电平存储在第二页面中的情况中，当将编程第一逻辑电平时，控制电路执行从“状态 2”到“状态 3”的改变，而当将编程第二逻辑电平时，控制电路保持“状态 2”。

根据所述结构，以正方向移动存储单元的阈值电压来执行编程操作的方式，对应于将进行编程的页面顺序，适当地改变与存储单元的“状态 0”、“状态 1”、“状态 2”、和“状态 3”的阈值电压分布对应的第一或第二逻辑电平上的数据分配。因此，没有产生存储单元的阈值电压沿反向移动的情况。因此，可以以可选页面顺序执行编程操作，而不管用于编程第一页面和第二页面的顺序。

此外,根据本发明的非易失性半导体存储器还包括:编程顺序信息存储装置,用于存储在编程操作的执行中的页面顺序,所述控制电路参考编程顺序信息,并且,在仅第一页面编程的状态、或者第一页面和第二页面都编程的状态的情况下,在用于读取第一页面的操作中,当多值存储单元的阈值电压设置在“状态0”和“状态3”中时输出第一逻辑电平,而当多值存储单元的阈值电压设置在“状态1”和“状态2”中时输出第二逻辑电平,以及,在用于读取第二页面的操作中,当多值存储单元的阈值电压设置在“状态0”和“状态1”中时输出第一逻辑电平,而当多值存储单元的阈值电压设置在“状态2”和“状态3”中时输出第二逻辑电平;以及在仅第二页面编程的状态的情况下,在用于读取第一页面的操作中输出第一逻辑电平而不管多值存储单元的阈值电压的状态,以及在用于读取第二页面的操作中,当多值存储单元的阈值电压设置在“状态0”和“状态1”中时输出第一逻辑电平,而当多值存储单元的阈值电压设置在“状态2”和“状态3”中时输出第二逻辑电平。

根据所述结构,以正方向移动存储单元的阈值电压来执行编程操作的方式,对应于将进行编程的页面顺序,适当地改变与存储单元的“状态0”、“状态1”、“状态2”、和“状态3”的阈值电压分布对应的第一或第二逻辑电平上的数据分配。因此,没有产生存储单元的阈值电压沿反方移动的情况。因此,可以以可选页面顺序执行编程操作,而不管用于编程第一页面和第二页面的顺序。

此外,根据本发明的非易失性半导体存储器具有这样的结构以还包括:编程顺序信息储存装置,用于存储在编程操作的执行中的页面顺序,所述控制电路参考该编程顺序信息,以及,在仅第一页面被编程的状态、或者第一页面和第二页面都被编程的状态的情况下,在用于读取第一页面的操作中,当多值存储单元的阈值电压设置在“状态0”和“状态3”中时,输出第一逻辑电平,而当多值存储单元的阈值电压设置在“状态1”和“状态2”中时,输出第二逻辑电平,以及,在用于读取第二页面的操作中,当多值存储单元的阈值电压设置在“状态0”和“状态1”中时,输出第一逻辑电平,而当多值存储单元的阈值电压设置在“状态2”和“状态3”中时,输出第二逻辑电平,以及在仅第二页面编程的状态的情况下,在用于读取第一页面的操作中,输出第一逻辑电平,而不管多值存储单元的阈值电压的状态,以

及在用于读取第二页面的操作中，当多值存储单元的阈值电压设置在“状态0”和“状态1”中时，输出第一逻辑电平，而当多值存储单元的阈值电压设置在“状态2”和“状态3”中时，输出第二逻辑电平。

利用该结构，在读取操作中参考关于第一页面和第二页面的编程顺序信息，以编程操作中的数据分配中的改变不影响读取操作的方式来确定与存储单元的“状态0”、“状态1”、“状态2”、和“状态3”的阈值电压分布对应的数据分配。因此，可以通过最多两次读取操作来准确地读取数据。

此外，根据本发明的非易失性半导体存储器具有这样的结构：控制装置与将在存储单元阵列上进行的编程操作同时地，执行用于将编程顺序信息存储在编程顺序信息存储装置中的操作。

根据所述结构，与将在存储单元阵列上进行的编程操作同时地，执行编程顺序信息存储装置的编程操作。因此，可以有效地消除编程顺序信息存储装置的编程操作所花费的时间。因此，可以以可选页面顺序执行编程操作，而没有增加存储单元阵列的编程持续时间。

此外，本发明的非易失性半导体存储器具有这样的结构：控制装置与在存储单元阵列上执行的读取操作同时地，对在编程顺序信息存储装置中存储的编程顺序信息执行读取操作。

根据所述结构，与将在存储单元阵列上执行的读取操作同时地，对在编程顺序信息存储装置中存储的数据执行读取操作。因此，可以有效地消除编程顺序信息存储装置上的读取操作所花费的时间。因此，可以在维持存储单元阵列的读取速度增加的情况下以可选页面顺序执行编程操作。

此外，在根据本发明的非易失性半导体存储器中，编程顺序信息存储装置包括连接相同字线到多值存储单元的存储单元。

根据上述结构，编程顺序信息存储装置包括连接相同字线到存储单元的存储单元。因此，当在存储单元的读取操作或编程操作中选择所述字线时，也同时选择了编程顺序信息存储装置的存储单元。因此，可以方便地实现编程顺序信息存储装置的存储单元的读取操作或者编程操作的控制，此外，可以与存储单元的读取操作和编程操作同时地，容易地执行编程顺序信息存储装置上的读取操作和编程操作。

此外，本发明的非易失性半导体存储器具有这样的结构：编程顺序信息存储装置存储多值存储单元的设置于“状态3”中的阈值电压上的数据。

另外,在本发明的非易失性半导体存储器中,编程顺序信息存储装置包括铁电存储器(FeRAM)。

根据所述结构,可以增加编程顺序信息存储装置上的编程操作或读取操作的速度,并且,还可以执行重写。因此,可方便地控制编程顺序信息存储装置上的编程操作。因此,可以增强非易失性半导体存储器的性能。

另外,在根据本发明的非易失性半导体存储器中,该存储单元阵列包括NAND型存储单元阵列。

此外,在根据本发明的非易失性半导体存储器中,该存储单元阵列包括AND型存储单元阵列。

另外,在根据本发明的非易失性半导体存储器中,该存储单元阵列包括NOR型存储单元阵列。

根据本发明,可以提供一种用于存储多值数据的非易失性半导体存储器,其可以增加用于读取数据的操作的速度,并可以以可选页面顺序执行写入操作。

#### 附图说明

图1是示出根据第一实施例的非易失性半导体存储器200的示意结构的图;

图2是示出要在非易失性半导体存储器200中使用的存储单元和选择晶体管的剖面结构的图;

图3是示出要在非易失性半导体存储器200中使用的NAND型存储单元阵列的剖面结构的图;

图4是示出非易失性半导体存储器200中的存储单元阵列和位线控制电路的结构图;

图5A是示出在按照第二页面和第一页面的顺序执行写入操作的情况下、存储单元的数据和存储单元的阈值电压分布之间的关系图,图5B是示出在按照第一页面和第二页面的顺序执行写入操作的情况下、存储单元的数据和存储单元的阈值电压分布之间的关系图;

图6A和6B是示出在按照第二页面和第一页面的顺序执行写入操作的情况下、存储单元的数据和存储单元的阈值电压分布之间的关系图;

图7A和7B是示出在按照第一页面和第二页面的顺序执行写入操作的

情况下、存储单元的数据和存储单元的阈值电压分布之间的关系的图；

图 8A 和 8B 是用于说明根据第一实施例的非易失性半导体存储器 200 的读取操作(读操作)的流程图；

图 9 是用于说明根据第一实施例的非易失性半导体存储器 200 的写入操作(第一页面编程操作)的流程图；

图 10 是用于说明根据第一实施例的非易失性半导体存储器 200 的写入操作(第二页面编程操作)的流程图；

图 11 是示出根据第二实施例的非易失性半导体存储器 200 的结构图；

图 12 是示出在 JP-A-2001-93288 所描述的非易失性半导体存储器中的存储单元的阈值电压分布与数据之间的关系、以及写入和读取方法的图；以及

图 13 是示出在 JP-A-2001-93288 所描述的非易失性半导体存储器中的存储单元的数据与写入和读取数据之间的关系图。

### 具体实施方式

下面将结合图来详细描述根据本发明的实施例。

#### (第一实施例)

图 1 是示出根据第一实施例的非易失性半导体存储器 200 的示意结构的图。在图 1 中，存储单元阵列 10 包括多个字线和多个位线，并且在字线和位线的交叉点上以矩阵形式布置存储单元。字线控制电路 20 和位线控制电路 40 连接到存储单元阵列 10。

字线控制电路 20 用于选择存储单元阵列 10 中的预定字线，并施加读取、写入(编程)、和擦除所需要的电压。行解码器 30 用于控制字线控制电路 20，从而选择预定字线。

位线控制电路 40 包括如下面描述的多个数据锁存电路，并用于通过位线读取存储单元阵列 10 中的存储单元的数据，通过位线来检测(验证)存储单元阵列 10 中的存储单元的状态，或者通过位线将写入电压施加到存储单元阵列 10 中的存储单元，从而执行到存储单元的写入。此外，列选通器 50、列解码器 60 和数据输入/输出缓冲器 70 连接到位线控制电路 40。

利用列选通器 50 和列解码器 60 来选择位线控制电路 40 中的数据锁存电路，并通过数据输入/输出缓冲器 70 而将读取到数据锁存电路的多值存储单元的数据从数据输入/输出端 I/O[8:1]输出到外部。此外，通过数据输入/

输出缓冲器 70 而将从外部输入到数据输入/输出端 I/O[8:1]的写入数据输入到由列选通器 50 和列解码器 60 选择的数据锁存电路。

控制电路 80 用于整体控制非易失性半导体存储器 200, 并控制字线控制电路 20、行解码器 30、位线控制电路 40、列选通器 50、列解码器 60、数据输入/输出缓冲器 70、和高电压产生电路 90, 从而控制诸如读取操作、写入操作和擦除操作之类的各种操作。

将芯片使能信号/CE、写入使能信号/WE、读取使能信号/RE、命令锁存使能信号 CLE、地址锁存使能信号 ALE、写入保护信号/WP、和就绪-占线信号 RY/BY 从外部输入到控制电路 80。此外, 通过数据输入/输出缓冲器电路 70 将地址、数据和命令从数据输入/输出端 I/O[8:1]输入到控制电路 80。

高电压产生电路 90 用于产生非易失性半导体存储器 200 执行读取、写入和擦除操作所需要的电压。

图 2(a)和 2(b)是示出用于非易失性半导体存储器 200 的存储单元和选择晶体管的剖面结构的图。图 2(a)示出了存储单元。在基底 100 上形成将成为存储单元的源极和漏极的 N 型扩散层 110。通过栅极绝缘膜 120 在基底 100 上形成浮置栅极 130。通过绝缘膜 140 在浮置栅极 130 上形成控制栅极 150。图 2(b)示出了选择晶体管。在基底 100 上形成将为源极和漏极的 N 型扩散层 160。通过栅极绝缘膜 170 在基底 100 上形成控制栅极 180。

图 3 是示出要在非易失性半导体存储器 200 中使用的 NAND 型存储单元阵列的剖面结构的图。在这个示例中, NAND 型存储单元阵列包括具有图 2(a)所示结构的串联连接的 32 个存储单元 M0 至 M31。在 NAND 型存储单元的漏极和源极侧提供了具有图 2(b)所示结构的选择晶体管 S0 和 S1。

图 4 是示出非易失性半导体存储器 200 中的存储单元阵列 10 和位线控制电路 40 的结构图。位线控制电路 40 具有多个数据锁存电路 40-0 至 40-16895。数据锁存电路 40-0 至 40-16895 中的每一个通过列选通器 50 与数据输入/输出缓冲器 70 连接。

此外, 一对位线连接到数据锁存电路 40-0 至 40-16895 的每一个。更具体地, 位线 BL0 和 BL1 连接到数据锁存电路 40-0, 位线 BL2 和 BL3 连接到数据锁存电路 40-1, 以及位线 BL33790 和 BL33791 连接到数据锁存电路 40-16895。

此外, 在存储单元阵列 10 中布置多个 NAND 型存储单元。NAND 型存

储单元之一包括串联连接的 32 个存储单元 M0 至 M31、连接到存储单元 M0 的选择晶体管 S0、和连接到存储单元 M31 的选择晶体管 S1。选择晶体管 S0 连接到位线 BL0，而选择晶体管 S1 连接到源线(source line)SRC。在每行中布置的存储单元 M0 至 M31 的控制栅极共同连接到字线 WL0 至 WL31。此外，选择晶体管 S0 共同连接到选择线 SGD，而选择晶体管 S1 共同连接到选择线 SGS。

块 11 包括：将 32 个字线设置为单元、并在块单元上擦除数据。扇区 12 包括连接到一个字线的存储单元。连接到一个字线的存储单元包括两个扇区。

更具体地，将以连接到字线 WL0 的存储单元作为示例来给出描述。提供其包括连接到偶数位线的存储单元组的扇区 12(图 4 所示的扇区 12)、和包括连接到奇数位线的存储单元组的扇区 12。根据第一实施例的非易失性半导体存储器 200 在一个存储单元中存储与第一和第二页面两个页面对应的数据。因此，在一个扇区 12 中存储了与两个页面对应的数据。该页面表示将在编程操作时执行的数据处理的单位。

此外，存储单元阵列 10 包括扇区信息存储区域 13(编程顺序信息存储装置)，其用于存储关于按照其执行到每个扇区 12 的写入的页面顺序的信息(编程顺序信息)。该扇区信息存储区域 13 被布置在存储单元阵列 10 中，并连接到位线 BLFE 和 BLFO。此外，扇区信息存储区域 13 也连接到字线 WL0 至 WL31、选择线 SGD 和 SGS、以及源线 SRC。

将连接到字线 WL0 和偶数位线的扇区 12(图 4 中示出的扇区 12)的扇区信息存储在相同字线 WL0 和位线 BLFE 连接的存储单元 MFE 中。

类似地，将连接到字线 WL0 和奇数位线的扇区 12 的扇区信息存储在相同字线 WL0 和位线 BLFO 连接的存储单元 MFO 中。参见其它字线，类似地，扇区信息存储区域 13 被存储在目标区段连接的字线共有的存储单元中，并且该扇区信息存储区域 13 连接到位线 BLFE 和 BLFO。

位线控制电路 40 中的数据锁存电路 40-F 连接到与扇区信息存储区域 13 连接的位线 BLFE 和 BLFO。更具体地，通过数据锁存电路 40-F 来读取和写入在扇区信息存储区域 13 中存储的信息。

更具体地，存储关于是否执行第一页面的写入操作(编程操作)的信息，作为要在扇区信息存储区域 13 中存储的信息(编程顺序信息)。换言之，在将

扇区信息存储区域 13 的存储单元设置为擦除状态的情况下，向存储单元给出没有执行第一页面的编程操作的通知。相反，在将相同存储单元设置为写入状态的情况下，向存储单元给出执行第一页面的编程操作的通知。这里，将扇区信息存储区域 13 的处于写入状态的存储单元的阈值电压设置为“状态 3”。

接下来，将结合图来描述根据本发明第一实施例的非易失性半导体存储器 200 的操作原理。图 5(a)是示出在按照第二页面和第一页面的顺序执行写入操作的情况下、存储单元的数据和存储单元的阈值电压分布之间的关系图。图 5(b)是示出在按照第一页面到第二页面的顺序执行写入操作的情况下、存储单元的数据和存储单元的阈值电压分布之间的关系图。图 6(a)和 6(b)用表格示出在按照第二页面和第一页面的顺序执行写入操作的情况下、存储单元的数据和存储单元的阈值电压分布之间的关系。图 7(a)和 7(b)用表格示出在按照第一页面和第二页面的顺序执行写入操作的情况下、存储单元的数据和存储单元的阈值电压分布之间的关系。

如图 5(a)和 5(b)所示，非易失性半导体存储器 200 在一个存储单元中有 2 位数据，也就是说，在一个存储单元中有四个不同的阈值电压，并且按照存储单元的阈值电压的上升顺序定义“状态 0”到“状态 3”。当执行擦除时，存储单元的阈值电压进入“状态 0”。因此，通过写入操作，存储单元进入阈值电压上升的“状态 1”至“状态 3”。

用 2 位数据存储具有不同页面地址的第一页面上的数据和第二页面上的数据，从而将该数据存储在一个存储单元中。此外，在“状态 0”到“状态 3”中存储的 2 位数据中，将第一页面上的数据分配到 LSB(最低有效位)侧，而将第二页面上的数据分配到 MAB(最高有效位)侧。

根据第一实施例的非易失性半导体存储器 200 根据写入页面的顺序，即是按照第一页面和第二页面的顺序还是按照第二页面和第一页面的顺序来执行编程(写入)的，而改变与存储单元的阈值电压分布对应的数据分配，从而执行编程操作。

与存储单元的阈值电压分布对应的数据分配是以这样的方式改变和确定的：沿正向移动存储单元的阈值电压来执行编程操作，而不管写入页面的顺序。因此，在根据第一实施例的非易失性半导体存储器 200 中，当按照第二页面和第一页面的顺序执行编程操作时，改变数据分配。



参考图 5(a)、6(a)和 6(b)，将详细描述数据分配中的改变。首先，假设将存储单元的阈值电压设置为擦除状态“状态 0”。在将第二页面上的数据写入到存储单元并且写入数据是“1”的情况下，存储单元的阈值电压维持在“状态 0”。另一方面，当写入数据是“0”时，执行存储单元的阈值电压到“状态 2”的转换。

在通过对第二页面的编程操作来编程数据“0”的情况中，“状态 2”中的数据“00”的分配改变为数据“01”，以便执行到“状态 2”的转换。更具体地，在设置在“状态 2”的存储单元中，在按照第一页面和第二页面的顺序执行编程的情况中，维持数据“00”。然而，在从第二页面开始执行编程的情况中，将数据分配给数据“01”以执行编程操作。当第二页面的编程操作完成时，如图 6(a)所示，将存储单元的阈值电压设置在“状态 0”（数据“11”）或者“状态 2”（数据“01”）。

接下来，写入第一页面上的数据。此时，在通过第二页面的编程操作而将写入数据“0”从外部供应到阈值电压维持在“状态 0”中的存储单元的情况中，存储单元的阈值电压被设置为“状态 1”。另一方面，在从外部供应写入数据“1”的情况中，存储单元的阈值电压保持在“状态 0”。

此外，在通过第二页面的写入操作而将写入数据“0”从外部供应到阈值电压维持在“状态 2”的存储单元的情况中，存储单元的数据保持为“状态 2”。另一方面，在从外部供应写入数据“1”的情况中，存储单元的数据进入“状态 3”。

本发明与传统技术的不同之处在于：从“状态 2”到“状态 3”的转换是在存储单元设置在“状态 2”的情况中执行的，也就是，通过第二页面的编程操作来编程数据“0”的情况、和通过第一页面的编程操作来编程数据“1”的情况，并且在编程数据是“0”的情况中保持“状态 2”。

更具体地，通常以这样的方式执行控制：当数据为“0”时，阈值电压经受正向转换，以及当数据为“1”时，保持阈值电压。另一方面，当首先执行第二页面上的数据“0”的编程操作并然后执行第一页面的编程操作时，非易失性半导体存储器 200 执行控制，以便在写入数据为“1”的情况中，执行阈值电压的正向转换，以及在所述数据为“0”的情况中，保持所述阈值电压。

另一方面，在如图 5(b)、7(a)、和 7(b)所示按照第一页面和第二页面的

顺序执行编程操作时，不必改变数据分配。因此，以与传统技术相同的方式执行编程操作。

利用该操作原理，在首先执行第二页面的编程操作的情况下，数据“01”被设置在“状态2”中。然而，通过后面执行的第一页面编程操作，设置在“状态2”中的数据经历了与传统技术中的转换相同的到数据“00”的转换。因此，在与按照第二页面和第一页面的顺序执行编程操作之后的阈值电压对应的数据分配中，以与传统技术相同的方式，“状态0”执行到数据“11”的转换，“状态1”执行到数据“10”的转换，“状态2”执行到数据“00”的转换，“状态3”执行到数据“01”的转换。

因此，即使按照第二页面和第一页面的顺序执行编程操作，也以沿正向执行阈值电压转换的方式，通过设置对应数据分配和阈值电压来执行编程。从而，可以以可选页面顺序执行编程操作。

另一方面，在按照第一页面和第二页面的顺序执行编程的情况和按照第二页面和第一页面的顺序执行编程的情况二者中，“状态0”、“状态1”、“状态2”和“状态3”分别是用于与存储单元的阈值电压对应的数据值的数据“00”、“10”、“00”和“01”，这与传统技术中描述的相同。因此，在读取存储单元中存储的数据的情况下，可能通过最多两次读取操作来读取数据。

更具体地，在读取第二页面上的数据的情况下，所读取的具有设置在“状态0”或“状态1”中的存储单元的阈值电压的数据是数据“1”，而所读取的具有设置在“状态2”或“状态3”中的存储单元的阈值电压的数据是数据“0”。因此，在读取第二页面上的数据的情况下，有可能仅仅通过一次读取操作来判决存储单元的阈值电压被设置在“状态1”或更低还是“状态2”或更高(第二页面读取字线电势B)。

另一方面，在读取第一页面上的数据的情况下，所读取的具有设置在“状态0”或“状态3”中的存储单元的阈值电压的数据是数据“1”，而所读取的具有设置在“状态1”或“状态2”中的存储单元的阈值电压的数据是数据“0”。因此，在读取第一页面上的数据的情况下，总共需要执行两次读取操作，包括存储单元的阈值电压设置在“状态0”还是“状态1”或更高的判决、和存储单元的阈值电压设置在“状态2”或更低还是“状态3”的判决(第一页面读取字线电势A和C)。

因此，在读取第一页面和第二页面的操作中，在第二页面的读取操作中

读取次数为一，而在第一页面的读取操作中读取次数为二。这样，有可能将读取操作执行最多两次。结果，有可能执行高速读取操作。

更具体地，根据该操作原理，执行控制以促使与存储单元的阈值电压分布对应的数据分配可变，从而根据页面顺序执行编程操作，其中在编程操作中将编程在一个存储单元中存储的多个页面上的数据。这样，设置与存储单元的阈值电压分布对应的数据分配，以具有这样的阈值电压值，其使得可以通过后面进行的编程操作而在存储单元的所述阈值电压上执行正向转换。

因此，可以通过随后的编程操作来防止存储单元的阈值电压经受反向转换的情况的发生。因此，可以准确地设置存储单元的阈值电压。结果，有可能按照可选页面顺序实现编程操作。此外，有可能将读取操作执行最高两次读取。这样，有可能执行高速读取操作和可选页面顺序的编程操作。

参考读取操作，将考虑执行读取操作的情况，除按照第一页面和第二页面的顺序执行编程的情况和按照第二页面和第一页面的顺序执行编程的情况之外，其包括仅编程第一页面的情况和仅编程第二页面的情况。如图 5(a) 和 5(b) 所示，在所有的情况中，设置在“状态 0”（数据“11”）、“状态 1”（数据“10”）、和“状态 3”（数据“01”）中的存储单元的数据总是相同的。

另一方面，在按照第一页面和第二页面的顺序执行编程的情况、按照第二页面和第一页面的顺序执行编程的情况、以及仅编程第一页面的情况中，设置在“状态 2”的存储单元的数据为“00”，而在仅仅编程第二页面的情况中，所述数据是“01”。设置在“状态 2”中的数据分配是根据存储单元的编程操作的顺序而变化的。由于这个原因，JP-A-2001-93288 中描述的读取方法不能执行准确的读取操作。

为了准确地读取数据，需要掌握关于按照其对存储单元进行编程的页面顺序的信息（编程顺序信息），并判断设置在“状态 2”中的数据条件。为了实现此，安装扇区信息存储区域 13（编程顺序信息存储装置），其用于存储关于按照其编程存储单元的页面顺序的信息，并且基于在扇区信息存储区域 13 中存储的数据来确定与存储单元的阈值电压分布对应的数据分配以便执行读取操作。因此，在以任何页面顺序编程存储单元的情况中，也同样可以准确地执行读取操作。

在该操作原理中，提供了一种用于存储与按照其执行编程的多个页面顺序有关的信息的扇区信息存储区域 13，并且促使与存储单元的阈值电压分布

对应的数据分配可变，并从而根据执行编程的页面顺序来实行编程操作。此外，根据在扇区信息存储区域 13 中存储的数据，确定与存储单元的阈值电压分布对应的数据分配以便执行读取操作。因此，在以任何页面顺序编程存储单元的情况中，也同样可以准确地执行读取操作。此外，在页面的编程操作中，即使当某一页面完成编程时关断电源，也将关于进行编程的页面顺序的信息存储在扇区信息存储区域 13 中。因此，再次接通电源之后，也同样可以对剩余页面执行编程操作。这样，可以增强非易失性半导体存储器 200 的实用性并有效地利用地址空间。

接下来，将参考图 8、9、和 10 的流程图来描述根据第一实施例的非易失性半导体存储器 200 的读取操作(读操作)和写入操作(编程操作)。

首先，将给出对读取第一页面的操作的描述。图 8(a)是示出用于读取第一页面的操作的流程图。在读取第一页面的操作中，执行两次读取操作，包括：第一读取操作，用于选择字线作为目标，以利用设置在状态 C 中的字线电压来执行读取操作(步骤 S11)；以及第二读取操作，用于利用设置在状态 A 中的字线电压来执行读取操作(步骤 S12)。

在第一读取操作中，判决存储单元的阈值电压是设置在“状态 2”或更低还是“状态 3”。在第二读取操作中，判决存储单元的阈值电压是设置在“状态 0”还是“状态 1”或更高。

随后，非易失性半导体存储器 200 通过参考在扇区信息存储区域 13 中存储的扇区信息来判决第一页面的编程操作的存在(步骤 S13)。原因如下。如上所述，根据对设置在“状态 2”中的存储单元的数据进行编程的任何页面顺序，可以存在数据“01”的情况和数据“00”的情况，也就是说，其中第一页面上的数据为“1”的情况和相同数据为“0”的情况。为此，不可能通过两次读取操作来判决第一页面上的数据。

因此，如果通过步骤 S13 中的判决而确定扇区信息存储区域中的数据设置在编程状态，也就是说，当完成第一页面的编程操作时，则设置在“状态 2”中的存储单元的数据为“00”。从而，输出在数据锁存电路中存储的数据来执行读取操作(步骤 S14 和 S15)。

另一方面，如果通过步骤 S13 中的判决而确定扇区信息存储区域中的数据设置在擦除状态，也就是说，当没有完成第一页面的编程操作时，则设置在“状态 2”中的存储单元的数据在某些情况中为“01”。因此，不能通过两

次读取操作来读取数据。然而，没有执行第一页面的编程操作。从而，不管在数据锁存电路中存储的数据，输出数据“1”来执行第一页面的读取操作(步骤 S16 和 S17)。

接下来，将给出对第二页面的读取操作的描述。图 8(b)是示出读取第二页面的操作的流程图。在读取第二页面的操作中，选择作为目标的字线，以利用设置在状态 B 中的字线电压来执行读取操作(步骤 S21)。在第一读取操作中，判决存储单元的阈值电压是设置在“状态 1”或更低还是“状态 2”或更高。参考存储单元的第二页面上的数据，“状态 0”和“状态 1”是数据“1”，而“状态 2”和“状态 3”是数据“0”，与执行编程操作的页面顺序无关。因此，不管在扇区信息存储区域中存储的数据(关于是否编程第一页面的信息)如何，都输出数据锁存电路中存储的数据来执行用于读取第二页面的操作(步骤 S22 和 S23)。

接下来，将给出对于写入第一页面的操作的描述。图 9 是示出用于写入第一页面的操作的流程图。首先，将编程数据从外部输入到数据锁存电路中(步骤 S31)。然后，在执行编程操作之前，选择作为目标的字线以利用设置在状态 B 中的字线电压来执行读取操作(步骤 S32)。通过利用设置在状态 B 中的字线电压来执行读取操作，可能读取第二页面上的数据。读取操作所要编程的扇区判决是否已经编程第二页面(步骤 S33)。

在没有执行第二页面的编程操作的情况中，进行图 5(b)所示的第一页面的编程操作(步骤 S34)。然后，在编程操作之后，执行用于确认存储单元是否被准确编程的验证操作(步骤 S35)。为了判决是否将验证操作中的字线电压编程为“状态 1”，施加电压 A'。

重复执行编程操作和验证操作，直到通过该验证操作为止(步骤 S36)。如果通过该验证操作，则第一页面的编程操作结束。接下来，执行用于向扇区信息存储区域的作为目标的存储单元给予第一页面的编程操作完成的通知的编程操作(步骤 S42)。从而，第一页面的编程操作完成(步骤 S43)。

另一方面，如果在步骤 S33 执行第二页面的编程操作，则执行图 5(a)所示的第一页面的编程操作。此时，如果对于设置为“状态 2”的阈值电压的存储单元的数据是“1”，则执行用于沿正向移动阈值电压的操作，也就是说，如果第一页面上的数据是“1”，则执行编程操作，以及如果该相同数据为“0”，则保持阈值电压。因此，在将存储单元的阈值电压设置为“状态 2”的情况

中，写入到数据锁存电路中的数据被反相(步骤 S37)。

在其中存储单元的阈值电压被设置为“状态 2”的数据锁存电路的编程数据被反相之后，执行第一页面的编程操作(步骤 S38)。在第一页面的编程操作结束之后，执行第一和第二验证操作(步骤 S39 和 S40)。为了判决验证操作中的字线电压被编程为“状态 1”还是“状态 3”，在第一验证操作中施加电压 A'，而在第二验证操作中施加电压 C'。

重复执行编程操作和验证操作，直到通过该验证操作为止(步骤 S41)。如果通过该验证操作，则第一页面的编程操作结束。接下来，执行用于向扇区信息存储区域的作为目标的存储单元给予第一页面的编程操作完成的通知的编程操作(步骤 S42)。从而，第一页面的编程操作完成(步骤 S43)。

接下来，将给出对于写入第二页面的操作的描述。图 10 是示出用于写入第二页面的操作的流程图。首先，将编程数据从外部输入到数据锁存电路(步骤 S51)。然后，在执行编程操作之前，选择将作为目标的字线，以便利用设置在状态 A 中的字线电压来执行读取操作(步骤 S52)。通过利用设置在状态 A 中的字线电压来执行读取操作，可以读取第一页面上的数据。同时，读取在扇区信息存储区域 13 中存储的信息(关于第一页面是否编程的信息)。读取操作所要编程的扇区判决第一页面是否已经编程(步骤 S53)。

在没有执行第一页面的编程操作的情况中，执行如图 5(a)所示的第二页面的编程操作(步骤 S54)。然后，在编程操作之后，执行用于确认存储单元是否被准确编程的验证操作(步骤 S55)。为了判决是否已经将验证操作中的字线电压编程为“状态 2”，施加电压 B'。重复执行编程操作和验证操作，直到通过该验证操作为止(步骤 S56)。如果通过该验证操作，则第二页面的编程操作完成(步骤 S57)。

另一方面，如果在步骤 S53 执行第一页面的编程操作，则实行图 5(b)所示的第二页面的编程操作(步骤 S58)。在第二页面的编程操作结束之后，执行第一和第二验证操作(步骤 S59 和 S60)。为了判决验证操作中的字线电压被编程为“状态 2”还是“状态 3”，在第一验证操作中施加电压 B'，而在第二验证操作中施加电压 C'。重复执行该编程操作和验证操作，直到通过该验证操作为止(步骤 S61)。如果通过该验证操作，则第二页面的编程操作完成(步骤 S62)。

这样，根据第一实施例的非易失性半导体存储器 200 执行这样的控制以

便使得与存储单元的阈值电压分布对应的数据分配可变,从而根据对一个存储单元中存储的多个页面上的数据进行编程的页面顺序来执行编程操作。这里,设置与存储单元的阈值电压分布对应的数据分配,以便具有这样的阈值电压值,其使得存储单元的所述阈值电压可以通过后面执行的编程操作而执行正向转换。因此,可以通过随后的编程操作来防止促使存储单元的阈值电压执行反向转换的情况发生。因此,可以准确地设置存储单元的阈值电压。这样,可以实现可选页面顺序的编程操作。此外,可以将读取操作执行最多两次。因此,可以以与传统技术相同的方式执行高速读取。

更具体地,传统的非易失性半导体存储器仅可以按照第一页面和第二页面的顺序执行编程。另一方面,在根据第一实施例的非易失性半导体存储器 200 中,除按照第一页面和第二页面的顺序之外,还可以按照第二页面和第一页面的顺序执行编程。为了以任何页面顺序实现编程操作,使得与存储单元的阈值电压分布对应的数据分配可变,从而根据编程第一页面和第二页面的顺序来执行编程操作。

在多个页面的编程操作中,即使当某一页面完成编程时关断电源,也将关于执行编程的页面顺序的信息存储在作为编程顺序信息存储装置的扇区信息存储区域 13 中。因此,再次接通电源之后,也同样可以对剩余页面执行编程操作。这样,可以增强非易失性半导体存储器的实用性并有效地利用地址空间。

尽管已经将以下情况作为示例给出了描述:其中存储关于是否已经执行第一页面的编程操作的信息,作为将在根据第一实施例的非易失性半导体存储器 200 的扇区信息存储区域 13 中存储的信息,但本发明不限于此,还可以存储关于第二页面的编程操作是否已经执行、第一页面的编程操作是否已经执行、或者第二页面的编程操作是否首先执行的信息。

此外,在第一实施例中,通过数据锁存电路 40-F 来读取和写入在扇区信息存储区域 13 中存储的信息。还可以与用于读取和写入作为目标的扇区的操作同时地执行这些操作。

这样,与将在存储单元阵列 10 上执行的编程操作同时地,在扇区信息存储区域 13 上执行编程操作。因此,可以有效地消除在扇区信息存储区域 13 上执行编程操作所花费的时间。这样,可以以可选页面顺序执行编程操作,而没有增加在存储单元阵列上执行编程所需要的时间。此外,通过与将在存

储单元阵列上执行的读取操作同时地执行用于读取在扇区信息存储区域 13 中存储的数据的操作，可以有效地消除在扇区信息存储区域 13 上执行读取操作所花费的时间。因此，可以在维持存储单元阵列上的读取速度增加的同时，执行可选页面顺序的编程操作。

此外，尽管已经给出在存储单元阵列 10 中构成扇区信息存储区域 13 的示例的描述，但这不是进行限制，可在与存储单元阵列 10 分离的外侧上构成该扇区信息存储区域 13。

### (第二实施例)

接下来，将参考图描述根据本发明的第二实施例。

图 11 是示出根据第二实施例的非易失性半导体存储器 200 的结构图。在图 11 中，与第一实施例的那些组件具有相同功能的组件具有相同的附图标记，并省略了其详细描述。下面仅描述具有不同结构的部分。

图 11 与第一实施例中的图 4 不同之处在于扇区信息存储区域具有不同的结构。尽管第一实施例中在存储单元阵列 10 中布置了扇区信息存储区域 13，但是在第二实施例中扇区信息存储区域包括铁电存储器(FeRAM)300。

这样，扇区信息存储区域包括能够执行高速读取操作、高速写入操作、和重写操作的铁电存储器(FeRAM)300。因此，可以增加在扇区信息存储区域上执行的写入和读取操作的速度。此外，可以执行重写操作。这样，可以实现对将扇区信息写入到扇区信息存储区域中的操作的方便控制。相应地，可以增强能够以可选页面顺序实行编程操作的非易失性半导体存储器的性能。由于根据第二实施例的读取操作和编程操作与第一实施例中描述的那些操作相同，因此将省略其详细描述。

尽管上面已经描述了根据本发明的实施例，但是本发明的非易失性半导体存储器并不限于这些示例，在不脱离发明范围的情况下可以有效地进行各种改变。

例如，多值技术不限于 2 位/单元，而可以是更多。此外，尽管在实施例中已经给出了利用 NAND 型存储单元阵列获得其结构的示例描述，但是并不限于此，还可以采用 AND 型存储单元阵列和 NOR 型存储单元阵列。

根据本发明的用于存储多值数据的非易失性半导体存储器对于能够增加读取数据的操作速度(更进一步地，以可选页面顺序执行写入操作)的非易失性半导体存储器是有利的。



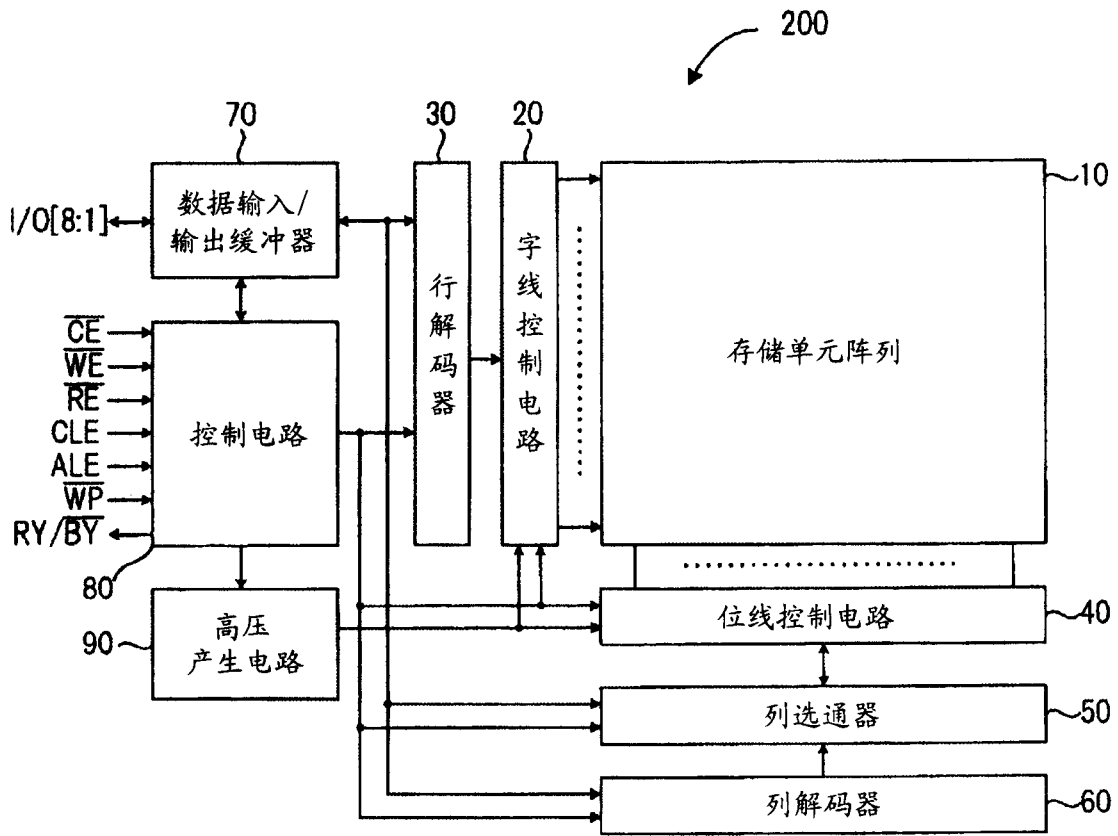


图 1

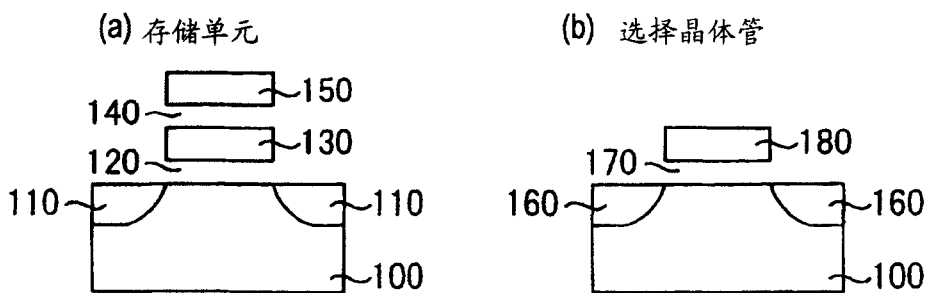


图 2

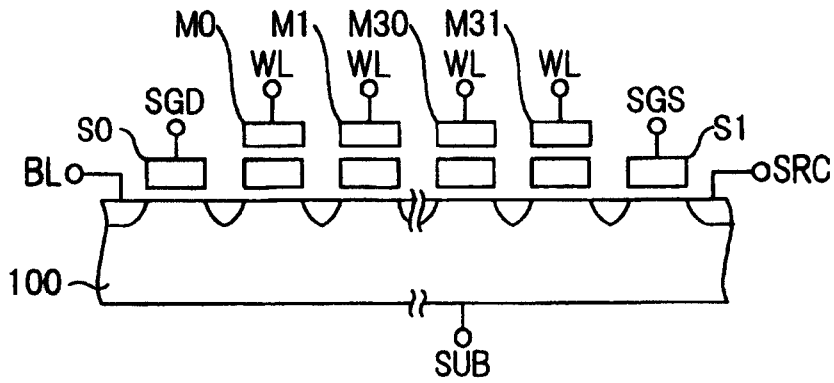


图 3

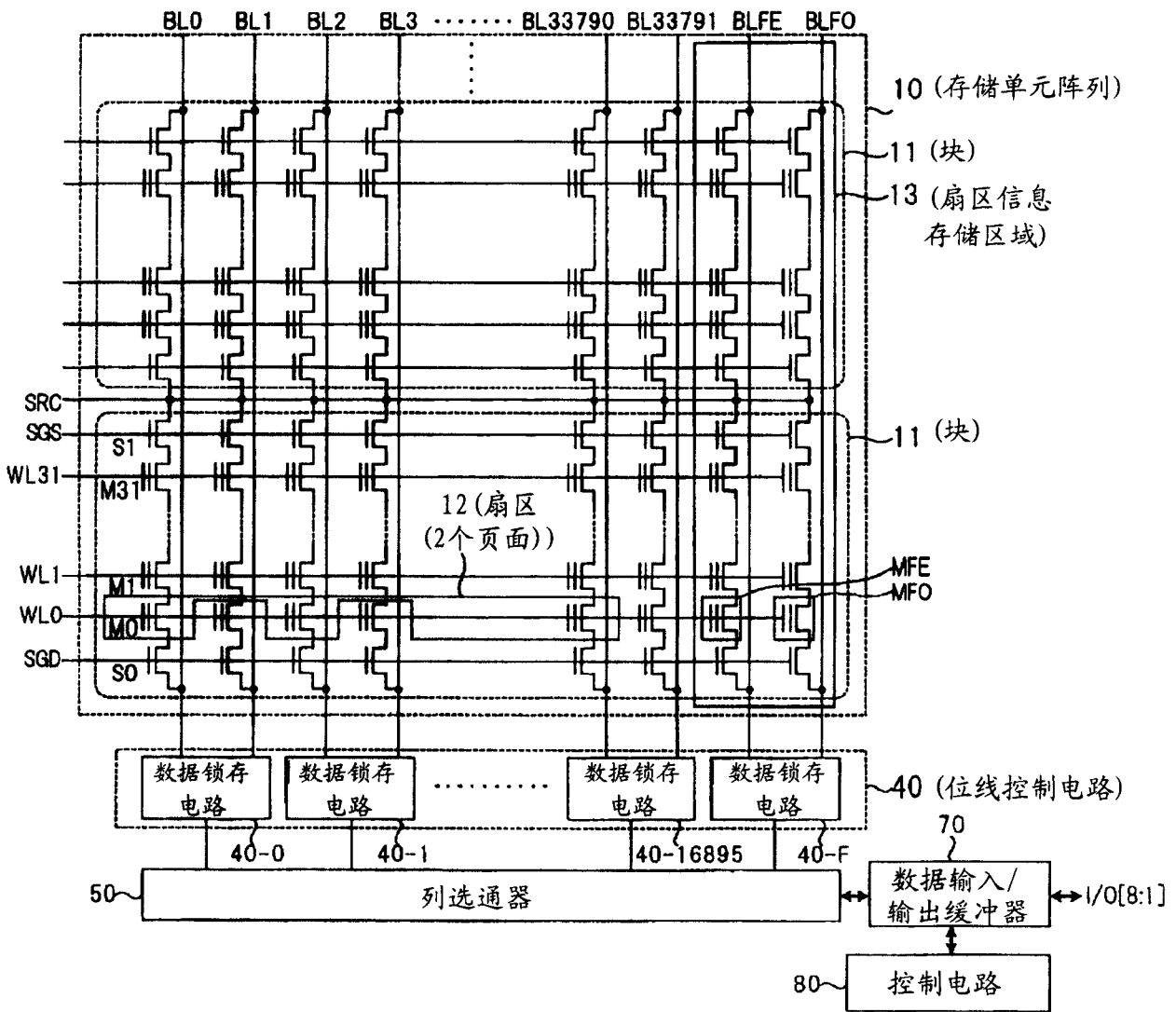
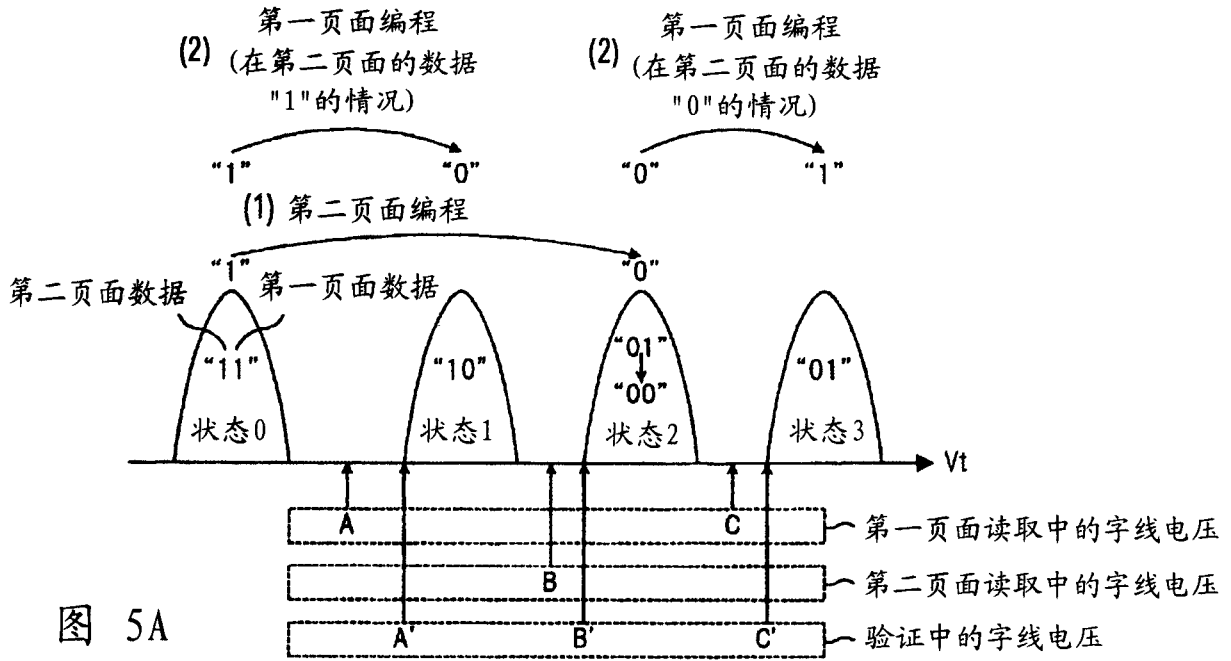
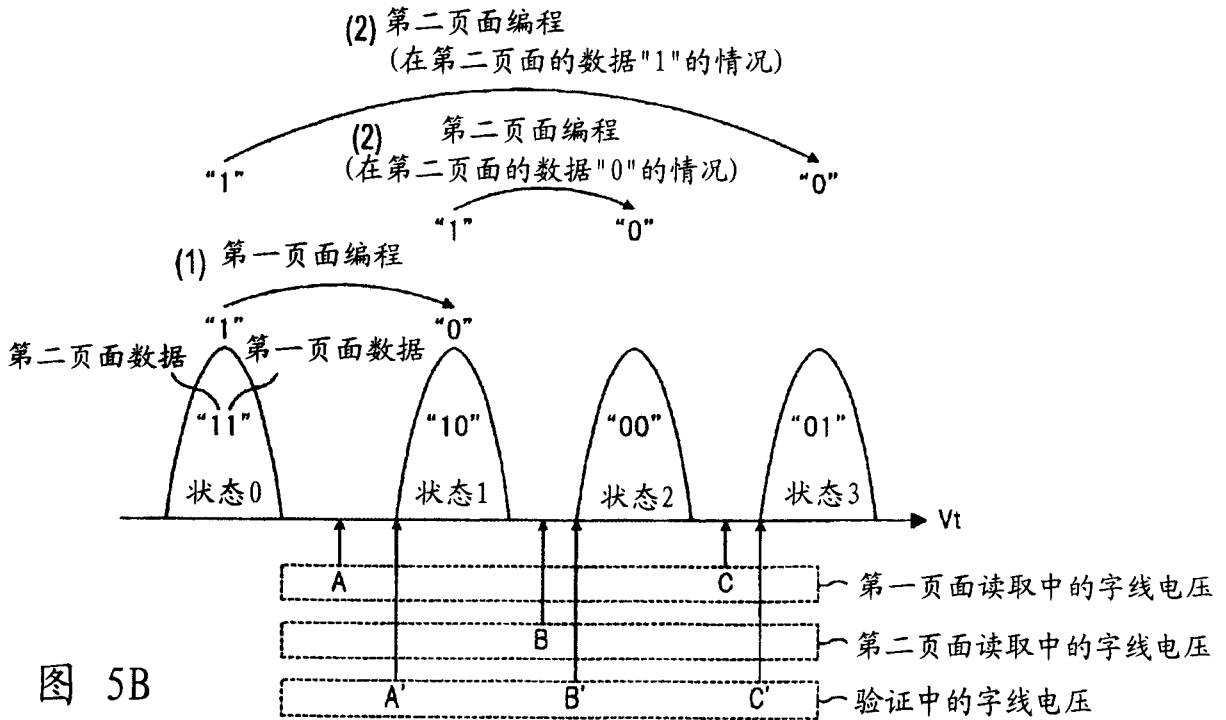


图 4

第二页面到第一页面的编程



第一页面到第二页面的编程



## 第二页面的编程

存储单元的状态	存储单元的阈值电压	数据	
		第二页面	第一页面
0	0V或更低	1	1
1	0.3 ~ 0.5V	-	-
2	0.8 ~ 1.0V	0	1
3	1.3 ~ 1.5V	-	-



图 6A

## 第一页面的编程

存储单元的状态	存储单元的阈值电压	数据	
		第二页面	第一页面
0	0V或更低	1	1
1	0.3 ~ 0.5V	1	0
2	0.8 ~ 1.0V	0	0
3	1.3 ~ 1.5V	0	1

图 6B

## 第一页面的编程

存储单元的状态	存储单元的阈值电压	数据	
		第二页面	第一页面
0	0V或更低	1	1
1	0.3 ~ 0.5V	1	0
2	0.8 ~ 1.0V	-	-
3	1.3 ~ 1.5V	-	-

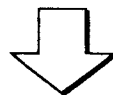


图 7A

## 第二页面的编程

存储单元的状态	存储单元的阈值电压	数据	
		第二页面	第一页面
0	0V或更低	1	1
1	0.3 ~ 0.5V	1	0
2	0.8 ~ 1.0V	0	0
3	1.3 ~ 1.5V	0	1

图 7B

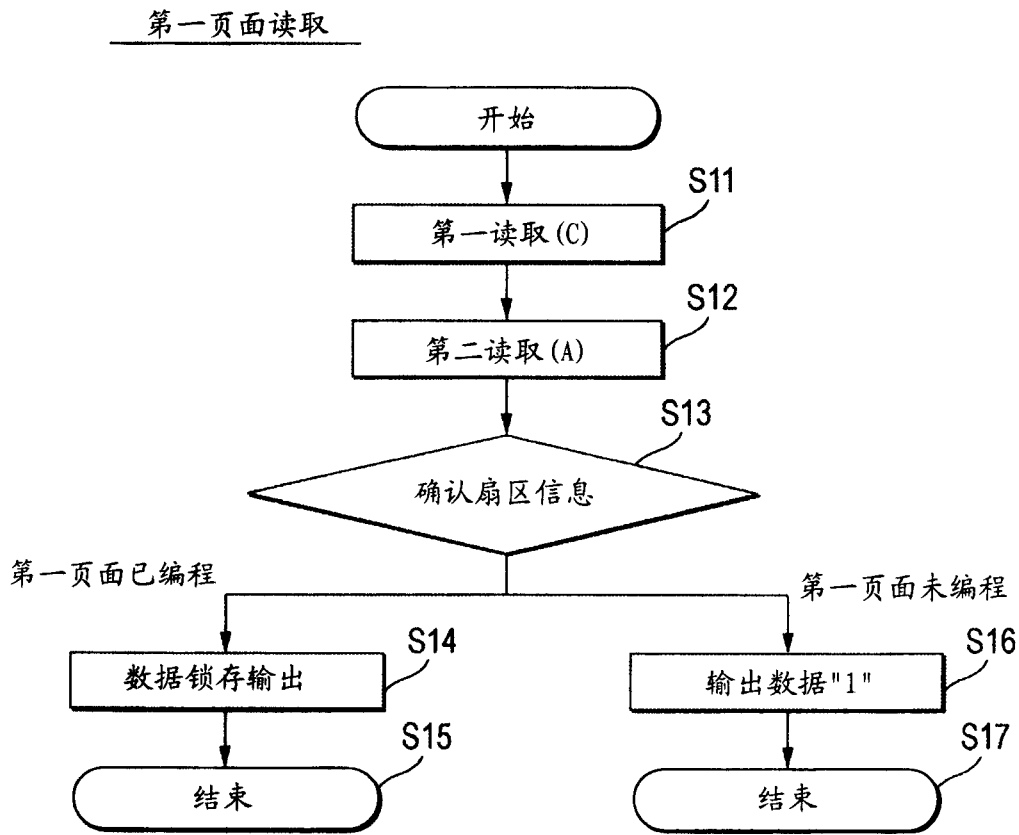


图 8A

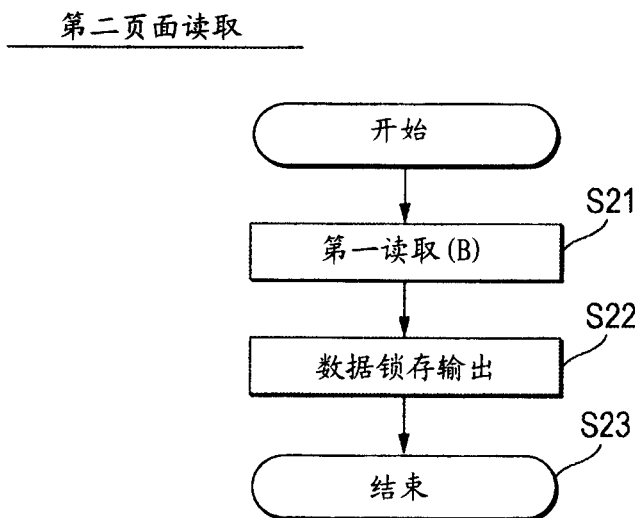


图 8B

第一页面编程

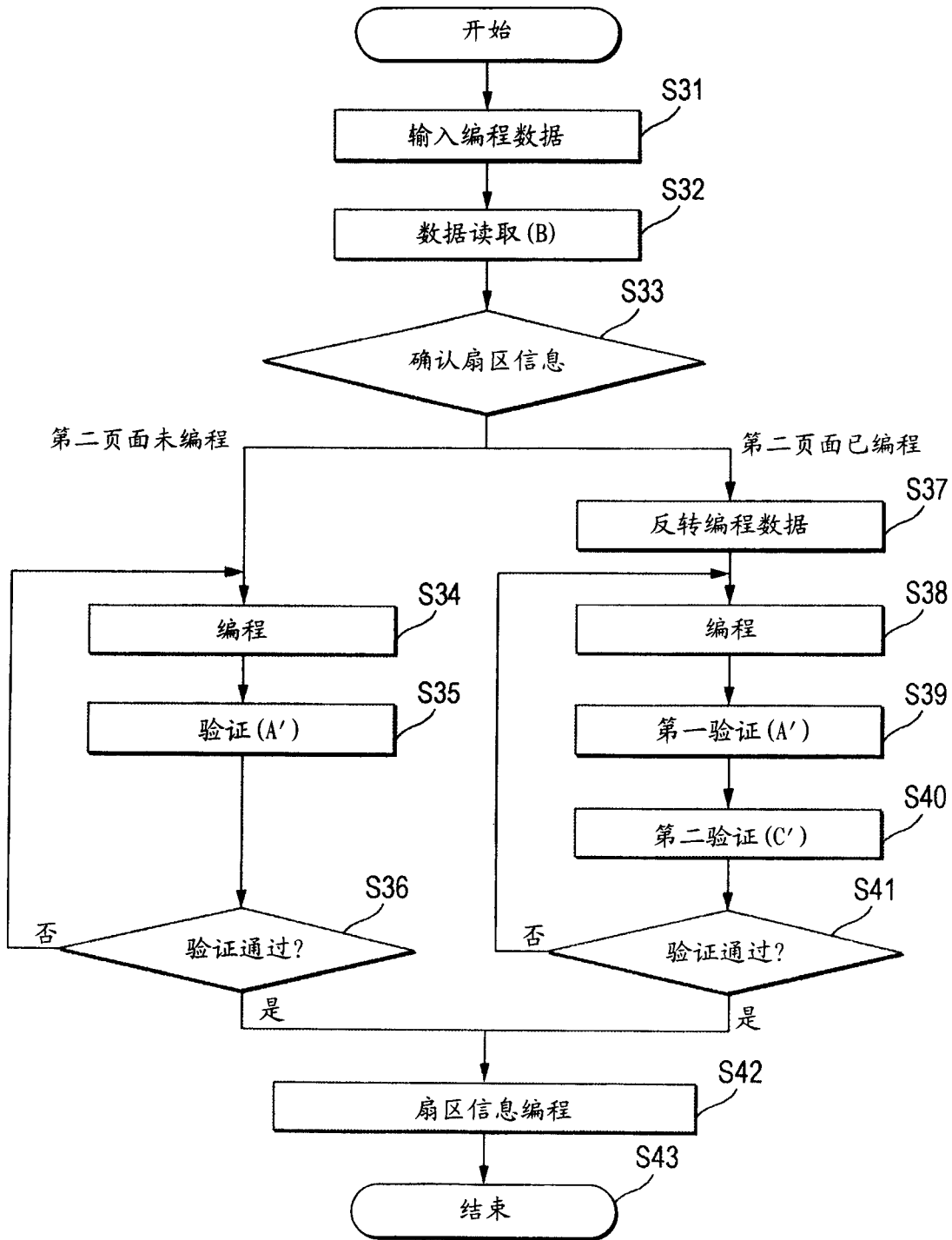


图 9

第二页面编程

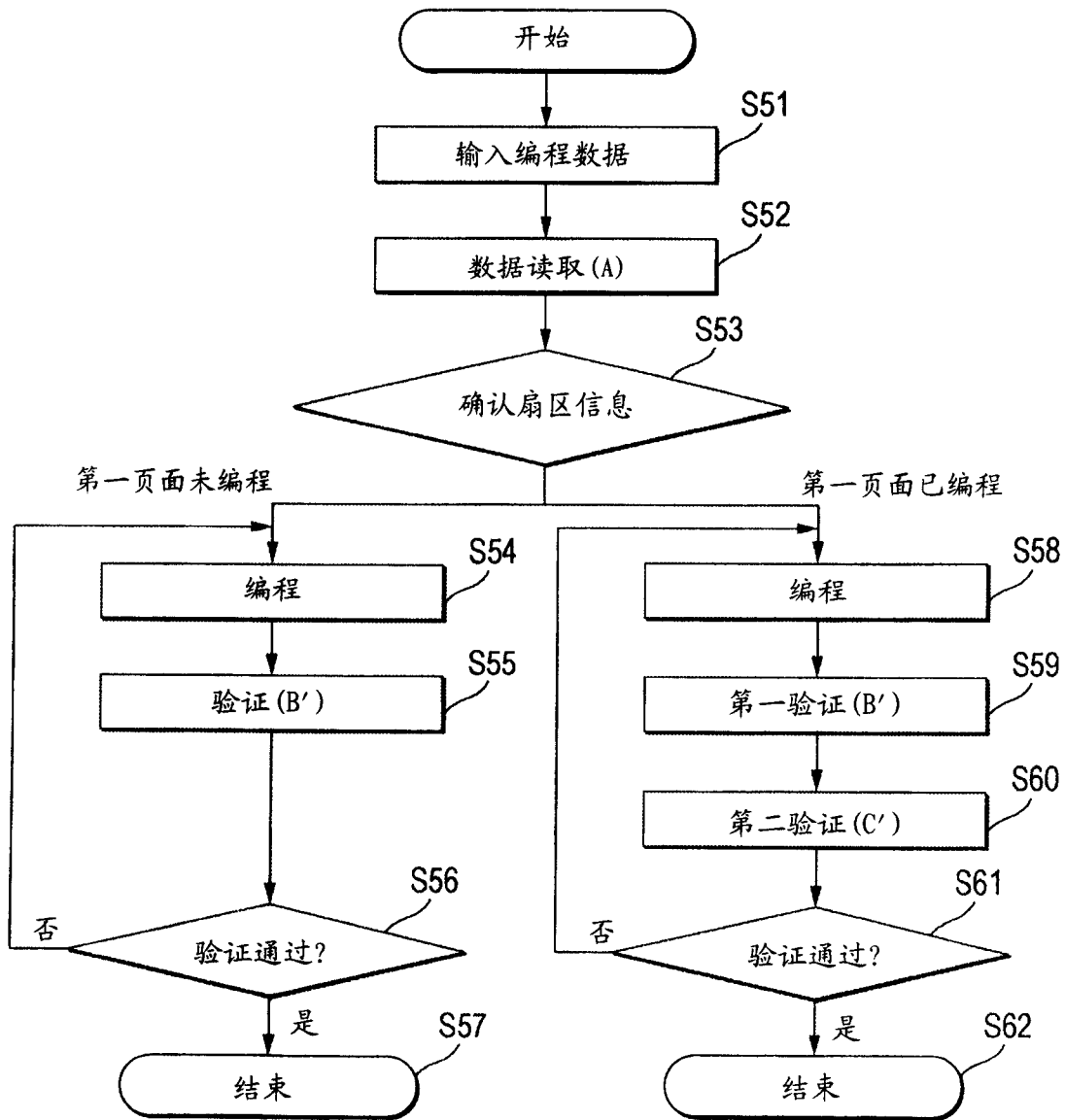


图 10

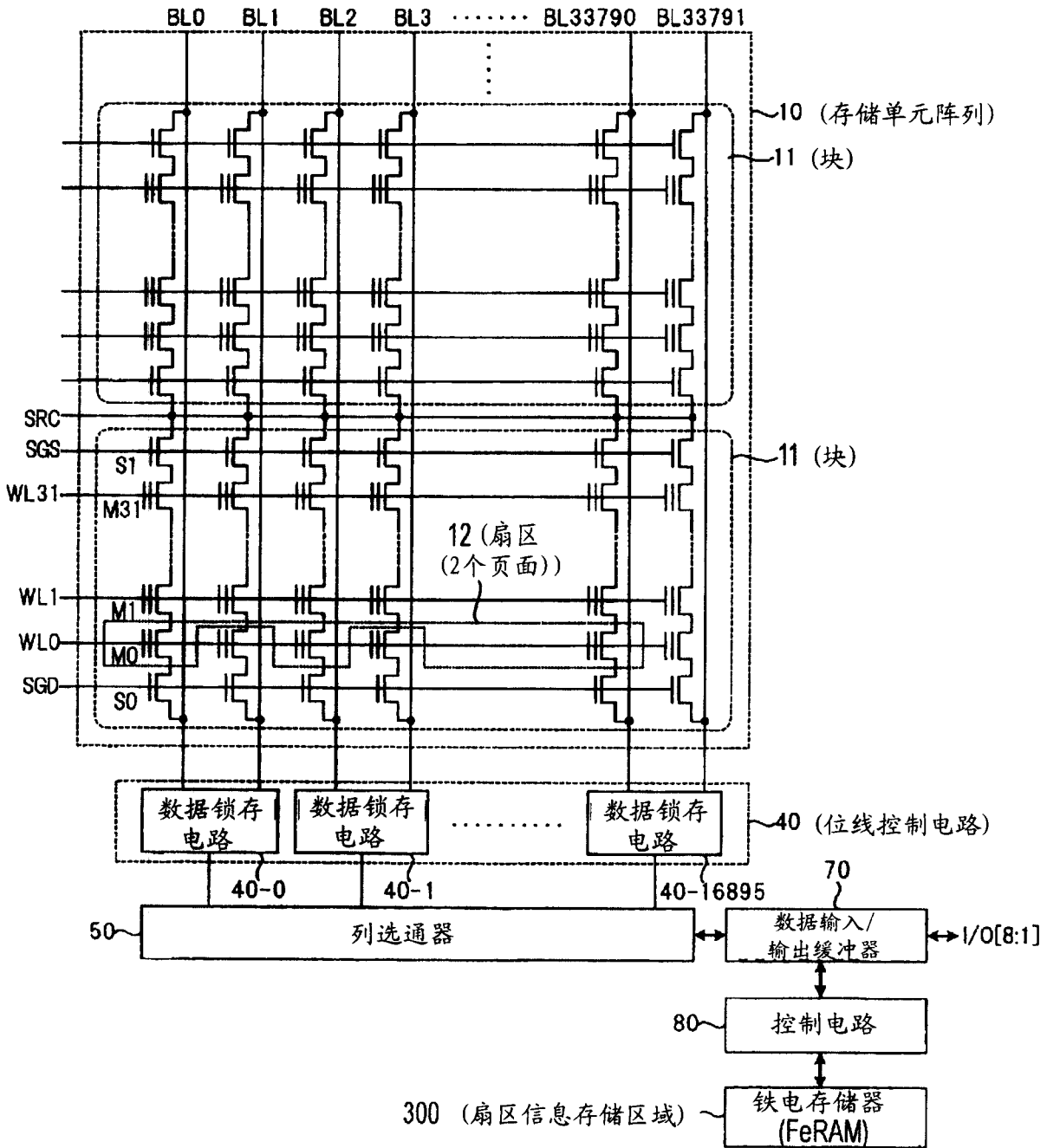


图 11



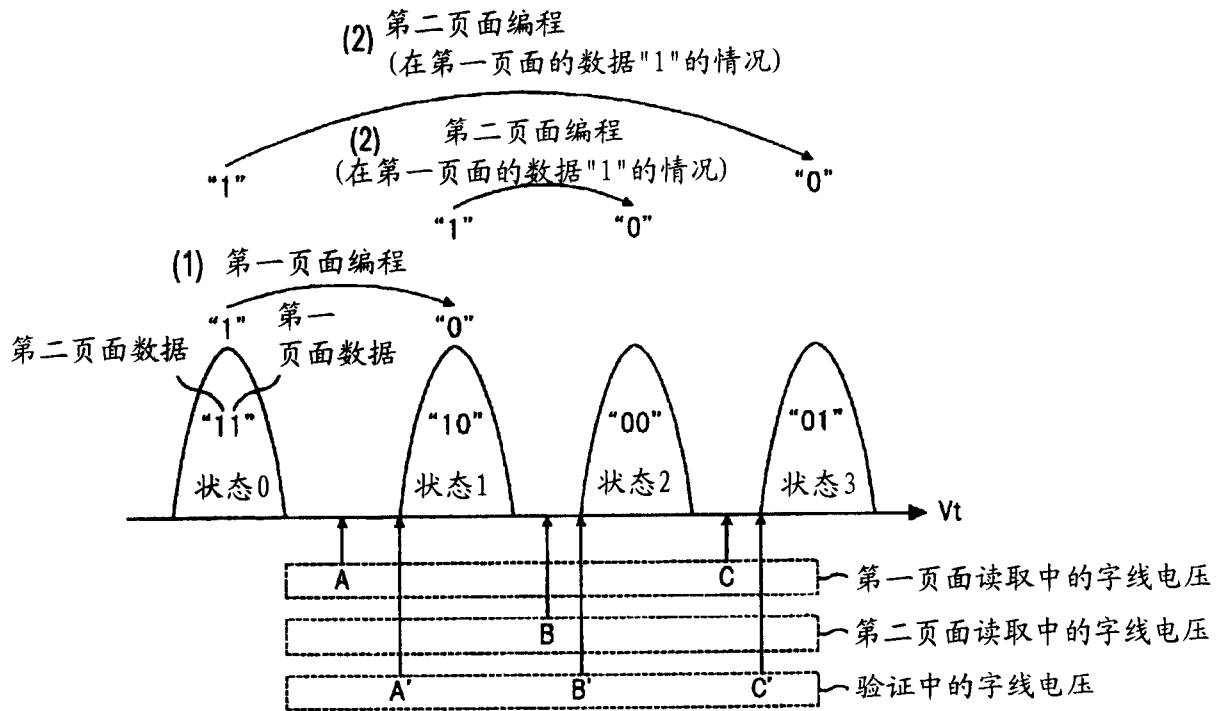


图 12

第一页面的编程

存储单元的状态	存储单元的阈值电压	数据	
		第二页面	第一页面
0	0V或更低	1	1
1	0.3 ~ 0.5V	1	0
2	0.8 ~ 1.0V	-	-
3	1.3 ~ 1.5V	-	-



第二页面的编程

存储单元的状态	存储单元的阈值电压	数据	
		第二页面	第一页面
0	0V或更低	1	1
1	0.3 ~ 0.5V	1	0
2	0.8 ~ 1.0V	0	0
3	1.3 ~ 1.5V	0	1

图 13