

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2016年8月18日(18.08.2016)



(10) 国際公開番号
WO 2016/129109 A1

- (51) 国際特許分類:
H01L 27/14 (2006.01) H01L 21/82 (2006.01)
H01L 21/3205 (2006.01) H01L 23/522 (2006.01)
H01L 21/768 (2006.01) H04N 5/369 (2011.01)
- (21) 国際出願番号: PCT/JP2015/053997
- (22) 国際出願日: 2015年2月13日(13.02.2015)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人: ルネサスエレクトロニクス株式会社
(RENESAS ELECTRONICS CORPORATION)
[JP/JP]; 〒1350061 東京都江東区豊洲三丁目2番
24号 Tokyo (JP).
- (72) 発明者: 関川 宏昭(SEKIKAWA, Hiroaki); 〒
1350061 東京都江東区豊洲三丁目2番24号
ルネサスエレクトロニクス株式会社内 Tokyo
(JP).
- (74) 代理人: 特許業務法人 筒井国際特許事務所
(TSUTSUI & ASSOCIATES); 〒1600022 東京都新宿
区新宿2丁目3番10号 新宿御苑ビル3階
筒井国際特許事務所 Tokyo (JP).

- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

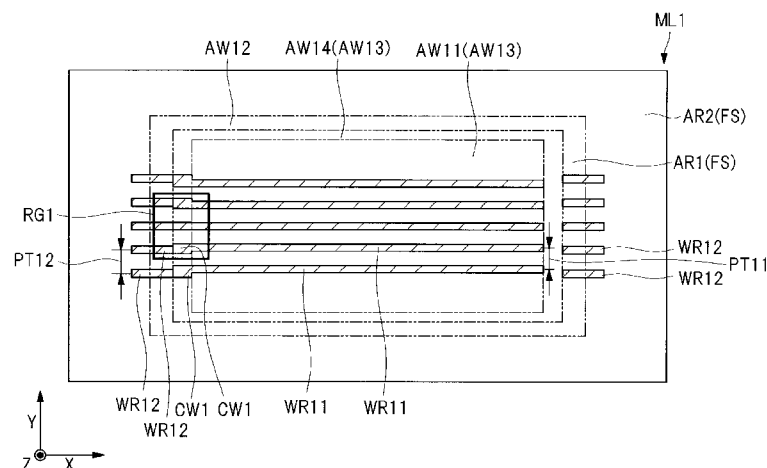
添付公開書類:

— 国際調査報告 (条約第21条(3))

(54) Title: SEMICONDUCTOR DEVICE AND METHOD FOR MANUFACTURING SAME

(54) 発明の名称: 半導体装置およびその製造方法

図 4



(57) Abstract: This semiconductor device has: a plurality of wiring lines (WR11) formed above a semiconductor substrate, said wiring lines being formed in a same layer; and a plurality of wiring lines (WR12) formed in the same layer with the wiring lines (WR11). The wiring lines (WR11) extend in the X axis direction in a plan view, and are disposed at a pitch (PT11) in the Y axis direction intersecting the X axis direction, and the wiring lines (WR12) extend in the X axis direction in the plan view, and are disposed at a pitch (PT12) in the Y axis direction. The wiring lines (WR11) are electrically connected to the wiring lines (WR12), respectively, and the pitch (PT11) is smaller than the pitch (PT12).

(57) 要約:

[続葉有]

WO 2016/129109 A1



半導体装置は、半導体基板の上方に、互いに同層に形成された複数の配線（WR 1 1）と、複数の配線（WR 1 1）とそれぞれ同層に形成された複数の配線（WR 1 2）と、を有する。複数の配線（WR 1 1）は、平面視において、X軸方向にそれぞれ延在し、かつ、X軸方向と交差するY軸方向にピッチ（PT 1 1）で配列され、複数の配線（WR 1 2）は、平面視において、X軸方向にそれぞれ延在し、かつ、Y軸方向にピッチ（PT 1 2）で配列されている。複数の配線（WR 1 1）は、複数の配線（WR 1 2）の各々とそれぞれ電氣的に接続され、ピッチ（PT 1 1）は、ピッチ（PT 1 2）よりも小さい。

明 細 書

発明の名称：半導体装置およびその製造方法

技術分野

[0001] 本発明は、半導体装置およびその製造方法に関し、例えば、固体撮像素子を含む半導体装置およびその製造方法に好適に利用できるものである。

背景技術

[0002] デジタルカメラなどに用いられる固体撮像素子（以下、単に「撮像素子」とも称する。）として、CMOS（Complementary Metal Oxide Semiconductor）を用いたCMOSイメージセンサの開発が進められている。

[0003] このCMOSイメージセンサを備えた半導体装置としての撮像素子は、半導体基板の上面に形成された、複数の画素を有する。複数の画素は、平面視において、マトリクス状に配列され、光をそれぞれ検出する。また、これらの複数の画素の各々には、光を検出して電荷を発生させるフォトダイオードなどの光電変換素子が形成されている。

[0004] 特許第2600250号公報（特許文献1）には、固体撮像装置において、複数の受光部上に集光部が配設される技術が開示されている。特許第3478796号公報（特許文献2）には、固体撮像装置において、光電変換領域が2次元状に配列される技術が開示されている。特許第3551437号公報（特許文献3）には、固体撮像装置において、基板上に、複数の受光部と、複数の色フィルタと、複数の集光部とが設けられる技術が開示されている。特許第4419658号公報（特許文献4）には、固体撮像装置において、複数の受光部と、複数のオンチップレンズとが設けられる技術が記載されている。特許第4004302号公報（特許文献5）には、撮像素子において、受光素子と、色フィルタと、マイクロレンズから構成される画素が、マトリクス状に複数配置される技術が記載されている。特開2007-88851号公報（特許文献6）には、撮像装置において、受光素子およびマイクロレンズを有する撮像素子と、撮像レンズとを具備する技術が記載されて

いる。

先行技術文献

特許文献

- [0005] 特許文献1：特許第2600250号公報
特許文献2：特許第3478796号公報
特許文献3：特許第3551437号公報
特許文献4：特許第4419658号公報
特許文献5：特許第4004302号公報
特許文献6：特開2007-88851号公報

発明の概要

発明が解決しようとする課題

- [0006] このような半導体装置としての撮像素子は、半導体基板の上方に形成された遮光膜を有する。遮光膜は、複数の画素の各々に形成されたフォトダイオードに光が適切に入射されるように、不要な光を遮光する。一方、遮光膜のうち各フォトダイオード上に位置する部分には、開口部が形成されている。
- [0007] ここで、複数の画素の配列の周辺側に配置された画素に入射される入射光は、半導体基板の上面に垂直な方向に対して傾斜した方向から入射される。このような場合、各画素に入射される光の一部が、その画素に含まれるフォトダイオードに入射されないことにより、フォトダイオードPDの感度の低下、すなわちシェーディングが発生する。
- [0008] このシェーディングを防止または抑制するためには、遮光膜に形成された開口部に対して、複数の画素の配列の中心側の位置を中心として縮小する縮小処理、すなわちシュリンク処理を行って、開口部をずらすことが考えられる。しかし、遮光膜の開口部に対してシュリンク処理を行うだけでは、各画素に入射される光が、半導体基板の上方の配線層であって、遮光膜とは異なる層の配線層に含まれる配線に反射されるため、シェーディングを防止または抑制することは困難である。そのため、CMOSイメージセンサの感度が

低下し、半導体装置の性能が低下する。

[0009] その他の課題と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

課題を解決するための手段

[0010] 一実施の形態によれば、半導体装置は、半導体基板の上方に、互いに同層に形成された複数の第1配線と、複数の第1配線とそれぞれ同層に形成された第2配線と、を有する。複数の第1配線は、平面視において、第1方向にそれぞれ延在し、かつ、第1方向と交差する第2方向に第1ピッチで配列され、複数の第2配線は、平面視において、第1方向にそれぞれ延在し、かつ、第2方向に第2ピッチで配列されている。複数の第1配線は、複数の第2配線の各々とそれぞれ電氣的に接続され、第1ピッチは、第2ピッチよりも小さい。

発明の効果

[0011] 一実施の形態によれば、半導体装置の性能を向上させることができる。

図面の簡単な説明

[0012] [図1]実施の形態1の半導体装置の構成を示す平面図である。

[図2]実施の形態1の半導体装置の構成を示す断面図である。

[図3]実施の形態1の半導体装置の構成を示す断面図である。

[図4]実施の形態1における第1層の配線層の配線レイアウトを示す平面図である。

[図5]実施の形態1における第1層の配線層の配線レイアウトを示す平面図である。

[図6]実施の形態1における最上層の配線層の配線レイアウトデータを示す平面図である。

[図7]実施の形態1における最上層の配線層の配線レイアウトデータを示す平面図である。

[図8]実施の形態1における最上層の配線層の配線レイアウトデータを示す平面図である。

[図9]実施の形態1における最上層の配線層の配線レイアウトデータを示す平面図である。

[図10]実施の形態1における最上層の配線層の配線レイアウトデータを示す平面図である。

[図11]配線レイアウトの設計工程および露光用マスクの製造工程の一部を示すプロセスフロー図である。

[図12]実施の形態1における第1層の配線層の配線レイアウトデータを示す平面図である。

[図13]実施の形態1における第1層の配線層の配線レイアウトデータを示す平面図である。

[図14]実施の形態1における第1層の配線層の配線レイアウトデータを示す平面図である。

[図15]実施の形態1における第1層の配線層の配線レイアウトデータを示す平面図である。

[図16]実施の形態1における第1層の配線層の配線レイアウトデータを示す平面図である。

[図17]実施の形態1における第1層の配線層における配置レイアウトの他の例を示す平面図である。

[図18]実施の形態1の半導体装置の製造工程の一部を示す製造プロセスフロー図である。

[図19]実施の形態1の半導体装置の製造工程中における要部断面図である。

[図20]実施の形態1の半導体装置の製造工程中における要部断面図である。

[図21]実施の形態1の半導体装置の製造工程中における要部断面図である。

[図22]実施の形態1の半導体装置の製造工程中における要部断面図である。

[図23]実施の形態1の半導体装置の製造工程中における要部断面図である。

[図24]実施の形態1の半導体装置の製造工程中における要部断面図である。

[図25]比較例の半導体装置の構成を示す断面図である。

[図26]比較例における第1層の配線層の配線レイアウトを示す平面図である

。

[図27]実施の形態1の第1変形例における第1層の配線層の配線レイアウトの第1変形例を示す平面図である。

[図28]実施の形態1の第1変形例における第1層の配線層の配線レイアウトの他の例を示す平面図である。

[図29]実施の形態1の第1変形例における第1層の配線層の配線レイアウトの他の例を示す平面図である。

[図30]実施の形態1の第1変形例における第1層の配線層の配線レイアウトの他の例を示す平面図である。

[図31]実施の形態1の第1変形例における第1層の配線層の配線レイアウトのさらに他の例を示す平面図である。

[図32]実施の形態1の第2変形例における第1層の配線層の配線レイアウトを示す平面図である。

[図33]実施の形態1の第2変形例における第1層の配線層の配線レイアウトの他の例を示す平面図である。

[図34]実施の形態1の第3変形例における第1層の配線層の配線レイアウトを示す平面図である。

[図35]実施の形態1の第3変形例における第1層の配線層の配線レイアウトの他の例を示す平面図である。

[図36]実施の形態1の第3変形例における第1層の配線層の配線レイアウトの他の例を示す平面図である。

[図37]実施の形態1の第4変形例における第1層の配線層の配線レイアウトを示す平面図である。

[図38]実施の形態1の第4変形例における第1層の配線層の配線レイアウトの他の例を示す平面図である。

[図39]実施の形態2における第2層の配線層の配線レイアウトを示す平面図である。

[図40]実施の形態2における第2層の配線層の配線レイアウトを示す平面図

である。

[図41]実施の形態2における第2層の配線層の配線レイアウトデータを示す平面図である。

[図42]実施の形態2における第2層の配線層の配線レイアウトデータを示す平面図である。

[図43]実施の形態2における第2層の配線層の配線レイアウトデータを示す平面図である。

[図44]実施の形態2における第2層の配線層の配線レイアウトデータを示す平面図である。

[図45]実施の形態2における第2層の配線層の配線レイアウトデータを示す平面図である。

[図46]実施の形態2における第2層の配線層の配線レイアウトデータを第1層の配線層の配線レイアウトデータと重ねて示す平面図である。

[図47]実施の形態2の第1変形例における第2層の配線層の配線レイアウトを示す平面図である。

[図48]実施の形態2の第1変形例における第2層の配線層の配線レイアウトを示す平面図である。

[図49]実施の形態2の第1変形例における第2層の配線層の配線レイアウトデータを第1層の配線層の配線レイアウトデータと重ねて示す平面図である。

[図50]実施の形態2の第1変形例における第2層の配線層の配線レイアウトの他の例を示す平面図である。

[図51]実施の形態2の第1変形例における第2層の配線層の配線レイアウトの他の例を示す平面図である。

[図52]実施の形態2の第2変形例における第1層の配線層の配線レイアウトを第2層の配線層の配線レイアウトデータと重ねて示す平面図である。

[図53]実施の形態2の第2変形例における第1層の配線層の配線レイアウトを示す平面図である。

[図54]実施の形態2の第2変形例における第1層の配線層の配線レイアウトを示す平面図である。

[図55]実施の形態2の第2変形例における第1層の配線層の配線レイアウトの他の例を示す平面図である。

[図56]実施の形態2の第2変形例における第1層の配線層の配線レイアウトの他の例を示す平面図である。

[図57]実施の形態2の第2変形例における第1層の配線層の配線レイアウトの他の例を示す平面図である。

[図58]実施の形態2の第2変形例における第1層の配線層の配線レイアウトの他の例を示す平面図である。

[図59]実施の形態2の第3変形例における第2層の配線層の配線レイアウトを示す平面図である。

[図60]実施の形態2の第3変形例における第2層の配線層の配線レイアウトを示す平面図である。

[図61]実施の形態2の第3変形例における第2層の配線層の配線レイアウトの他の例を示す平面図である。

[図62]実施の形態2の第4変形例における第2層の配線層の配線レイアウトを示す平面図である。

[図63]実施の形態2の第4変形例における第2層の配線層の配線レイアウトを示す平面図である。

発明を実施するための形態

[0013] 以下の実施の形態においては便宜上その必要があるときは、複数のセクションまたは実施の形態に分割して説明するが、特に明示した場合を除き、それらはお互いに無関係なものではなく、一方は他方の一部または全部の変形例、詳細、補足説明等の関係にある。

[0014] また、以下の実施の形態において、要素の数等（個数、数値、量、範囲等を含む）に言及する場合、特に明示した場合および原理的に明らかに特定の数に限定される場合等を除き、その特定の数に限定されるものではなく、特

定の数以上でも以下でもよい。

[0015] さらに、以下の実施の形態において、その構成要素（要素ステップ等も含む）は、特に明示した場合および原理的に明らかに必須であると考えられる場合等を除き、必ずしも必須のものではないことはいうまでもない。同様に、以下の実施の形態において、構成要素等の形状、位置関係等に言及するときは、特に明示した場合および原理的に明らかにそうでないと考えられる場合等を除き、実質的にその形状等に近似または類似するもの等を含むものとする。このことは、上記数値および範囲についても同様である。

[0016] 以下、代表的な実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において、同一の機能を有する部材には同一の符号を付し、その繰り返しの説明は省略する。また、以下の実施の形態では、特に必要なとき以外は同一または同様な部分の説明を原則として繰り返さない。

[0017] さらに、実施の形態で用いる図面においては、断面図であっても図面を見やすくするためにハッチングを省略する場合もある。また、平面図であっても図面を見やすくするためにハッチングを付す場合もある。

[0018] また、断面図および平面図において、各部位の大きさは実デバイスと対応するものではなく、図面を分かりやすくするため、特定の部位を相対的に大きく表示する場合がある。また、平面図と断面図が対応する場合においても、各部位の大きさを変えて表示する場合がある。

[0019] （実施の形態１）

以下、図面を参照しながら本実施の形態１の半導体装置としての撮像素子の構造および製造工程について詳細に説明する。本実施の形態１では、半導体装置としての撮像素子が、ＣＭＯＳイメージセンサを備えている例について説明する。

[0020] ＜半導体装置の構成＞

まず、実施の形態１の半導体装置としての撮像素子の構成を説明する。

[0021] 図１は、実施の形態１の半導体装置の構成を示す平面図である。図２およ

び図3は、実施の形態1の半導体装置の構成を示す断面図である。図2は、図1のA-A線に沿った断面図であり、図3は、図1のB-B線に沿った断面図である。

[0022] 図1～図3に示すように、本実施の形態1の半導体装置は、例えば単結晶シリコン（Si）などからなる半導体基板SBを有する。半導体基板SBは、半導体基板SBの主面としての上面の領域である領域AR1と、半導体基板SBの主面としての上面の領域であって、領域AR1よりも半導体基板SBの周辺側の領域である領域AR2と、を有する。

[0023] 本実施の形態1の半導体装置は、領域AR1で、半導体基板SBの上面に形成された、複数の画素PUを有する。すなわち、領域AR1は、複数の画素PUが形成された画素領域である。

[0024] 半導体基板SBの主面としての上面内で、互いに交差、好適には直交する2つの方向を、X軸方向およびY軸方向とする。また、半導体基板SBの主面としての上面に垂直な方向を、Z軸方向とする。このとき、複数の画素PUは、平面視において、X軸方向およびY軸方向にマトリクス状に配列されている。

[0025] なお、本願明細書では、平面視において、とは、半導体基板SBの主面としての上面に垂直な方向であるZ軸方向から視た場合を意味する。

[0026] 図示は省略するが、本実施の形態1の半導体装置としての撮像素子は、領域AR2で、半導体基板SBの上面に形成された、周辺回路を有する。すなわち、領域AR2は、周辺回路が形成された周辺回路領域である。周辺回路は、半導体基板SBの上面に形成され、例えば複数の画素PUのスイッチングに用いられる複数のトランジスタ、および、それらの複数のトランジスタ上に形成された配線層、などを有する。

[0027] 複数の画素PUの各々は、フォトダイオードPD、転送用トランジスタTX、および、増幅用トランジスタ（図示せず）などを有する。また、複数の画素PUの各々は、カラーフィルタCF、および、マイクロレンズMLを有する。さらに、半導体装置は、遮光膜SF1を有する。遮光膜SF1は、複

数の画素P Uの各々に含まれるフォトダイオードP Dに光が適切に入射されるように、不要な光を遮光する。一方、遮光膜S F 1のうち各フォトダイオードP D上に位置する部分には、開口部O P 1が形成されている。カラーフィルタC Fは、フォトダイオードP Dに所望の波長の光が入射されるように、その波長の光のみを透過する。マイクロレンズM Lは、フォトダイオードP Dに光が適切に入射されるように、光を集光する。

[0028] フォトダイオードP Dは、入射光を受光して電荷に変換する光電変換素子である。転送用トランジスタT Xは、フォトダイオードP Dにより入射光が変換されることにより生成された電荷を転送するためのトランジスタである。フォトダイオードP Dは、領域A R 1で、半導体基板S Bの上面に形成されている。

[0029] 領域A R 1で、半導体基板S Bの上面側には、例えばホウ素（B）などのp型の不純物が導入されたp型半導体層P Wが形成されている。一方、領域A R 1で、p型半導体層P Wの上層部には、例えばリン（P）またはヒ素（As）などのn型の不純物が導入されたn型半導体層N Wが、形成されている。したがって、領域A R 1で、p型半導体層P Wは、n型半導体層N Wの直下に形成されている。p型半導体層P Wおよびn型半導体層N Wはp n接合しており、フォトダイオードP Dを構成している。すなわち、領域A R 1で、半導体基板S Bの上面に、複数のフォトダイオードP Dが形成されている。

[0030] 半導体基板S Bの上面には、例えば酸化シリコン（S i O₂）膜からなるゲート絶縁膜G Iを介して、例えばポリシリコン膜からなるゲート電極G Eが形成されている。ゲート電極G Eの側面には、例えば酸化シリコン膜からなるサイドウォールS Wが形成されている。ゲート電極G Eは、転送用トランジスタT Xのゲート電極である。一方、フォトダイオードP Dを構成するn型半導体層N Wが、転送用トランジスタT Xのソース領域を兼ねている。

[0031] なお、図2および図3では、転送用トランジスタT Xのドレイン領域の図示を省略している。また、フォトダイオードP Dは、フォトダイオードP D

において出力した信号を増幅する増幅用トランジスタなどのトランジスタに、転送用トランジスタTXを介して接続されているが、ここでは転送用トランジスタTXのみを図示しており、素子分離領域などの図示を省略している。

[0032] 領域AR1および領域AR2では、フォトダイオードPDおよび転送用トランジスタTXを覆うように、半導体基板SBの上面上には、例えば酸化シリコン膜からなる層間絶縁膜ILが形成されている。また、層間絶縁膜ILの上表面は、CMP（Chemical Mechanical Polishing）法などにより平坦化されている。

[0033] なお、フォトダイオードPDの上表面、ゲート電極GEの上表面、および、ゲート電極GEの側面に形成されたサイドウォールSWの上表面には、例えば窒化シリコン膜からなるキャップ絶縁膜CAPが形成されていてもよい。このような場合には、層間絶縁膜ILは、フォトダイオードPD上および転送用トランジスタTX上に、キャップ絶縁膜CAPを介して形成されている。

[0034] また、層間絶縁膜ILが形成された後、層間絶縁膜ILを貫通して半導体基板SBに達するコンタクトプラグ（図示は省略）を複数形成することができる。この場合、コンタクトプラグの上表面および層間絶縁膜ILの上表面が、CMP法などにより平坦化されることになる。

[0035] 層間絶縁膜IL上には、例えば酸化シリコン（SiO₂）膜からなる層間絶縁膜IL1が形成されている。

[0036] 層間絶縁膜IL1には、層間絶縁膜IL1を貫通する複数の配線溝が形成されている。複数の配線溝のそれぞれの内部に例えば銅（Cu）膜が埋め込まれることにより、複数の配線溝のそれぞれの内部に配線WR11が形成されている。配線WR11は上記コンタクトプラグを介して、半導体基板SBの上表面に形成されたフォトダイオードPDまたは転送用トランジスタTXなどの半導体素子と電氣的に接続される。

[0037] なお、層間絶縁膜IL1および配線WR11は、第1層の配線層ML1を構成している。

[0038] 配線WR 1 1 が、隣り合う2つの画素P Uの間に配置されている。これにより、複数の画素P Uの各々に含まれるフォトダイオードP Dに光が入射される際に、配線WR 1 1 により入射光が遮光されることを、防止または抑制することができる。なお、配線WR 1 1 および層間絶縁膜I L 1 のそれぞれの上面は、CMP法などにより平坦化されていてもよい。

[0039] 層間絶縁膜I L 1 および配線WR 1 1 上には、例えば炭素含有酸化ケイ素（S i O C）膜などからなる層間絶縁膜I L 2 が形成されている。

[0040] 層間絶縁膜I L 2 の上面に複数の配線溝が形成され、また、それらの配線溝の底面に、層間絶縁膜I L 2 を貫通する複数のビアホール（図示は省略）が形成されている。複数の配線溝および複数のビアホールのそれぞれの内部に例えば銅（C u）膜が埋め込まれることにより、複数の配線溝のそれぞれの内部に配線WR 2 1 が形成され、複数のビアホールのそれぞれの内部にビア（図示は省略）が形成されている。配線WR 2 1 は上記ビアを介して、配線WR 1 1 と電氣的に接続される。

[0041] なお、層間絶縁膜I L 2、配線WR 2 1 および上記ビア（図示は省略）は、第2層の配線層M L 2 を構成している。

[0042] 配線WR 2 1 が、隣り合う2つの画素P Uの間に配置されている。これにより、複数の画素P Uの各々に含まれるフォトダイオードP Dに光が入射される際に、配線WR 2 1 により入射光が遮光されることを、防止または抑制することができる。なお、配線WR 2 1 および層間絶縁膜I L 2 のそれぞれの上面は、CMP法などにより平坦化される。

層間絶縁膜I L 2 および配線WR 2 1 上には、例えば炭素含有酸化ケイ素（S i O C）膜などからなる層間絶縁膜I L 3 が形成されている。

[0043] 層間絶縁膜I L 3 の上面に複数の配線溝が形成されている。複数の配線溝のそれぞれの内部に例えば銅（C u）膜が埋め込まれることにより、複数の配線溝のそれぞれの内部に遮光膜S F 1 が形成されている。

[0044] なお、領域A R 2 では、配線溝T R 3 の内部に、遮光膜と同層に配線WR 3 が形成されている。また、層間絶縁膜I L 3、遮光膜S F 1 および配線W

R 3 は、第 3 層の配線層 M L 3 を構成している。

[0045] 遮光膜 S F 1 が、隣り合う 2 つの画素 P U の間に配置されている。これにより、複数の画素 P U の各々に含まれるフォトダイオード P D に光が入射される際に、遮光膜 S F 1 により入射光が遮光されることを、防止または抑制することができる。なお、遮光膜 S F 1 および層間絶縁膜 I L 3 のそれぞれの上面は、CMP 法などにより平坦化される。

[0046] なお、図 1 に示すように、遮光膜 S F 1 は、領域 A R 1 で、一体的に形成されている。そのため、遮光膜 S F 1 には、複数の開口部 O P 1 が X 軸方向および Y 軸方向にマトリクス状に形成されており、複数の開口部 O P 1 の各々に画素 P U が形成されていることになる。

[0047] このように、本実施の形態 1 の半導体装置は、領域 A R 1 および A R 2 で、半導体基板 S B の上面の上方に形成された複数の配線層 M L 1、M L 2 および M L 3 を有する。また、配線 W R 1 1 は、最上層の配線層 M L 3 よりも下層の配線層 M L 1 に含まれ、配線 W R 2 1 は、最上層の配線層 M L 3 よりも下層の配線層 M L 2 に含まれる。

[0048] なお、遮光膜 S F 1 が最上層の配線層よりも下層の配線層に含まれてもよく、配線 W R 1 1 または配線 W R 2 1 が、遮光膜よりも上層の配線層に含まれてもよい。

[0049] 層間絶縁膜 I L 3、遮光膜 S F 1 および配線 W R 3 上には、例えば窒化シリコン膜からなる絶縁膜 I L 4 が形成されている。

[0050] 隣り合う 2 つの画素 P U の間で、絶縁膜 I L 4 上には、例えば酸化シリコン膜からなる隔壁 B W が形成されている。

[0051] 隣り合う隔壁 B W 同士の間には、カラーフィルタ C F が形成されている。カラーフィルタ C F は、例えば赤 (R)、緑 (G) または青 (B) などの特定の色の光を透過させ、その他の色の光を透過させない膜である。

[0052] 本実施の形態 1 の半導体装置である撮像素子は、半導体基板 S B の主面側、すなわち上面側から各画素 P U に照射された光を、各画素 P U に含まれるフォトダイオード P D により入射光として受光して電荷に変換し、変換され

た電荷を信号情報として読みとることにより、画像情報データなどを得るものである。

[0053] カラーフィルタCF上には、上面として凸曲面を有するマイクロレンズMLが形成されている。マイクロレンズMLは、その上面が湾曲した凸レンズであり、光が透過する膜からなる。マイクロレンズMLは、半導体基板SBの主面側、すなわち上面側から各画素PUに照射された光を、フォトダイオードPDに集光する。

[0054] 図3に示すように、本実施の形態1では、平面視において、各画素PUのうち複数の画素PUの配列の中心側の部分と隣り合う配線WR11の、当該画素PUに含まれるフォトダイオードPDに対する相対位置は、複数の画素PUの配列の周辺側ほど、複数の画素PUの配列の中心側にずれている。また、平面視において、各画素PUのうち複数の画素PUの配列の中心側の部分と隣り合う配線WR21の、当該画素PUに含まれるフォトダイオードPDに対する相対位置は、複数の画素PUの配列の周辺側ほど、複数の画素PUの配列の中心側にずれている。さらに、平面視において、各画素PUに含まれる開口部OP1の、当該画素PUに含まれるフォトダイオードPDに対する相対位置は、複数の画素PUの配列の周辺側ほど、複数の画素PUの配列の中心側にずれている。そして、同一の画素PUに対しては、配線WR11のずれ量DS1、配線WR21のずれ量DS2、開口部OP1のずれ量DS3の順に、大きくなる。

[0055] <配線レイアウト>

次に、配線層における配線レイアウトについて説明する。以下では、第1層の配線層ML1における配線レイアウトを例示して説明するが、例えば第2層など、第1層以外の層の配線層における配線レイアウトについても、同様にすることができる。

[0056] 図4および図5は、実施の形態1における第1層の配線層の配線レイアウトを示す平面図である。図5は、図4の領域RG1の拡大平面図である。

[0057] 図4および図5に示すように、第1層の配線層ML1は、複数の配線WR

1 1 と、複数の配線WR 1 2 と、を有する。複数の配線WR 1 1 は、半導体基板S B（図3参照）の主面としての上面の領域AW 1 1 で、第1層の配線層ML 1 に、互いに同層に形成されている。複数の配線WR 1 2 は、半導体基板S B（図3参照）の主面としての上面の領域AW 1 2 で、複数の配線WR 1 1 とそれぞれ同層に形成されている。領域AW 1 2 は、平面視において、X軸方向における領域AW 1 1 の一方の側に配置された領域である。また、図4では図示を省略するが、領域AW 1 1 には、複数の画素P U（図1参照）が形成されており、領域AW 1 2 には、周辺回路が形成されている。

[0058] 複数の配線WR 1 1 は、領域AW 1 1 で、平面視において、X軸方向にそれぞれ延在し、かつ、Y軸方向にピッチP T 1 1 で配列されている。複数の配線WR 1 2 は、領域AW 1 2 で、平面視において、X軸方向にそれぞれ延在し、かつ、Y軸方向にピッチP T 1 2 で配列されている。

[0059] 図4および図5に示す例では、第1層の配線層ML 1 は、複数の接続配線CW 1 を有する。すなわち、複数の接続配線CW 1 は、複数の配線WR 1 1 とそれぞれ同層に形成されている。複数の配線WR 1 1 は、複数の接続配線CW 1 の各々を介して、複数の配線WR 1 2 とそれぞれ接続されている。このような配置により、複数の配線WR 1 1 は、複数の配線WR 1 2 の各々とそれぞれ電氣的に接続されている。

[0060] 複数の配線WR 1 2 は、周辺回路に含まれる例えばトランジスタなどに接続されている。したがって、複数の配線WR 1 1 は、複数の配線WR 1 2 の各々を介して、周辺回路とそれぞれ接続されている。

[0061] 図4および図5に示すように、ピッチP T 1 1 は、ピッチP T 1 2 よりも小さい。このような配置により、画素P U（図1参照）が形成された領域AW 1 1 における、隣り合う2つの配線WR 1 1 の間の間隔を、周辺回路が形成された領域AW 1 2 における、隣り合う2つの配線WR 1 2 の間の間隔よりも、短くすることができる。

[0062] 図5に示すように、好適には、各配線WR 1 1 の、領域AW 1 2 側の端部E P 1 1 の、Y軸方向における幅WD 1 1 は、複数の配線WR 1 2 のうち、

当該各配線WR 1 1 と接続される配線WR 1 2 の、領域AW 1 1 側の端部EP 1 2 の、Y軸方向における幅WD 1 2 よりも狭い。

[0063] 後述する図1 2～図1 6を用いて説明するように、領域AW 1 2 から領域AW 1 3にかけて、X軸方向にそれぞれ延在し、かつ、Y軸方向に配列された配線を有するマスクデータDAT 1のうち、領域AW 1 3に配置された部分を切り出す。そして、切り出された部分に対して、切り出された部分内の位置（以下、「シュリンク中心位置」とも称する。）CT 1 1を中心として縮小処理を行った後、再び元のマスクデータDAT 1に貼り付ける。これにより、複数の配線WR 1 1と、複数の配線WR 1 2と、を有するマスクデータDAT 1 aを、容易に作成することができる。

[0064] また、このような場合、複数の配線WR 1 1のうちいずれかの配線WR 1 1が、平面視において、複数の配線WR 1 2のうち、当該いずれかの配線WR 1 1と接続された配線WR 1 2よりも、Y軸方向におけるシュリンク中心位置CT 1 1側にずれて配置されることになる。また、複数の配線WR 1 1のうち、複数の配線WR 1 1の配列のY軸方向における負側の端部に配置された配線WR 1 1は、平面視において、複数の配線WR 1 2のうち、当該配線WR 1 1と接続された配線WR 1 2よりも、Y軸方向における正側にずれて配置されることになる。

[0065] なお、各配線WR 1 1の幅WD 1 1が互いに等しく、かつ、各配線WR 1 2の幅WD 1 2が互いに等しい場合には、各配線WR 1 1の幅WD 1 1が、各配線WR 1 2の幅WD 1 2よりも狭くてもよい。

[0066] 図5に示すように、複数の接続配線CW 1の各接続配線CW 1のY軸方向における幅WC 1は、複数の配線WR 1 1のうち、当該各接続配線CW 1と接続された配線WR 1 1の領域AW 1 2側の端部EP 1 1の、Y軸方向における幅WD 1 1よりも広い。また、各接続配線CW 1のY軸方向における幅WC 1は、複数の配線WR 1 2のうち、当該各接続配線CW 1と接続された配線WR 1 2の領域AW 1 1側の端部EP 1 2の、Y軸方向における幅WD 1 2以上である。

[0067] これにより、互いに異なるY軸方向の幅を有する配線WR 1 1と配線WR 1 2とが、Y軸方向にずれて配置された場合でも、配線WR 1 1の端部E P 1 1のX軸方向における領域AW 1 2側の側面全面を、接続配線CW 1と接続することができる。また、配線WR 1 2の端部E P 1 2のX軸方向における領域AW 1 1側の側面全面を、接続配線CW 1と接続することができる。

[0068] 図5に示すように、複数の接続配線CW 1のうち接続配線CW 1 aが、複数の配線WR 1 1のうち配線WR 1 1 aと接続され、かつ、複数の配線WR 1 2のうち配線WR 1 2 aと接続されているものとする。接続配線CW 1 aの、Y軸方向におけるシュリンク中心位置CT 1 1側の側面を、側面SC 1とし、接続配線CW 1 aの、Y軸方向におけるシュリンク中心位置CT 1 1側と反対側の側面を、側面SC 2とする。また、配線WR 1 1 aの端部E P 1 1の、Y軸方向におけるシュリンク中心位置CT 1 1側の側面を、側面SW 1 1とし、配線WR 1 1 aの端部E P 1 1の、Y軸方向におけるシュリンク中心位置CT 1 1側と反対側の側面を、側面SW 1 2とする。さらに、配線WR 1 2 aの端部E P 1 2の、Y軸方向におけるシュリンク中心位置CT 1 1側の側面を、側面SW 2 1とし、配線WR 1 2 aの端部E P 1 2の、Y軸方向におけるシュリンク中心位置CT 1 1側と反対側の側面を、側面SW 2 2とする。

[0069] このとき、好適には、側面SC 1と、側面SW 1 1とは、同一面を形成し、側面SC 2と、側面SW 2 2とは、同一面を形成する。これにより、配線WR 1 1 aの端部E P 1 1のX軸方向における領域AW 1 2側の側面全面を接続配線CW 1 aと接続し、配線WR 1 2 aの端部E P 1 2のX軸方向における領域AW 1 1側の側面全面を接続配線CW 1 aと接続し、かつ、接続配線CW 1 aの幅WC 1を最も狭くすることができる。

[0070] <配線レイアウトの設計方法>

次に、配線層における配線レイアウトの設計方法を、露光用マスクの製造方法を含めて説明する。以下では、初めに、最上層の配線層における配線レイアウトの設計方法を説明した後、最上層より下層の配線層における配線レ

ィアウトの設計方法を説明する。なお、配線層以外の各層のレイアウト、例えばチップレイアウトも、同様に設計することができる。

[0071] 図6～図10は、実施の形態1における最上層の配線層の配線レイアウトデータを示す平面図である。

[0072] まず、チップレイアウトデータを作成する。この工程では、半導体装置としての撮像素子の各製造工程で用いられるマスクデータを作成するためのチップレイアウトデータを、GDS2ストリームデータなどとして作成する。

[0073] 次に、図6に示すように、マスクデータを作成する。マスクサイズ効果または光近接効果（Optical Proximity Effect）により、露光用マスクとしてのレチクルの表面に形成される露光用パターンと、半導体基板上に形成されるレジストパターンとの間には、形状差が発生する。そのため、上記した形状差を補正するために、各層におけるレイアウトデータに対して、いわゆるOPC処理と称される補正処理などを行って、各層のパターンデータとしてのマスクデータを作成する。このとき、最上層の配線層ML3については、図6に示すように、パターンデータとしてのマスクデータDAT3を作成する。

[0074] マスクデータDAT3は、平面FSの一部の領域である領域AR1と、平面FSの一部の領域である領域AR2と、を有する。領域AR1は、複数の画素PUが、例えばX軸方向およびY軸方向にマトリクス状に配列される領域、すなわち画素領域である。領域AR2は、周辺回路が形成される領域、すなわち周辺回路領域である。

[0075] 図6に示すように、マスクデータDAT3では、領域AR1に遮光膜SF1が配置され、領域AR2に配線WR3が配置されている。また、遮光膜SF1のうち、画素PUが形成される部分、すなわち光が入射される部分には、画素PUに含まれるフォトダイオードPD（図2参照）に光が入射されるように、画素PUごとに開口部OP1が配置されている。

[0076] 次に、図7に示すように、部分マスクデータを切り出す。この工程では、最上層の配線層ML3のマスクデータDAT3のうち、領域AW33に配置

された部分からなる、パターンデータとしての部分マスクデータDAT33を、切り出す。ここで、領域AW33は、領域AR1のうち、複数の画素PUが形成される領域を含む領域である。また、領域AR1および領域AR2のうち、領域AW33以外の領域を、領域AW32とする。

[0077] 遮光膜SF1のうち、領域AW33に配置された部分を、遮光膜SF11とする。また、遮光膜SF1のうち、領域AW32に配置された部分を、遮光膜SF12とする。

[0078] 次に、図8に示すように、シュリンク処理を行う。この工程では、切り出された部分マスクデータDAT33に対して、部分マスクデータDAT33内の位置CT31を中心として、一定の倍率で縮小する縮小処理、すなわちシュリンク処理を行う。これにより、それぞれ縮小された複数の開口部OP1が形成された遮光膜SF11を有する、パターンデータとしての縮小部分マスクデータDAT31が作成される。

[0079] 次に、図9に示すように、縮小部分マスクデータを貼り付ける。この工程では、縮小部分マスクデータDAT31内の位置CT31が、領域AW33の中心側の位置CT32（図7参照）と同じ座標になるように、縮小部分マスクデータDAT31を、平面FSの領域AW33内の領域であって、領域AW32から離れた領域である領域AW31に貼り付ける。このとき、領域AW31と領域AW32との間の領域は、マスクデータが作成されていない隙間領域AW34である。

[0080] 次に、図10に示すように、隙間部分マスクデータを作成する。この工程では、隙間領域AW34で、パターンデータとしての隙間部分マスクデータDAT34を形成し、隙間部分マスクデータDAT34により、隙間領域AW34を埋め込む。これにより、縮小部分マスクデータDAT31と、隙間部分マスクデータDAT34と、マスクデータDAT3と、を有する、パターンデータとしてのマスクデータDAT3aを作成する。

[0081] マスクデータDAT3aは、最上層の配線層ML3における配線レイアウトデータであるので、隙間部分マスクデータDAT34は、隙間領域AW3

4 全面に配置された遮光膜 S F 1 3 からなる。これにより、遮光膜 S F 1 1、S F 1 2 および S F 1 3 からなる遮光膜 S F 1 が配置される。

[0082] 次に、最上層よりも下層の配線層における配線レイアウトの設計方法を、露光用マスクの製造方法を含めて説明する。

[0083] 図 1 1 は、配線レイアウトの設計工程および露光用マスクの製造工程の一部を示すプロセスフロー図である。図 1 2 ～図 1 6 は、実施の形態 1 における第 1 層の配線層の配線レイアウトデータを示す平面図である。

[0084] なお、以下では、第 1 層の配線層 M L 1 における設計方法を例示して説明するが、例えば第 2 層の配線層 M L 2 など、第 1 層以外の配線層における設計方法にも適用可能である。また、以下では、上記した最上層の配線層 M L 3 における設計方法と共通の部分の説明を省略する。

[0085] まず、チップレイアウトデータを作成した後、図 1 2 に示すように、マスクデータを作成する（図 1 1 のステップ S 1）。このステップ S 1 では、第 1 層の配線層 M L 1 におけるレイアウトデータに対して、いわゆる O P C 処理と称される補正処理などを行って、第 1 層の配線層 M L 1 のパターンデータとしてのマスクデータ D A T 1 を準備する。マスクデータ D A T 1 は、平面 F S の一部の領域である領域 A R 1 と、平面 F S の一部の領域である領域 A R 2 と、を有する。図 1 2 では図示しないが、複数の画素 P U（図 6 参照）は、画素領域としての領域 A R 1 の一部の領域である領域 A W 1 3 内に配置されている。また、領域 A R 1 および領域 A R 2 のうち領域 A W 1 3 以外の領域を、領域 A W 1 2 とする。

[0086] 図 1 2 に示すように、マスクデータ D A T 1 では、領域 A R 1 から領域 A R 2 にかけて、複数の配線（配線パターン）W R 1 3 が配置されている。複数の配線 W R 1 3 は、X 軸方向にそれぞれ延在し、かつ、Y 軸方向にピッチ P T 1 2 で配列されている。すなわち、マスクデータ D A T 1 は、領域 A W 1 3 で、X 軸方向にそれぞれ延在し、かつ、Y 方向にピッチ P T 1 2 で配列された複数の配線（配線パターン）W R 1 3 と、領域 A W 1 2 で、X 軸方向にそれぞれ延在し、かつ、Y 軸方向にピッチ P T 1 2 で配列された複数の配

線（配線パターン）WR 1 3 と、を有する。

[0087] 次に、図 1 3 に示すように、部分マスクデータを切り出す（図 1 1 のステップ S 2）。このステップ S 2 では、第 1 層の配線層 ML 1 のマスクデータ DAT 1 のうち、領域 AW 1 3 に配置された部分からなる、パターンデータとしての部分マスクデータ DAT 1 3 を、切り出す。

[0088] 配線 WR 1 3 のうち、領域 AW 1 3 に配置された部分を、配線（配線パターン）WR 1 1 とする。また、配線 WR 1 3 のうち、領域 AW 1 2 に配置された部分を、配線（配線パターン）WR 1 2 とする。このとき、複数の配線 WR 1 1 は、X 軸方向にそれぞれ延在し、かつ、Y 軸方向にピッチ PT 1 2 で配列されている。また、複数の配線 WR 1 2 は、X 軸方向にそれぞれ延在し、かつ、Y 軸方向にピッチ PT 1 2 で配列されている。

[0089] 次に、図 1 4 に示すように、シュリンク処理を行う（図 1 1 のステップ S 3）。このステップ S 3 では、切り出された部分マスクデータ DAT 1 3 に対して、部分マスクデータ DAT 1 3 内の位置 CT 1 1 を中心として、一定の倍率で縮小する縮小処理、すなわちシュリンク処理を行う。これにより、それぞれ縮小された複数の配線（配線パターン）WR 1 1 からなる、パターンデータとしての縮小部分マスクデータ DAT 1 1 が作成される。複数の配線 WR 1 1 は、X 軸方向にそれぞれ延在し、かつ、Y 軸方向にピッチ PT 1 1 で配列されている。ピッチ PT 1 1 は、ピッチ PT 1 2 よりも小さい。

[0090] 次に、図 1 5 に示すように、縮小部分マスクデータを貼り付ける（図 1 1 のステップ S 4）。このステップ S 4 では、縮小部分マスクデータ DAT 1 1 内の位置 CT 1 1 が、領域 AW 1 3 内の位置 CT 1 2（図 1 3 参照）と同じ座標になるように、縮小部分マスクデータ DAT 1 1 を、平面 FS の領域 AW 1 3 内の領域であって、領域 AW 1 2 から離れた領域である領域 AW 1 1 に貼り付ける。このとき、領域 AW 1 1 と領域 AW 1 2 との間の領域は、マスクデータが作成されていない隙間領域 AW 1 4 である。

[0091] 次に、図 1 6 に示すように、隙間部分マスクデータを作成する（図 1 1 のステップ S 5）。このステップ S 5 では、隙間領域 AW 1 4 で、パターンデ

ータとしての隙間部分マスクデータDAT14を形成し、隙間部分マスクデータDAT14により、隙間領域AW14を埋め込む。これにより、縮小部分マスクデータDAT11と、隙間部分マスクデータDAT14と、マスクデータDAT1と、を有する、パターンデータとしてのマスクデータDAT1aを作成する。

[0092] 隙間部分マスクデータDAT14は、複数の接続配線（配線パターン）CW1を有する。複数の接続配線CW1は、複数の配線WR11の各々を、複数の配線WR12の各々とそれぞれ接続する。

[0093] 図5に示す例では、配線WR12aの端部EP12のX軸方向における正側の側面と、配線WR12aの端部EP12のY軸方向における正側の側面SW21と、により形成される角部の座標を、 (X_{p1}, Y_{p1}) とする。また、配線WR12aの端部EP12のX軸方向における正側の側面と、配線WR12aの端部EP12のY軸方向における負側の側面SW22と、により形成される角部の座標を、 (X_{p2}, Y_{p2}) とする。一方、配線WR11aの端部EP11のX軸方向における負側の側面と、配線WR11aの端部EP11のY軸方向における正側の側面SW11と、により形成される角部の座標を、 (X_{p3}, Y_{p3}) とする。また、配線WR11aの端部EP11のX軸方向における負側の側面と、配線WR11aの端部EP11のY軸方向における負側の側面SW12と、により形成される角部の座標を、 (X_{p4}, Y_{p4}) とする。

[0094] ここで、第1層の配線層ML1のマスクサイズ効果またはOPC処理を考慮した最小線幅を幅W00とし、第1層の配線層ML1におけるシュリンク処理における縮小倍率であるシュリンク率を α とする。このとき、配線WR11は、配線WR11の幅WD11が、下記式(1)で定義される幅W1以上になるように、配置されている。

[0095]
$$W1 = W00 + (1 - \alpha) \times |Y_{p2}| \quad (1)$$

図5に示す例では、接続配線CW1のX軸方向における負側およびY軸方向における正側（図5中左上）の角部の座標が (X_{p1}, Y_{p3}) となり、

接続配線CW1のX軸方向における正側およびY軸方向における負側（図5中右下）の角部の座標が（Xp4、Yp2）となるような矩形形状を発生させる。これにより、矩形形状を有する接続配線（配線パターン）CW1を容易に作成することができる。

[0096] 言い換えれば、図5に示す例では、接続配線（配線パターン）CW1は、領域AW11に配置された配線（配線パターン）WR11と、領域AW11に配置された配線（配線パターン）WR12とを、互いにオーバーラップするように、隙間領域AW14までそれぞれ延長することにより、作成されたものである。

[0097] このとき、Y軸方向に隣り合う2つの接続配線CW1の間のY軸方向におけるスペース幅SP1は、第1層の配線層ML1におけるマスクサイズ効果またはOPC処理を考慮した最少スペース幅以上である。

[0098] なお、配線WR11と、配線WR12とがオーバーラップする領域のX軸方向における長さを、隙間領域AW14のX軸方向における長さよりも短くしてもよく、隙間領域AW14のX軸方向における長さよりも長くしてもよい。このような場合にも、図5に示す場合と、同様の効果が得られる。

[0099] 次に、露光用マスクを製造する（図11のステップS6）。このステップS6では、マスクデータDAT1aを用いて、露光用マスクMSKを製造する。

[0100] 後述する図21を用いて説明するように、露光用マスクMSKは、基体BSと、基体BSの表面に形成された例えば金属膜などの遮光膜からなる露光用パターンPTN1と、基体の表面に形成された例えば金属膜などの遮光膜からなる露光用パターンPTN2と、を有する。露光用パターンPTN1は、マスクデータDAT1aの複数の配線パターンに基づいて形成され、複数の配線WR11を形成するためのものである。また、露光用パターンPTN2は、マスクデータDAT1aの複数の配線パターンに基づいて形成され、複数の配線WR12を形成するためのものである。

[0101] 本実施の形態1では、露光用マスクMSKは、基体BSの表面に形成され

た例えば金属膜などの遮光膜からなる露光用パターンPTN3を有する。露光用パターンPTN3は、マスクデータDAT1aの複数の配線パターンに基づいて形成され、複数の接続配線CW1を形成するためのものである。

[0102] また、配線WR11および配線WR12の各々が、平面視において、矩形形状を有していなくてもよい。このような例を、図17に示す。図17は、実施の形態1における第1層の配線層における配置レイアウトの他の例を示す平面図である。

[0103] 図17に示すように、配線WR11は、領域AR2側の端部EP11と、端部EP11と接続され、X軸方向に延在する延在部EX11を有し、端部EP11のY軸方向における幅WD11が、延在部EX11のY軸方向における幅WD13以上であってもよい。また、配線WR12は、領域AW11側の端部EP12と、端部EP12と接続され、X軸方向に延在する延在部EX12を有し、端部EP12のY軸方向における幅WD12が、延在部EX12のY軸方向における幅WD14以上であってもよい。

[0104] このとき、端部EP11が端部EP12よりもY軸方向における正側にずれている場合には、接続配線CW1のY軸方向における正側の側面SC1と、端部EP11のY軸方向における正側の側面SW11とは、同一面を形成する。また、接続配線CW1のY軸方向における負側の側面SC2と、端部EP12のY軸方向における負側の側面SW22とは、同一面を形成する。

[0105] 図17に示す場合でも、端部EP11、端部EP12および接続配線CW1について、図11～図16を用いて説明した設計方法と同様の設計方法により、図4に示す場合と同様に、矩形形状を有する接続配線CW1としてのつなぎパターンを容易に作成することができ、図5に示す場合と、同様の効果が得られる。

[0106] <半導体装置の製造方法>

次に、本実施の形態1の半導体装置の製造方法について説明する。図18は、実施の形態1の半導体装置の製造工程の一部を示す製造プロセスフロー図である。図19～図24は、実施の形態1の半導体装置の製造工程中にお

ける要部断面図である。なお、図19～図24は、図3の断面図に対応した断面を示す。

[0107] まず、フォトダイオードPDを形成する（図18のステップS11）。

[0108] このステップS11では、まず、図19に示すように、例えば単結晶シリコン（Si）などからなる半導体基板SBを用意する。

[0109] 次に、図19に示すように、画素が形成される画素領域である領域AR1（図1参照）の各々に、各画素を構成するフォトダイオードPD、転送用トランジスタTX、および増幅用トランジスタなどを形成する。

[0110] 領域AR1（図1参照）で、半導体基板SBの上面側には、例えばホウ素（B）などのp型の不純物が導入されたp型半導体層PWが形成される。一方、領域AR1で、p型半導体層PWの上層部には、例えばリン（P）またはヒ素（As）などのn型の不純物が導入されたn型半導体層NWが、形成される。したがって、領域AR1で、p型半導体層PWは、n型半導体層NWの直下に形成される。p型半導体層PWおよびn型半導体層NWはpn接合し、フォトダイオードPDを構成する。すなわち、領域AR1で、半導体基板SBの上面に、複数のフォトダイオードPDが形成される。

[0111] 領域AR1（図1参照）で、半導体基板SBの上面には、例えば酸化シリコン膜からなるゲート絶縁膜GIを介して、例えばポリシリコン膜からなるゲート電極GEが形成される。ゲート電極GEの側面には、例えば酸化シリコン膜からなるサイドウォールSWが形成される。ゲート電極GEは、転送用トランジスタTXのゲート電極である。一方、フォトダイオードPDを構成するn型半導体層NWが、転送用トランジスタTXのソース領域を兼ねる。

[0112] なお、図19では、転送用トランジスタTXのドレイン領域の図示を省略している。また、フォトダイオードPDは、フォトダイオードPDにおいて出力した信号を増幅する増幅用トランジスタなどのトランジスタに、転送用トランジスタTXを介して接続されるが、ここでは転送用トランジスタTXのみを図示しており、素子分離領域などの図示を省略している。

- [0113] 次に、層間絶縁膜 1 L を形成する（図 18 のステップ S 1 2）。このステップ S 1 2 では、図 20 に示すように、各画素 P U（図 3 参照）が形成される領域で、フォトダイオード P D および転送用トランジスタ T X などの半導体素子を覆うように、半導体基板 S B の上面上に、例えば酸化シリコン膜からなる層間絶縁膜 1 L を、例えば C V D（Chemical Vapor Deposition）法により形成する。また、層間絶縁膜 1 L の上面を、CMP 法などにより平坦化する。
- [0114] なお、フォトダイオード P D の上面、ゲート電極 G E の上面、および、ゲート電極 G E の側面に形成されたサイドウォール S W の表面に、例えば窒化シリコン膜からなるキャップ絶縁膜 C A P を形成してもよい。このような場合には、層間絶縁膜 1 L を、フォトダイオード P D 上および転送用トランジスタ T X 上に、キャップ絶縁膜 C A P を介して形成する。
- [0115] また、層間絶縁膜 1 L を形成した後、層間絶縁膜 1 L を貫通して半導体基板 S B に達するコンタクトホール（図示は省略）を形成し、形成されたコンタクトホール内を金属膜により埋め込むことにより、コンタクトホール内に埋め込まれた金属膜からなるコンタクトプラグ（図示は省略）を複数形成することができる。この場合、コンタクトプラグの上面および層間絶縁膜 1 L の上面を、CMP 法などにより平坦化することになる。
- [0116] 次に、図 21 および図 22 に示すように、層間絶縁膜 1 L 1 および配線 W R 1 1 を形成する（ステップ S 1 3）。
- [0117] このステップ S 1 3 では、まず、層間絶縁膜 1 L 上に、例えばテトラエトキシシラン（Tetraethyl orthosilicate；T E O S）ガスを原料ガスとする C V D 法により、酸化シリコン（S i O₂）膜からなる層間絶縁膜 1 L 1 を形成する。
- [0118] 次に、いわゆるシングルダマシン法を用いて、層間絶縁膜 1 L 1 の上面の配線溝 T R 1 1 に埋め込まれた配線 W R 1 1 を形成する。
- [0119] まず、層間絶縁膜 1 L 1 を、フォトリソグラフィ工程およびエッチング工程を行ってパターンニングすることにより、隣り合う 2 つの画素が形成される

領域の間の領域で、層間絶縁膜 I L 1 を貫通する複数の配線溝 T R 1 1 を形成する。

[0120] この層間絶縁膜 I L 1 をパターンニングする工程では、まず、層間絶縁膜 I L 1 上に、レジスト膜 R F 1 を形成する。次に、レジスト膜 R F 1 を、露光用マスク M S K を用いてパターン露光する。

[0121] 露光用マスク M S K は、基体 B S と、基体 B S の表面に形成された例えば金属膜などの遮光膜からなる露光用パターン P T N 1 と、基体 B S の表面に形成された例えば金属膜などの遮光膜からなる露光用パターン P T N 2 と、を有する。露光用パターン P T N 1 は、複数の配線 W R 1 1 (図 2 2 参照) を形成するためのものであり、露光用パターン P T N 2 は、複数の配線 W R 1 2 (図 4 参照) を形成するためのものである。また、露光用マスク M S K は、基体 B S の表面に形成された例えば金属膜などの遮光膜からなる露光用パターン P T N 3 を有する。露光用パターン P T N 3 は、複数の接続配線 C W 1 (図 4 参照) を形成するためのものである。

[0122] 次に、パターン露光されたレジスト膜 R F 1 を現像することにより、図 2 1 に示すように、領域 A W 1 1 (図 4 参照) で、複数の配線 W R 1 1 を形成するためのレジストパターン R P 1 を形成し、領域 A W 1 2 (図 4 参照) で、複数の配線 W R 1 2 (図 4 参照) を形成するためのレジストパターン R P 2 を形成する。また、隙間領域 A W 1 4 (図 4 参照) で、複数の接続配線 C W 1 (図 4 参照) を形成するためのレジストパターン R P 3 を形成する。

[0123] 次に、レジストパターン R P 1、R P 2 および R P 3 をエッチング用マスクとして用いて層間絶縁膜 I L 1 をエッチングする。これにより、複数の配線 W R 1 1 を形成するための複数の配線溝 T R 1 1 と、複数の配線 W R 1 2 を形成するための複数の配線溝 T R 1 2 と、複数の接続配線 C W 1 を形成するための複数の配線溝 T R 1 3 と、を形成する。この層間絶縁膜 I L 1 をエッチングする工程では、例えばフッ化炭素(フルオロカーボン)ガスを含むガスをエッチングガスとしたドライエッチング法により、層間絶縁膜 I L 1 をエッチングすることができる。

[0124] その後、図22に示すように、複数の配線溝TR11、複数の配線溝TR12、および、複数の配線溝TR13のそれぞれの内部に、導電膜として例えば銅(Cu)膜を埋め込む。これにより、領域AW11(図4参照)で、配線溝TR11内に配線WR11を形成し、領域AW12(図4参照)で、配線溝TR12内に配線WR11と同層に配線WR12を形成し、隙間領域AW14(図4参照)で、配線溝TR13内に配線WR11と同層に接続配線CW1を形成する。配線WR11は、上記コンタクトプラグを介して、半導体基板SBの上面に形成されたフォトダイオードPDまたは転送用トランジスタTXなどの半導体素子と電氣的に接続される。

[0125] 配線WR11が、隣り合う2つの画素PU(図3参照)が形成される領域の間の領域に形成されることにより、複数の画素PUの各々のフォトダイオードPDに光が入射される際に、配線WR11により入射光が遮光されることを、防止または抑制することができる。配線WR11および層間絶縁膜IL1のそれぞれの上面は、CMP法などにより平坦化される。

[0126] なお、配線WR11は、銅配線に限定されるものではなく、アルミニウム(Al)配線から形成することもできる。このような場合、まず、層間絶縁膜IL上に、アルミニウム膜からなる導電膜を形成し、導電膜上に、レジスト膜を形成する。次に、レジスト膜を露光用マスクを用いてパターン露光し、現像することにより、領域AW11(図4参照)で、複数の配線WR11を形成するための第1レジストパターン(図示せず)を形成し、領域AW12(図4参照)で、複数の配線WR12を形成するための第2レジストパターン(図示せず)を形成する。また、隙間領域AW14(図4参照)で、複数の接続配線CW1を形成するための第3レジストパターン(図示せず)を形成する。

[0127] 次に、第1レジストパターン、第2レジストパターンおよび第3レジストパターンをエッチング用マスクとして用いて導電膜をエッチングする。これにより、領域AW11(図4参照)で、半導体基板SBの上方に、導電膜からなる複数の配線WR11を互いに同層に形成し、領域AW12(図4参照

）で、導電膜からなる複数の配線WR 1 2を、複数の配線WR 1 1とそれぞれ同層に形成する。また、隙間領域AW 1 4（図4参照）で、導電膜からなる複数の接続配線CW 1を、複数の配線WR 1 1とそれぞれ同層に形成する。

[0128] すなわち、ステップS 1 3では、露光用マスクを用いてフォトリソグラフィ工程を行うことにより、領域AW 1 1で、半導体基板SBの上方に、複数の配線WR 1 1を形成し、領域AW 1 2で、複数の配線WR 1 2を、複数の配線WR 1 1とそれぞれ同層に形成する。

[0129] 次に、図23に示すように、層間絶縁膜IL 2および配線WR 2 1を形成する（ステップS 1 4）。このステップS 1 4では、まず、層間絶縁膜IL 1上および配線WR 1 1上に、例えばトリメチルシラン（ $\text{SiH}(\text{CH}_3)_3$ ）ガスと酸素（ O_2 ）ガスとを原料ガスとするCVD法により、炭素含有酸化ケイ素（ SiOC ）膜からなる層間絶縁膜IL 2を形成する。

[0130] 次に、いわゆるデュアルダマシン法を用いて、層間絶縁膜IL 2の上面の配線溝TR 2に埋め込まれた配線WR 2 1と、配線WR 2 1の直下において配線WR 2 1およびWR 1 1を接続するビア（図示は省略）とを形成する。

[0131] まず、層間絶縁膜IL 2をフォトリソグラフィ技術およびエッチング法を用いてパターニングする。これにより、層間絶縁膜IL 2の上面に複数の配線溝TR 2を形成し、また、それらの配線溝TR 2の底面に、層間絶縁膜IL 2を貫通する複数のビアホール（図示は省略）を形成する。

[0132] この層間絶縁膜IL 2をパターニングする工程では、例えばフッ化炭素（フルオロカーボン）ガスを含むガスをエッチングガスとしたドライエッチング法により、層間絶縁膜IL 2をエッチングすることができる。

[0133] その後、複数の配線溝TR 2および複数のビアホールのそれぞれの内部に、例えば銅（Cu）膜を埋め込むことにより、各配線溝内の配線WR 2 1と、各ビアホール内のビアとを形成する。配線WR 2 1は、上記ビアを介して、配線WR 1 1と電氣的に接続される。

[0134] なお、層間絶縁膜 I L 2、配線 W R 2 1 および上記ビア（図示は省略）は、第 2 層の配線層 M L 2 を構成する。

[0135] 配線 W R 2 1 が、隣り合う 2 つの画素 P U（図 3 参照）が形成される領域の間の領域に形成される。これにより、画素 P U の各々に含まれるフォトダイオード P D に光が入射される際に、配線 W R 2 1 により入射光が遮光されることを、防止または抑制することができる。なお、配線 W R 2 1 および層間絶縁膜 I L 2 のそれぞれの上面は、CMP 法などにより平坦化される。

[0136] 次に、図 2 4 に示すように、層間絶縁膜 I L 3 および遮光膜 S F 1 を形成する（ステップ S 1 5）。このステップ S 1 5 では、まず、層間絶縁膜 I L 2 上および配線 W R 2 1 上に、例えばトリメチルシラン（ $\text{SiH}(\text{CH}_3)_3$ ）ガスと酸素（ O_2 ）ガスとを原料ガスとする C V D 法により、炭素含有酸化ケイ素（ SiOC ）膜からなる層間絶縁膜 I L 3 を形成する。

[0137] 次に、いわゆるデュアルダマシン法を用いて、層間絶縁膜 I L 3 の上面の配線溝に埋め込まれた配線 W R 3 と、配線 W R 3 の直下において配線 W R 3 および W R 2 1 を接続するビア（図示は省略）とを形成する。

[0138] まず、層間絶縁膜 I L 3 をフォトリソグラフィ技術およびエッチング法を用いてパターンニングする。これにより、層間絶縁膜 I L 3 の上面に複数の配線溝 T R 3 を形成する。この層間絶縁膜 I L 3 をパターンニングする工程では、例えばフッ化炭素（フルオロカーボン）ガスを含むガスをエッチングガスとしたドライエッチング法により、層間絶縁膜 I L 3 をエッチングすることができる。

[0139] その後、複数の配線溝 T R 3 のそれぞれの内部に、例えば銅（ Cu ）膜を埋め込むことにより、各配線溝 T R 3 内に遮光膜 S F 1 を形成する。

[0140] なお、層間絶縁膜 I L 3 および遮光膜 S F 1 は、最上層の配線層 M L 3 を構成する。

[0141] 遮光膜 S F 1 が、隣り合う 2 つの画素 P U（図 3 参照）が形成される領域の間の領域に形成される。これにより、複数の画素 P U の各々に含まれるフォトダイオード P D に光が入射される際に、遮光膜 S F 1 により入射光が遮

光されることを、防止または抑制することができる。なお、遮光膜 S F 1 および層間絶縁膜 I L 2 のそれぞれの上面は、CMP 法などにより平坦化される。

[0142] 次に、図 3 に示すように、絶縁膜 I L 4 を形成する（図 18 のステップ S 16）。このステップ S 16 では、まず、層間絶縁膜 I L 3 上および遮光膜 S F 1 上に、例えば窒化シリコン膜からなる絶縁膜 I L 4 を形成する。

[0143] 次に、図 3 に示すように、隔壁 BW およびカラーフィルタ C F を形成する（図 18 のステップ S 17）。

[0144] このステップ S 17 では、まず、絶縁膜 I L 4 上に、例えば酸化シリコン膜からなる膜を C V D 法により形成し、フォトリソグラフィ技術およびエッチング法を用いてパターニングする。これにより、隣り合う 2 つの画素 P U が形成される領域の間の領域で、絶縁膜 I L 4 上に、例えば酸化シリコン膜からなる隔壁 BW を形成する。

[0145] このステップ S 17 では、次に、隣り合う隔壁 BW 同士の間、カラーフィルタ C F を形成する。カラーフィルタ C F は、例えば赤（R）、緑（G）および青（B）の各色に着色された膜からなる。

[0146] 次に、図 3 に示すように、マイクロレンズ M L を形成する（図 18 のステップ S 18）。このステップ S 18 では、カラーフィルタ C F 上に、マイクロレンズ M L を形成する。マイクロレンズ M L は、その上面が湾曲した凸レンズであり、光が透過する膜からなる。マイクロレンズ M L は、半導体基板 S B の主面側、すなわち上面側から各画素 P U に照射された光を、フォトダイオード P D に集光する。

[0147] 例えば隔壁 BW 上およびカラーフィルタ C F 上に膜を形成した後、形成された膜を加熱して溶融させ、その膜の上面の形状を丸めることにより、マイクロレンズ M L を形成することができる。

[0148] 以上により、図 3 に示した本実施の形態 1 の半導体装置が完成する。

[0149] <シェーディングについて>

次に、シェーディングについて、比較例の半導体装置と比較しながら説明

する。図 25 は、比較例の半導体装置の構成を示す断面図である。図 26 は、比較例における第 1 層の配線層の配線レイアウトを示す平面図である。図 25 は、図 1 の B-B 線に沿った断面図である。なお、図 1 の A-A 線に沿った断面図は、図 2 と同様である。

[0150] 比較例の半導体装置としての撮像素子も、実施の形態 1 の半導体装置の撮像素子と同様に、CMOS イメージセンサを備えている。

[0151] 比較例の半導体装置としての撮像素子も、領域 AR1 で、半導体基板 SB の上面に形成された、複数の画素 PU を有する。複数の画素 PU は、平面視において、X 軸方向および Y 軸方向にマトリクス状に配列されている。複数の画素 PU の各々は、フォトダイオード PD、転送用トランジスタ TX、および、増幅用トランジスタ（図示せず）などを有する。フォトダイオード PD は、入射光を受光して電荷に変換する光電変換素子である。

[0152] 比較例の半導体装置でも、実施の形態 1 の半導体装置と同様に、複数の画素 PU の各々は、カラーフィルタ CF、および、マイクロレンズ ML を有する。さらに、比較例の半導体装置は、実施の形態 1 の半導体装置と同様に、遮光膜 SF1 を有する。

[0153] ここで、複数の画素 PU の各々に入射される入射光は、必ずしも半導体基板 SB の上面に垂直な方向から入射されるとは限らない。例えばマトリクス状に配置された複数の画素 PU のうち、複数の画素 PU の配列の周辺側に配置された画素 PU に入射される入射光は、半導体基板 SB の上面に垂直な方向に対して傾斜した方向から入射される。このような場合、各画素 PU に入射される光の一部が、その画素 PU に含まれるフォトダイオード PD に入射されないことにより、フォトダイオード PD の感度の低下、すなわちシェーディングが発生する。

[0154] このシェーディングを防止または抑制するためには、マイクロレンズ ML、カラーフィルタ CF、および、遮光膜 SF1 の開口部 OP1 に対して、複数の画素 PU の配列の中心位置を中心として縮小する縮小処理、すなわちシュリンク処理を行って、マイクロレンズ ML、カラーフィルタ CF および開

口部OP1をずらすことが考えられる。

[0155] 比較例の半導体装置では、遮光膜SF1の開口部OP1、カラーフィルタCF、および、マイクロレンズMLについては、実施の形態1と同様に、複数の画素PUが配置される領域AR1内の位置を中心としてシュリンク処理が行われている。すなわち、比較例の半導体装置では、最上層の配線層ML3のマスクデータに対して、シュリンク処理が行われている。しかし、比較例の半導体装置では、実施の形態1とは異なり、第1層の配線層ML1および第2層の配線層ML2のマスクデータに対して、シュリンク処理が行われていない。したがって、図26に示すように、複数の画素PUが配置される領域AR1における配線WR11のピッチは、周辺回路が配置される領域AR2における配線WR12のピッチと等しい。

[0156] 図25に示すように、比較例の半導体装置では、複数の画素PUの配列の周辺側に配置された画素PUに入射される入射光は、最上層の配線層ML3よりも下層の第2層の配線層ML2または第1層の配線層ML1に反射されるため、各画素PUに含まれるフォトダイオードPDに適切に入射されず、依然としてシェーディングが発生する。

[0157] すなわち、遮光膜SF1の開口部OP1に対してシュリンク処理を行うだけでは、各画素PUに入射される光が、半導体基板SBの上方の配線層であって、遮光膜SF1とは異なる層の配線層に含まれる配線に反射されるため、シェーディングを防止または抑制することは困難である。そのため、CMOSイメージセンサの感度が低下し、半導体装置の性能が低下する。

[0158] また、近年では、複数の画素PUの各々が、微細化または高機能化されることに伴って、十分な光量の光がフォトダイオードPDに入射されるように、各画素PUに含まれるフォトダイオードPDの面積を増加させ、遮光膜SF1の開口部OP1の面積を増加させる必要がある。一方、複数の画素PUの各々が高機能化されるためには、第1層の配線層ML1に含まれる配線の本数、および、第2層の配線層ML2に含まれる配線の本数が、増加する。このような場合、比較例の半導体装置では、第1層の配線層ML1、および

、第2層の配線層ML 2による、入射光へのシェーディングの問題が大きくなる。

[0159] <本実施の形態の主要な特徴と効果>

本実施の形態1では、最上層の配線層ML 3以外の配線層である第1層の配線層ML 1のマスクデータを作成する際に、複数の画素PUを含む領域AW 1 3内のいずれかの位置を中心としてシュリンク処理を行う。そのため、最上層の配線層ML 3以外の配線層である第1層の配線層ML 1において、領域AW 1 3内の領域AW 1 1に配置される配線WR 1 1のピッチが、領域AW 1 3とは異なる領域である領域AW 1 2に配置される配線WR 1 2のピッチよりも小さい。

[0160] 本実施の形態1では、第1層の配線層ML 1のマスクデータに対して、複数の画素PUが配置される領域内の位置を中心としてシュリンク処理を行う。これにより、配線WR 1 1のピッチを、配線WR 1 2のピッチよりも小さくすることができ、第1層の配線層ML 1によるシェーディングを防止または抑制することができる。したがって、CMOSイメージセンサの感度を向上させ、半導体装置の性能を向上させることができる。

[0161] 図1 1～図1 6を用いて説明したように、例えばシュリンク処理を行う前の第1層の配線層ML 1のマスクデータDAT 1において、第1層の配線層ML 1は、例えばX軸方向に延在し、かつ、Y軸方向に配列された複数の配線WR 1 3により形成される。配線WR 1 3は、複数の画素PU（図3参照）が配置される領域AW 1 3から周辺回路が配置される領域AW 1 2にかけて、延在する。

[0162] このような場合、部分マスクデータDAT 1 3が切り出される領域AW 1 3の外周が、複数の配線WR 1 3を横切る。そして、部分マスクデータDAT 1 3に対してシュリンク処理を行って作成された縮小部分マスクデータDAT 1 1を、領域AW 1 1に貼り付けた後、領域AW 1 1と領域AW 1 2との間の隙間領域AW 1 4には、マスクデータが作成されていない。したがって、隙間部分マスクデータDAT 1 4を作成する際に、領域AW 1 1と領域

AW12との間で、配線WR11と配線WR12とを、シュリンク処理の前後での配線WR11のピッチの差を考慮して接続する必要がある。

[0163] また、領域AW11に配置される配線WR11は、隙間部分マスクデータDAT14を作成する工程（図11のステップS5）を行って初めて、領域AW12に配置される配線WR12と電氣的に接続される。そのため、配線WR11が配線WR12と接続されているか否かの検証を、チップレイアウトデータを作成する際に行うだけでは足りず、マスクデータDAT1aを作成した後にも行う必要がある。

[0164] 本実施の形態1では、隙間部分マスクデータDAT14に含まれる接続配線CW1の角部の座標を、領域AW11に配置された配線WR11の端部EP11の角部の座標と、領域AW12に配置された配線WR12の端部EP12の角部の座標と、を用いた演算により、容易に作成することができる。そのため、隙間部分マスクデータDAT14に含まれる接続配線CW1としてのパターンの配置を演算する演算処理を、簡略化することができる。

[0165] また、接続配線CW1としてのパターンを演算により自動的に作成することにより、隙間部分マスクデータDAT14について、複数の演算による比較検証などの手法を用いることができ、隙間部分マスクデータDAT14にデータの抜け落ちが発生しているか否かを比較的簡便に検証することができる。

[0166] なお、第1層の配線層ML1以外の配線層に対してシュリンク処理を行ってもよく、p型半導体層PW、n型半導体層NW、または、ゲート電極GEに対してシュリンク処理を行ってもよい。また、シュリンク処理される領域の各部分において、シュリンク率 α を、同一の値とすることもでき、異なる値となるように調整することもできる。

[0167] さらに、本実施の形態1では、切り出される領域AW13が矩形形状を有し、配線WR11と配線WR12とが、領域AW11のX軸方向における負側の端部と、領域AW12との間の部分の隙間領域AW14で接続される例について説明した。しかし、切り出される領域AW13が矩形形状を有して

いなくてもよい。または、配線WR 1 1と配線WR 1 2とが、領域AW 1 1のX軸方向における正側の端部と、領域AW 1 2との間の部分の隙間領域AW 1 4で接続されてもよい。あるいは、配線WR 1 1と配線WR 1 2とが、領域AW 1 1のY軸方向における正側または負側の端部と、領域AW 1 2との間の部分の隙間領域AW 1 4で接続されてもよい。いずれの場合においても、本実施の形態1と同様の効果が得られる。

[0168] 本実施の形態1において接続配線CW 1としてのパターンを作成する方法は、領域AW 1 1に配置される配線WR 1 1を領域AW 1 2側に延長し、領域AW 1 2に配置される配線WR 1 2を領域AW 1 1側に延長する方法である。そのため、接続配線CW 1を有する隙間部分マスクデータDAT 1 4を簡便に作成することができる。また、隙間領域AW 1 4で、配線WR 1 1が延長された部分と、配線WR 1 2が延長された部分とを、オーバーラップさせることにより、接続配線CW 1としてのパターンを作成する。オーバーラップした部分である接続配線CW 1の幅WC 1は、第1層の配線層ML 1のマスクサイズ効果またはOPC処理を考慮した幅W0 0よりも大きくなるため、露光による加工精度に対する配線幅の比である、露光マージンを向上させることができる。

[0169] なお、第1層の配線層ML 1に含まれる配線、および、第2層の配線層ML 2に含まれる配線に対して、シュリンク処理を行う場合、第1層の配線層ML 1と第2層の配線層ML 2の間を接続するビアに対してもシュリンク処理を行う必要がある。このような場合、シュリンク処理により、ビアの幅（直径）が狭くなる。例えば、シュリンク処理前において、ビアの幅を $0.16\mu\text{m}$ とし、ビアに対するシュリンク率を 0.95 とした場合、シュリンク処理後において、ビアの幅は、 $0.152\mu\text{m}$ に狭くなる。このような場合、半導体装置の製造工程のうち、ビアが形成されるビアホールを形成するリソグラフィ工程において、加工寸法の加工精度に対するマージンが少なくなり、例えばビアホールが形成できない、等の不具合が発生するおそれがある。

[0170] 一方、本実施の形態 1 によれば、配線 WR 1 1 が、配線 WR 1 1 と同層に形成された接続配線 CW 1 を介して、配線 WR 1 2 と接続される。したがって、ビアに対してシュリンク処理を行う必要がないので、ビアホールを形成するリソグラフィ工程において、加工寸法の加工精度に対するマージンを確保することができ、ビアホールを形状精度よく形成することができる。

[0171] <配線レイアウトおよびその設計方法の第 1 変形例>

次に、配線層における配線レイアウトおよびその設計方法の第 1 変形例について説明する。

[0172] 図 2 7 は、実施の形態 1 の第 1 変形例における第 1 層の配線層の配線レイアウトを示す平面図である。図 2 8～図 3 0 は、実施の形態 1 の第 1 変形例における第 1 層の配線層の配線レイアウトの他の例を示す平面図である。

[0173] 本第 1 変形例では、領域 AW 1 1 における配線 WR 1 1、および、領域 AW 1 2 における配線 WR 1 2 のうち、少なくとも一方が、隙間領域 AW 1 4 まで延長されて、他方と接続されている。なお、隙間領域 AW 1 4 に配置された部分が、接続配線 CW 1 である。

[0174] 図 2 7～図 3 0 のいずれの例においても、複数の接続配線 CW 1 のうち接続配線 CW 1 a が、複数の配線 WR 1 1 のうち配線 WR 1 1 a と接続され、かつ、複数の配線 WR 1 2 のうち配線 WR 1 2 a と接続されているものとする。また、配線 WR 1 1 a は、配線 WR 1 2 a よりも、Y 軸方向におけるシュリンク中心位置 CT 1 1 側にずれているものとする。

[0175] 図 2 7 に示す例では、配線 WR 1 1 の領域 AW 1 2 側の端部 EP 1 1 が隙間領域 AW 1 4 のうち領域 AW 1 2 と接する部分まで延長され、延長された端部 EP 1 1 が、配線 WR 1 2 の領域 AW 1 1 側の端部 EP 1 2 と接触している。また、延長された部分の端部 EP 1 1 が、接続配線 CW 1 に相当する。このとき、配線 WR 1 1 a の領域 AW 1 2 側の端部 EP 1 1 のうち、Y 軸方向におけるシュリンク中心位置 CT 1 1 側と反対側の部分は、平面視において、配線 WR 1 2 a の領域 AW 1 1 側の端部 EP 1 2 のうち、Y 軸方向におけるシュリンク中心位置 CT 1 1 側の部分と接触している。

[0176] 図28に示す例では、配線WR12の領域AW11側の端部EP12が隙間領域AW14のうち領域AW11と接する部分まで延長され、延長された端部EP12が、配線WR11の領域AW12側の端部EP11と接触している。また、延長された部分の端部EP12が、接続配線CW1に相当する。このときも、配線WR11aの領域AW12側の端部EP11のうち、Y軸方向におけるシュリンク中心位置CT11側と反対側の部分は、平面視において、配線WR12aの領域AW11側の端部EP12のうち、Y軸方向におけるシュリンク中心位置CT11側の部分と接触している。

[0177] 図29に示す例では、配線WR11の領域AW12側の端部EP11が隙間領域AW14の中央部まで延長され、配線WR12の領域AW11側の端部EP12が隙間領域AW14のうち中央部まで延長され、延長された端部EP11が、延長された端部EP12と接触している。このとき、延長された部分の端部EP11と、延長された部分の端部EP12と、により接続配線CW1が形成される。また、配線WR11aの領域AW12側の端部EP11のうち、Y軸方向におけるシュリンク中心位置CT11側と反対側の部分は、平面視において、配線WR12aの領域AW11側の端部EP12のうち、Y軸方向におけるシュリンク中心位置CT11側の部分と接触している。

[0178] なお、図30に示すように、延長された端部EP11が、延長された端部EP12とX軸方向においてオーバーラップしていてもよい。

[0179] 本第1変形例では、スペース幅SP1を、配線WR11aの端部EP11と、配線WR11aのY軸方向におけるシュリンク中心位置CT11側に配置され、配線WR11aと隣り合う配線WR11と接続された配線WR12の端部EP12との間の、Y軸方向におけるスペース幅とする。このとき、スペース幅SP1は、第1層の配線層ML1におけるマスクサイズ効果またはOPC処理を考慮した最少スペース幅以上である。

[0180] 本第1変形例では、実施の形態1と同様の効果を有することに加え、配線WR11および配線WR12の少なくとも一方を単純に延長することにより

接続配線CW1としてのパターンが配置されるため、実施の形態1に比べ、接続配線CW1としてのパターンを簡便に作成することができる。

[0181] また、本第1変形例でも、実施の形態1と同様に、配線WR11および配線WR12の各々が、平面視において、矩形形状を有していなくてもよい。このような例を、図31に示す。図31は、実施の形態1の第1変形例における第1層の配線層の配線レイアウトのさらに他の例を示す平面図である。

[0182] 図31に示すように、配線WR11は、領域AW12側の端部EP11と、端部EP11と接続され、X軸方向に延在する延在部EX11と、を有し、端部EP11のY軸方向における幅WD11が、延在部EX11のY軸方向における幅WD13以上であってもよい。また、配線WR12は、領域AW11側の端部EP12と、端部EP12と接続され、X軸方向に延在する延在部EX12と、を有し、端部EP12のY軸方向における幅WD12が、延在部EX12のY軸方向における幅WD14以上であってもよい。

[0183] 図31に示す場合でも、端部EP11および端部EP12の少なくとも一方が延長されることにより、端部EP11と端部EP12とを接続することができる。したがって、図27～図30に示す場合と同様の効果が得られる。

[0184] <配線レイアウトおよびその設計方法の第2変形例>

次に、配線層における配線レイアウトおよびその設計方法の第2変形例について説明する。

[0185] 図32は、実施の形態1の第2変形例における第1層の配線層の配線レイアウトを示す平面図である。

[0186] 図32に示すように、本第2変形例でも、複数の接続配線CW1のうち接続配線CW1aが、複数の配線WR11のうち配線WR11aと接続され、かつ、複数の配線WR12のうち配線WR12aと接続されているものとする。また、配線WR11aは、配線WR12aよりも、Y軸方向におけるシュリンク中心位置CT11側にずれているものとする。

[0187] 本第2変形例では、接続配線CW1aのY軸方向における幅WC1が、配

線WR 1 1 aのY軸方向における幅、および、配線WR 1 2 aのY軸方向における幅のいずれよりも狭い。

[0188] なお、各配線WR 1 1のY軸方向における幅WD 1 1が互いに等しく、各配線WR 1 2のY軸方向における幅WD 1 2が互いに等しく、かつ、幅WD 1 1が幅WD 1 2よりも狭い場合には、各接続配線CW 1のY軸方向における幅WC 1は、幅WD 1 1以下である。

[0189] 図3 2に示す例では、配線WR 1 1の端部EP 1 1の、Y軸方向におけるシュリンク中心位置CT 1 1側と反対側の側面SW 1 2は、平面視において、配線WR 1 2の端部EP 1 2の、Y軸方向におけるシュリンク中心位置CT 1 1側の側面SW 2 1よりも、Y軸方向におけるシュリンク中心位置CT 1 1側と反対側に配置されている。また、接続配線CW 1 aのY軸方向におけるシュリンク中心位置CT 1 1側の側面SC 1と、端部EP 1 2の側面SW 2 1とは、同一面を形成し、接続配線CW 1 aのY軸方向におけるシュリンク中心位置CT 1 1側と反対側の側面SC 2と、端部EP 1 1の側面SW 1 2とは、同一面を形成している。

[0190] 図3 2に示す例で、配線WR 1 1 aを、シュリンク中心位置CT 1 1よりもY軸方向における負側に配置された配線WR 1 1とする。配線WR 1 2 aの端部EP 1 2のX軸方向における正側の側面と、配線WR 1 2 aの端部EP 1 2のY軸方向における正側の側面SW 2 1と、により形成される角部の座標を、 (X_{p1}, Y_{p1}) とする。配線WR 1 2 aの端部EP 1 2のX軸方向における正側の側面と、配線WR 1 2 aの端部EP 1 2のY軸方向における負側の側面SW 2 2と、により形成される角部の座標を、 (X_{p2}, Y_{p2}) とする。配線WR 1 1 aの端部EP 1 1のX軸方向における負側の側面と、配線WR 1 1 aの端部EP 1 1のY軸方向における正側の側面SW 1 1と、により形成される角部の座標を (X_{p3}, Y_{p3}) とする。配線WR 1 1 aの端部EP 1 1のX軸方向における負側の側面と、配線WR 1 1 aの端部EP 1 1のY軸方向における負側の側面SW 1 2と、により形成される角部の座標を (X_{p4}, Y_{p4}) とする。

[0191] ここで、第1層の配線層ML1のマスクサイズ効果またはOPC処理を考慮した最小線幅を幅W00とし、第1層の配線層ML1におけるシュリンク処理の縮小倍率であるシュリンク率を α とする。このとき、配線WR11は、配線WR11の幅WD11が上記式(1)で定義される幅W1以上になるように、配置されている。

[0192] 本第2変形例では、隙間部分マスクデータDAT14を作成する際に、接続配線CW1の左上の座標が(Xp1、Yp1)となり、右下の座標が(Xp4、Yp4)となるような矩形形状を発生させる。ここで、Yp1およびYp4は、下記式(2)および下記式(3)で表される。

$$\begin{aligned} Y_{p1} &= Y_{p2} + W1 \\ &= Y_{p2} + W00 + (1 - \alpha) \times |Y_{p2}| \end{aligned} \quad (2)$$

$$Y_{p4} = \alpha \times Y_{p2} \quad (3)$$

また、接続配線CW1の幅WC1の最小値を幅YWとすれば、幅YWは、下記式(4)で表される。

$$\begin{aligned} YW &= Y_{p1} - Y_{p4} \\ &= Y_{p2} + W00 + (1 - \alpha) \times |Y_{p2}| - \alpha Y_{p2} \\ &= W00 + Y_{p2} + |Y_{p2}| - \alpha |Y_{p2}| - \alpha Y_{p2} \end{aligned} \quad (4)$$

ここで、Yp2が負の値であることから、Yp2と|Yp2|とは逆の極性となり、Yp2 + |Yp2|、および、 $\alpha |Y_{p2}| - \alpha Y_{p2}$ は各々打ち消されるため、最終的に幅YWは幅W00に等しくなる。

[0195] 本第2変形例でも、実施の形態1と同様に、接続配線CW1としてのパターンを作成するための演算を簡便に行うことができ、実施の形態1と同様の効果を有する。

[0196] なお、後述する実施の形態2の第3変形例と同様に、切り出される領域AW13の全領域で、端部EP11が端部EP12からY軸方向にずれて突出する距離の最大値を考慮して幅W1の最大値W1maxを決定してもよい。そして、切り出される領域AW13に配置される配線WR11の端部EP1

1の幅WD11を、決定された幅W1の最大値W1max以上にしてもよい。この場合においても、本第2変形例と同様の効果が得られる。

[0197] また、本第2変形例でも、実施の形態1と同様に、配線WR11および配線WR12の各々が、平面視において、矩形形状を有していなくてもよい。このような例を、図33に示す。図33は、実施の形態1の第2変形例における第1層の配線層の配線レイアウトの他の例を示す平面図である。

[0198] 図33に示すように、配線WR11は、領域AW12側の端部EP11と、端部EP11と接続され、X軸方向に延在する延在部EX11と、を有し、端部EP11のY軸方向における幅WD11が、延在部EX11のY軸方向における幅WD13以上であってもよい。また、配線WR12は、領域AW11側の端部EP12と、端部EP12と接続され、X軸方向に延在する延在部EX12と、を有し、端部EP12のY軸方向における幅WD12が、延在部EX12のY軸方向における幅WD14以上であってもよい。

[0199] 図33に示す場合でも、端部EP11、端部EP12および接続配線CW1について、図11～図16を用いて説明した設計方法と同様の設計方法により、図32に示す場合と同様に、矩形形状を有する接続配線CW1としてのパターンを容易に作成することができ、図32に示す場合と、同様の効果が得られる。

[0200] <配線レイアウトおよびその設計方法の第3変形例>

次に、配線層における配線レイアウトおよびその設計方法の第3変形例について説明する。

[0201] 図34は、実施の形態1の第3変形例における第1層の配線層の配線レイアウトを示す平面図である。図35および図36は、実施の形態1の第3変形例における第1層の配線層の配線レイアウトの他の例を示す平面図である。

[0202] 本第3変形例では、接続配線CW1は、延在部CW11と、延在部CW12と、接続部CW13と、を含む。延在部CW11は、配線WR11の領域AW12側の端部EP11と連続的に形成されており、X軸方向に延在する

。延在部CW12は、配線WR12の領域AW11側の端部EP12と連続的に形成されており、X軸方向に延在する。接続部CW13は、Y軸方向に延在し、延在部CW11、および、延在部CW12のいずれとも接続されている。

[0203] 複数の接続配線CW1のうち接続配線CW1aが、複数の配線WR11のうち配線WR11aと接続され、かつ、複数の配線WR12のうち配線WR12aと接続されているものとする。また、配線WR11aは、配線WR12aから、Y軸方向におけるシュリンク中心位置CT11側に離れて配置されているものとする。

[0204] 接続配線CW1aの延在部CW11の、Y軸方向におけるシュリンク中心位置CT11側の側面SC11は、配線WR11aの端部EP11の、Y軸方向におけるシュリンク中心位置CT11側の側面SW11と、同一面を形成している。また、接続配線CW1aの延在部CW11の、Y軸方向におけるシュリンク中心位置CT11側と反対側の側面SC12は、配線WR11aの端部EP11の、Y軸方向におけるシュリンク中心位置CT11側と反対側の側面SW12と、同一面を形成している。

[0205] 接続配線CW1aの延在部CW12の、Y軸方向におけるシュリンク中心位置CT11側の側面SC21は、配線WR12aの端部EP12の、Y軸方向におけるシュリンク中心位置CT11側の側面SW21と、同一面を形成している。また、接続配線CW1aの延在部CW12の、Y軸方向におけるシュリンク中心位置CT11側と反対側の側面SC22は、配線WR12aの端部EP12の、Y軸方向におけるシュリンク中心位置CT11側と反対側の側面SW22と、同一面を形成している。

[0206] 接続配線CW1aの接続部CW13の、Y軸方向におけるシュリンク中心位置CT11側の側面SC31は、接続配線CW1aの延在部CW11の側面SC11と、同一面を形成している。また、接続配線CW1aの接続部CW13の、Y軸方向におけるシュリンク中心位置CT11側と反対側の側面SC32は、接続配線CW1aの延在部CW12の側面SC22と、同一面

を形成している。

[0207] しかし、前述したように、配線WR 1 1 aは、配線WR 1 2 aから、Y軸方向におけるシュリンク中心位置CT 1 1側に離れて配置されている。そのため、配線WR 1 1 aの端部EP 1 1の、Y軸方向におけるシュリンク中心位置CT 1 1側と反対側の側面SW 1 2は、配線WR 1 2 aの端部EP 1 2の、Y軸方向におけるシュリンク中心位置CT 1 1側の側面SW 2 1よりも、Y軸方向におけるシュリンク中心位置CT 1 1側に配置されている。また、接続配線CW 1 aの延在部CW 1 1の側面SC 1 2は、接続配線CW 1 aの延在部CW 1 2の側面SC 2 1よりも、Y軸方向におけるシュリンク中心位置CT 1 1側に配置されている。

[0208] ここで、第1層の配線層ML 1のマスクサイズ効果またはOPC処理を考慮した最小線幅を幅W 0 0とすると、接続部CW 1 3のX軸方向における幅を、幅W 0 0とすることができる。このとき、配線WR 1 1を隙間領域AW 1 4まで延長することにより、延在部CW 1 1としてのパターンを作成し、配線WR 1 2を隙間領域AW 1 4まで延長することにより、延在部CW 1 2としてのパターンを作成する。また、延在部CW 1 1と延在部CW 1 2とを接続する接続部CW 1 3としてのパターンを、実施の形態1と同様の演算により作成することができる。

[0209] 本第2変形例でも、実施の形態1と同様に、Y軸方向に隣り合う2つの接続配線CW 1の間のスペース幅SP 1は、第1層の配線層ML 1におけるマスクサイズ効果またはOPC処理を考慮した最少スペース幅以上である。

[0210] 本第3変形例では、実施の形態1と同様の効果を有することに加え、配線WR 1 1および配線WR 1 2の少なくとも一方を単純に延長することにより接続配線CW 1としてのパターンが配置されるため、実施の形態1に比べ、接続配線CW 1としてのパターンを簡便に作成することができる。

[0211] なお、図35に示すように、接続部CW 1 3のX軸方向における位置は、領域AW 1 1と領域AW 1 2との間のX軸方向における中央位置でなくともよい。このような場合でも、図34に示す例と同様の効果を有する。

[0212] あるいは、図36に示すように、複数の接続配線CW1の間で、接続部CW13のX軸方向における位置が異なってもよい。このような場合、図34に示す例と同様の効果を有することに加え、Y軸方向に隣り合う2つの接続配線CW1の間で、接続部CW13のX軸方向における位置が異なることにより、当該2つの接続配線CW1の間のスペース部は、Y軸方向における両側をととも接続部CW13によっては挟まれなくなる。そのため、露光による加工精度に対する配線幅の比である、露光マージンを向上させることができる。

[0213] <配線レイアウトおよびその設計方法の第4変形例>

次に、配線層における配線レイアウトおよびその設計方法の第4変形例について説明する。

[0214] 図37は、実施の形態1の第4変形例における第1層の配線層の配線レイアウトを示す平面図である。図38は、実施の形態1の第4変形例における第1層の配線層の配線レイアウトの他の例を示す平面図である。

[0215] 本第4変形例では、配線WR11の領域AW12側の端部EP11と、配線WR12の領域AW11側の端部EP12とを接続する接続配線CW1は、例えばX軸方向から傾斜した方向に、一直線状に延在する。そして、互いに接続された配線WR11、接続配線CW1および配線WR12の組では、接続配線CW1のY軸方向における正側の側面SC1は、配線WR11のY軸方向における正側の側面SW11、および、配線WR12のY軸方向における正側の側面SW21、のいずれとも連続している。また、互いに接続された配線WR11、接続配線CW1および配線WR12の組では、接続配線CW1のY軸方向における負側の側面SC2は、配線WR11のY軸方向における負側の側面SW12、および、配線WR12のY軸方向における負側の側面SW22、のいずれとも連続している。

[0216] 図37に示す例で、配線WR12の端部EP12のX軸方向における正側の側面と、配線WR12の端部EP12のY軸方向における正側の側面SW21と、により形成される角部の座標を、(Xp1、Yp1)とする。また

、配線WR 1 2の端部EP 1 2のX軸方向における正側の側面と、配線WR 1 2の端部EP 1 2のY軸方向における負側の側面SW 2 2と、により形成される角部の座標を、(X p 2、Y p 2)とする。一方、配線WR 1 1の端部EP 1 1のX軸方向における負側の側面と、配線WR 1 1の端部EP 1 1のY軸方向における正側の側面SW 1 1と、により形成される角部の座標を、(X p 3、Y p 3)とする。また、配線WR 1 1の端部EP 1 1のX軸方向における負側の側面と、配線WR 1 1の端部EP 1 1のY軸方向における負側の側面SW 1 2と、により形成される角部の座標を、(X p 4、Y p 4)とする。

[0217] 本第4変形例では、隙間部分マスクデータを作成する際に、接続配線CW 1としてのパターンとして、上記した座標(X p 1、Y p 1)、(X p 2、Y p 2)、(X p 3、Y p 3)および(X p 4、Y p 4)で表される4点を頂点とする四辺形からなるパターンを演算により発生させる。これにより、本第4変形例では、実施の形態1と異なり、4点の座標を用いることになるものの、接続配線CW 1としてのパターンを作成するための演算を簡便に行うことができ、実施の形態1と略同様の効果を有する。

[0218] 図38に示すように、接続配線CW 1は、延在部CW 1 1と、延在部CW 1 2と、接続部CW 1 3と、を含むようにしてもよい。延在部CW 1 1は、配線WR 1 1の領域AW 1 2側の端部EP 1 1と連続的に形成されており、X軸方向に延在する。延在部CW 1 2は、配線WR 1 2の領域AW 1 1側の端部EP 1 2と連続的に形成されており、X軸方向に延在する。延在部CW 1 1の領域AW 1 2側の端部と、延在部CW 1 2の領域AW 1 1側の端部とを接続する接続部CW 1 3は、例えばX軸方向から傾斜した方向に、一直線状に延在する。

[0219] このとき、配線WR 1 1を隙間領域AW 1 4まで延長することにより、延在部CW 1 1としてのパターンを形成し、配線WR 1 2を隙間領域AW 1 4まで延長することにより、延在部CW 1 2としてのパターンを形成する。また、接続部CW 1 3としてのパターンを、図37に示す例と同様な演算によ

り作成することができる。したがって、接続部CW13として、4点を頂点とする四辺形からなるパターンを作成する点で、図37に示す例と、同様の効果を有する。

[0220] また、図38に示す例は、接続部CW13がY軸と平行か否かである点を除き、実施の形態1の第3変形例で図34に示した例と、略同様な構成を有するものであり、図34に示した例とも、略同様の効果を有する。

[0221] (実施の形態2)

実施の形態1では、図5に示したように、シュリンク処理が行われた領域AW11に配置された配線WR11は、配線WR11と同層に形成された接続配線CW1を介して、シュリンク処理が行われた領域AW11以外の領域AW12に同層に配置された配線WR12と接続されていた。一方、実施の形態2では、後述する図40を用いて説明するように、シュリンク領域が行われた領域AW21に配置された配線WR21は、配線WR21と異なる層に形成された接続配線CW1を介して、シュリンク処理が行われた領域AW21以外の領域AW22に同層に配置された配線WR22と接続されている。

[0222] 本実施の形態2の半導体装置の構成については、図1～図3を用いて説明した実施の形態1の半導体装置の構成と同様であり、その説明を省略する。また、本実施の形態2の半導体装置の製造方法については、図18～図24を用いて説明した実施の形態1の半導体装置の製造方法と同様であり、その説明を省略する。

[0223] <配線レイアウト>

次に、配線層における配線レイアウトについて説明する。以下では、第2層の配線層ML2における配線レイアウトを例示して説明するが、例えば第1層など、第2層以外の層の配線層における配線レイアウトについても、同様にすることができる。

[0224] 図39および図40は、実施の形態2における第2層の配線層の配線レイアウトを示す平面図である。図40は、図39の領域RG2の拡大平面図で

ある。

[0225] 図39および図40に示すように、第2層の配線層ML2は、複数の配線WR21と、複数の配線WR22と、を有する。複数の配線WR21は、半導体基板SB（図3参照）の主面としての上面の領域AW21で、第2層の配線層ML2に、互いに同層に形成されている。複数の配線WR22は、半導体基板SB（図3参照）の主面としての上面の領域AW22で、複数の配線WR21とそれぞれ同層に形成されている。領域AW22は、平面視において、X軸方向における領域AW21の一方の側の領域である。また、図39では図示を省略するが、領域AW21には、複数の画素PU（図1参照）が形成されており、領域AW22には、周辺回路が形成されている。

[0226] 複数の配線WR21は、領域AW21で、平面視において、X軸方向にそれぞれ延在し、かつ、Y軸方向にピッチPT21で配列されている。複数の配線WR22は、領域AW22で、平面視において、X軸方向にそれぞれ延在し、かつ、Y軸方向にピッチPT22で配列されている。

[0227] 第1層の配線層ML1（図3参照）は、図40に示す複数の接続配線CW1を有する。複数の配線WR21は、複数の接続配線CW1の各々を介して、複数の配線WR22とそれぞれ接続されている。このような配置により、複数の配線WR21は、複数の配線WR22の各々とそれぞれ電氣的に接続されている。

[0228] 複数の配線WR22は、周辺回路に含まれる例えばトランジスタなどに接続されている。したがって、複数の配線WR21は、複数の配線WR22の各々を介して、周辺回路と接続されている。

[0229] 図39および図40に示すように、ピッチPT21は、ピッチPT22よりも小さい。このような配置により、画素PU（図1参照）が形成された領域AW21における、隣り合う2つの配線WR21の間の間隔を、周辺回路が形成された領域AW22における、隣り合う2つの配線WR22の間の間隔よりも、短くすることができる。

[0230] 図40に示すように、好適には、各配線WR21の、領域AW22側の端

部EP21の、Y軸方向における幅WD21は、複数の配線WR22のうち、当該各配線WR21と接続される配線WR22の、領域AW21側の端部EP22の、Y軸方向における幅WD22よりも狭い。

[0231] 後述する図41～図45を用いて説明するように、マスクデータDAT2のうち、領域AW23に配置された部分を切り出し、切り出された部分に対して、切り出された部分内の位置（シュリンク中心位置）CT21を中心として縮小処理を行った後、再び元のマスクデータDAT2に貼り付ける。これにより、複数の配線WR21と、複数の配線WR22と、を有するマスクデータDAT2aを、容易に作成することができる。

[0232] また、このような場合、複数の配線WR21のうちいずれかの配線WR21が、平面視において、複数の配線WR22のうち、当該いずれかの配線WR21と接続された配線WR22よりも、Y軸方向におけるシュリンク中心位置CT21側にずれて配置されることになる。また、複数の配線WR21のうち、複数の配線WR21の配列のY軸方向における負側の端部に配置された配線WR21は、平面視において、複数の配線WR22のうち、当該配線WR21と接続された配線WR22よりも、Y軸方向における正側にずれて配置されることになる。

[0233] なお、各配線WR21の幅WD21が互いに等しく、かつ、各配線WR22の幅WD22が互いに等しい場合には、各配線WR21の幅WD21が、各配線WR22の幅WD22よりも狭くてもよい。

[0234] 複数の接続配線CW1は、複数の配線WR21と異なる層に形成されている。本実施の形態2では、一例として、複数の接続配線CW1が、複数の配線WR21が形成された第2層の配線層ML2よりも下層の第1層の配線層ML1に、形成されている。複数の接続配線CW1は、平面視において、X軸方向にそれぞれ延在し、かつ、Y軸方向にピッチPT23で配列されている。ピッチPT23を、例えばピッチPT22と等しくすることができる。

[0235] 複数の配線WR21と、複数の接続配線CW1との間の層には、電極としてのビアVA1が、互いに同層に複数個形成されている。複数の配線WR2

2と、複数の接続配線CW1との間の層には、電極としてのビアVA2が、互いに同層に複数個形成されている。複数の配線WR21は、複数のビアVA1の各々を介して、複数の接続配線CW1の各々とそれぞれ電氣的に接続されている。複数の配線WR22は、複数のビアVA2の各々を介して、複数の接続配線CW1の各々とそれぞれ電氣的に接続されている。

[0236] 複数のビアVA1は、平面視において、Y軸方向にピッチPTV1で配列されており、複数のビアVA2は、平面視において、Y軸方向にピッチPTV2で配列されている。ピッチPTV1およびPTV2のいずれも、ピッチPT22と等しくすることができる。

[0237] 第2層の配線層ML2は、複数の端子部PD2を有する。複数の端子部PD2の各々は、領域AW21で、複数の配線WR21とそれぞれ同層に形成されている。各端子部PD2は、各配線WR21の領域AW22側の端部EP21と、接続されている。

[0238] 各端子部PD2は、平面視において、各接続配線CW1と重なり、各ビアVA1は、平面視において、各接続配線CW1と重なる部分の各端子部PD2に内包されている。これにより、各端子部PD2を、各接続配線CW1に、各ビアVA1を介して、確実に電氣的に接続することができる。

[0239] また、複数の端子部PD2のうち、複数の配線WR21の配列の中央部に配置された配線WR21に接続された端子部PD2の、Y軸方向における幅は、複数の端子部PD2のうち、複数の配線WR21の配列の端部に配置された配線WR21に接続された端子部PD2の、Y軸方向における幅よりも狭い。

[0240] <配線レイアウトの設計方法>

次に、配線層における配線レイアウトの設計方法を、露光用マスクの製造方法を含めて説明する。なお、第2層の配線層ML2における配線レイアウトを、実施の形態1で説明した第1層の配線層ML1における配線レイアウトの設計方法と同様の方法により設計することができるので、本実施の形態2における配線レイアウトの設計方法では、実施の形態1における配線レイ

アウトの設計方法と異なる部分を中心に、説明する。また、本実施の形態 2 における最上層の配線層 M L 3 における配線レイアウトを、実施の形態 1 における最上層の配線層 M L 3 における配線レイアウトの設計方法と同様の方法により設計することができる。また、本実施の形態 2 における露光用マスクも、実施の形態 1 における露光用マスクと同様に製造することができる。

[0241] 図 4 1 ～図 4 5 は、実施の形態 2 における第 2 層の配線層の配線レイアウトデータを示す平面図である。

[0242] まず、実施の形態 1 と同様に、チップレイアウトデータを作成した後、図 1 1 のステップ S 1 と同様の工程を行って、図 4 1 および図 4 2 に示すように、マスクデータを作成する。この工程では、第 2 層の配線層 M L 2 におけるレイアウトデータに対して、いわゆる O P C 処理と称される補正処理などを行って、第 2 層の配線層 M L 2 のパターンデータとしてのマスクデータ D A T 2 を準備する。マスクデータ D A T 2 は、平面 F S の一部の領域である領域 A R 1 と、平面 F S の一部の領域である領域 A R 2 と、を有する。図 4 1 では図示しないが、複数の画素 P U (図 6 参照) は、画素領域としての領域 A R 1 の一部の領域である領域 A W 2 3 内に配置されている。また、領域 A R 1 および領域 A R 2 のうち領域 A W 2 3 以外の領域を、領域 A W 2 2 とする。

[0243] 図 4 1 は、図 3 9 の平面図に示した配線レイアウトをシュリンク処理により作成する前の配線レイアウトを示し、図 4 2 は、図 4 0 の平面図に示した配線レイアウトをシュリンク処理により作成する前の配線レイアウトを示す。

[0244] 図 4 1 および図 4 2 に示すように、マスクデータ D A T 2 では、領域 A R 1 で、複数の配線 (配線パターン) W R 2 1 が配置されている。複数の配線 W R 2 1 は、X 軸方向にそれぞれ延在し、かつ、Y 軸方向にピッチ P T 2 2 で配列されている。また、領域 A R 2 で、複数の配線 (配線パターン) W R 2 2 が配置されている。複数の配線 W R 2 2 は、X 軸方向にそれぞれ延在し、かつ、Y 軸方向に P T 2 2 で配列されている。すなわち、マスクデータ D

A T 2 は、領域 A W 2 3 で、X 軸方向にそれぞれ延在し、かつ、Y 方向にピッチ P T 2 2 で配列された複数の配線（配線パターン）W R 2 1 と、領域 A W 2 2 で、X 軸方向にそれぞれ延在し、かつ、Y 軸方向にピッチ P T 2 2 で配列された複数の配線（配線パターン）W R 2 2 と、を有する。

[0245] 次に、図 1 1 のステップ S 2 と同様の工程を行って、図 4 3 に示すように、部分マスクデータを切り出す。この工程では、第 2 層の配線層 M L 2 のマスクデータ D A T 2 のうち、領域 A W 2 3 に配置された部分からなる、パターンデータとしての部分マスクデータ D A T 2 3 を、切り出す。

[0246] 次に、図 1 1 のステップ S 3 と同様の工程を行って、図 4 4 に示すように、シュリンク処理を行う。この工程では、切り出された部分マスクデータ D A T 2 3 に対して、部分マスクデータ D A T 2 3 内の位置 C T 2 1 を中心として、一定の倍率で縮小する縮小処理、すなわちシュリンク処理を行う。これにより、それぞれ縮小された配線（配線パターン）W R 2 1 からなる、パターンデータとしての縮小部分マスクデータ D A T 2 1 が作成される。複数の配線 W R 2 1 は、X 軸方向にそれぞれ延在し、かつ、Y 軸方向にピッチ P T 2 1 で配列されている。ピッチ P T 2 1 は、ピッチ P T 2 2 よりも小さい。

[0247] 図 4 2 に示すように、シュリンク処理を行う前の端子部 P D 2 は、ビア V A 1 が配置される領域に対して、X 軸方向におけるシュリンク中心位置 C T 2 1 側と反対側に距離 X m a r g i n だけ突出している。また、シュリンク処理を行う前の端子部 P D 2 は、ビア V A 1 が配置される領域に対して、Y 軸方向におけるシュリンク中心位置 C T 2 1 側と反対側に距離 Y m a r g i n だけ突出している。

[0248] ここで、第 2 層の配線層 M L 2 におけるシュリンク処理の縮小倍率であるシュリンク率を α とし、シュリンク中心位置 C T 2 1 に対するビア V A 1 の中心座標を (X_v, Y_v) とする。また、ビア V A 1 の X 軸方向および Y 軸方向における幅（ビア V A 1 が円形形状を有するときは直径）を幅 V 1 とし、第 2 層の配線層 M L 2 に対するビア V A 1 の位置の許容可能なずれ量、す

なわちずれ量のマージンをマージン Δ とする。このとき、距離 X_{margin} および距離 Y_{margin} は、下記式（５）および下記式（６）で定義される。

$$[0249] \quad X_{margin} = (1 - \alpha) / \alpha \times (|X_v| + 0.5 \times V_1 + \Delta) \quad (5)$$

$$Y_{margin} = (1 - \alpha) / \alpha \times (|Y_v| + 0.5 \times V_1 + \Delta) \quad (6)$$

一方、第２層の配線層 ML_2 のマスクサイズ効果または OPC 処理を考慮した最小線幅を、幅 W_0 とする。このとき、シュリンク処理を行った後の端子部 PD_2 （図４０参照）の X 軸方向における長さは、 $(W_0 + \alpha \times (X_{margin} + \Delta))$ 以上となり、 Y 軸方向における幅が、 $(W_0 + \alpha \times (Y_{margin} + \Delta))$ 以上となる。

[0250] また、第２層の配線層 ML_2 において、最小線幅を幅 W_0 とし、最小スペース幅をスペース幅 S_0 とする。このとき、シュリンク処理を行う前の配線 WR_{21} としてのパターンは、下記式（７）で定義される線幅 W_{shrink} を最小線幅とし、下記式（８）で定義されるスペース幅 S_{shrink} を最小スペース幅として、配置されている。

$$[0251] \quad W_{shrink} = 1 / \alpha \times W_0 \quad (7)$$

$$S_{shrink} = 1 / \alpha \times S_0 \quad (8)$$

次に、図１１のステップ S_4 と同様の工程を行って、図４５に示すように、縮小部分マスクデータを貼り付ける。この工程では、縮小部分マスクデータ DAT_{21} 内の位置 CT_{21} が、領域 AW_{23} 内の位置 CT_{22} （図４３参照）と同じ座標になるように、縮小部分マスクデータ DAT_{21} を、平面 FS の領域 AW_{23} 内の領域であって、領域 AW_{22} から離れた領域である領域 AW_{21} に貼り付ける。このとき、領域 AW_{21} と領域 AW_{22} との間の領域は、マスクデータが作成されていない隙間領域 AW_{24} である。

[0252] これにより、縮小部分マスクデータ DAT_{21} と、マスクデータ DAT_2 と、を有する、パターンデータとしてのマスクデータ DAT_{2a} を作成する

。

[0253] なお、本実施の形態 2 では、実施の形態 1 と異なり、図 1 1 のステップ S 5 と同様の工程を行わなくてもよい。また、隙間領域 A W 2 4 には、接続配線を形成しない。

[0254] 図 4 6 は、実施の形態 2 における第 2 層の配線層の配線レイアウトデータを第 1 層の配線層の配線レイアウトデータと重ねて示す平面図である。図 4 6 に示す例では、第 1 層の配線層 M L 1 は、Y 軸方向にそれぞれ延在し、かつ、X 軸方向に配列された複数の配線 W R 1 1 を含む。

[0255] 本実施の形態 2 では、下層の配線層である第 1 層の配線層 M L 1 に含まれる接続配線 C W 1、ならびに、ビア V A 1 および V A 2 に対しては、シュリンク処理は行われない。そのため、図 4 6 に示すように、第 2 層の配線層 M L 2 において、複数の画素 P U が配置される領域 A W 2 3 が切り出される場合、領域 A W 2 3 は、第 1 層の配線層 M L 1 において切り出される領域 A W 1 3 よりも大きい。

[0256] <本実施の形態の主要な特徴と効果>

本実施の形態 2 では、最上層の配線層 M L 3 以外の配線層である第 2 層の配線層 M L 2 のマスクデータを作成する際に、複数の画素 P U を含む領域 A W 2 3 内のいずれかの位置を中心としてシュリンク処理を行う。そのため、本実施の形態 2 でも、最上層の配線層 M L 3 以外の配線層である第 2 層の配線層 M L 2 において、領域 A W 2 3 内の領域 A W 2 1 に配置される配線 W R 2 1 のピッチが、領域 A W 2 3 とは異なる領域である領域 A W 2 2 に配置される配線 W R 2 2 のピッチよりも小さい。

[0257] 実施の形態 1 で比較例を用いて説明したように、遮光膜 S F 1 の開口部 O P 1 に対してシュリンク処理を行うだけでは、各画素 P U に入射される光が、半導体基板 S B の上方の配線層であって、遮光膜 S F 1 とは異なる層の配線層に含まれる配線に反射されるため、シェーディングを防止または抑制することは困難である。そのため、C M O S イメージセンサの感度が低下し、半導体装置の性能が低下する。

- [0258] 一方、本実施の形態2では、実施の形態1と同様に、第2層の配線層ML2のマスクデータに対して、複数の画素PUが配置される領域内の位置を中心としてシュリンク処理を行う。これにより、配線WR21のピッチを、配線WR22のピッチよりも小さくすることができ、第2層の配線層ML2によるシェーディングを防止または抑制することができる。したがって、CMOSイメージセンサの感度を向上させ、半導体装置の性能を向上させることができる。
- [0259] 本実施の形態2では、部分マスクデータDAT23が切り出される領域AW23の外周が、複数の配線WR21および複数の配線WR22のいずれをも横切らない。そのため、隙間領域AW24で部分マスクデータを作成する必要がなく、領域AW21と領域AW22との間で、配線WR21と配線WR22を、シュリンク処理の前後での配線WR21のピッチの差を考慮した演算をせずに接続することができる。
- [0260] また、本実施の形態2では、シュリンク処理を行う前の端子部PD2は、ビアVA1が配置される領域に対して、X軸方向におけるシュリンク中心位置CT21側と反対側に距離Xmarginだけ突出している。また、シュリンク処理を行う前の端子部PD2は、ビアVA1が配置される領域に対して、Y軸方向におけるシュリンク中心位置CT21側と反対側に距離Xmarginだけ突出している。そのため、第2層の配線層ML2におけるマスクサイズ効果またはOPC処理を考慮しない場合であって、マージン Δ が $\Delta=0$ の場合でも、ビアVA1は、平面視において、シュリンク処理が行われた後の端子部PD2に内包される。
- [0261] 本実施の形態2における配線レイアウトの設計方法によれば、チップレイアウトデータを作成する際に、配線WR21がビアVA1と電氣的に接続されていることが検証されれば、シュリンク処理が行われた後も、配線WR21がビアVA1と確実に電氣的に接続されていることになる。したがって、チップレイアウトデータを作成する際に、配線WR21がビアVA1と電氣的に接続されているか否かの検証を行った場合には、シュリンク処理が行わ

れた後、縮小部分マスクデータDAT 21を貼り付けてマスクデータDAT 2aを作成した後に、再び検証を行う必要がない。

[0262] また、シュリンク処理が行われた後の領域AW 21内の最小線幅を、線幅Wshrink（上記式（7）参照）とし、シュリンク処理が行われた後の領域AW 21内の最小スペース幅を、スペース幅Sshrink（上記式（8）参照）としている。そのため、シュリンク処理が行われた後も、複数の配線WR 21を、第2層の配線層ML 2における最小線幅と最小スペース幅を確保できるように、配置することができる。

[0263] なお、第2層の配線層ML 2以外の配線層に対してシュリンク処理を行ってもよく、p型半導体層PW、n型半導体層NW、または、ゲート電極GEに対してシュリンク処理を行ってもよい。また、シュリンク処理される領域の各部分において、シュリンク率 α を、同一の値とすることもでき、異なる値となるように調整することもできる。

[0264] さらに、本実施の形態2では、切り出される領域AW 23が矩形形状を有し、配線WR 21と配線WR 22とが、領域AW 21のX軸方向における負側の端部と、領域AW 22との間の部分の隙間領域AW 24で接続される例について説明した。しかし、切り出される領域AW 23が矩形形状を有していなくてもよい。または、配線WR 21と配線WR 22とが、領域AW 21のX軸方向における正側の端部と、領域AW 22との間の部分の隙間領域AW 24で接続されてもよい。あるいは、配線WR 21と配線WR 22とが、領域AW 21のY軸方向における正側または負側の端部と、領域AW 22との間の部分の隙間領域AW 24で接続されてもよい。いずれの場合においても、本実施の形態2と同様の効果が得られる。

[0265] <配線レイアウトおよびその設計方法の第1変形例>

次に、配線層における配線レイアウトおよびその設計方法の第1変形例について説明する。本第1変形例では、複数のビアVA 1に対しても、シュリンク処理が行われている。

[0266] 図47および図48は、実施の形態2の第1変形例における第2層の配線

層の配線レイアウトを示す平面図である。図47は、シュリンク処理が行われた後の配置を示し、図48は、シュリンク処理が行われる前の配置を示す。

[0267] 図47および図48に示す例では、複数のビアVA1には、複数の配線WR21のシュリンク率と等しいシュリンク率で、シュリンク処理が行われている。そのため、図47に示すように、Y軸方向における複数のビアVA1の配列のピッチPTV1を、Y軸方向における複数の配線WR21の配列のピッチPT21と等しくすることができる。このとき、ピッチPTV1は、Y軸方向における複数の配線WR21の配列のピッチPT22よりも小さくなる。なお、ビアVA2の配列のピッチPTV2は、Y軸方向における複数の配線WR22の配列のピッチPT22と等しくすることができる。

[0268] また、第1層の配線層ML1は、複数の端子部PC1を有する。複数の端子部PC1は、複数の接続配線CW1とそれぞれ同層に形成されている。各端子部PC1は、各接続配線CW1の領域AW21側の端部と、接続されている。

[0269] 本第1変形例では、シュリンク処理が行われる前のビアVA1のX軸方向およびY軸方向における幅（ビアVA1が円形形状を有するときは直径）を、幅V1'とする。このとき、幅V1'は、下記式(9)で定義される。

$$[0270] \quad V1' = 1 / \alpha \times V1 \quad (9)$$

図48に示すように、シュリンク処理を行う前の端子部PC1は、ビアVA1が配置される領域に対して、X軸方向におけるシュリンク中心位置CT21側に距離Xmargin2だけ突出している。また、シュリンク処理を行う前の端子部PC1は、ビアVA1が配置される領域に対して、Y軸方向におけるシュリンク中心位置CT21側に距離Ymargin2だけ突出している。距離Xmargin2および距離Ymargin2は、下記式(10)および下記式(11)で定義される。なお、マージンΔ'を、第2層の配線層ML2に対するビアVA1の位置の許容可能なずれ量、すなわちずれ量のマージンとする。

$$[0271] \quad X_{margin2} = (1 - \alpha) \times (|X_v| - 0.5 \times V1') + \Delta' \quad (10)$$

$$Y_{margin2} = (1 - \alpha) \times (|Y_v| - 0.5 \times V1') + \Delta' \quad (11)$$

図49は、実施の形態2の第1変形例における第2層の配線層の配線レイアウトデータを第1層の配線層の配線レイアウトデータと重ねて示す平面図である。図49に示す例では、第1層の配線層ML1は、Y軸方向にそれぞれ延在し、かつ、X軸方向に配列された複数の配線WR11を含む。

[0272] 本第1変形例では、ビアVA1は、配線WR21と同じシュリンク率でシュリンク処理される。そのため、ビアVA1が切り出される層において、複数の画素PUが配置される領域である領域AWVが切り出される場合、領域AWVは、図49に示すように、第2層の配線層ML2において切り出される領域AW23と同じ大きさである。

[0273] 本第1変形例によれば、実施の形態2とは異なり、第2層の配線層ML2よりも下層に形成されるビアVA1も、第2層の配線層ML2におけるシュリンク率と等しいシュリンク率でシュリンク処理が行われる。しかし、第2層の配線層ML2におけるマスクサイズ効果またはOPC処理を考慮しない場合であって、マージン Δ' が0に等しい場合でも、シュリンク処理が行われた後のビアVA1は、平面視において、端部EP21に内包される。また、シュリンク処理が行われる前のビアVA1のX軸方向およびY軸方向における幅 $V1'$ は、シュリンク処理を考慮した幅としている。そのため、本第1変形例は、設計の自由度を向上させつつ、実施の形態2と同様の効果を有する。

[0274] 図50および図51は、実施の形態2の第1変形例における第2層の配線層の配線レイアウトの他の例を示す平面図である。図50は、シュリンク処理が行われた後の配置を示し、図51は、シュリンク処理が行われる前の配置を示す。

[0275] 図50および図51に示す例では、端子部PD2および端子部PC1が配

置されている。

[0276] 図50に示す例では、複数の配線WR21のシュリンク率をシュリンク率 $\alpha M2$ としたとき、複数のビアVA1に対しては、シュリンク率 $\alpha M2$ よりも大きいシュリンク率 $\alpha V1$ で、シュリンク処理が行われている。そのため、図50に示すように、Y軸方向における複数のビアVA1の配列のピッチPTV1を、Y軸方向における複数の配線WR21の配列のピッチPT21よりも大きく、かつ、Y軸方向における複数の配線WR22の配列のピッチPT22よりも小さくすることができる。シュリンク率 $\alpha V1$ を、例えば0.995とすることができ、シュリンク率 $\alpha M2$ を、例えば0.99とすることができる。

[0277] 図51に示すように、シュリンク処理が行われる前の端子部PD2は、ビアVA1が配置される領域に対して、X軸方向におけるシュリンク中心位置CT21側と反対側に距離Xmargin'だけ突出している。また、シュリンク処理が行われる前の端子部PD2は、ビアVA1が配置される領域に対して、Y軸方向におけるシュリンク中心位置CT21側と反対側に距離Ymargin'だけ突出している。一方、シュリンク処理が行われる前の端子部PC1は、ビアVA1が配置される領域に対して、X軸方向におけるシュリンク中心位置CT21側に距離Xmargin2'だけ突出している。また、シュリンク処理が行われる前の端子部PC1は、ビアVA1が配置される領域に対して、Y軸方向におけるシュリンク中心位置CT21側に距離Ymargin2'だけ突出している。

[0278] これにより、図50および図51に示す例も、図47および図48に示す例と同様の効果を有する。

[0279] <配線レイアウトおよびその設計方法の第2変形例>

次に、配線層における配線レイアウトおよびその設計方法の第2変形例について説明する。本第2変形例では、画素領域側で下層の配線層に形成された配線が、その下層の配線層よりも上層の配線層に形成された接続配線を介して、周辺回路領域側で下層の配線層に配置された配線と電氣的に接続され

ている。

[0280] 図5 2は、実施の形態2の第2変形例における第1層の配線層の配線レイアウトを第2層の配線層の配線レイアウトデータと重ねて示す平面図である。図5 3および図5 4は、実施の形態2の第2変形例における第1層の配線層の配線レイアウトを示す平面図である。図5 3は、シュリンク処理が行われた後の配置を示し、図5 4は、シュリンク処理が行われる前の配置を示す。

[0281] 図5 2～図5 4に示すように、本第2変形例では、第1層の配線層ML 1は、複数の配線WR 1 1と、複数の配線WR 1 2と、を含む。複数の配線WR 1 1は、複数の画素PUが配置される領域である領域AW 1 1で、X軸方向にそれぞれ延在し、かつ、Y軸方向に配列されている。複数の配線WR 1 2は、領域AW 1 1とは異なる領域である領域AW 1 2で、X軸方向にそれぞれ延在し、かつ、Y軸方向に配列されている。複数の配線WR 1 1は、第1層の配線層ML 1よりも上層の第2層の配線層ML 2に形成された複数の接続配線CW 2の各々を介して、複数の配線WR 1 2の各々とそれぞれ電氣的に接続されている。複数の接続配線CW 2は、X軸方向にそれぞれ延在し、かつ、Y軸方向に配列されている。

[0282] なお、図5 2に示す例では、第2層の配線層ML 2は、Y軸方向にそれぞれ延在し、かつ、X軸方向に配列された複数の配線WR 2 1を含む。

[0283] 本第2変形例では、図5 2に示すように、第1層の配線層ML 1において、複数の画素PUが配置される領域AW 1 3が切り出される場合、領域AW 1 3は、第2層の配線層ML 2において切り出される領域AW 2 3よりも大きい。

[0284] 図5 3および図5 4に示す例では、第1層の配線層ML 1に含まれる複数の配線WR 1 1に対しては、シュリンク処理が行われるが、第2層の配線層ML 2に含まれる複数の接続配線CW 2、および、複数の配線WR 1 1と複数の接続配線CW 2との間の層に形成されるビアVA 1に対しては、シュリンク処理が行われない。

[0285] すなわち、図 5 3 および図 5 4 に示す例は、第 1 層の配線層 M L 1 と第 2 層の配線層 M L 2 との関係が、図 4 0 および図 4 2 に示した例における第 1 層の配線層 M L 1 と第 2 層の配線層 M L 2 との関係と逆になっているものである。

[0286] 図 5 3 および図 5 4 に示す例では、図 4 0 および図 4 2 に示した例における複数の配線 W R 2 1、複数の端子部 P D 2 および複数の配線 W R 2 2 に代えて、複数の配線 W R 1 1、複数の端子部 P D 1 および複数の配線 W R 1 2 が配置されている。複数の配線 W R 1 1、複数の端子部 P D 1 および複数の配線 W R 1 2 は、第 1 層の配線層 M L 1 に配置されている。複数の配線 W R 1 1 は、領域 A W 1 1 で、Y 軸方向にピッチ P T 1 1 で配列され、複数の配線 W R 1 2 は、領域 A W 1 2 で、Y 軸方向にピッチ P T 1 2 で配列され、複数の接続配線 C W 1 は、Y 軸方向にピッチ P T 1 3 で配列されている。複数の端子部 P D 1 の各々は、配線 W R 1 1 の領域 A W 1 2 側の端部 E P 1 1 に接続されている。端部 E P 1 1 の Y 軸方向における幅 W D 1 1 は、配線 W R 1 2 の領域 A W 1 1 側の端部 E P 1 2 の Y 軸方向における幅 W D 1 2 よりも狭い。

[0287] また、図 5 3 および図 5 4 に示す例では、図 4 0 および図 4 2 に示した例における複数の接続配線 C W 1 に代えて、複数の接続配線 C W 2 が配置されている。複数の接続配線 C W 1 は、第 2 層の配線層 M L 2 に配置されている。複数の接続配線 C W 2 は、Y 軸方向にピッチ P T 1 3 で配列されている。複数の端子部 P D 1 の各々は、複数のビア V A 1 の各々を介して、複数の接続配線 C W 2 の各々とそれぞれ電氣的に接続されている。また、複数の配線 W R 1 2 の各々は、複数のビア V A 2 の各々を介して、複数の接続配線 C W 2 の各々とそれぞれ電氣的に接続されている。

[0288] 図 5 4 に示すように、シュリンク処理を行う前の端子部 P D 1 は、ビア V A 1 が配置される領域に対して、X 軸方向におけるシュリンク中心位置 C T 1 1 側と反対側に距離 X m a r g i n だけ突出している。また、シュリンク処理を行う前の端子部 P D 1 は、ビア V A 1 が配置される領域に対して、Y

軸方向におけるシュリンク中心位置CT11側と反対側に距離Ymarginだけ突出している。

[0289] これにより、図53および図54に示す例も、設計の自由度を向上させつつ、実施の形態2で図40および図42に示した例と同様の効果を有する。

[0290] 図55および図56は、実施の形態2の第2変形例における第1層の配線層の配線レイアウトの他の例を示す平面図である。図55は、シュリンク処理が行われた後の配置を示し、図56は、シュリンク処理が行われる前の配置を示す。

[0291] 図55および図56に示す例では、第1層の配線層ML1に含まれる複数の配線WR11に加えて、複数の配線WR11と複数の接続配線CW2との間の層に形成されるビアVA1に対しても、シュリンク処理が行われる。一方、第2層の配線層ML2に含まれる複数の接続配線CW2に対しては、シュリンク処理が行われない。

[0292] すなわち、図55および図56に示す例は、第1層の配線層ML1と第2層の配線層ML2との関係が、図47および図48に示した例における第1層の配線層ML1と第2層の配線層ML2との関係と逆になっているものである。なお、図55および図56に示す例では、図47および図48に示した例における複数の端子部PC1に代えて、複数の端子部PC2が配置されている。複数の端子部PC2の各々は、接続配線CW2の領域AW11側の端部に接続されている。複数の端子部PC2は、複数のビアVA1の各々を介して、複数の配線WR11の領域AW12側の端部EP11の各々とそれぞれ電氣的に接続されている。

[0293] 図56に示すように、シュリンク処理を行う前の端子部PC2は、ビアVA1が配置される領域に対して、X軸方向におけるシュリンク中心位置CT11側に距離Xmargin2だけ突出している。また、シュリンク処理を行う前の端子部PC2は、ビアVA1が配置される領域に対して、Y軸方向におけるシュリンク中心位置CT11側に距離Ymargin2だけ突出している。

[0294] これにより、図 5 5 および図 5 6 に示す例も、図 4 7 および図 4 8 に示す例と同様の効果を有する。

[0295] 図 5 7 および図 5 8 は、実施の形態 2 の第 2 変形例における第 1 層の配線層の配線レイアウトの他の例を示す平面図である。図 5 7 は、シュリンク処理が行われた後の配置を示し、図 5 8 は、シュリンク処理が行われる前の配置を示す。

[0296] 図 5 7 および図 5 8 に示す例では、端子部 P D 1 および端子部 P C 2 が配置されている。すなわち、図 5 7 および図 5 8 に示す例は、第 1 層の配線層 M L 1 と第 2 層の配線層 M L 2 との関係が、図 5 0 および図 5 1 に示した例における第 1 層の配線層 M L 1 と第 2 層の配線層 M L 2 との関係と逆になっているものである。

[0297] ただし、図 5 7 に示す例では、図 5 0 に示した例とは異なり、複数のビア V A 1 のシュリンク率をシュリンク率 $\alpha V 1$ としたとき、複数の配線 W R 1 1 には、シュリンク率 $\alpha V 1$ よりも大きいシュリンク率 $\alpha M 1$ で、シュリンク処理が行われている。そのため、図 5 7 に示すように、Y 軸方向における複数の配線 W R 1 1 の配列のピッチ P T 1 1 を、Y 軸方向における複数のビア V A 1 の配列のピッチ P T V 1 よりも大きく、かつ、Y 軸方向における複数の配線 W R 1 2 の配列のピッチ P T 1 2 よりも小さくすることができる。シュリンク率 $\alpha V 1$ を、例えば 0.99 とすることができ、シュリンク率 $\alpha M 1$ を、例えば 0.995 とすることができる。

[0298] 図 5 8 に示すように、シュリンク処理を行う前の端子部 P D 1 は、ビア V A 1 が配置される領域に対して、X 軸方向におけるシュリンク中心位置 C T 1 1 側に距離 X m a r g i n 1 だけ突出している。また、シュリンク処理を行う前の端子部 P D 1 は、ビア V A 1 が配置される領域に対して、Y 軸方向におけるシュリンク中心位置 C T 1 1 側に距離 Y m a r g i n 1 だけ突出している。一方、シュリンク処理を行う前の端子部 P C 2 は、ビア V A 1 が配置される領域に対して、X 軸方向におけるシュリンク中心位置 C T 1 1 側に距離 X m a r g i n 2 だけ突出している。また、シュリンク処理を行う前

の端子部 P C 2 は、ビア V A 1 が配置される領域に対して、Y 軸方向におけるシュリンク中心位置 C T 1 1 側に距離 Y m a r g i n 2 だけ突出している。

[0299] これにより、図 5 7 および図 5 8 に示す例も、図 5 0 および図 5 1 に示す例と同様の効果を有する。

[0300] <配線レイアウトおよびその設計方法の第 3 変形例>

次に、配線層における配線レイアウトおよびその設計方法の第 3 変形例について説明する。本第 3 変形例では、画素領域側で上層の配線層に形成された配線が、下層の配線層に形成された接続配線を介して、周辺回路領域側で上層の配線層に配置された配線と電氣的に接続されている。また、本第 3 変形例では、複数の端子部 P D 2 の各々の形状を、互いに同一の形状とすることができる。

[0301] 図 5 9 および図 6 0 は、実施の形態 2 の第 3 変形例における第 2 層の配線層の配線レイアウトを示す平面図である。図 5 9 は、シュリンク処理が行われた後の配置を示し、図 6 0 は、シュリンク処理が行われる前の配置を示す。なお、図 5 9 および図 6 0 は、図 3 9 の領域 R G 3 1、R G 3 2 および R G 3 3 の拡大平面図である。すなわち、図 5 9 および図 6 0 は、配線 W R 2 1、配線 W R 2 2 および接続配線 C W 1 の各々について、Y 軸方向における配列の正側の端部に配置された配線、Y 軸方向における配列の中央に配置された配線、および、Y 軸方向における配列の負側の端部に配置された配線を示す。

[0302] 実施の形態 2 において図 4 0 および図 4 2 に示した例では、シュリンク処理が行われる前の端子部 P D 2 は、ビア V A 1 が配置される領域に対して、X 軸方向におけるシュリンク中心位置 C T 2 1 側と反対側に距離 X m a r g i n だけ突出していた。また、シュリンク処理が行われる前の端子部 P D 2 は、ビア V A 1 が配置される領域に対して、Y 軸方向におけるシュリンク中心位置 C T 2 1 側と反対側に距離 Y m a r g i n だけ突出していた。また、距離 X m a r g i n および距離 Y m a r g i n が、複数の配線 W R 2 1 の各

々にそれぞれ接続された複数の端子部PD2の間で互いに異なるため、複数の端子部PD2の各々の形状が、複数の端子部PD2の間で互いに異なっていた。

[0303] 一方、本第3変形例では、図59に示すように、複数の端子部PD2の各々の形状が、複数の端子部PD2の間で互いに同一である。

[0304] 図59に示すように、本第3変形例でも、複数の端子部PD2は、複数の配線WR21の各々とそれぞれ電氣的に接続され、かつ、複数のビアVA1の各々を介して、複数の接続配線CW1の各々とそれぞれ電氣的に接続されている。また、互いに電氣的に接続された配線WR21、端子部PD2、ビアVA1および接続配線CW1の組では、端子部PD2は、配線WR21よりもY軸方向における正側に突出した突出部PD21と、配線WR21よりもY軸方向における負側に突出した突出部PD22と、を含む。互いに電氣的に接続された配線WR21、端子部PD2、ビアVA1および接続配線CW1の組では、端子部PD2は、平面視において、接続配線CW1と重なり、ビアVA1は、平面視において、接続配線CW1と重なる部分の端子部PD2に内包されている。

[0305] 図60に示すように、シュリンク処理が行われる前、Y軸方向における複数のビアVA1の配列の正側の端部に配置されたビアVA1の、シュリンク中心位置CT21に対する中心座標を (X_v, Y_vu) とする。また、Y軸方向における複数のビアVA1の配列の負側の端部に配置されたビアVA1の、シュリンク中心位置CT21に対する中心座標を (X_v, Y_vl) とする。

[0306] シュリンク処理が行われる前、各端子部PD2に含まれる突出部PD21は、ビアVA1が配置される領域に対して、X軸方向におけるシュリンク中心位置CT21側と反対側に距離 $Xmargin$ だけ突出している。

[0307] 一方、シュリンク処理が行われる前、各端子部PD2に含まれる突出部PD21は、ビアVA1が配置される領域に対して、Y軸方向における正側に、距離 $Ymarginu$ だけ突出している。また、シュリンク処理が行われ

る前、各端子部PD2に含まれる突出部PD22は、ビアVA1が配置される領域に対して、Y軸方向における負側に、距離Ymargin1だけ突出している。

[0308] ここで、距離Xmargin、距離Ymarginuおよび距離Ymargin1の各々は、下記式(12)～下記式(14)で定義される値以上の値に設定される。

$$[0309] \quad Xmargin = (1 - \alpha) / \alpha \times (|Xv| + 0.5 \times V1 + \Delta) \quad (12)$$

$$Ymarginu = (1 - \alpha) / \alpha \times (|Yvu| + 0.5 \times V1 + \Delta) \quad (13)$$

$$Ymargin1 = (1 - \alpha) / \alpha \times (|Yv1| + 0.5 \times V1 + \Delta) \quad (14)$$

端子部PD2は、実施の形態2で図40および図42を用いて説明した距離Xmarginおよび距離Ymarginだけ突出すれば足りる。しかし、Y軸方向に配列された端子部PD2の数が極めて多いため、マスクデータを作成する際に、各端子部PD2に対応したビアVA1の座標を確認しながら、端子部PD2ごとに距離Xmarginおよび距離Ymarginを設定する場合、マスクデータを作成する工程が複雑になる。そこで、図59および図60に示すように、切り出される領域AW23の全領域で、各端子部PD2のマージンの最大値、すなわちビアVA1が配置される領域から端子部PD2が突出する距離の最大値を算出し、その最大値以上のマージンを有する同一の形状の端子部PD2を配置する。これにより、実施の形態2が有する効果に加え、さらに、マスクデータを作成する工程を、実施の形態2に比べて簡便なものにすることができる。

[0310] さらに、図61に、図59および図60に示す例から派生した例を示す。図61は、実施の形態2の第3変形例における第2層の配線層の配線レイアウトの他の例を示す平面図である。図61は、シュリンク処理が行われる前の配置を示す。

[0311] 図61に示す例では、切り出される領域AW23が、Y軸方向に5個の領域AW231～領域AW235に分割される。また、領域AW231～領域AW235の各々における距離Xmarginの最大値として、距離Xmargin1～距離Xmargin5を設定し、領域AW231～領域AW235の各々における距離Ymarginの最大値として、距離Ymargin1～距離Ymargin5を設定する。そして、領域AW231～領域AW235の各々で、距離Ymargin1～距離Ymargin5の各々のマージン以上のマージンを有する同一の形状の端子部PD2を配置する。

[0312] このとき、複数の端子部PD2のうち、複数の配線WR21の配列の中央部に配置された配線WR21に接続された端子部PD2の、Y軸方向における幅は、複数の端子部PD2のうち、複数の配線WR21の配列の端部に配置された配線WR21に接続された端子部PD2の、Y軸方向における幅よりも狭くなる。

[0313] 切り出される領域AW23が、例えばレイアウト設計者が容易に対応可能な数に分割され、分割された複数の領域ごとに、各端子部PD2のマージンの最大値を算出し、その最大値以上のマージンを有する同一の形状の端子部PD2を配置する。これにより、図61に示す例でも、マスクデータを作成する工程を、図59および図60に示す例に比べれば少し複雑にはなるものの、実施の形態2に比べて簡便なものにすることができる。

[0314] なお、図示は省略するが、実施の形態2の第1変形例、および、実施の形態2の第2変形例に対しても、本第3変形例と同様な変形例が適用可能である。

[0315] <配線レイアウトおよびその設計方法の第4変形例>

次に、配線層における配線レイアウトおよびその設計方法の第4変形例について説明する。本第4変形例では、複数の配線WR21および複数のビアVA1に加え、複数の接続配線CW1にも、シュリンク処理が行われている。

[0316] 図62および図63は、実施の形態2の第4変形例における第2層の配線

層の配線レイアウトを示す平面図である。図 6 2 は、シュリンク処理が行われた後の配置を示し、図 6 3 は、シュリンク処理が行われる前の配置を示す。

[0317] 図 6 2 に示す例では、図 5 0 に示した例と同様に、複数の配線 $WR 2 1$ のシュリンク率をシュリンク率 $\alpha M 2$ としたとき、複数のビア $VA 1$ に対しては、シュリンク率 $\alpha M 2$ よりも大きいシュリンク率 $\alpha V 1$ で、シュリンク処理が行われている。そのため、図 6 2 に示すように、 Y 軸方向における複数のビア $VA 1$ の配列のピッチ $PT V 1$ を、 Y 軸方向における複数の配線 $WR 2 1$ の配列のピッチ $PT 2 1$ よりも大きくすることができる。

[0318] さらに、図 6 2 に示す例では、図 5 0 に示した例とは異なり、複数の接続配線 $CW 1$ に対しては、シュリンク率 $\alpha V 1$ よりも大きいシュリンク率 $\alpha M 1$ で、シュリンク処理が行われている。そのため、図 6 2 に示すように、 Y 軸方向における複数の接続配線 $CW 1$ の配列のピッチ $PT 2 3$ を、 Y 軸方向における複数のビア $VA 1$ の配列のピッチ $PT V 1$ よりも大きく、かつ、 Y 軸方向における複数の配線 $WR 2 2$ の配列のピッチ $PT 2 2$ よりも小さくすることができる。

[0319] また、第 1 層の配線層 $ML 1$ は、複数の端子部 $PC 1$ を有する。複数の端子部 $PC 1$ は、複数の接続配線 $CW 1$ とそれぞれ同層に形成されている。複数の端子部 $PC 1$ の各々は、複数の接続配線 $CW 1$ の各々の領域 $AW 2 1$ 側の端部と、接続されている。

[0320] 図 6 2 および図 6 3 に示す例でも、マスクデータを作成する際に、配線 $WR 2 1$ 、ビア $VA 1$ および接続配線 $CW 1$ の各々において、シュリンク率 $\alpha M 2$ 、 $\alpha V 1$ および $\alpha M 1$ を考慮したマージンを設定する。これにより、シュリンク処理が行われた後も、複数の配線 $WR 2 1$ の各々を、複数のビア $VA 1$ の各々を介して、複数の接続配線 $CW 1$ の各々と電氣的に接続することができ、複数の配線 $WR 2 2$ の各々を、複数のビア $VA 2$ の各々を介して、複数の接続配線 $CW 2$ の各々と電氣的に接続することができる。そのため、図 6 2 および図 6 3 に示す例も、設計の自由度を向上させつつ、実施の形態

2で図40および図42に示した例と同様の効果を有する。

[0321] なお、図示は省略するが、実施の形態2の第1変形例、実施の形態2の第2変形例、および、実施の形態2の第3変形例に対しても、本第4変形例と同様な変形例が適用可能である。

[0322] 以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

符号の説明

[0323] AR1、AR2 領域

AW11～AW13、AW21～AW23、AW231～AW235 領域

AW14、AW24、AW34 隙間領域

AW31～AW33、AWV 領域

BS 基体

BW 隔壁

CAP キャップ絶縁膜

CF カラーフィルタ

CT11、CT21 シュリンク中心位置（位置）

CT12、CT22、CT31、CT32 位置

CW1 接続配線（配線パターン）

CW1a、CW2、CW2a 接続配線

CW11、CW12 延在部

CW13 接続部

DAT1、DAT1a、DAT2、DAT2a、DAT3、DAT3a マスクデータ

DAT11、DAT21、DAT31 縮小部分マスクデータ

DAT13、DAT23、DAT33 部分マスクデータ

DAT14、DAT34 隙間部分マスクデータ

DS1～DS3 ずれ量

EP 11、EP 12、EP 21、EP 22 端部

EX 11、EX 12 延在部

FS 平面

GE ゲート電極

GI ゲート絶縁膜

IL、IL 1～IL 3 層間絶縁膜

IL 4 絶縁膜

ML マイクロレンズ

ML 1～ML 3 配線層

MSK 露光用マスク

NW n型半導体層

OP 1 開口部

PC 1、PC 2 端子部

PD フォトダイオード

PD 1、PD 2 端子部

PD 21、PD 22 突出部

PT 11～PT 13、PT 21～PT 23 ピッチ

PTN 1～PTN 3 露光用パターン

PTV 1、PTV 2 ピッチ

PU 画素

PW p型半導体層

RF 1 レジスト膜

RG 1、RG 2、RG 31～RG 33 領域

RP 1～RP 3 レジストパターン

SB 半導体基板

SC 1、SC 11、SC 12、SC 2、SC 21、SC 22 側面

SC 31、SC 32 側面

SF 1、SF 11～SF 13 遮光膜

SP1 スペース幅

SW サイドウォール

SW11、SW12、SW21、SW22 側面

TR11～TR13、TR2、TR3 配線溝

TX 転送用トランジスタ

VA1、VA2 ビア

WC1 幅

WD11～WD14、WD21、WD22 幅

WR11、WR12、WR13、WR21、WR22 配線（配線パターン）

WR11a、WR12a、WR1a、WR3 配線

WR21～WR23、WR2a、WR23、WR3 配線

請求の範囲

[請求項1]

半導体基板と、

前記半導体基板の主面の第1領域で、前記半導体基板の前記主面に形成された複数の光電変換素子と、

前記第1領域で、前記半導体基板の前記主面の上方に、互いに同層に形成された複数の第1配線と、

前記半導体基板の前記主面の第2領域で、前記複数の第1配線とそれぞれ同層に形成された複数の第2配線と、

を有し、

前記第2領域は、平面視において、第1方向における前記第1領域の第1の側に配置された領域であり、

前記複数の第1配線は、平面視において、前記第1方向にそれぞれ延在し、かつ、前記第1方向と交差する第2方向に第1ピッチで配列され、

前記複数の第2配線は、平面視において、前記第1方向にそれぞれ延在し、かつ、前記第2方向に第2ピッチで配列され、

前記複数の第1配線は、前記複数の第2配線の各々とそれぞれ電氣的に接続され、

前記第1ピッチは、前記第2ピッチよりも小さい、半導体装置。

[請求項2]

請求項1記載の半導体装置において、

前記第1領域および前記第2領域で、前記半導体基板の前記主面の上方に形成された複数の配線層を有し、

前記複数の配線層のうち最上層の配線層よりも下層の配線層は、前記複数の第1配線と、前記複数の第2配線と、を含む、半導体装置。

[請求項3]

請求項1記載の半導体装置において、

前記複数の第1配線の各々の前記第2方向における第1幅は、前記複数の第2配線の各々の前記第2方向における第2幅よりも狭い、半導体装置。

- [請求項4] 請求項1記載の半導体装置において、
前記複数の第1配線とそれぞれ同層に形成された複数の接続配線を有し、
前記複数の第1配線は、前記複数の接続配線の各々を介して、前記複数の第2配線の各々とそれぞれ接続されている、半導体装置。
- [請求項5] 請求項4記載の半導体装置において、
前記複数の接続配線の各々の前記第2方向における第3幅は、前記複数の第1配線の各々の前記第2領域側の第1端部の前記第2方向における第4幅よりも広く、かつ、前記複数の第2配線の各々の前記第1領域側の第2端部の前記第2方向における第5幅以上である、半導体装置。
- [請求項6] 請求項1記載の半導体装置において、
前記複数の第1配線のうちいずれかの第1配線は、平面視において、前記複数の第2配線のうち、前記いずれかの第1配線と接続された第2配線よりも、前記第2方向における第2の側にずれて配置されている、半導体装置。
- [請求項7] 請求項6記載の半導体装置において、
前記いずれかの第1配線の前記第2領域側の第3端部のうち、前記第2方向における前記第2の側と反対側の部分は、前記いずれかの第1配線と接続された第2配線の前記第1領域側の第4端部のうち、前記第2方向における前記第2の側の部分と接触している、半導体装置。
- [請求項8] 請求項5記載の半導体装置において、
前記複数の接続配線のうち第1接続配線は、前記複数の第1配線のうちいずれかの第1配線と接続され、かつ、前記複数の第2配線のうちいずれかの第2配線と接続され、
前記第1接続配線の前記第2方向における第3の側の第1側面と、前記いずれかの第1配線の前記第1端部の、前記第2方向における前

記第3の側の第2側面とは、同一面を形成し、

前記第1接続配線の前記第2方向における前記第3の側と反対側の第3側面と、前記いずれかの第2配線の前記第2端部の、前記第2方向における前記第3の側と反対側の第4側面とは、同一面を形成している、半導体装置。

[請求項9] 請求項8記載の半導体装置において、

前記いずれかの第1配線の前記第1端部の、前記第2方向における前記第3の側と反対側の第5側面は、平面視において、前記いずれかの第2配線の前記第2端部の、前記第2方向における前記第3の側の第6側面よりも、前記第2方向における前記第3の側に配置されている、半導体装置。

[請求項10] 請求項4記載の半導体装置において、

前記複数の接続配線のうち第2接続配線は、前記複数の第1配線のうちいずれかの第1配線と接続され、かつ、前記複数の第2配線のうちいずれかの第2配線と接続され、

前記いずれかの第1配線の前記第2領域側の第3端部の、前記第2方向における第4の側の第7側面は、平面視において、前記いずれかの第2配線の前記第1領域側の第4端部の、前記第2方向における前記第4の側と反対側の第8側面よりも、前記第2方向における前記第4の側に配置され、

前記第2接続配線の前記第2方向における前記第4の側と反対側の第9側面と、前記第8側面とは、同一面を形成し、

前記第2接続配線の前記第2方向における前記第4の側の第10側面と、前記第7側面とは、同一面を形成している、半導体装置。

[請求項11] 請求項4記載の半導体装置において、

互いに接続された前記第1配線、前記接続配線および前記第2配線の組では、前記接続配線の前記第2方向における第5の側の第11側面は、前記第1配線の前記第2方向における前記第5の側の第12側

面、および、前記第2配線の前記第2方向における前記第5の側の第13側面、のいずれとも連続し、

前記組では、前記接続配線の前記第2方向における前記第5の側と反対側の第14側面は、前記第1配線の前記第2方向における前記第5の側と反対側の第15側面、および、前記第2配線の前記第2方向における前記第5の側と反対側の第16側面、のいずれとも連続している、半導体装置。

[請求項12] 請求項1記載の半導体装置において、

前記複数の第1配線と異なる層にそれぞれ形成された複数の接続配線を有し、

前記複数の第1配線は、前記複数の接続配線の各々を介して、前記複数の第2配線の各々とそれぞれ電氣的に接続されている、半導体装置。

[請求項13] 請求項12記載の半導体装置において、

前記複数の接続配線の各々は、前記複数の第1配線よりも下層に形成されている、半導体装置。

[請求項14] 請求項12記載の半導体装置において、

前記複数の第1配線と前記複数の接続配線との間の層に形成された複数の第1電極と、

前記複数の第2配線と前記複数の接続配線との間の層に形成された複数の第2電極と、

を有し、

前記複数の第1配線は、前記複数の第1電極の各々を介して、前記複数の接続配線の各々とそれぞれ電氣的に接続され、

前記複数の第2配線は、前記複数の第2電極の各々を介して、前記複数の接続配線の各々とそれぞれ電氣的に接続され、

前記複数の第1電極は、平面視において、前記第2方向に第3ピッチで配列され、

前記複数の第2電極は、平面視において、前記第2方向に前記第2ピッチで配列され、

前記第3ピッチは、前記第2ピッチよりも小さい、半導体装置。

[請求項15]

請求項12記載の半導体装置において、

前記複数の接続配線の各々は、前記複数の第1配線よりも上層に形成されている、半導体装置。

[請求項16]

請求項14記載の半導体装置において、

前記第1領域で、前記複数の第1配線とそれぞれ同層に形成された複数の第1端子部を有し、

前記複数の第1端子部は、前記複数の第1配線の各々とそれぞれ電氣的に接続され、かつ、前記複数の第1電極の各々を介して、前記複数の接続配線の各々とそれぞれ電氣的に接続され、

互いに電氣的に接続された前記第1配線、前記第1端子部、前記第1電極および前記接続配線の組では、前記第1端子部は、前記第1配線よりも前記第2方向における第6の側に突出した第1突出部と、前記第1配線よりも前記第2方向における前記第6の側と反対側に突出した第2突出部と、を含み、

前記組では、前記第1端子部は、平面視において、前記接続配線と重なり、

前記組では、前記第1電極は、平面視において、前記接続配線と重なる部分の前記第1端子部に内包されている、半導体装置。

[請求項17]

請求項14記載の半導体装置において、

前記第1領域で、前記複数の第1配線とそれぞれ同層に形成された複数の第2端子部を有し、

前記複数の第2端子部は、前記複数の第1配線の各々とそれぞれ電氣的に接続され、かつ、前記複数の第1電極の各々を介して、前記複数の接続配線の各々とそれぞれ電氣的に接続され、

互いに電氣的に接続された前記第1配線、前記第2端子部、前記第

1 電極および前記接続配線の組では、前記第2端子部は、平面視において、前記接続配線と重なり、

前記組では、前記第1電極は、平面視において、前記接続配線と重なる部分の前記第2端子部に内包され、

前記複数の第2端子部のうち、前記複数の第1配線の配列の中央部に配置された第1配線に接続された第2端子部の、前記第2方向における第6幅は、前記複数の第2端子部のうち、前記複数の第1配線の配列の端部に配置された第1配線に接続された第2端子部の、前記第2方向における第7幅よりも狭い、半導体装置。

[請求項18] 請求項12記載の半導体装置において、

前記複数の接続配線は、平面視において、前記第2方向に第4ピッチで配列され、

前記第4ピッチは、前記第1ピッチよりも大きく、かつ、前記第2ピッチよりも小さい、半導体装置。

[請求項19] 半導体基板と、

前記半導体基板の主面の第1領域で、前記半導体基板の前記主面に形成された複数の光電変換素子と、

前記第1領域で、前記半導体基板の前記主面の上方に、互いに同層に形成された複数の第1配線と、

前記半導体基板の前記主面の第2領域で、前記複数の第1配線とそれぞれ同層に形成された複数の第2配線と、

を有し、

前記第2領域は、平面視において、第1方向における前記第1領域の第1の側に配置された領域であり、

前記複数の第1配線は、平面視において、前記第1方向にそれぞれ延在し、かつ、前記第1方向と交差する第2方向に配列され、

前記複数の第2配線は、平面視において、前記第1方向にそれぞれ延在し、かつ、前記第2方向に配列され、

前記複数の第1配線は、前記複数の第2配線の各々とそれぞれ電氣的に接続され、

前記複数の第1配線のうち、前記複数の第1配線の配列の前記第2方向における第2の側の端部に配置された第1配線は、平面視において、前記複数の第2配線のうち、前記第1配線と接続された第2配線よりも、前記第2方向における前記第2の側と反対側にずれて配置されている、半導体装置。

[請求項20]

(a) 半導体基板を用意する工程、

(b) 前記半導体基板の主面の第1領域で、前記半導体基板の前記主面に、複数の光電変換素子を形成する工程、

(c) 前記第1領域で、前記半導体基板の前記主面の上方に、複数の第1配線を互いに同層に形成し、前記半導体基板の前記主面の第2領域で、複数の第2配線を、前記複数の第1配線とそれぞれ同層に形成する工程、

を備え、

前記第2領域は、平面視において、第1方向における前記第1領域の第1の側に配置された領域であり、

前記(c)工程は、

(d) 前記複数の第1配線を形成するための第1露光用パターンと、前記複数の第2配線を形成するための第2露光用パターンと、を有する露光用マスクを製造する工程、

(e) 前記(b)工程の後、前記露光用マスクを用いてフォトリソグラフィ工程を行い、平面視において、前記第1方向にそれぞれ延在し、かつ、前記第1方向と交差する第2方向に第1ピッチで配列された複数の第1配線を形成し、平面視において、前記第1方向にそれぞれ延在し、かつ、前記第2方向に前記第1ピッチよりも小さい第2ピッチで配列された複数の第2配線を形成する工程、

を有し、

前記複数の第1配線は、前記複数の第2配線の各々とそれぞれ電氣的に接続され、

前記(d)工程は、

(d1) 第1平面の第3領域で、前記第1平面内の第3方向にそれぞれ延在し、かつ、前記第1平面内の方向であって、前記第3方向と交差する方向である第4方向に第3ピッチで配列された複数の第1パターンと、前記第1平面の領域であって、前記第3方向における前記第3領域の第1の側に配置された領域である第4領域で、前記第3方向にそれぞれ延在し、かつ、前記第4方向に前記第3ピッチで配列された複数の第2パターンと、を有する第1パターンデータを作成する工程、

(d2) 前記第1パターンデータのうち、前記第3領域に配置された部分からなる第1部分パターンデータを、切り出す工程、

(d3) 切り出された前記第1部分パターンデータに対して縮小処理を行い、前記第3方向にそれぞれ延在し、かつ、前記第4方向に前記第3ピッチよりも小さい第4ピッチで配列された複数の第3パターンを有する第2部分パターンデータを作成する工程、

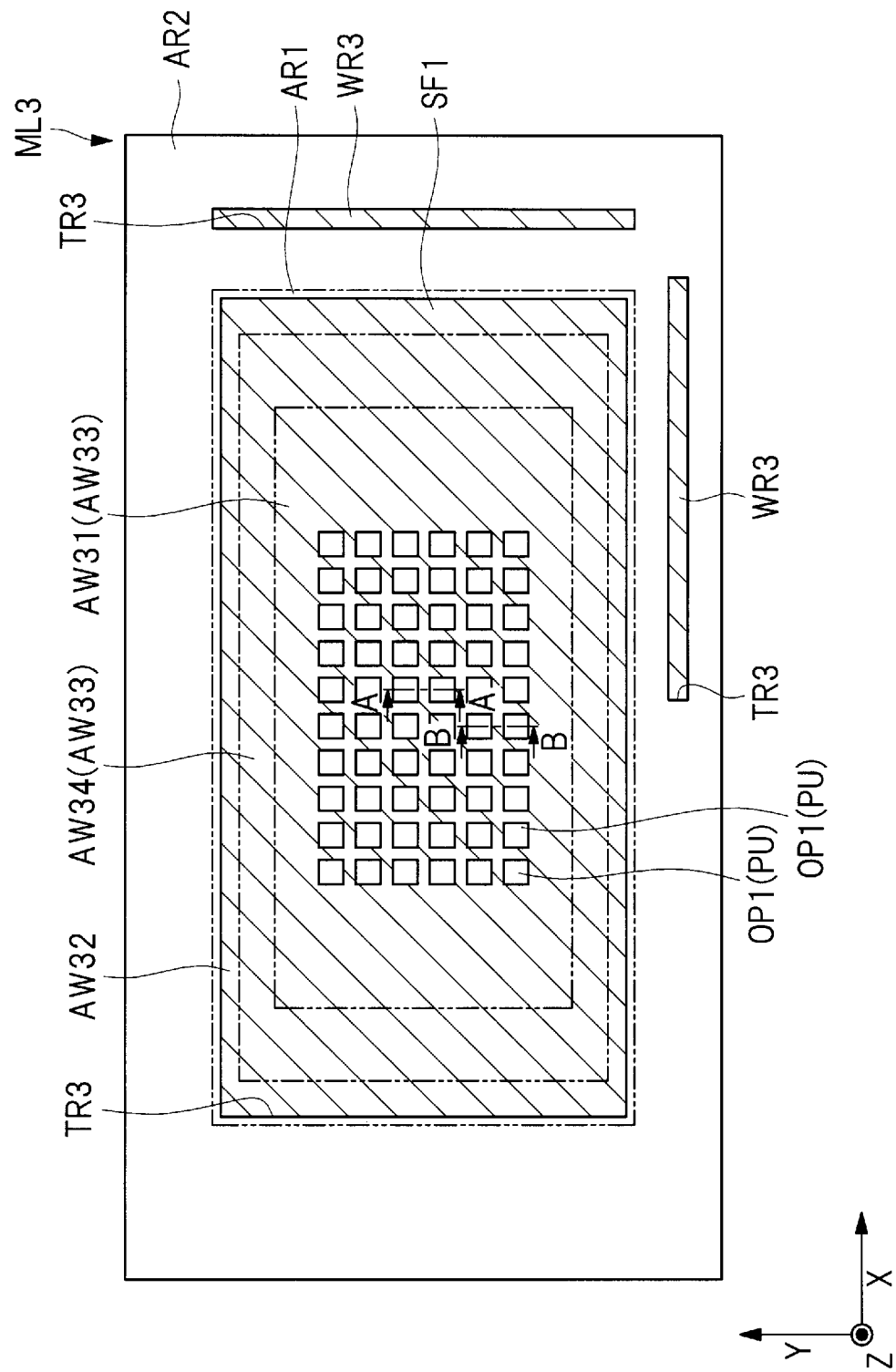
(d4) 前記第2部分パターンデータを、前記第1平面の前記第3領域内の領域であって、前記第4領域から離れた領域である第5領域に貼り付け、前記第5領域に配置された前記複数の第3パターンと、前記第4領域に配置された前記複数の第2パターンと、を有する第2パターンデータを形成する工程、

(d5) 前記第2パターンデータの前記複数の第3パターンに基づいて形成された前記第1露光用パターンと、前記第2パターンデータの前記複数の第2パターンに基づいて形成された前記第2露光用パターンと、を有する前記露光用マスクを製造する工程、

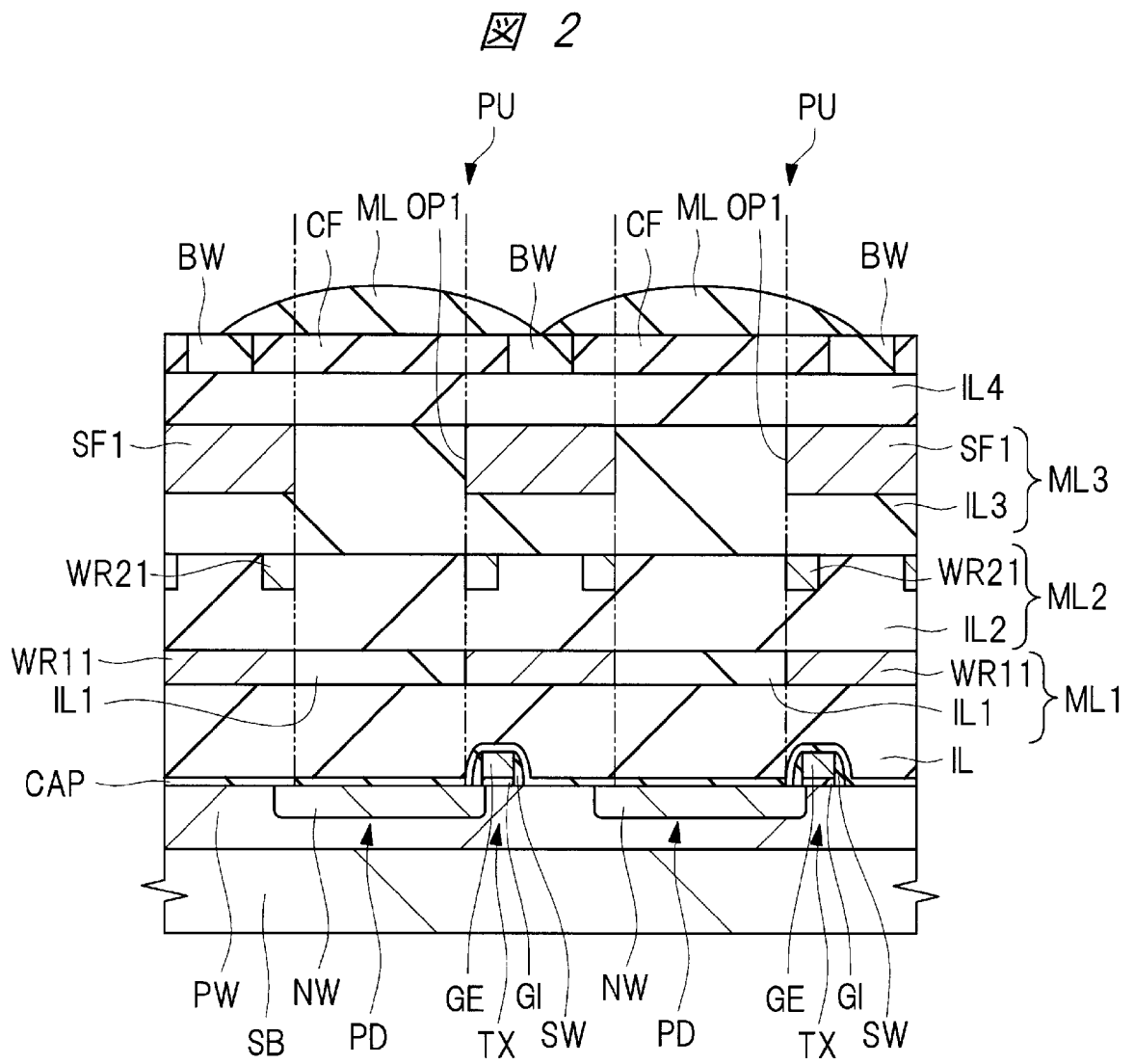
を含む、半導体装置の製造方法。

[図1]

図 1

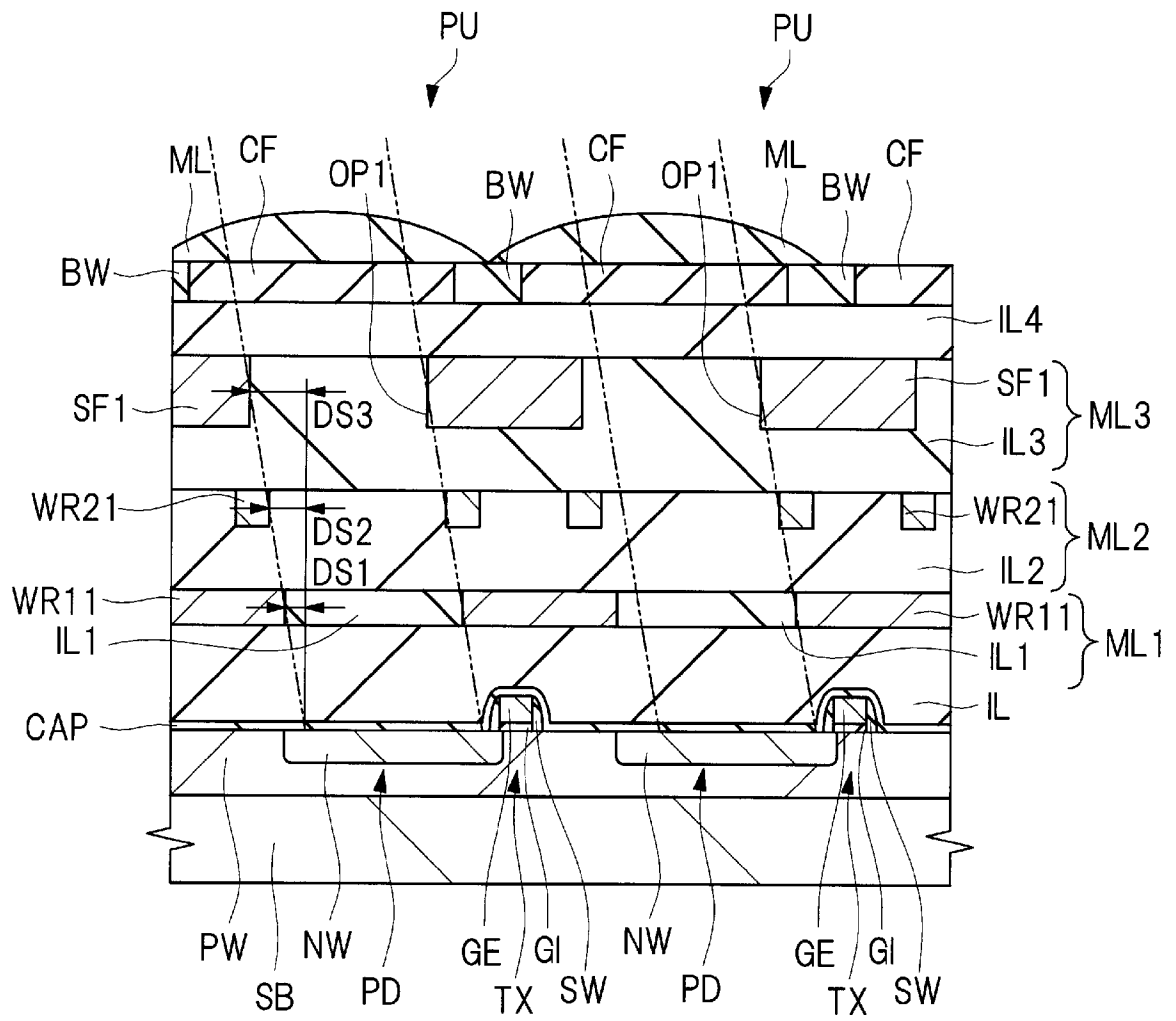


[図2]



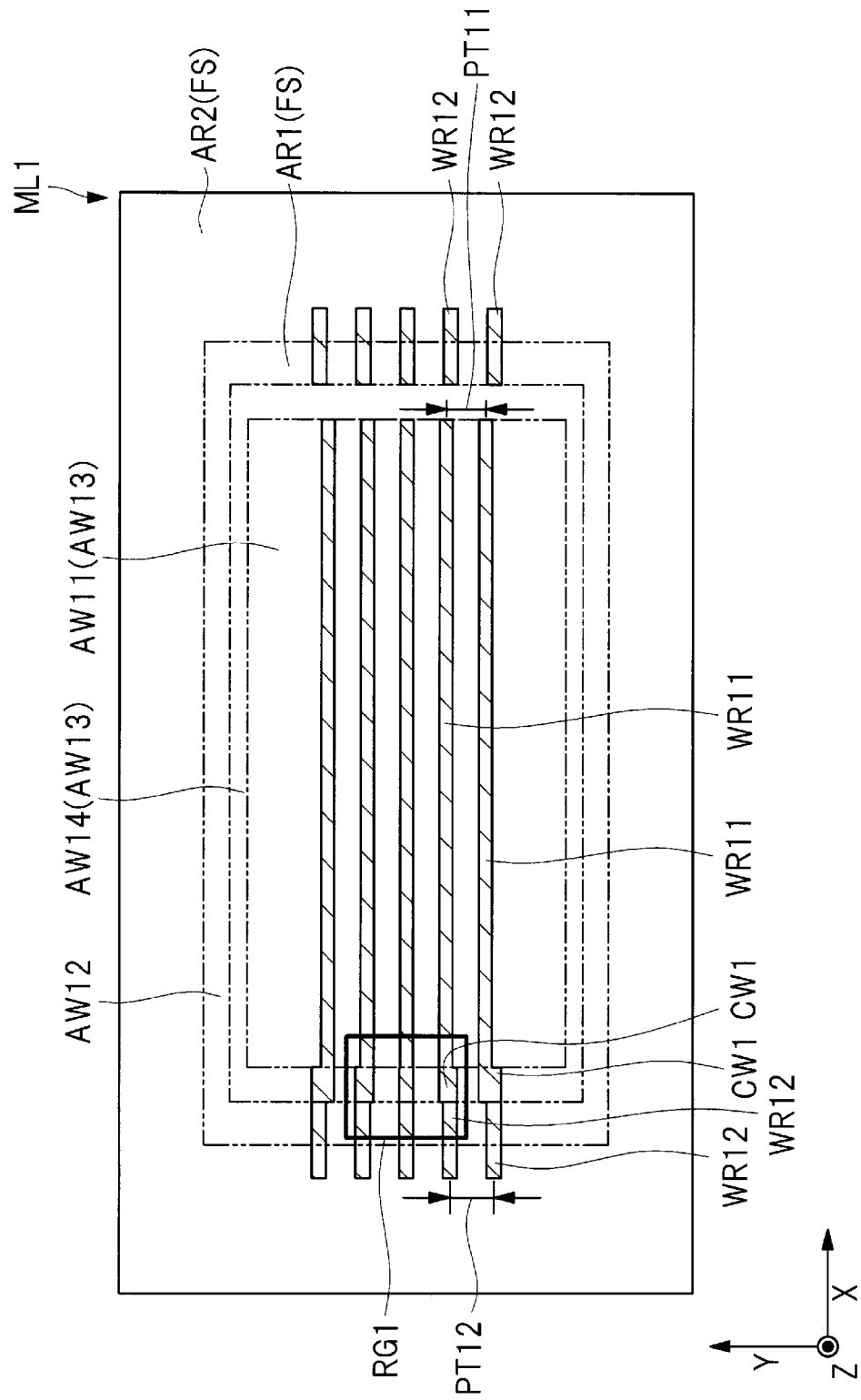
[図3]

3

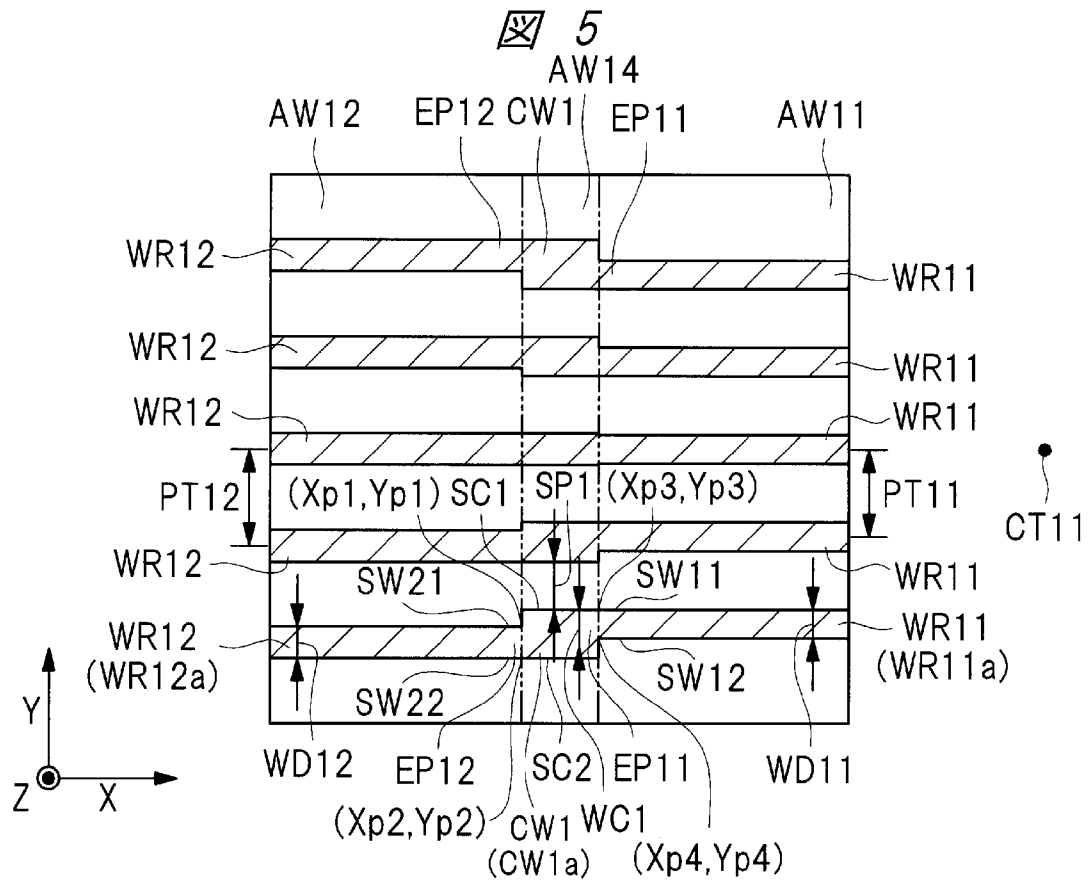


[図4]

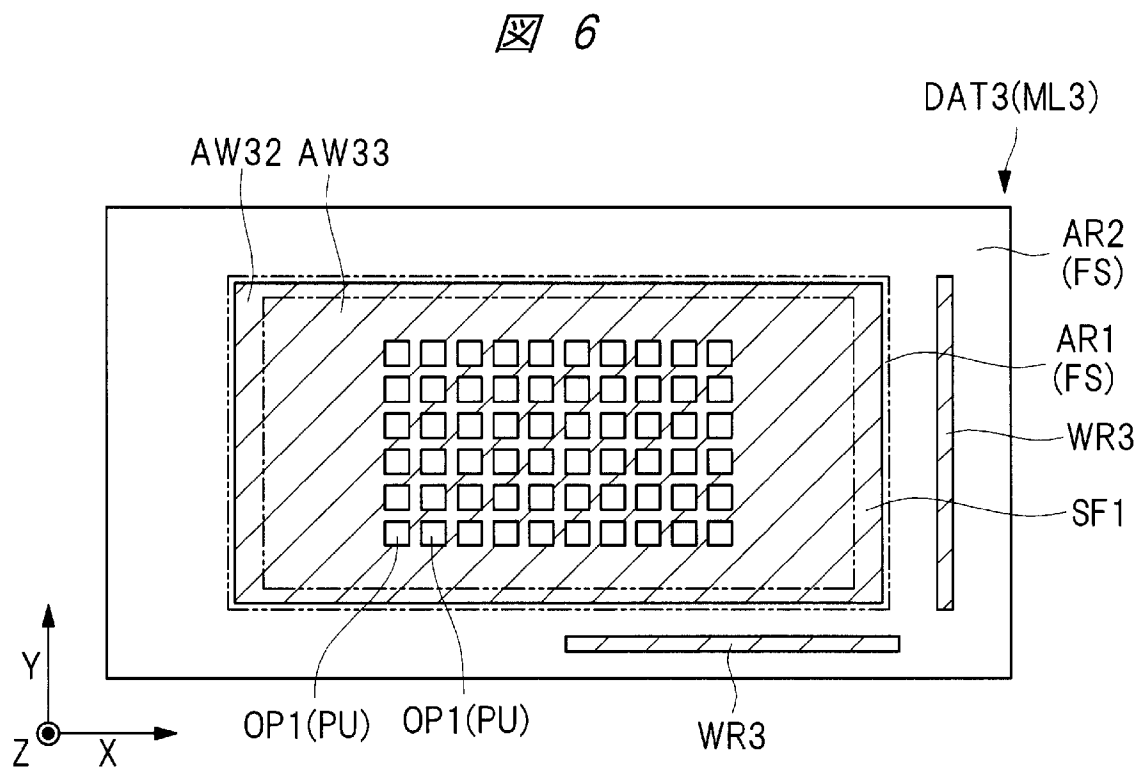
図 4



[図5]

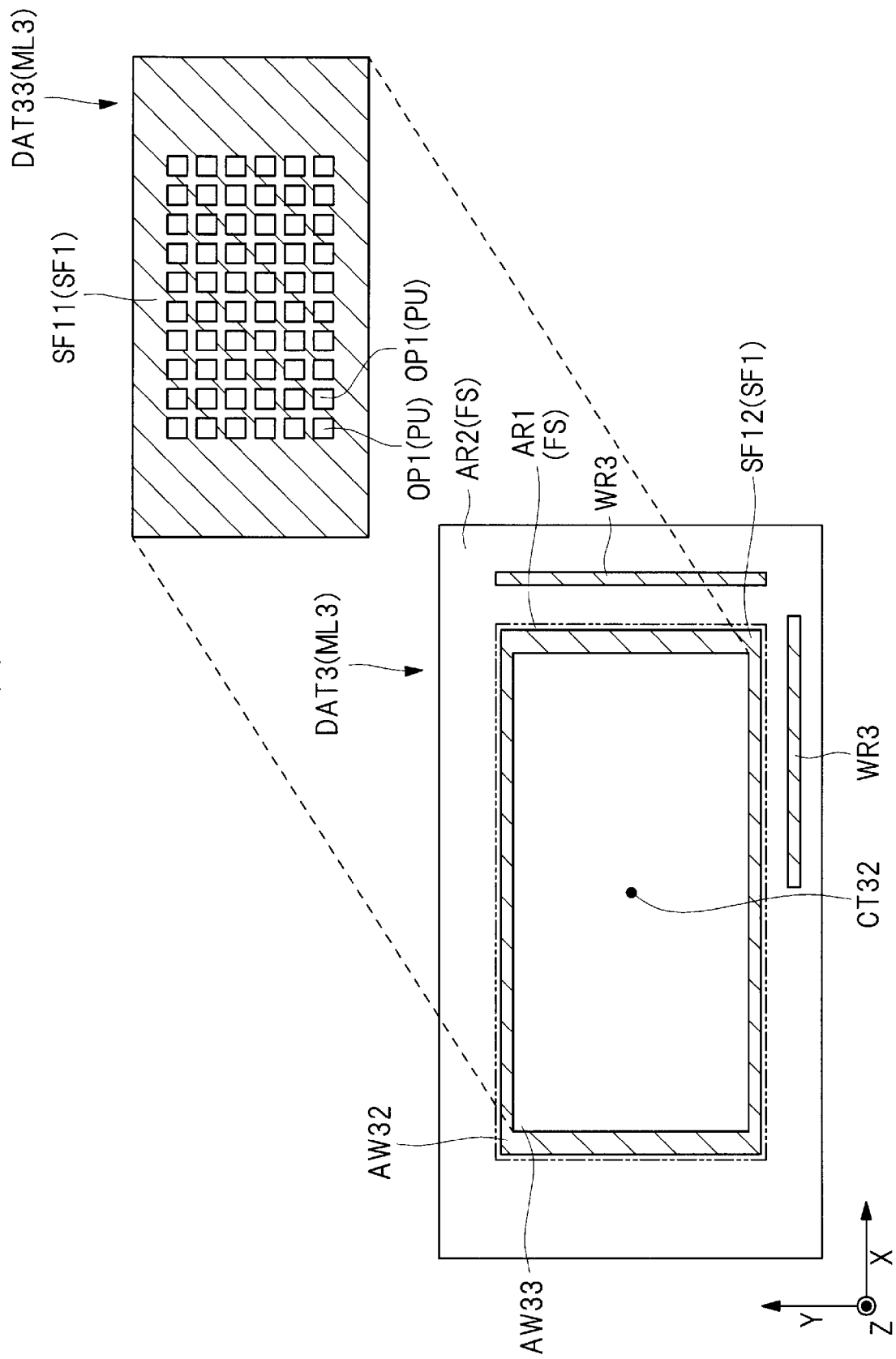


[図6]

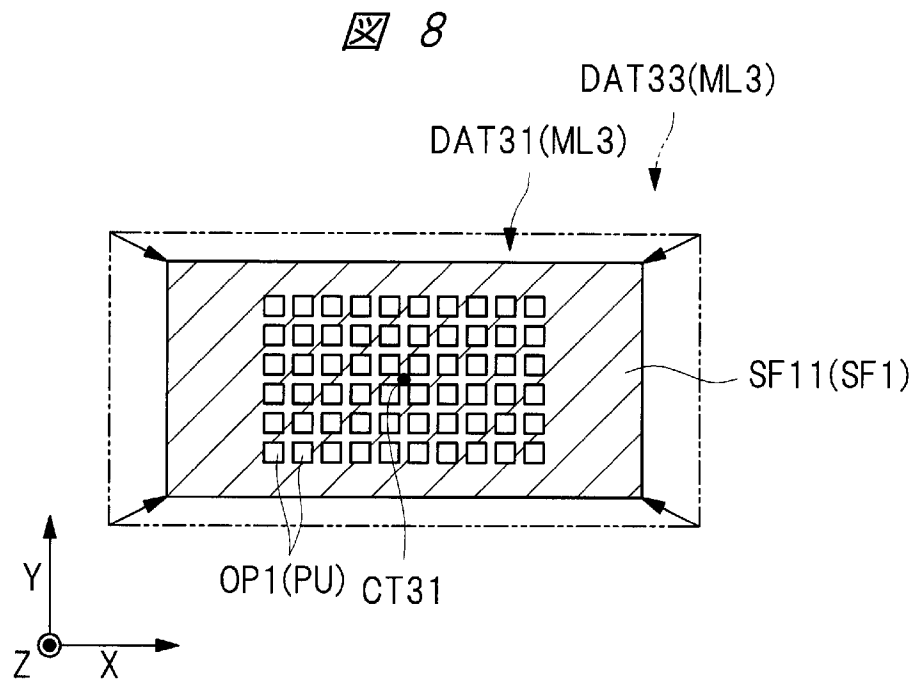


[図7]

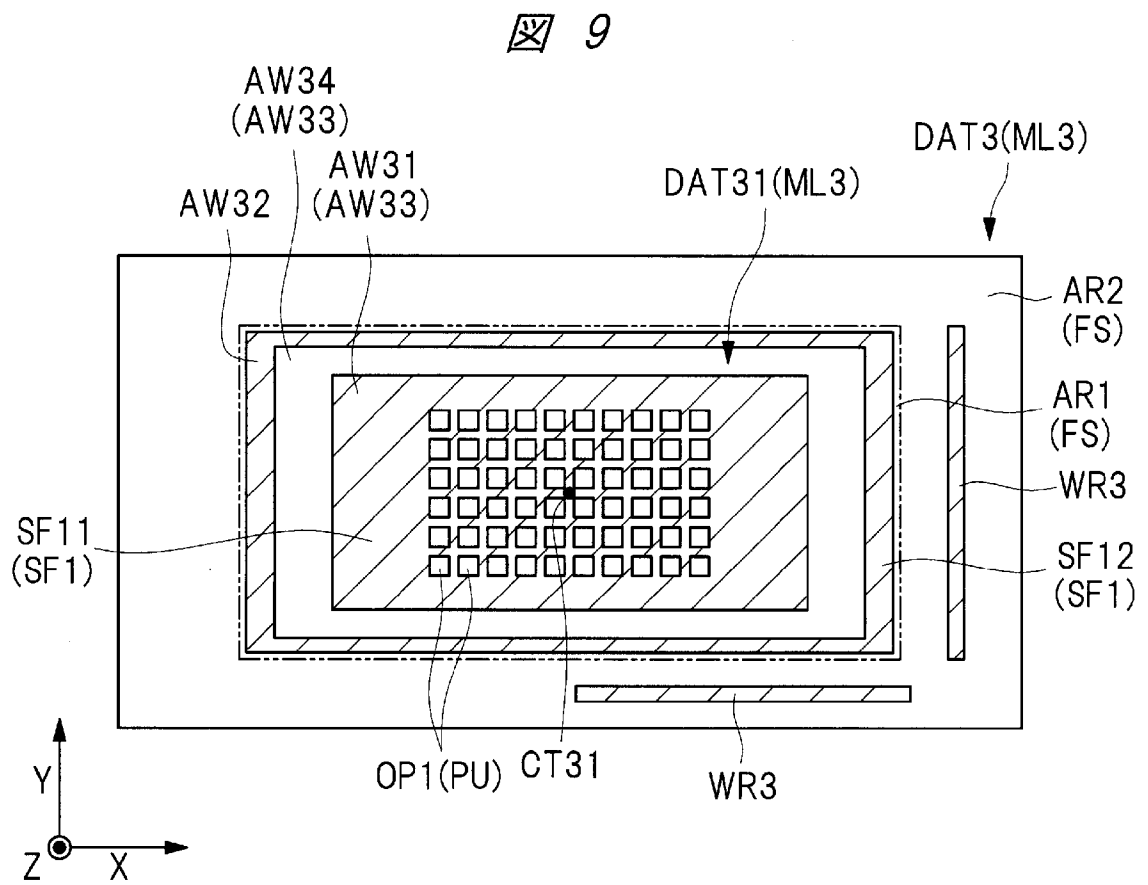
図 7



[図8]

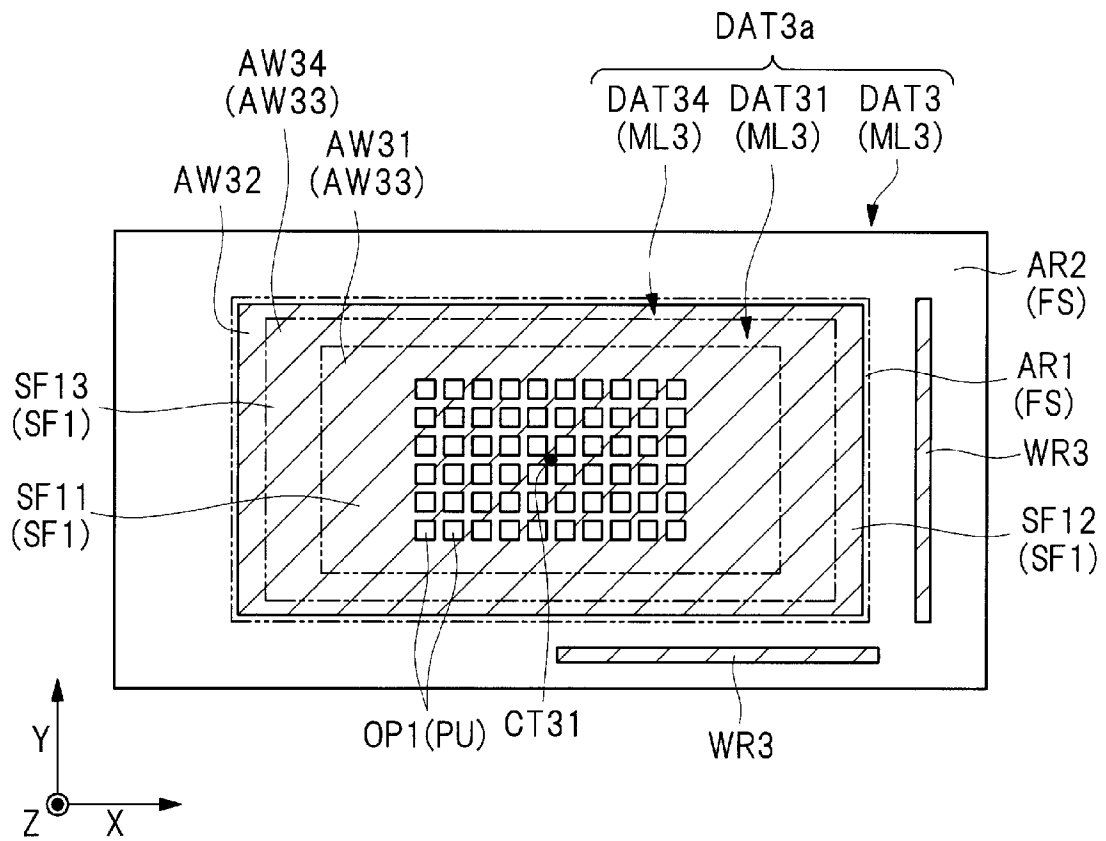


[図9]



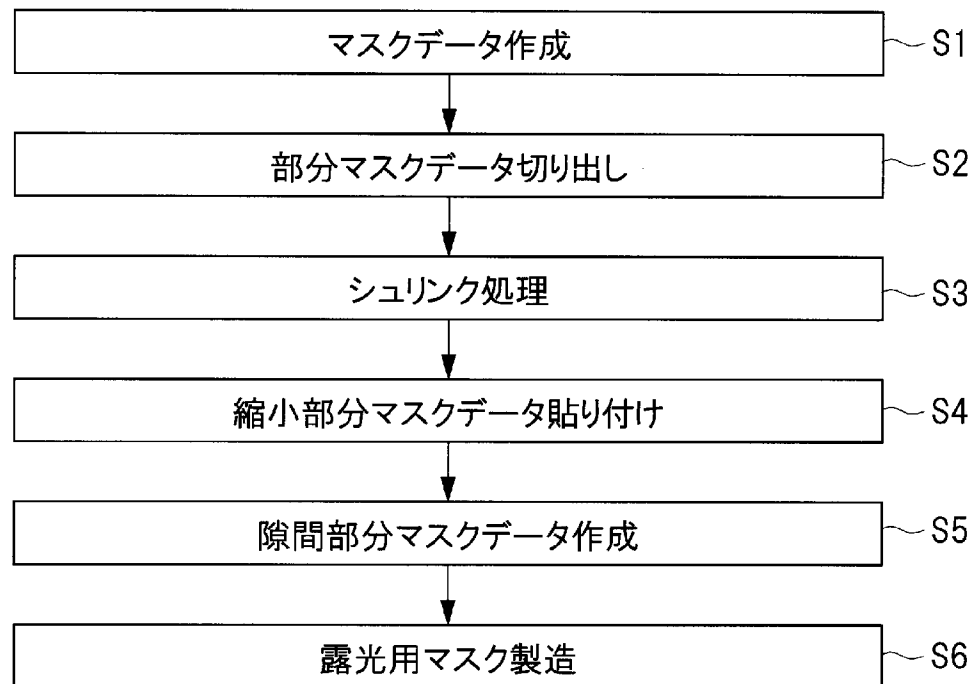
[図10]

図 10



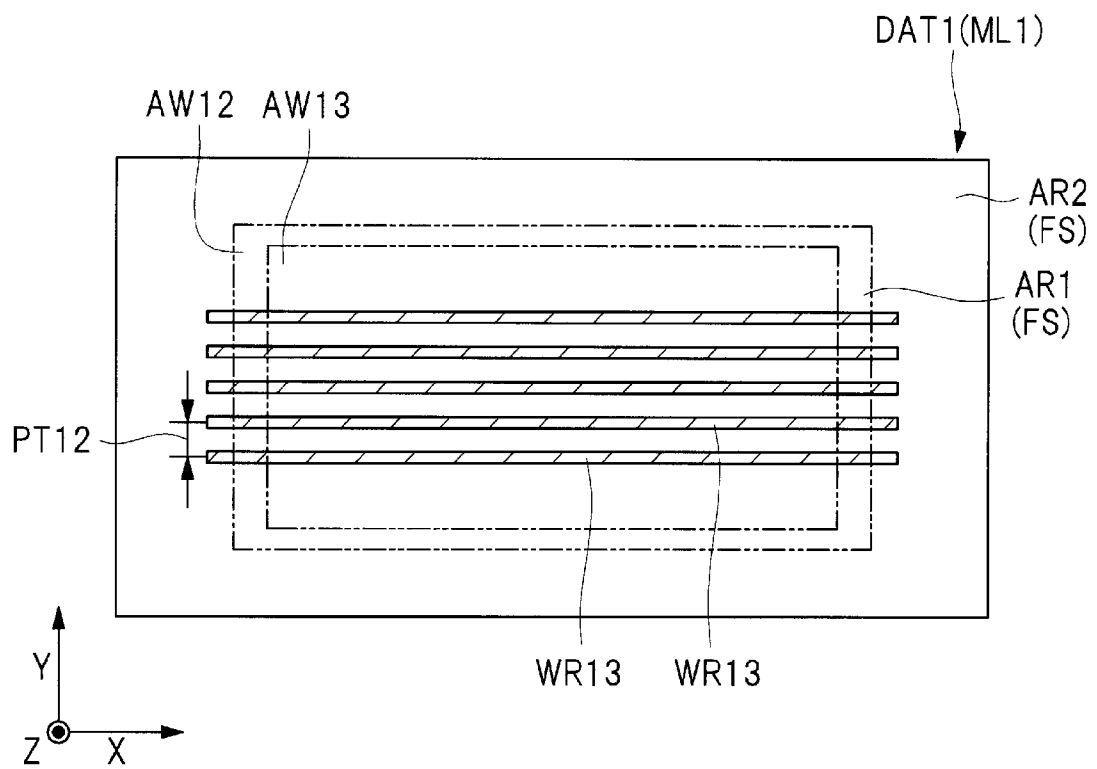
[図11]

図 11

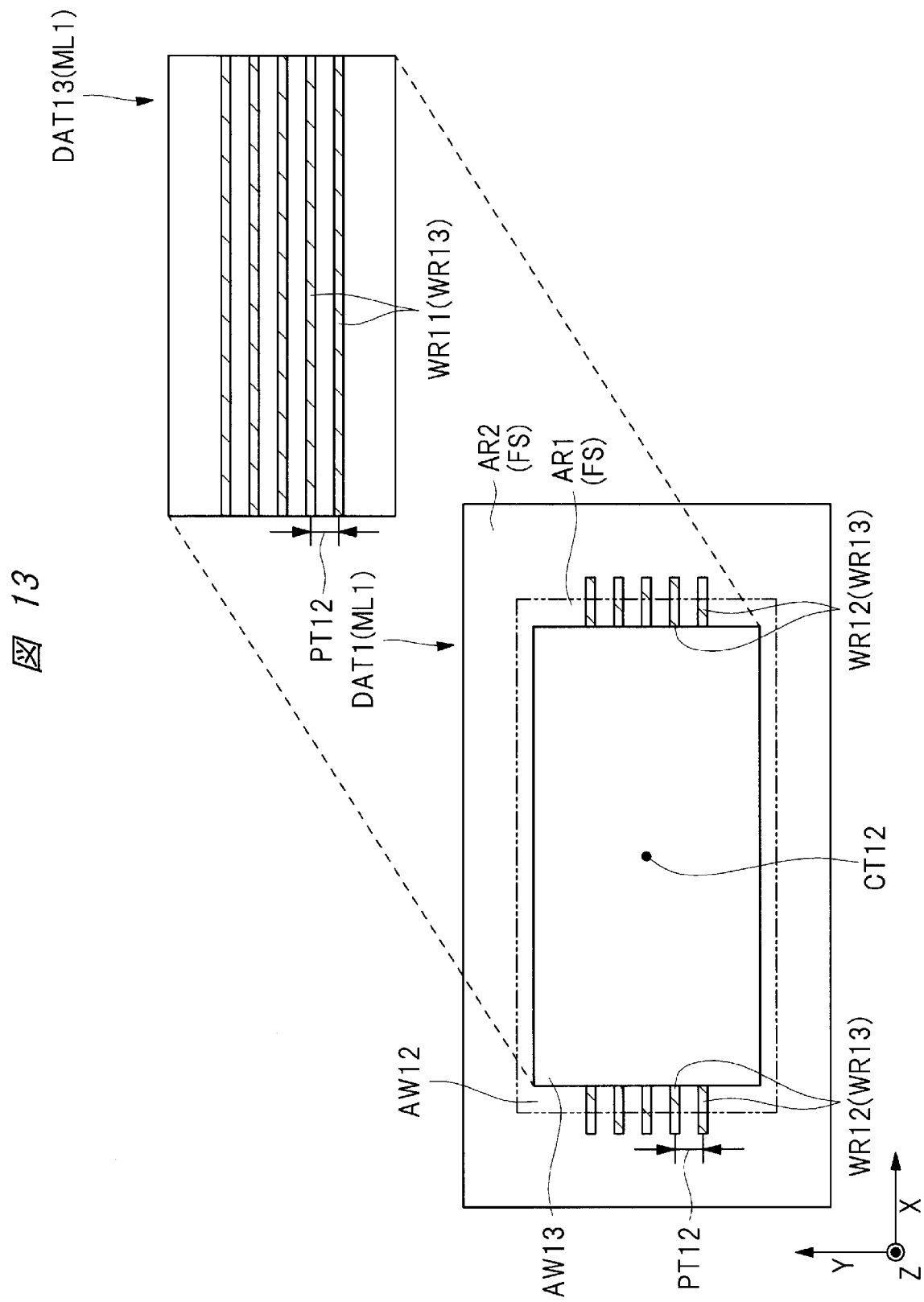


[図12]

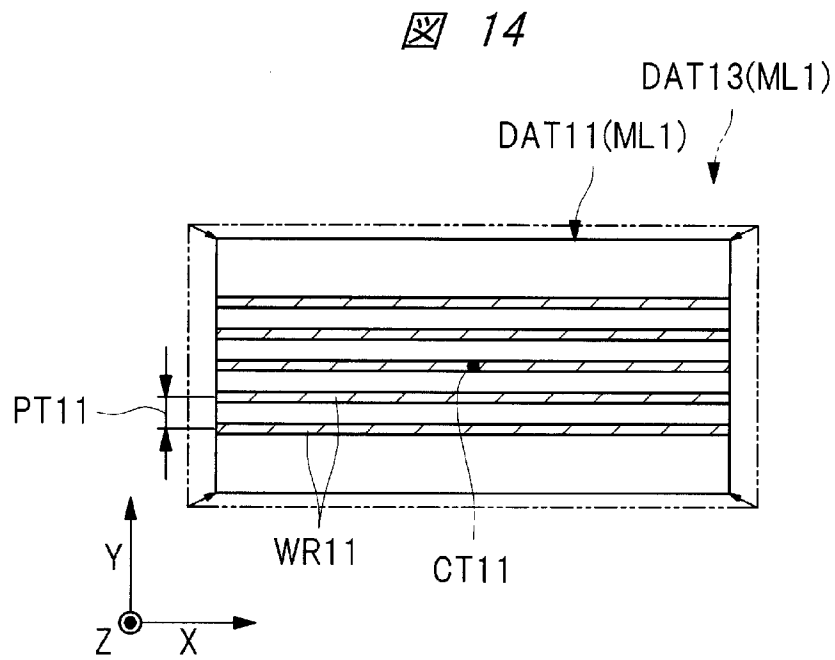
図 12



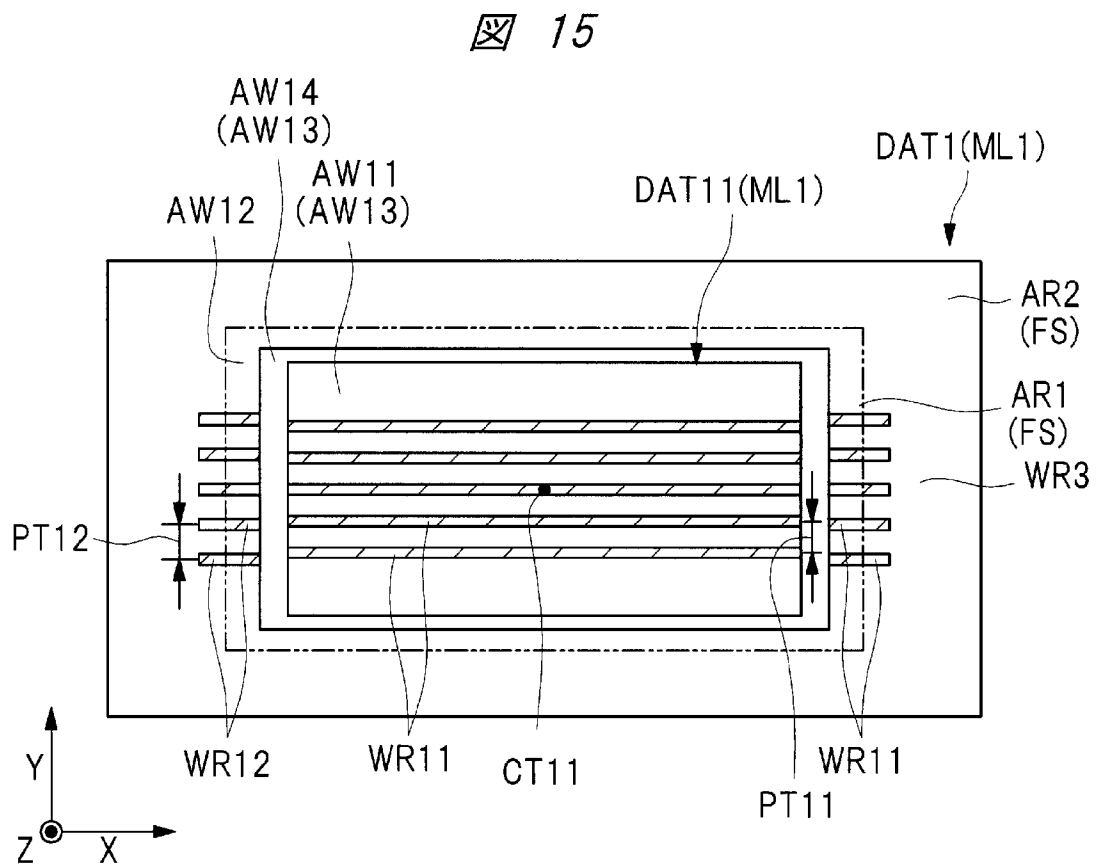
[図13]



[図14]

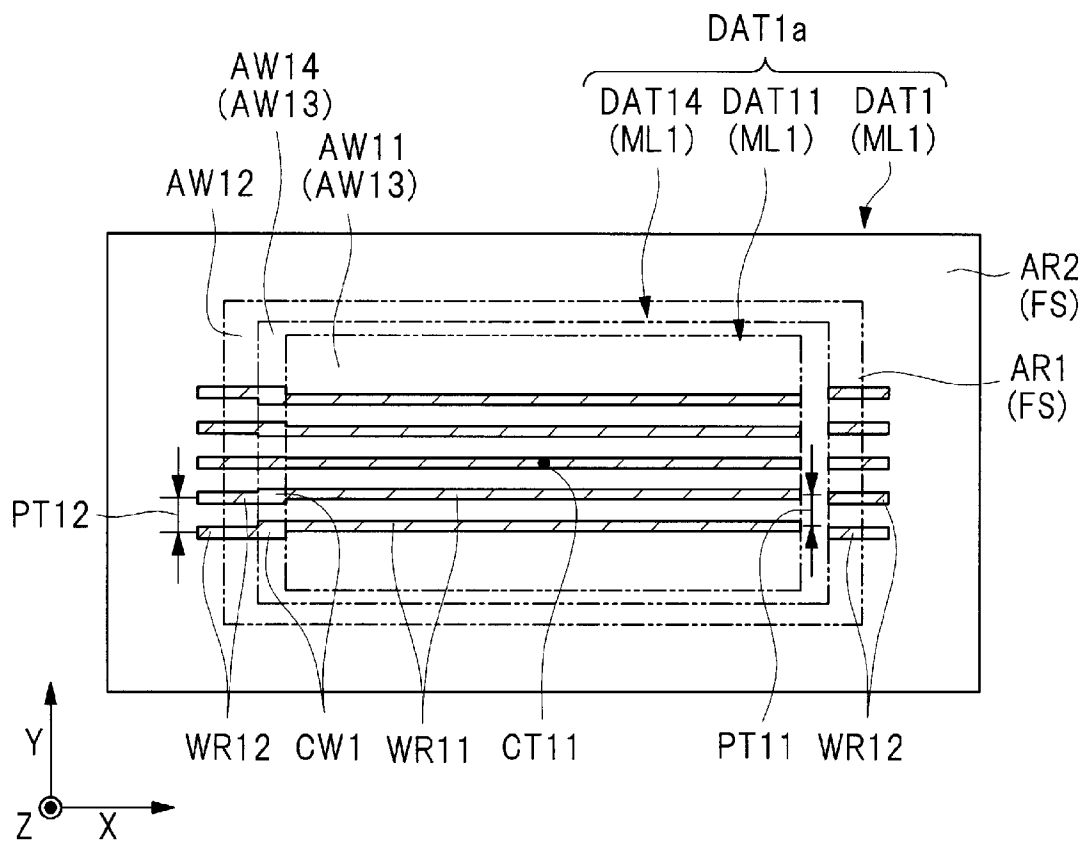


[図15]



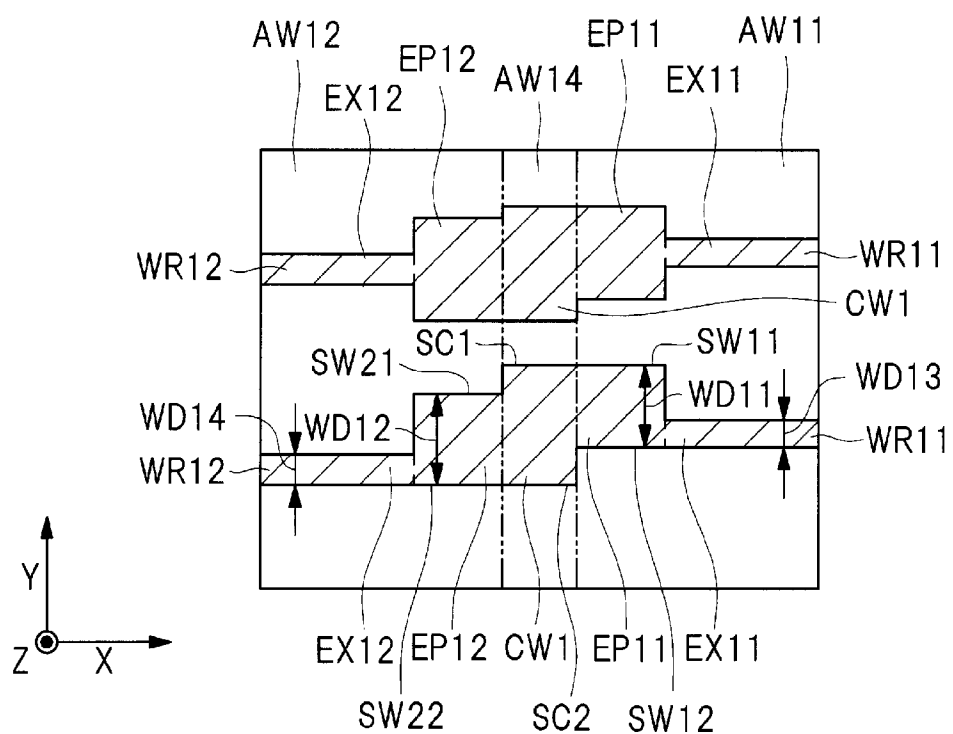
[図16]

図 16



[図17]

図 17



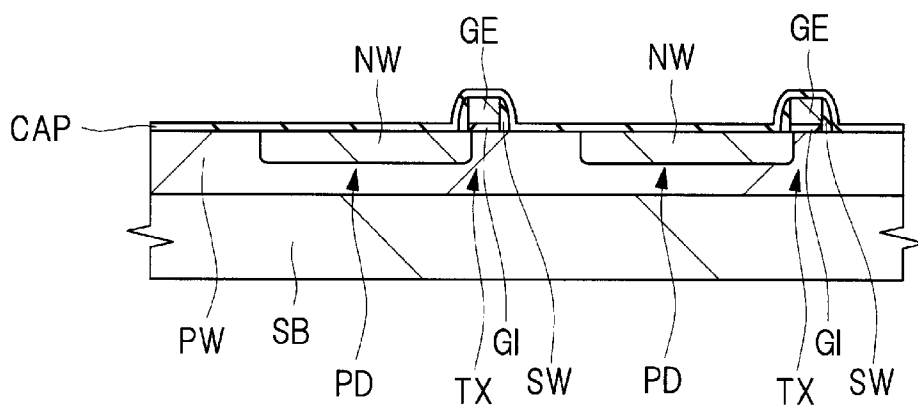
[図18]

図 18



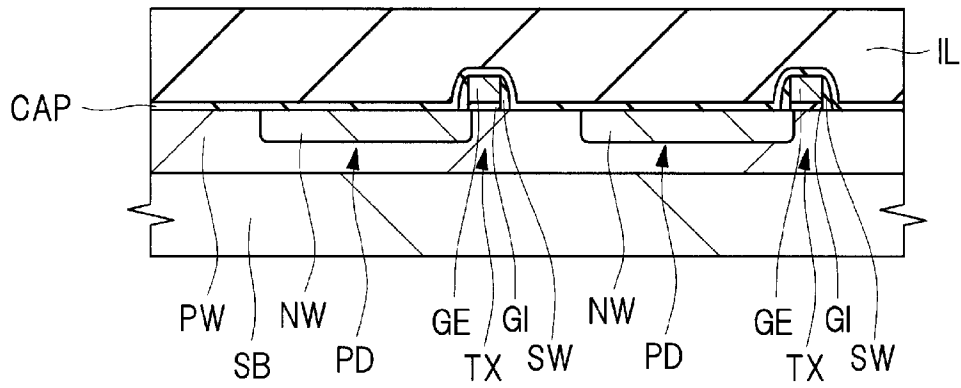
[図19]

図 19



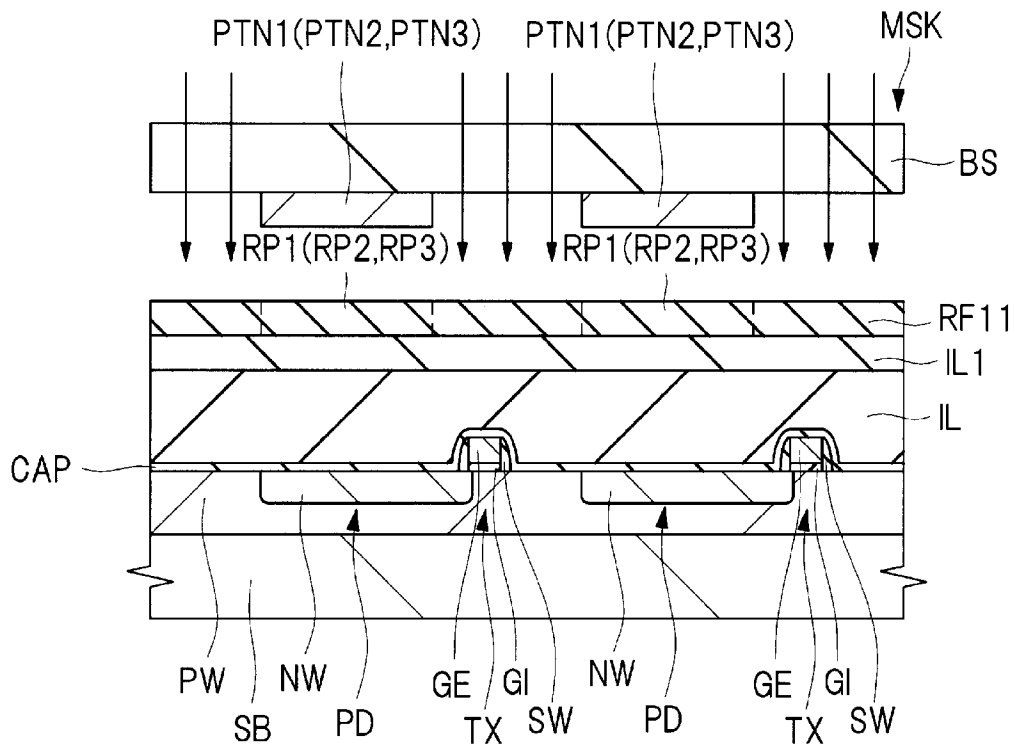
[図20]

図 20



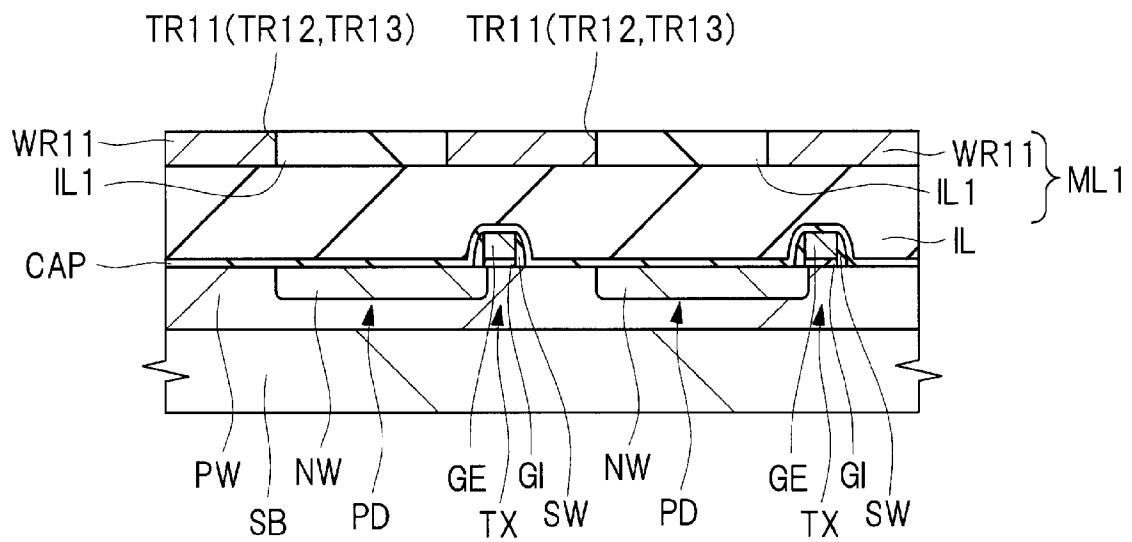
[図21]

図 21



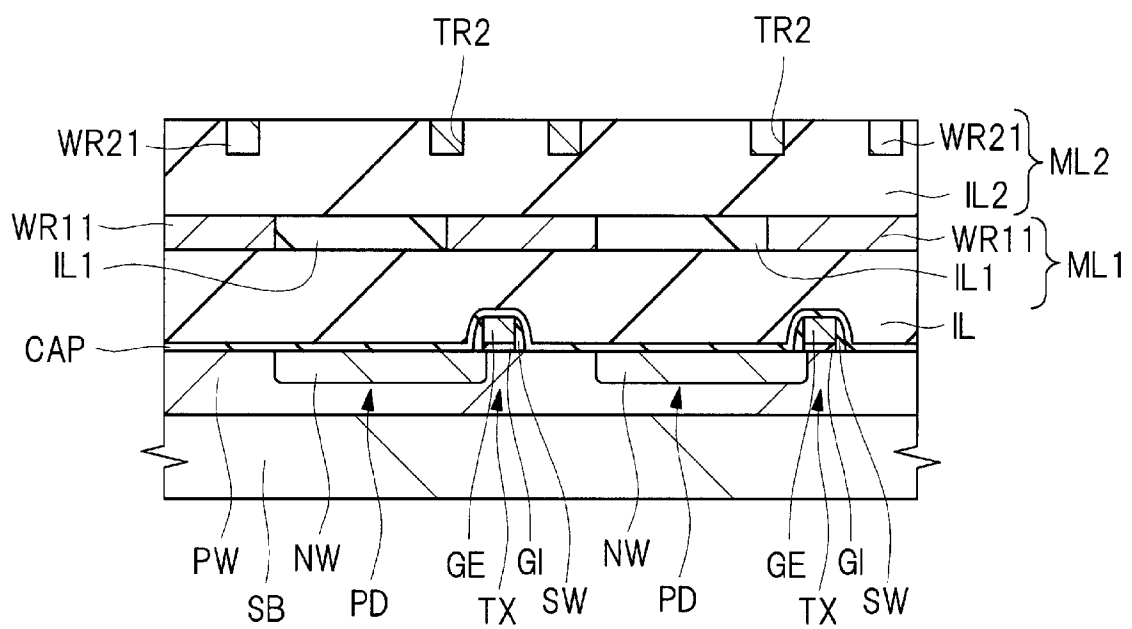
[図22]

図 22



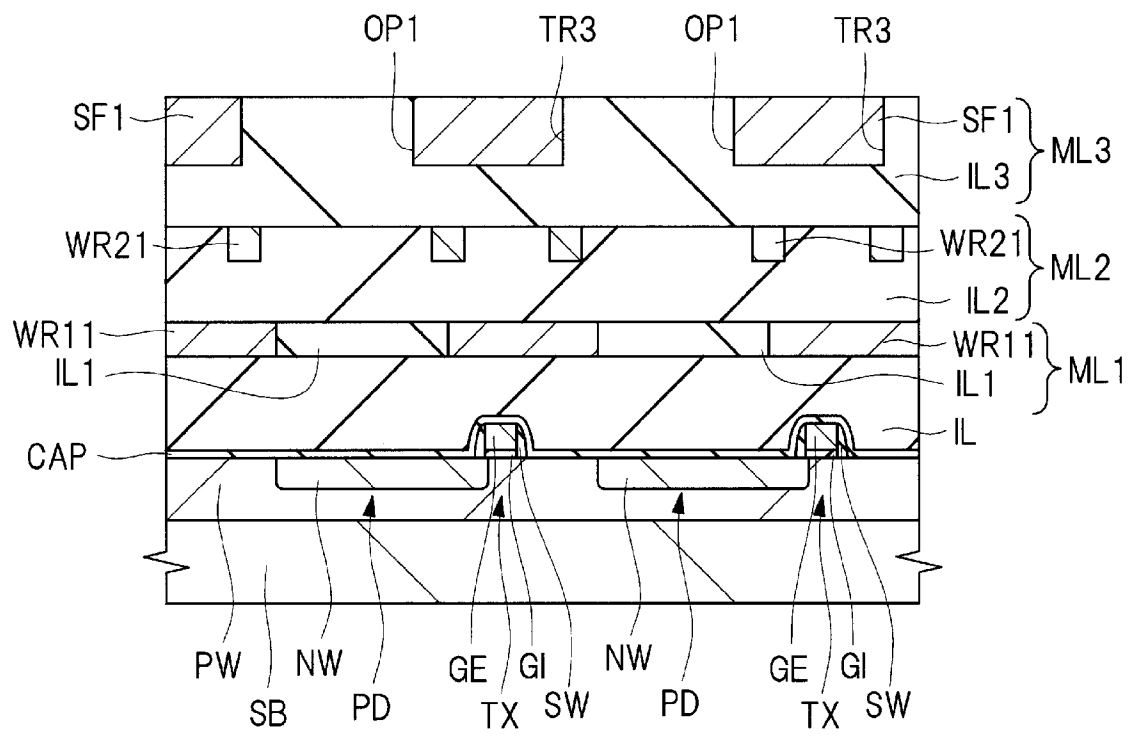
[図23]

図 23

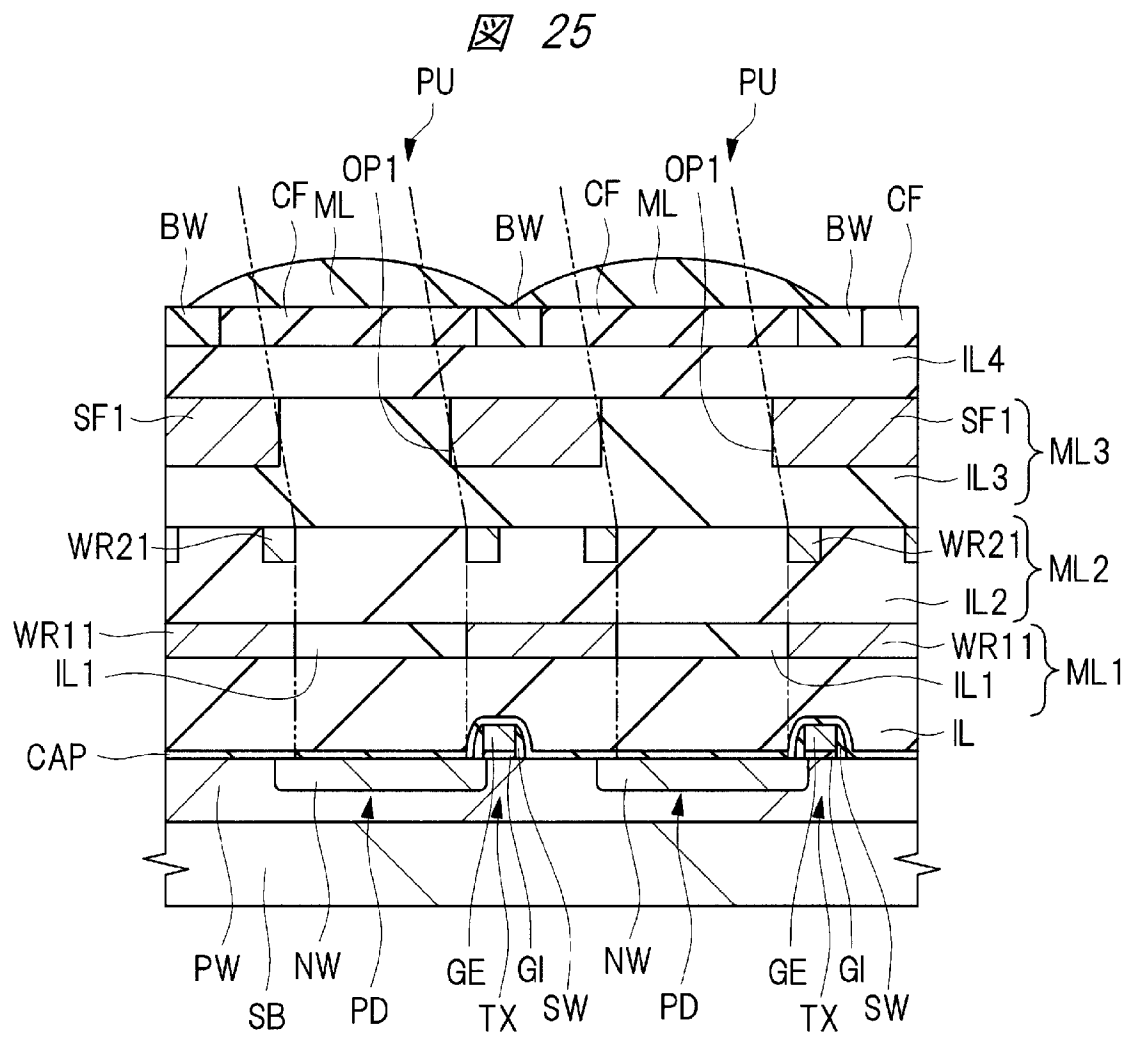


[図24]

24

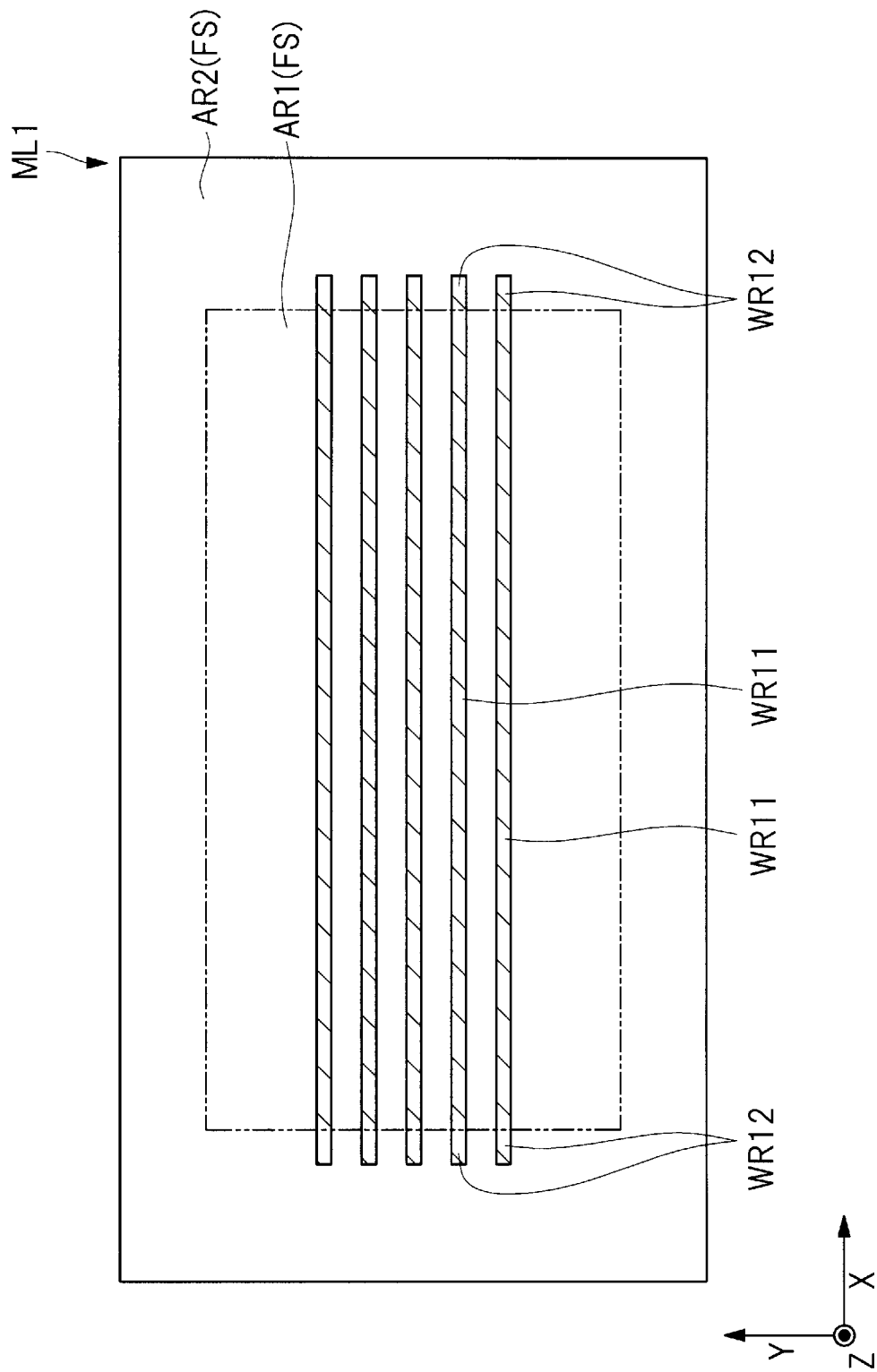


[図25]



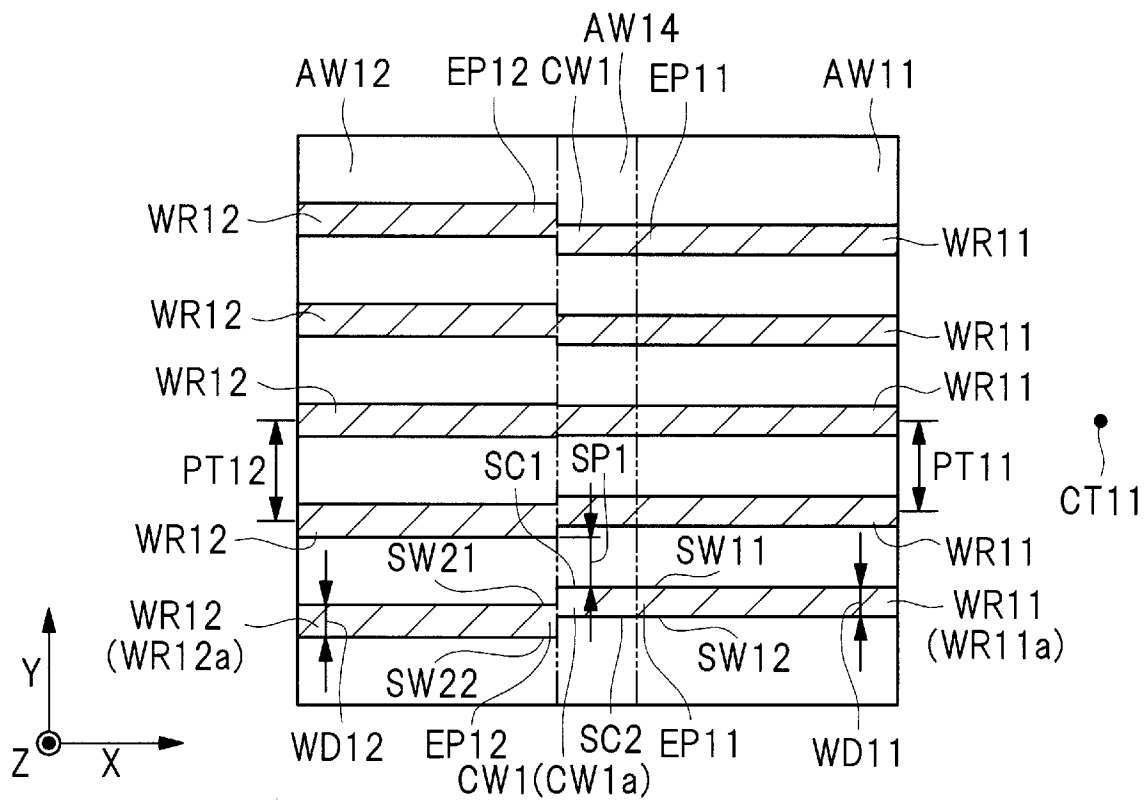
[図26]

図 26

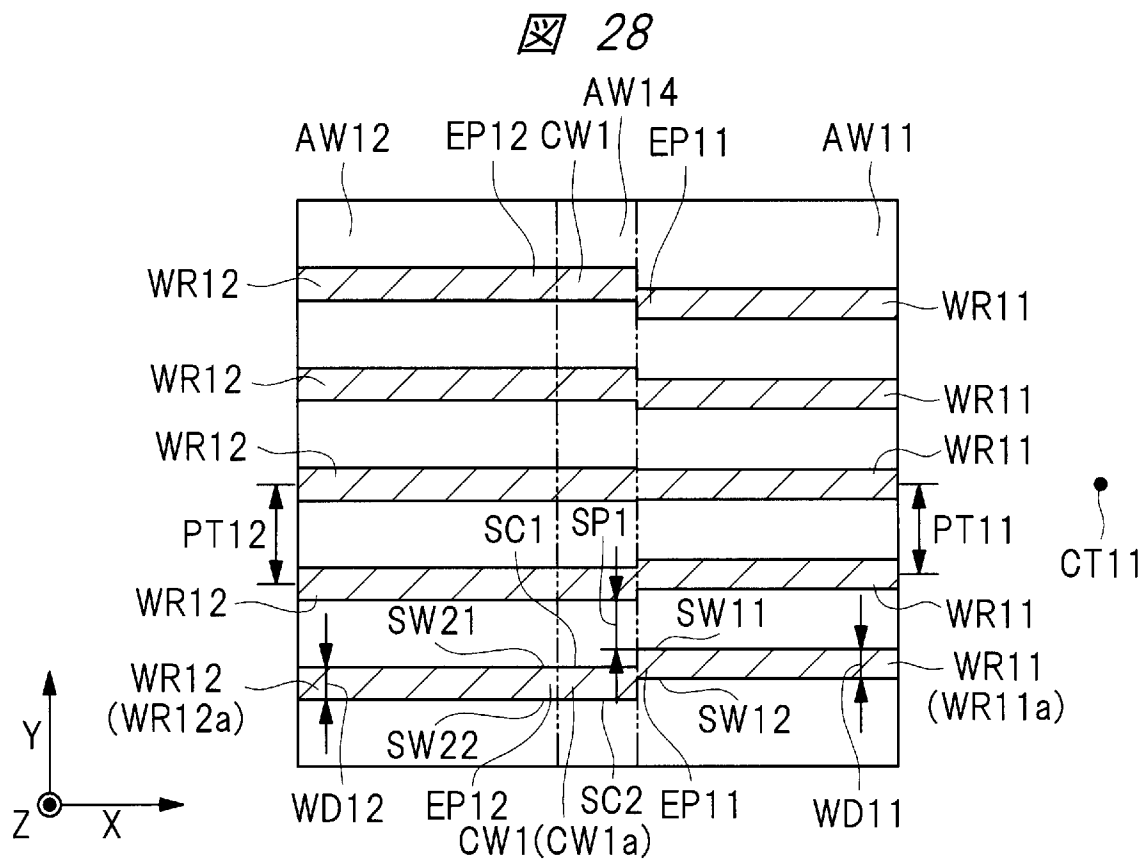


[図27]

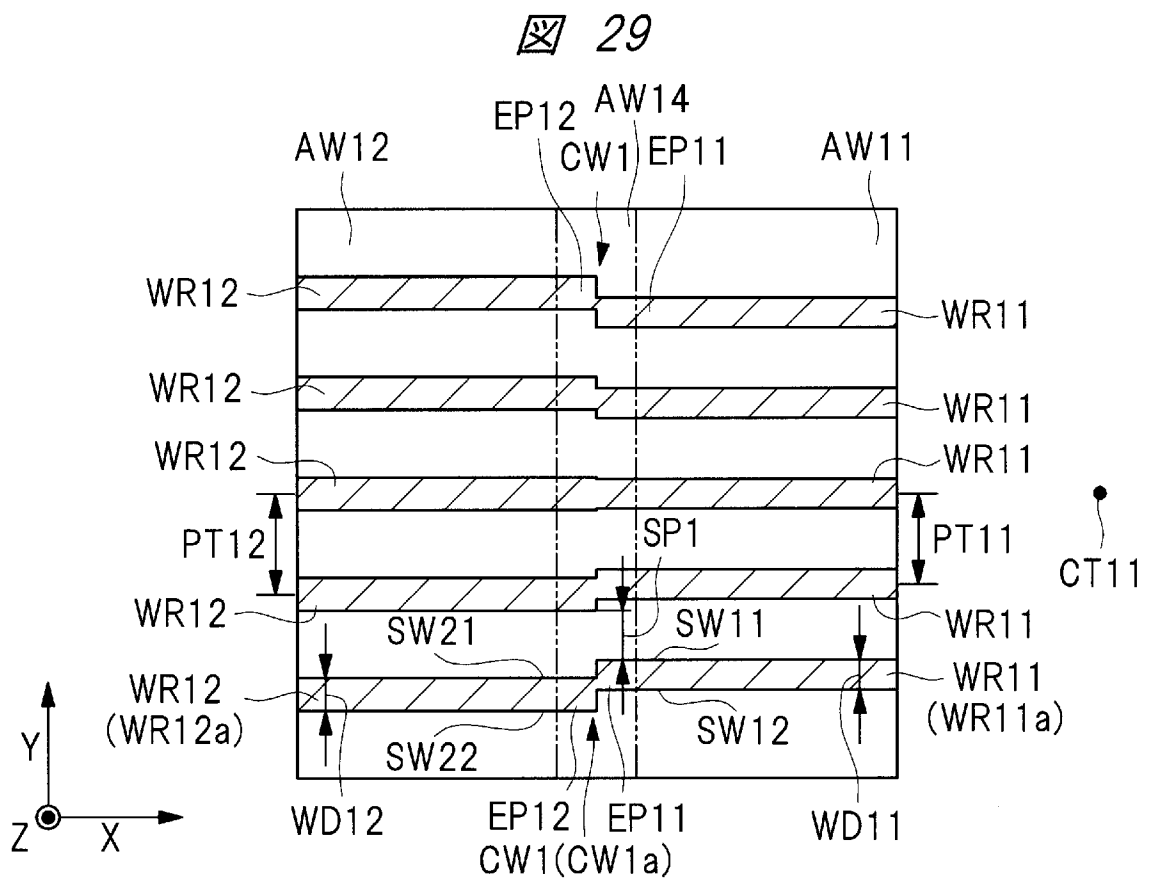
図 27



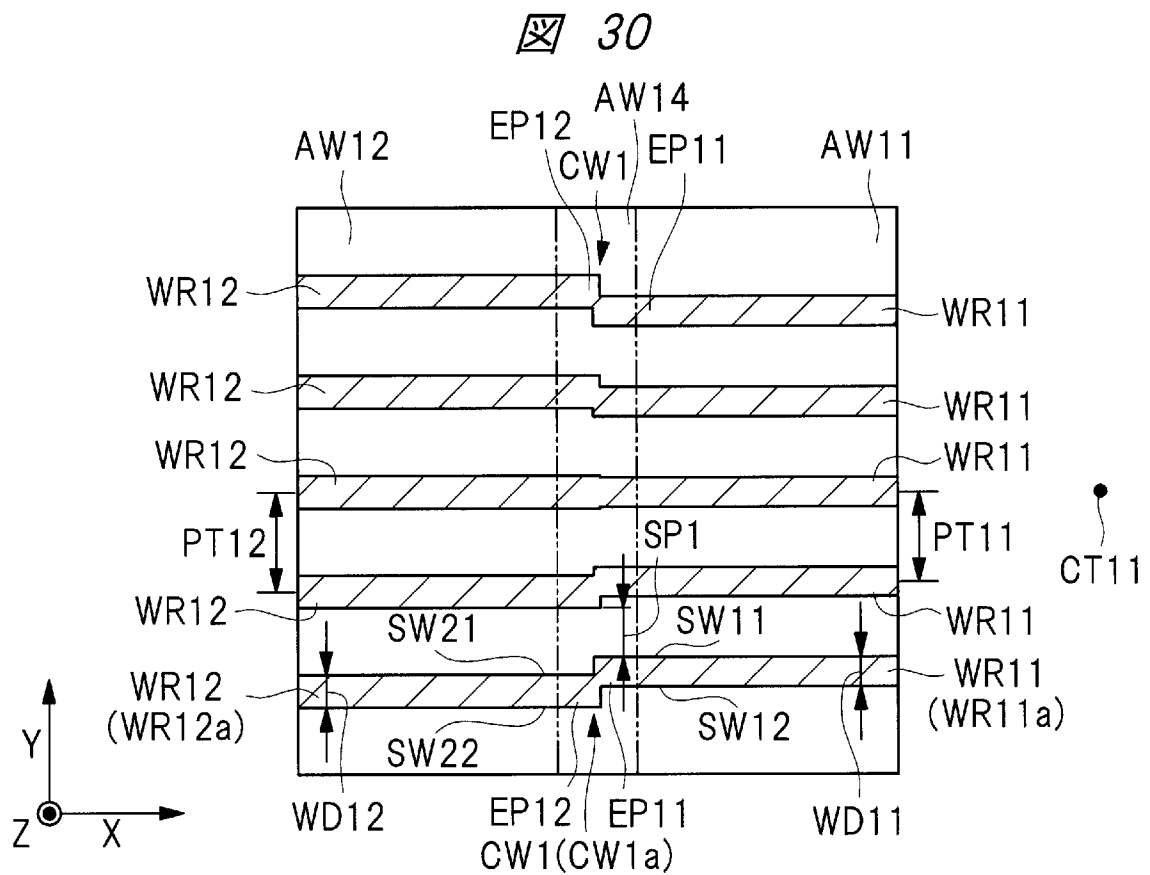
[図28]



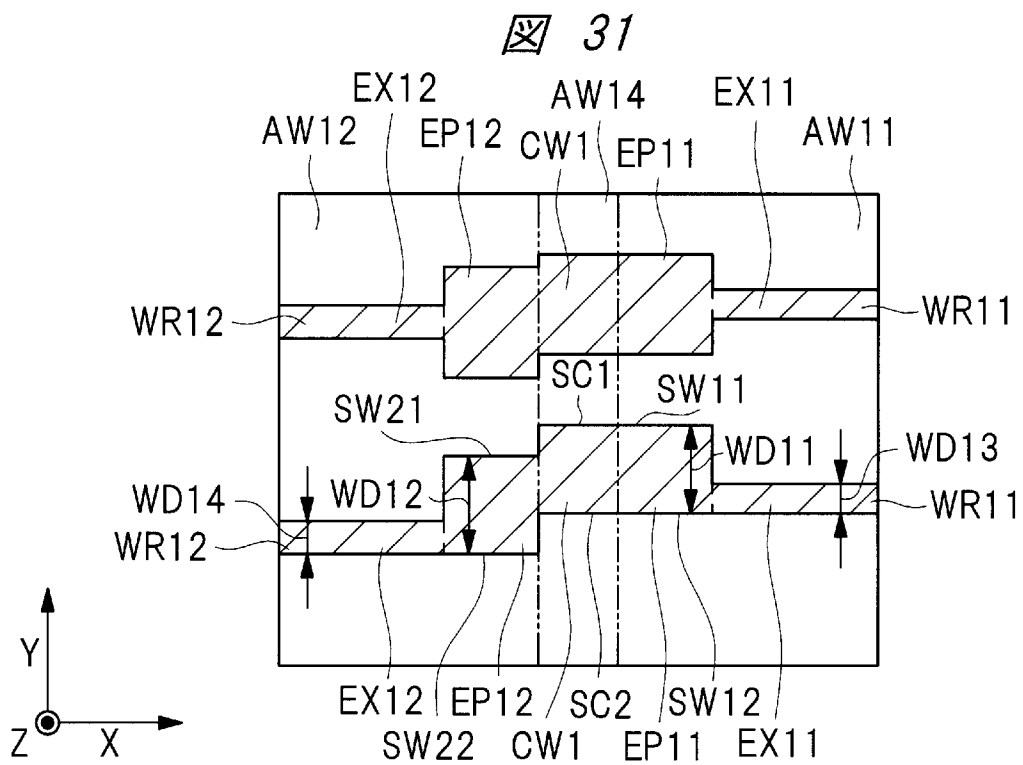
[図29]



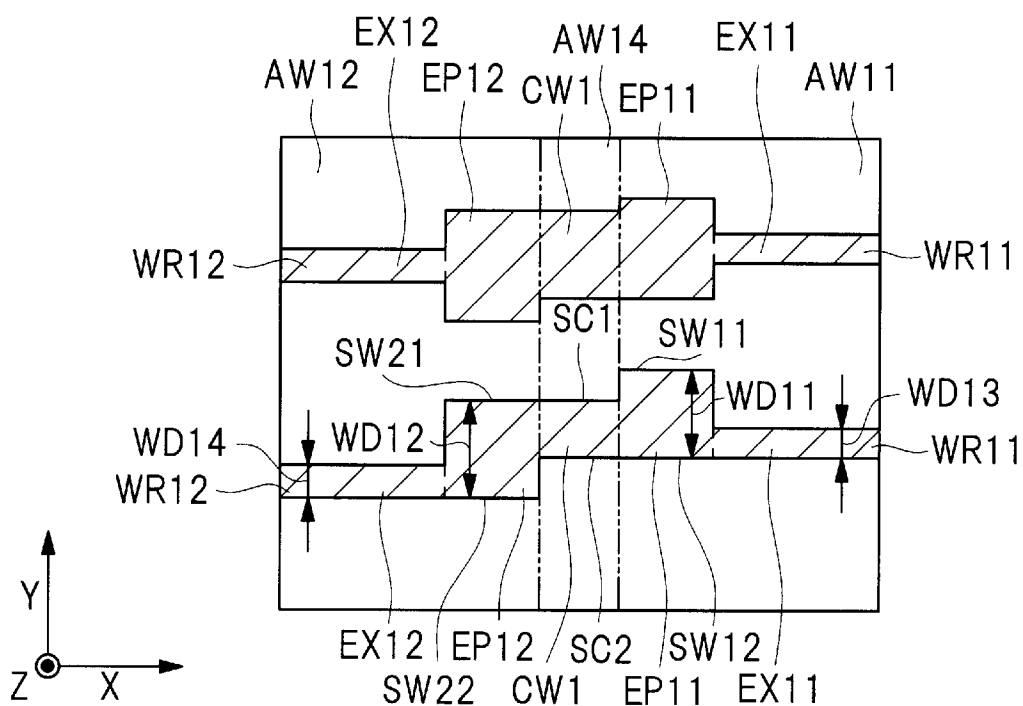
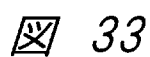
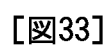
[図30]



[図31]

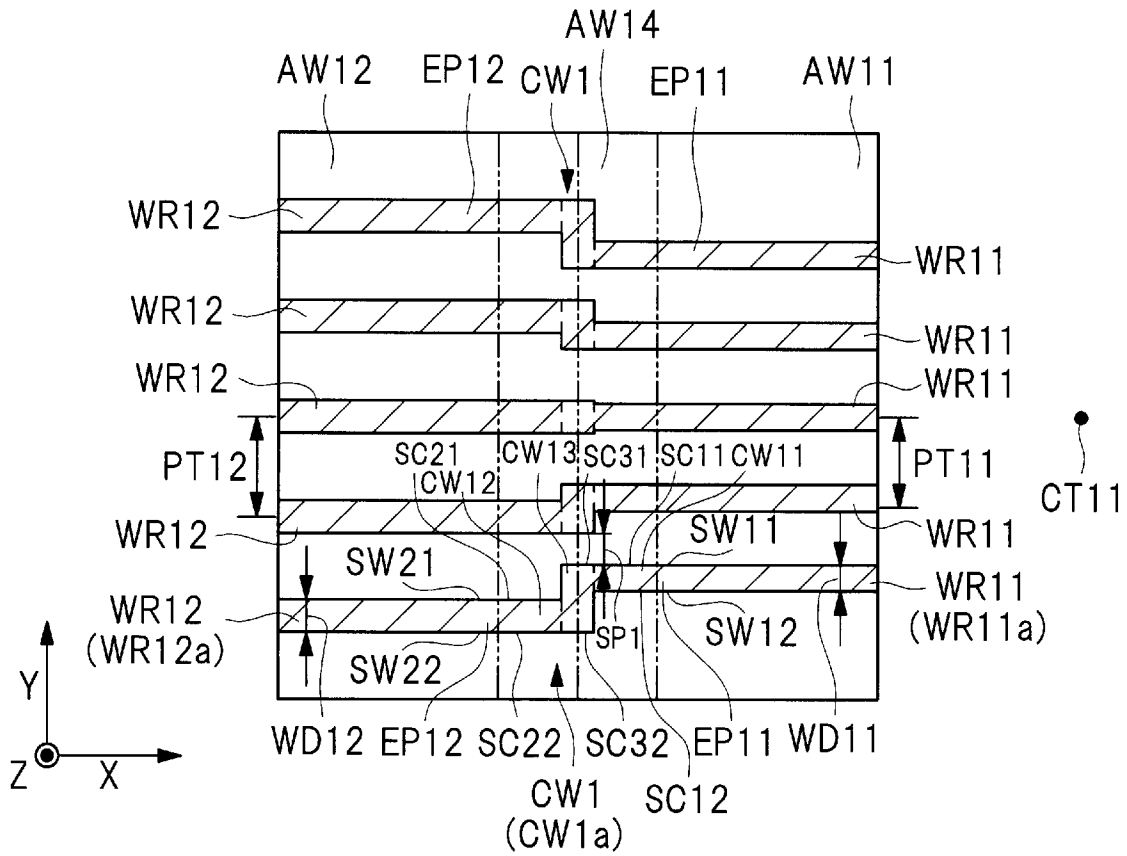


☒ 32



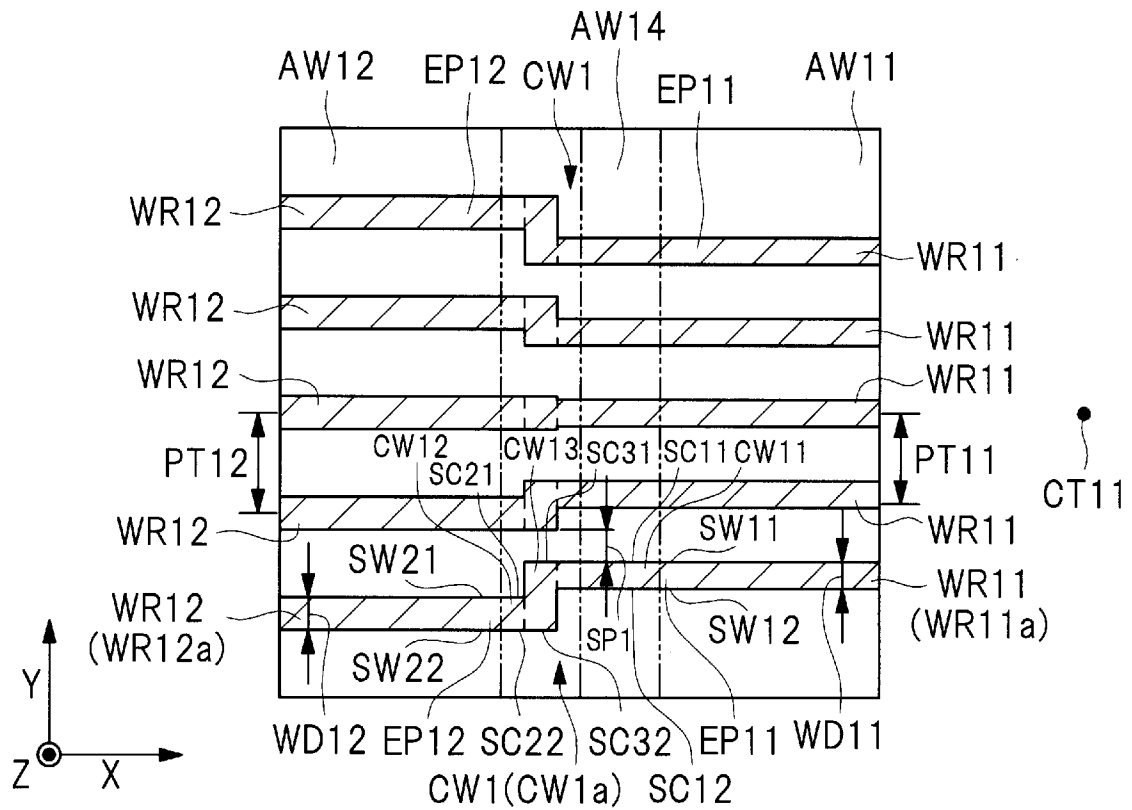
[図34]

図 34

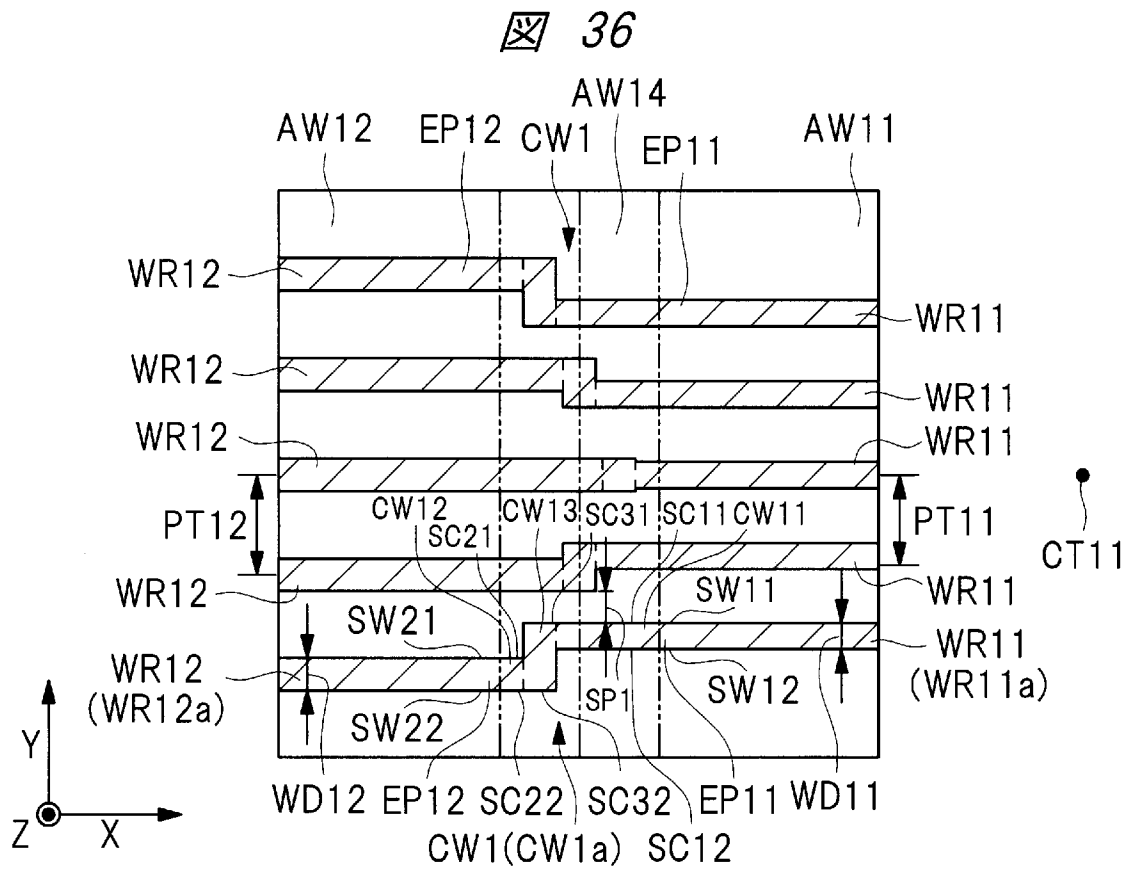


[図35]

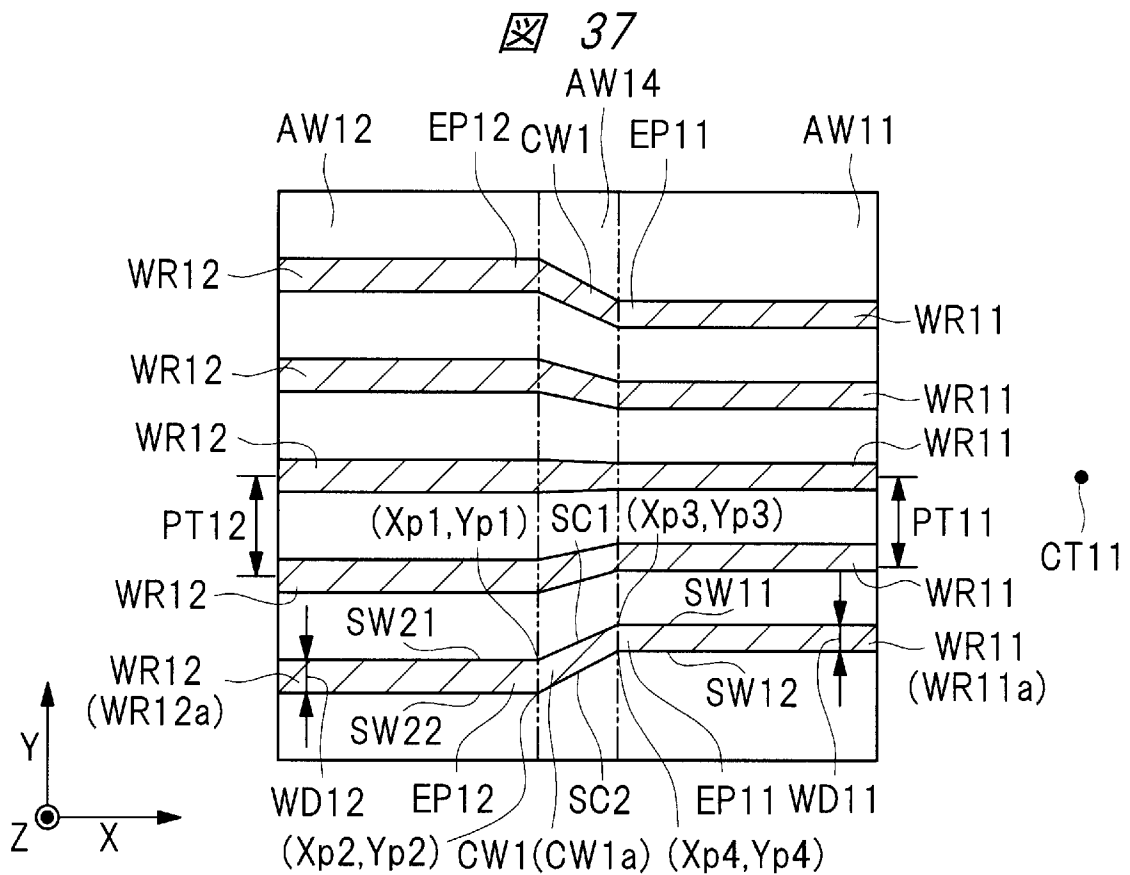
図 35



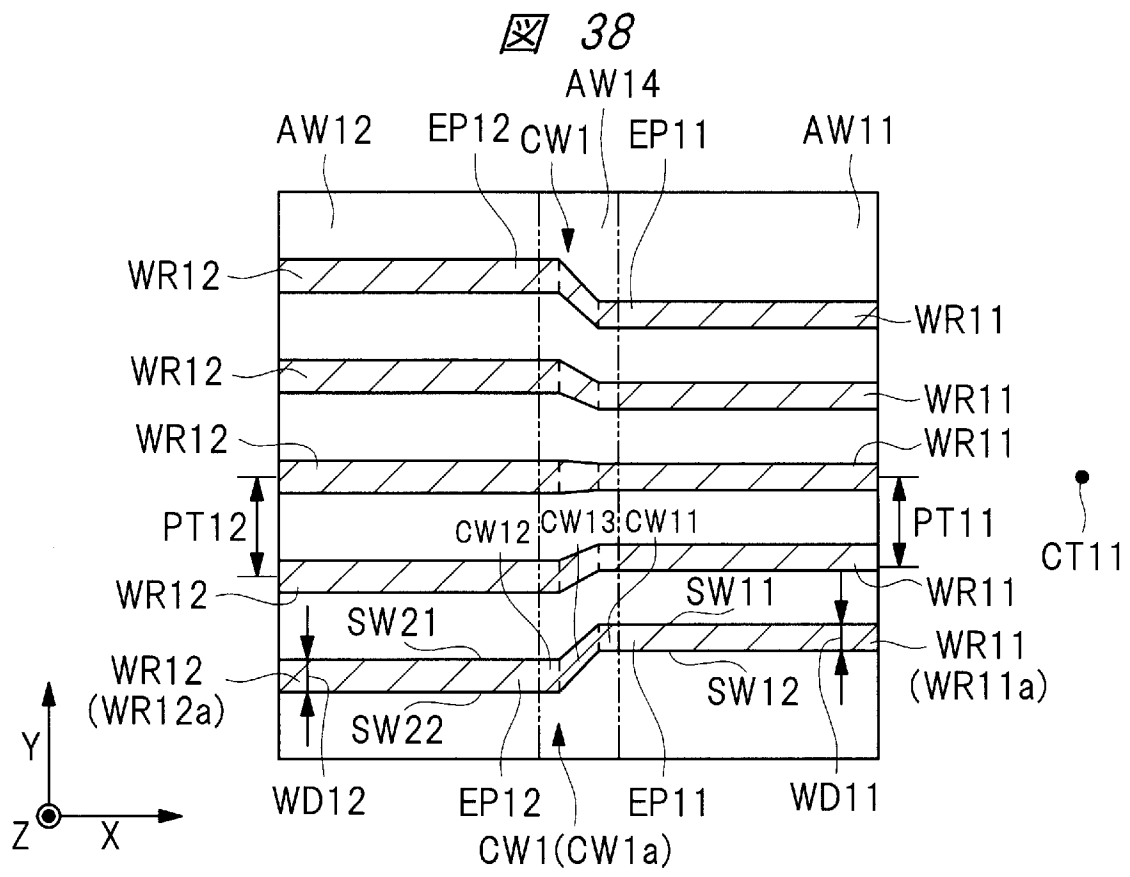
[図36]



[図37]

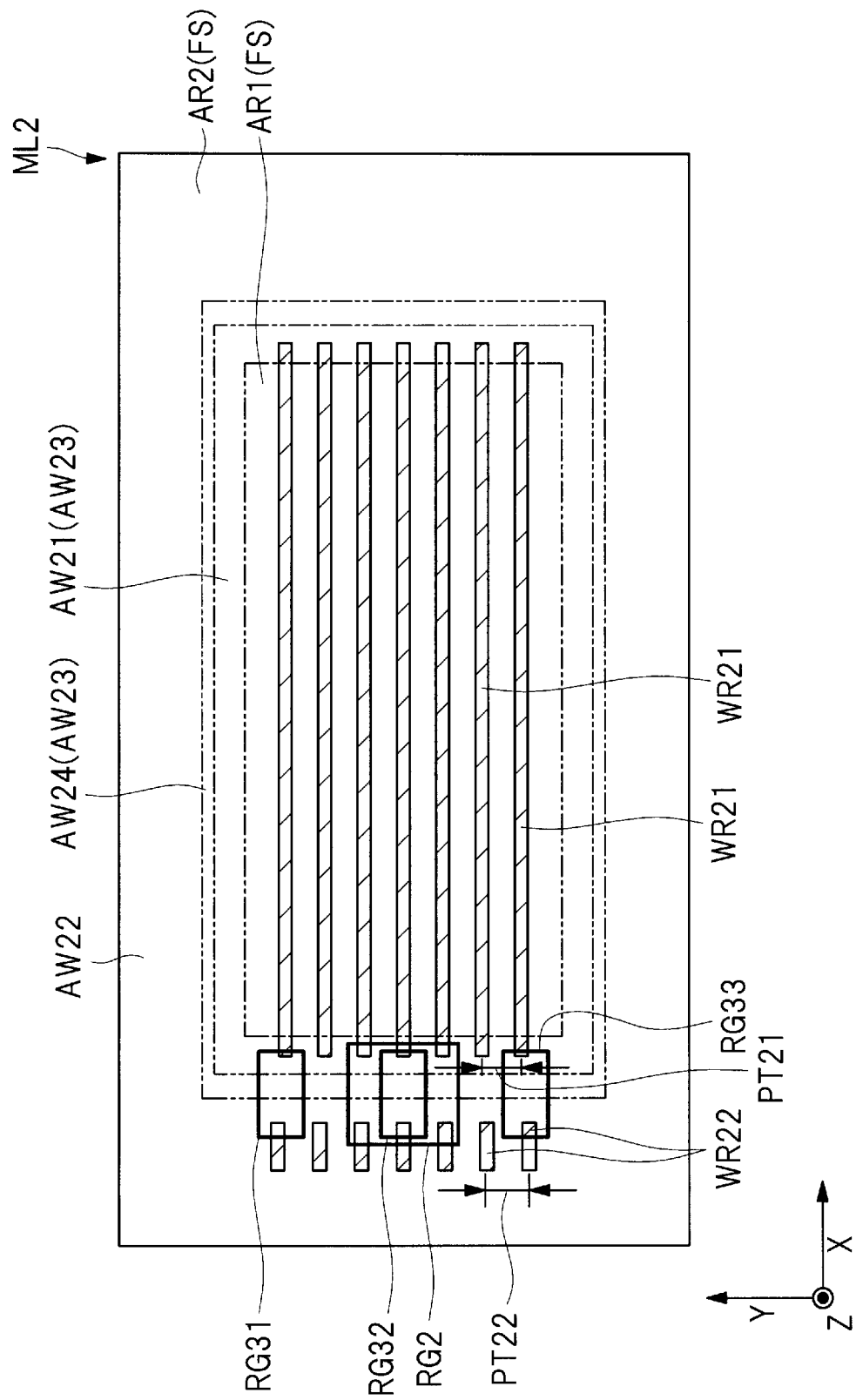


[図38]

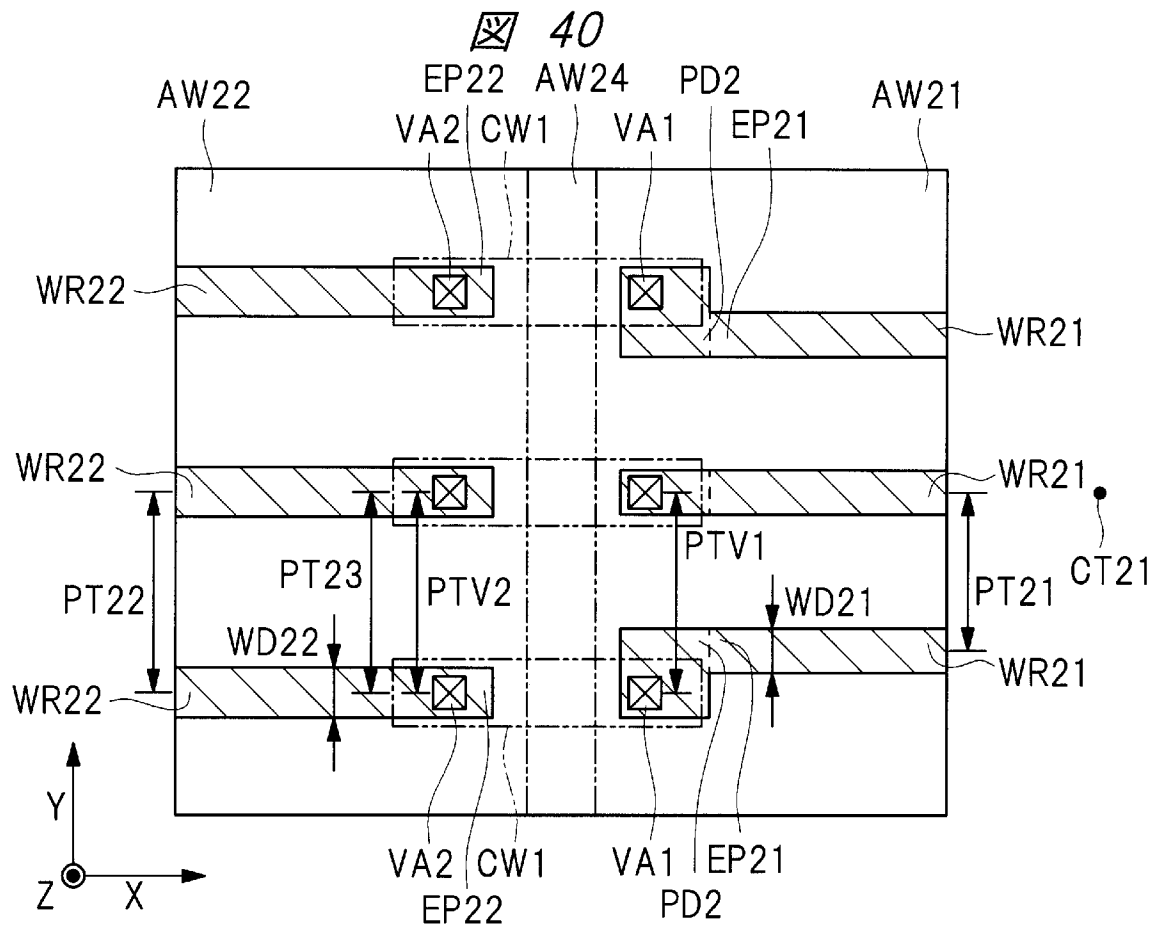


[図39]

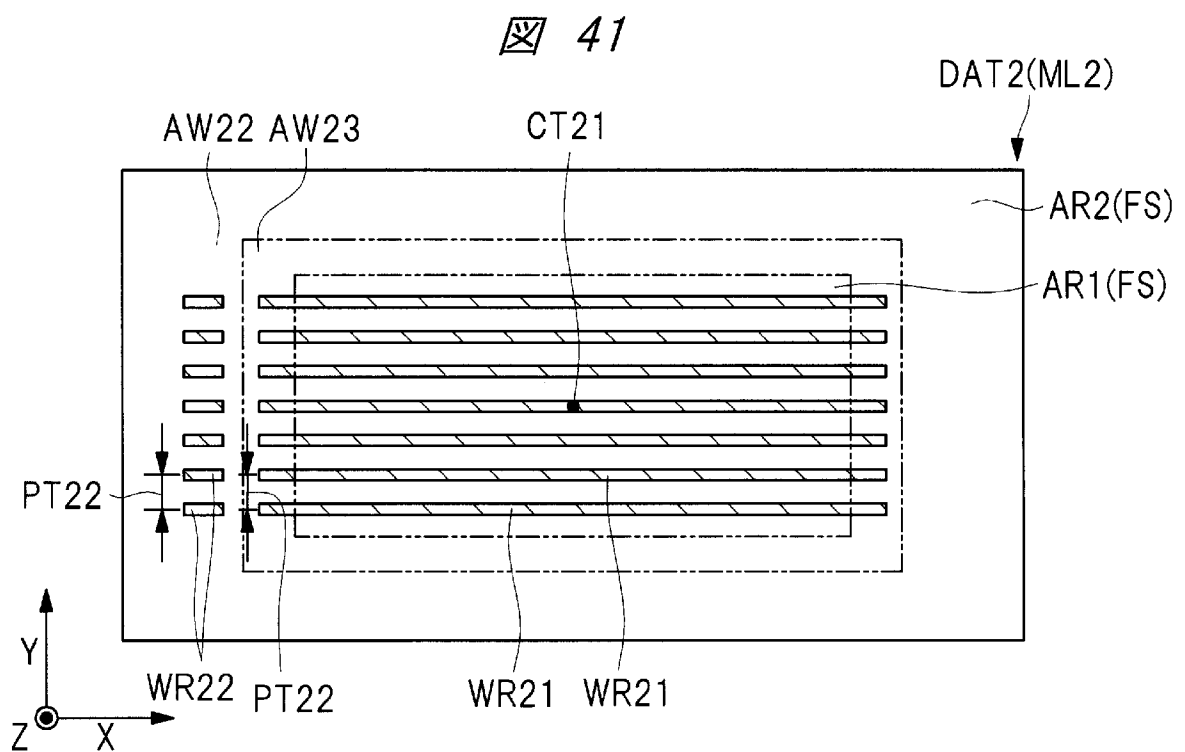
図 39



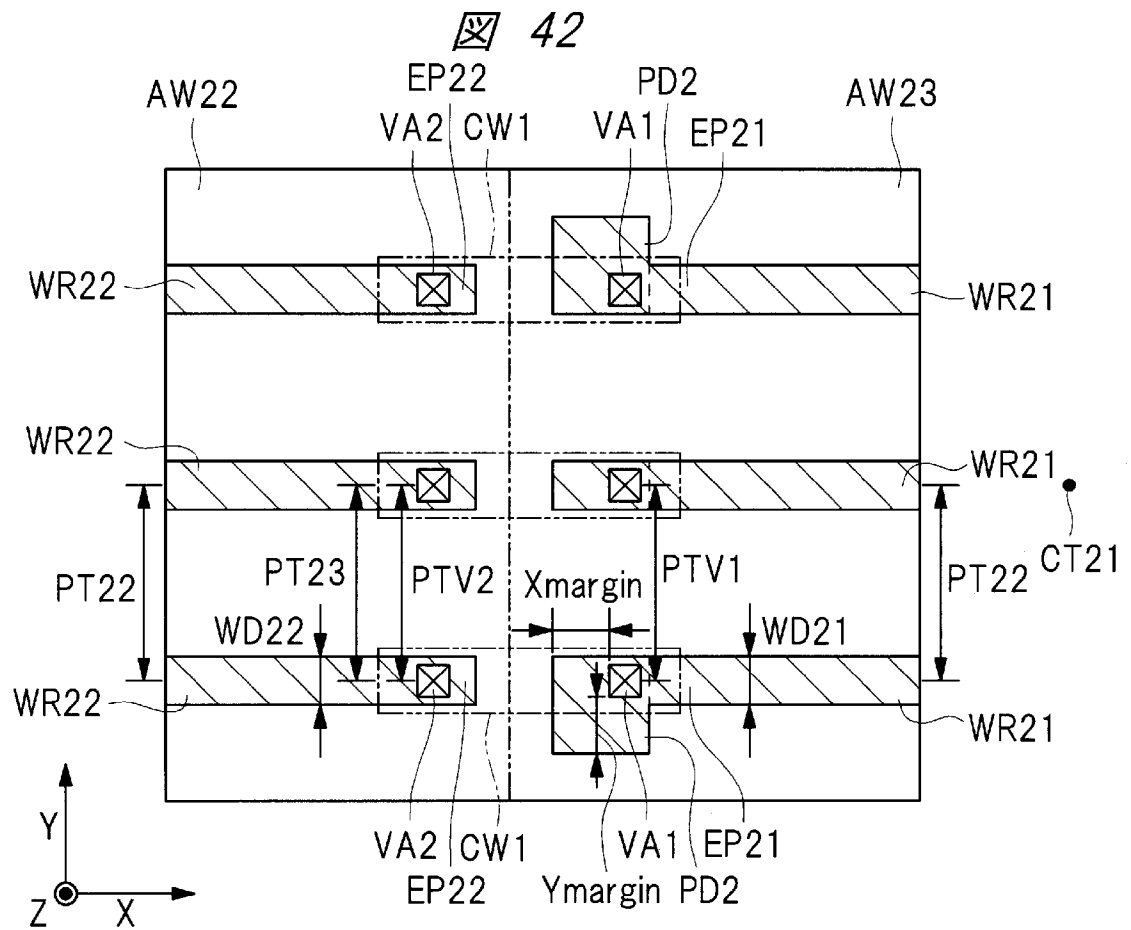
[図40]



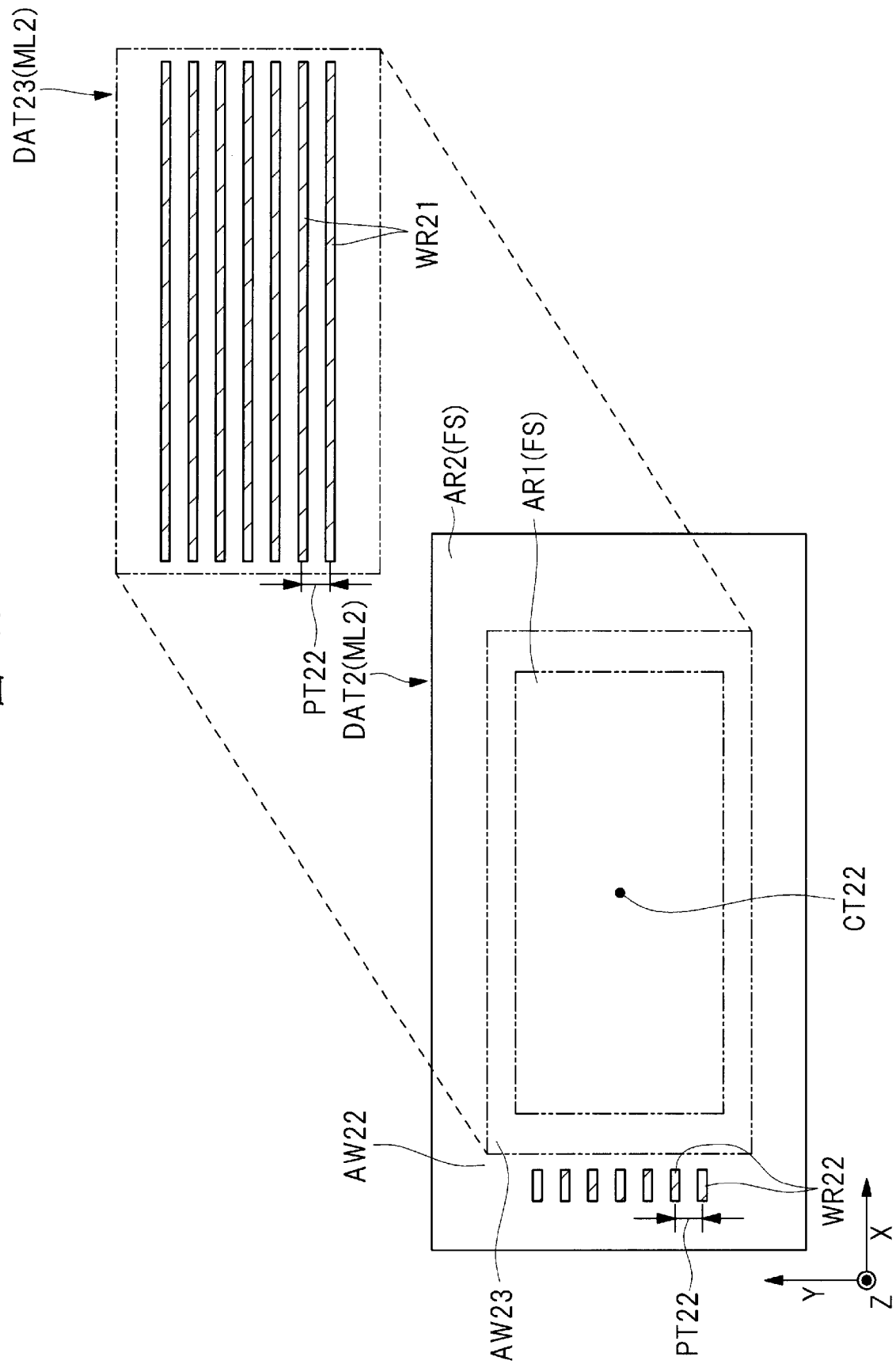
[図41]



[図42]

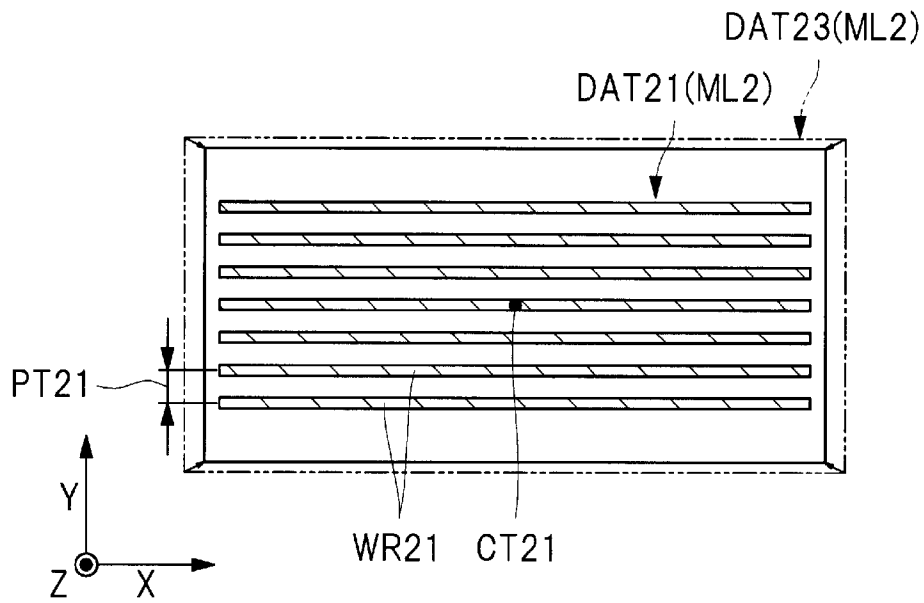


43



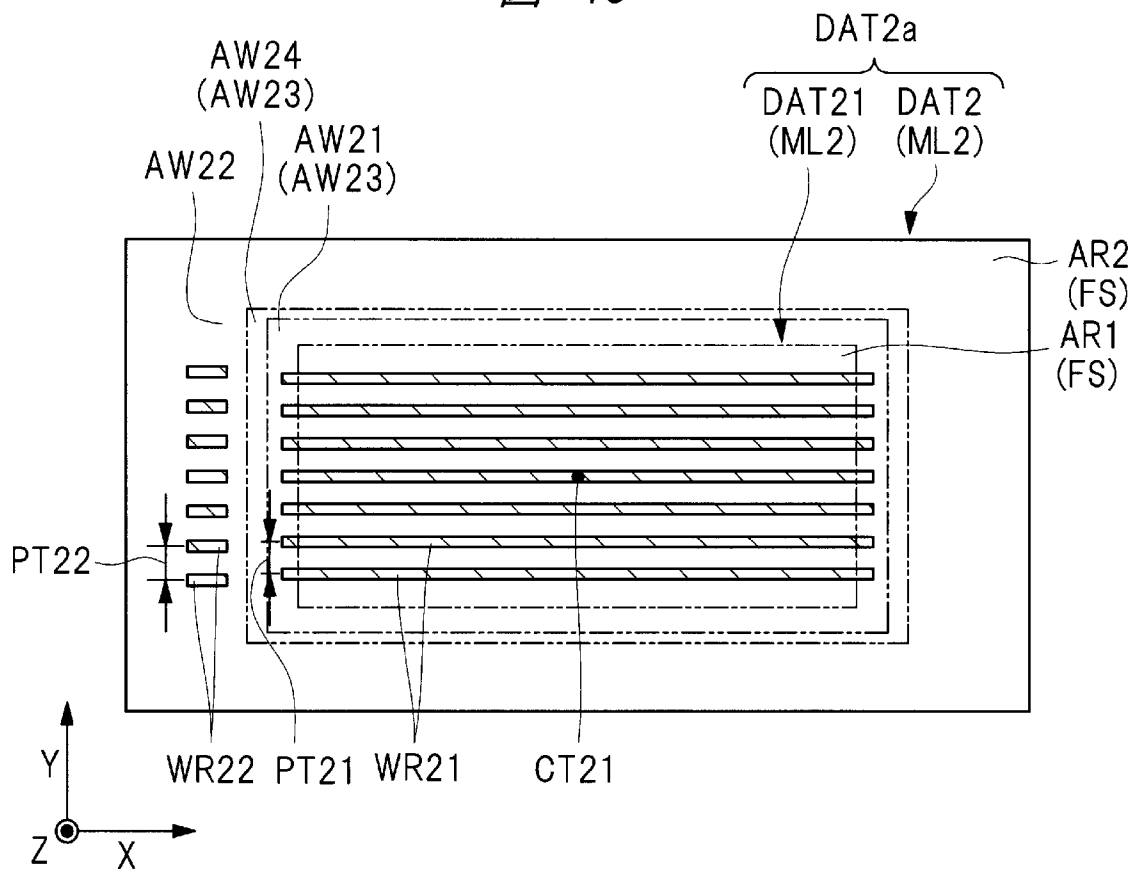
[図44]

図 44



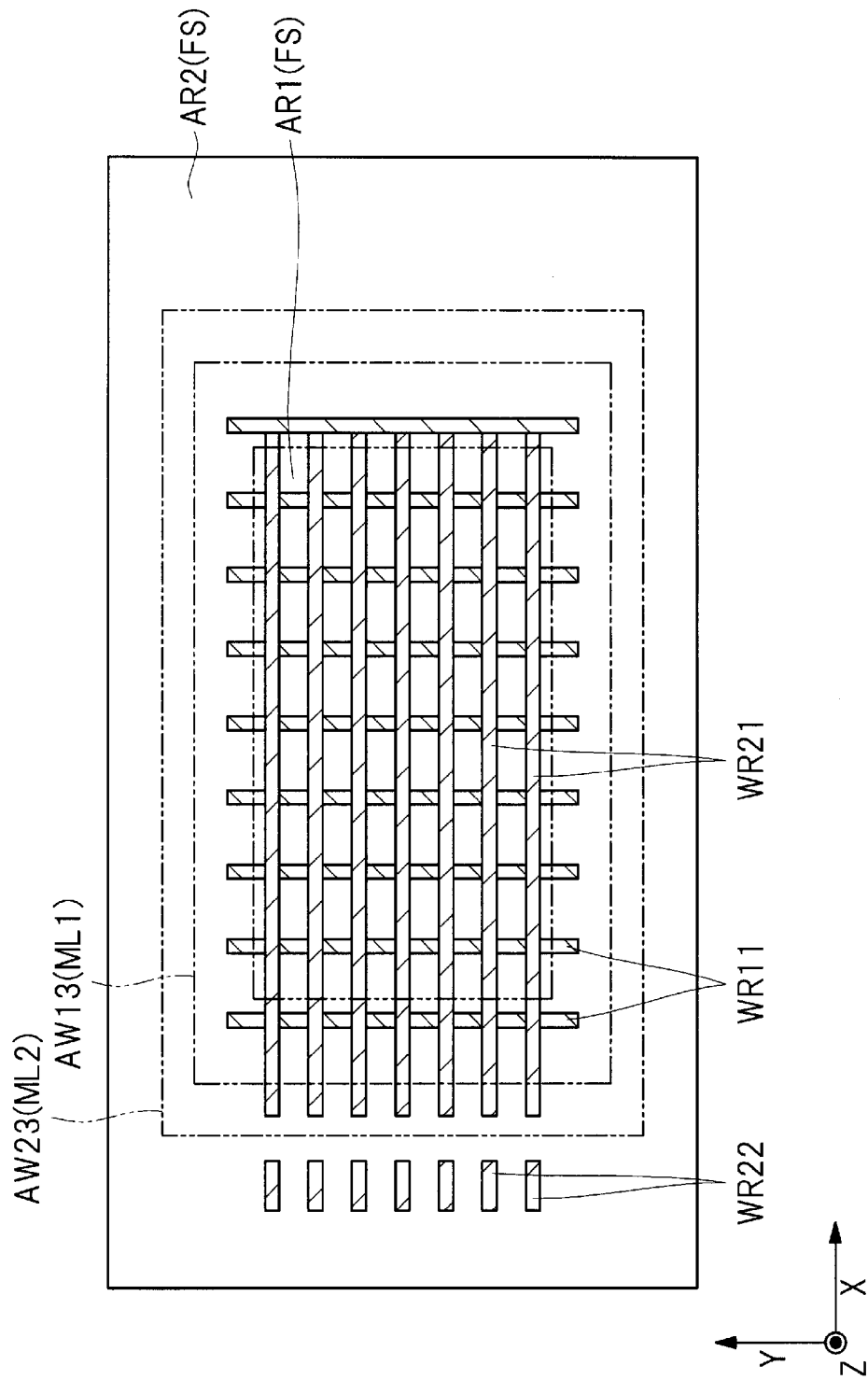
[図45]

図 45



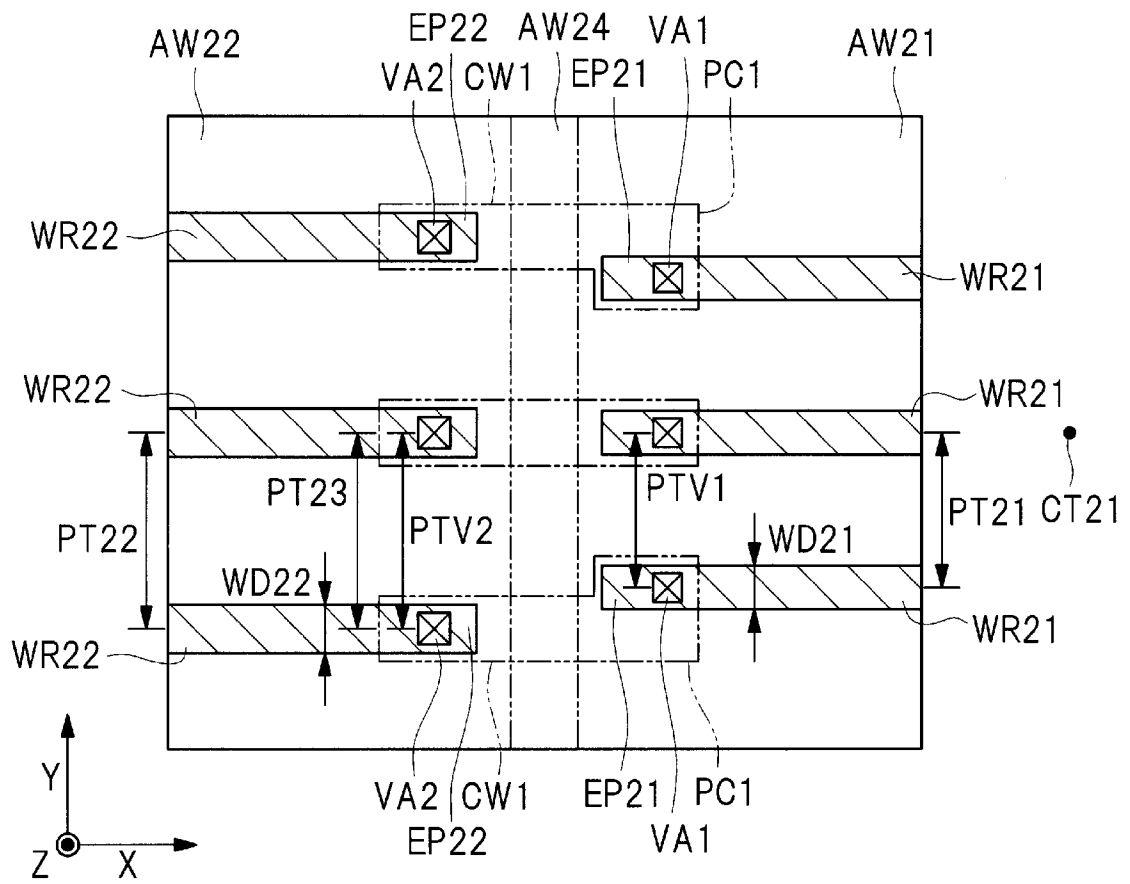
[図46]

図 46



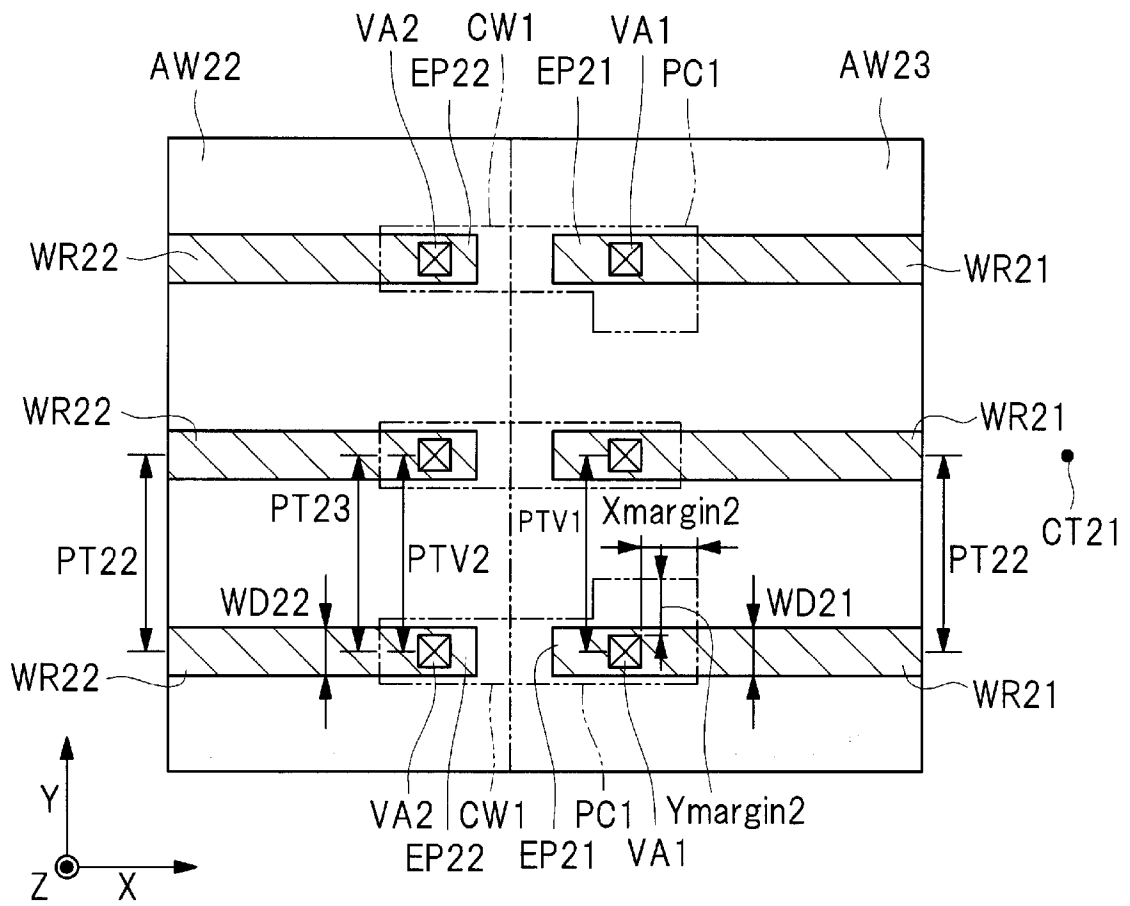
[図47]

図 47



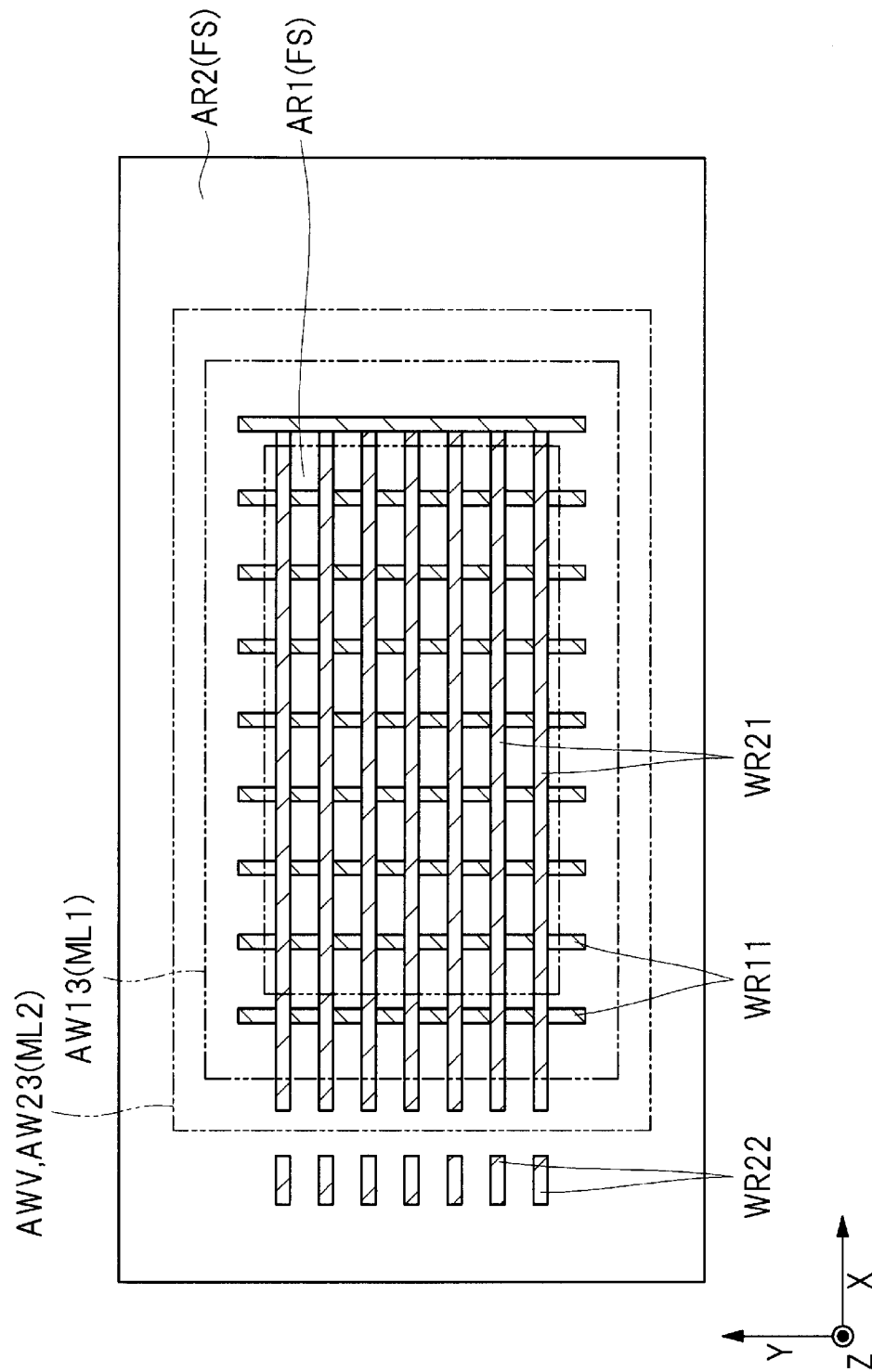
[図48]

図 48

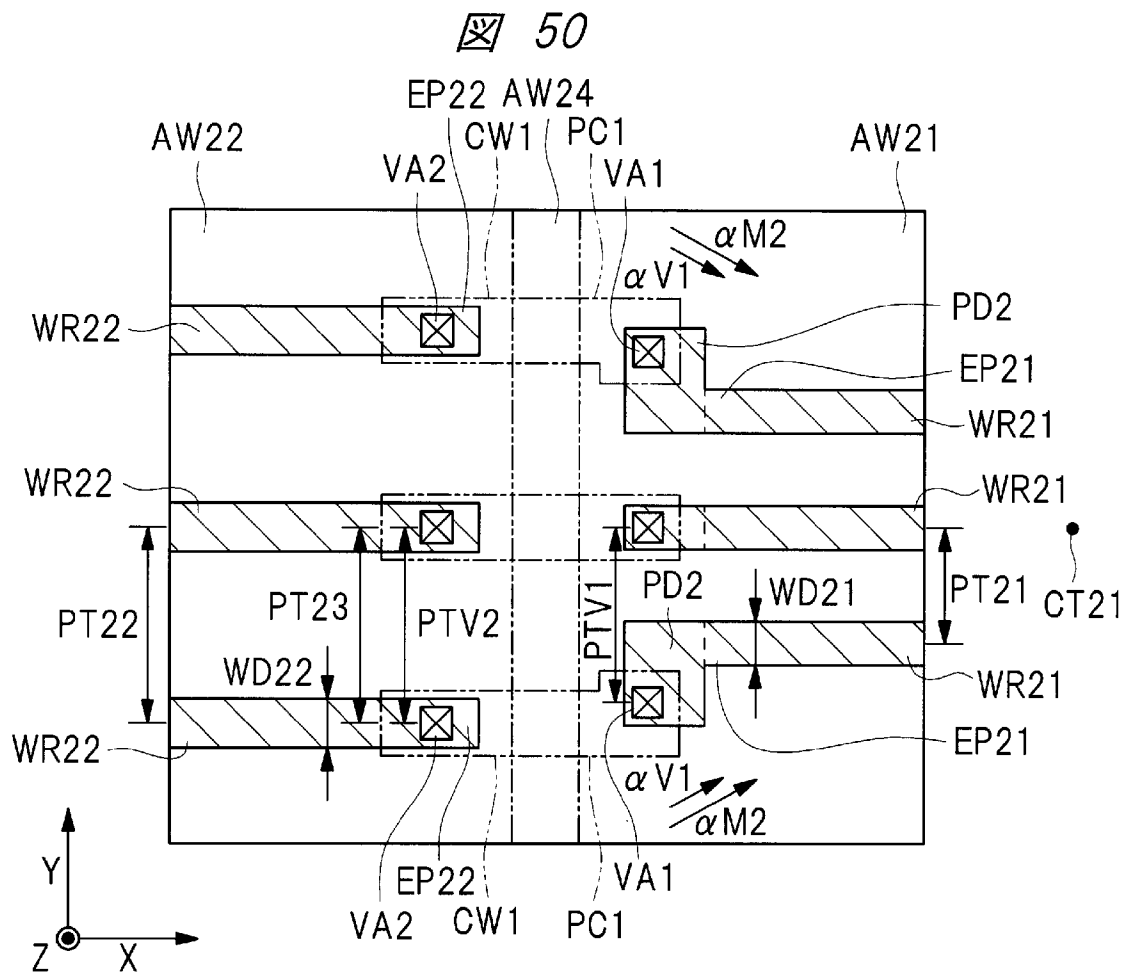


[図49]

図 49

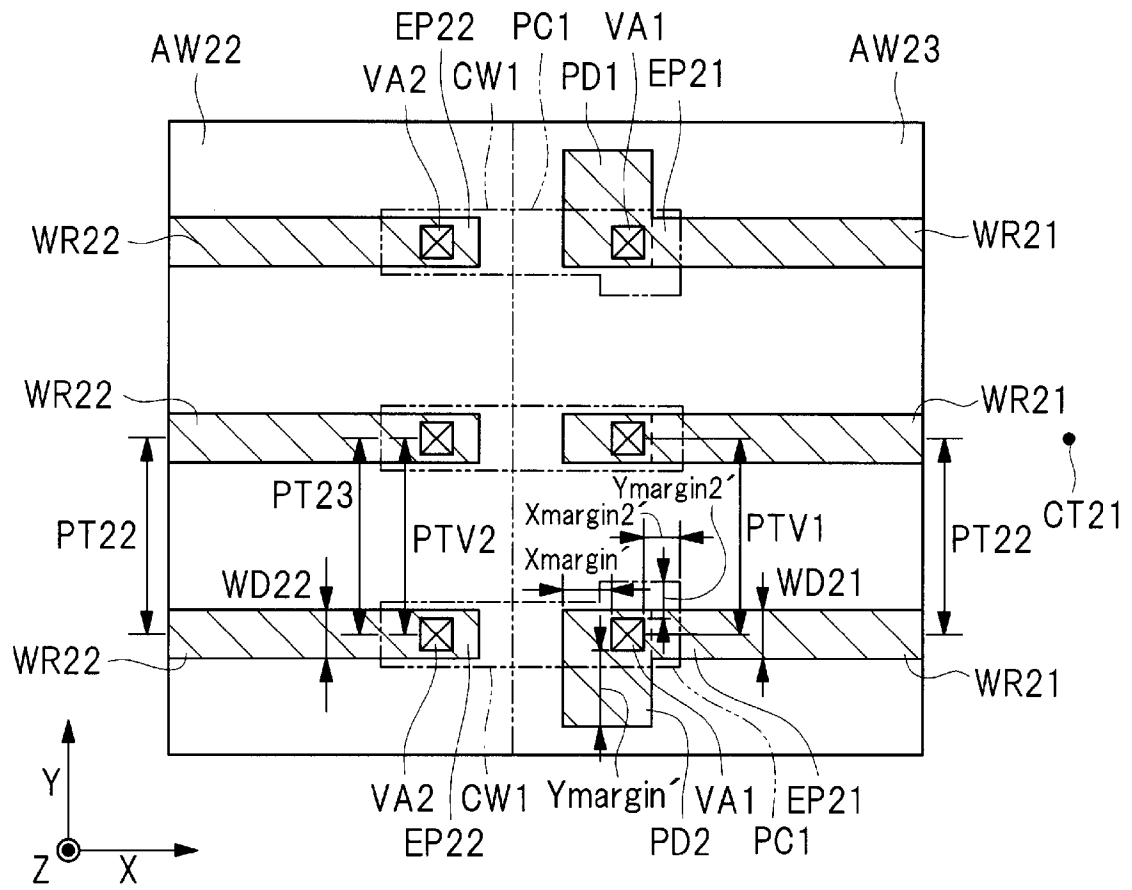


[図50]



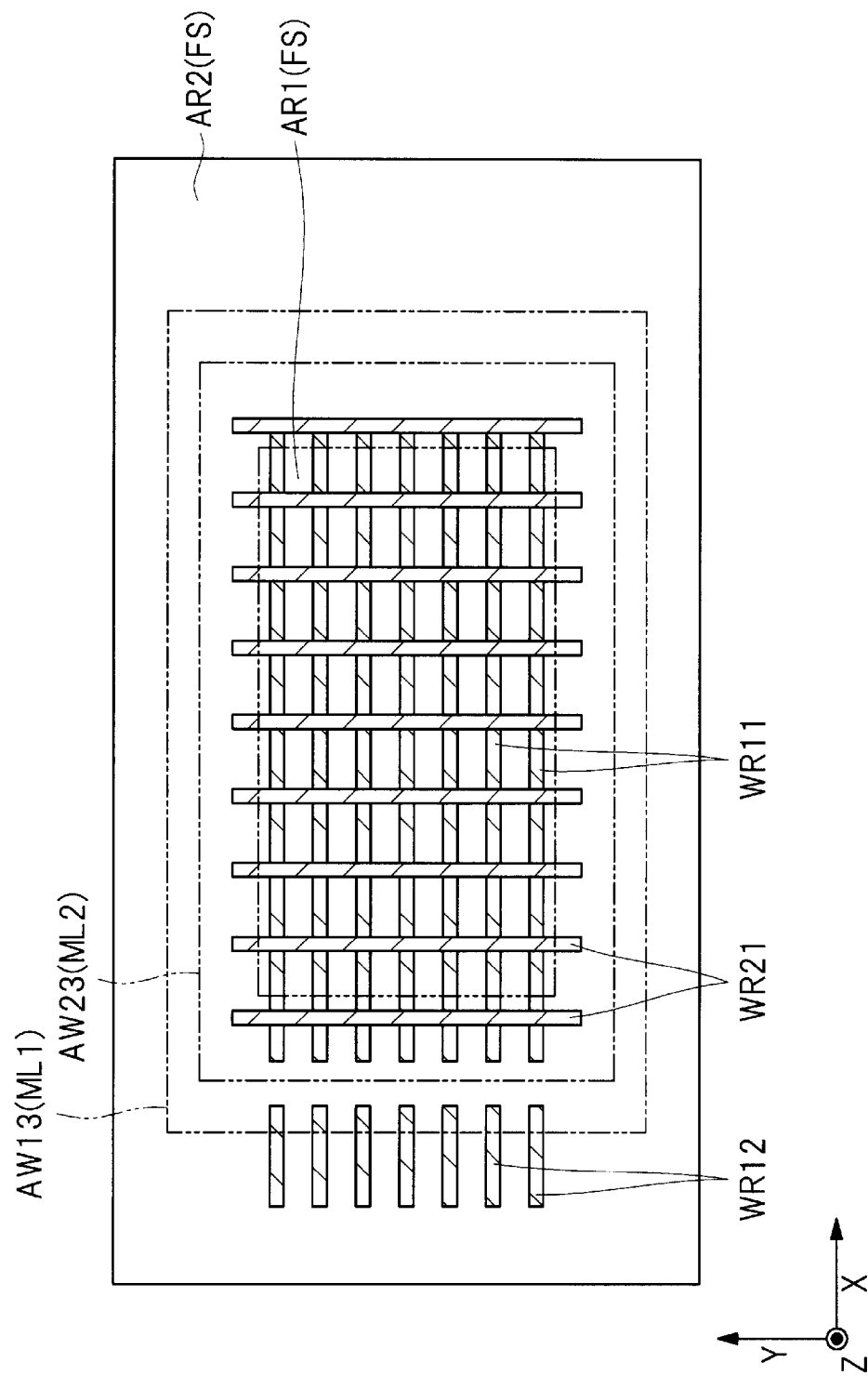
[図51]

図 51



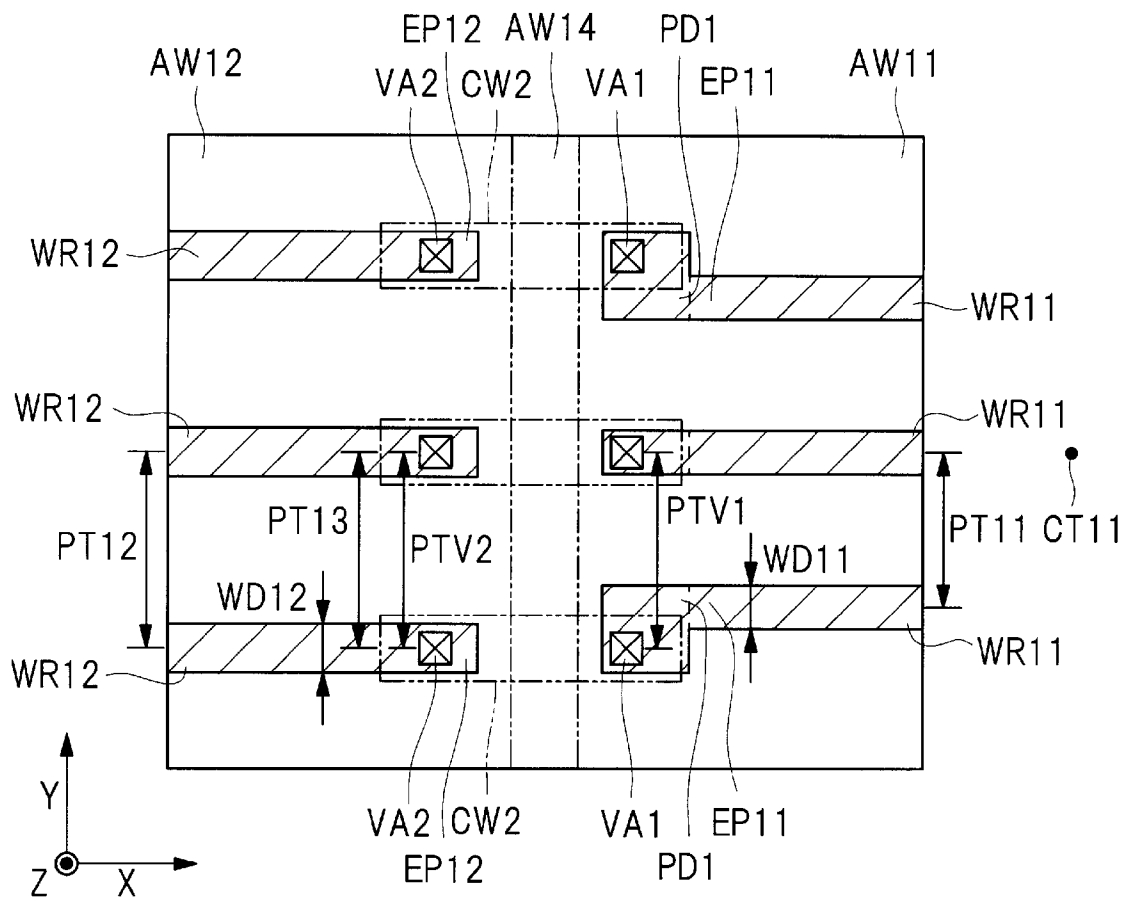
[図52]

図 52



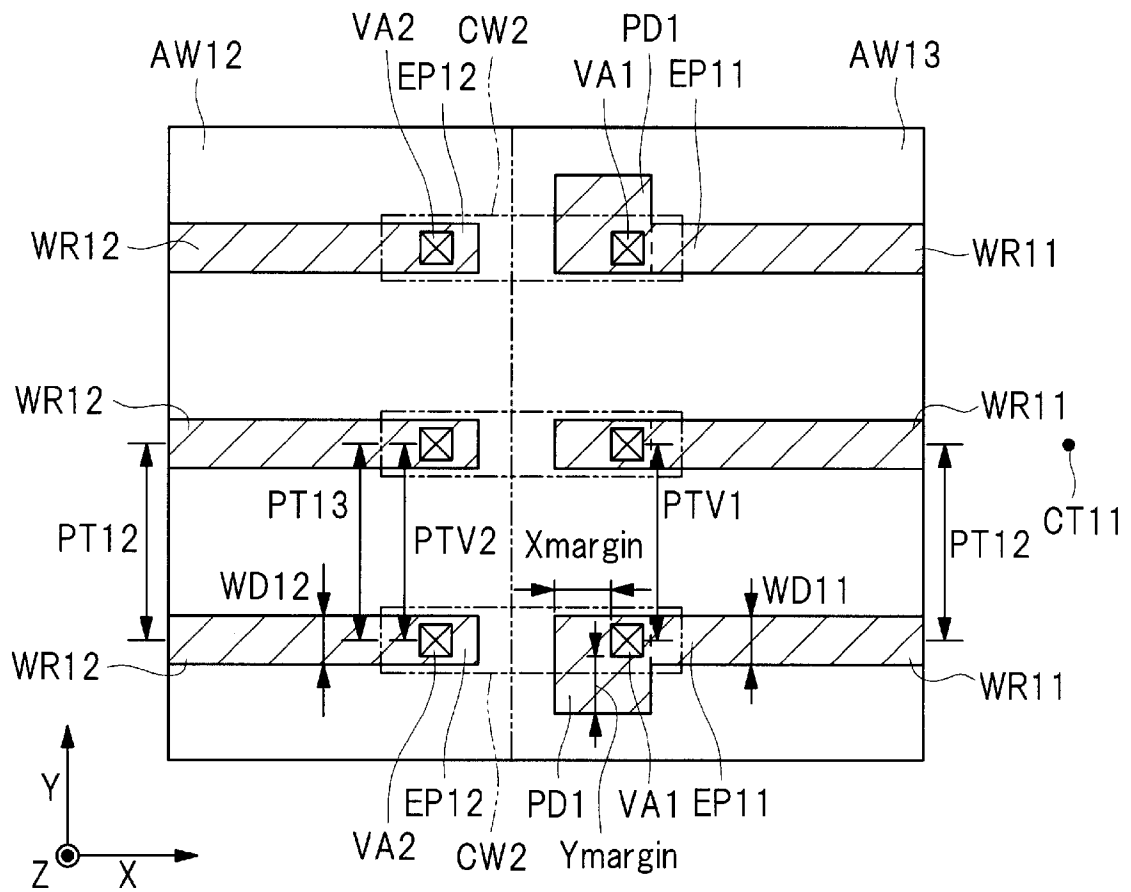
[図53]

図 53

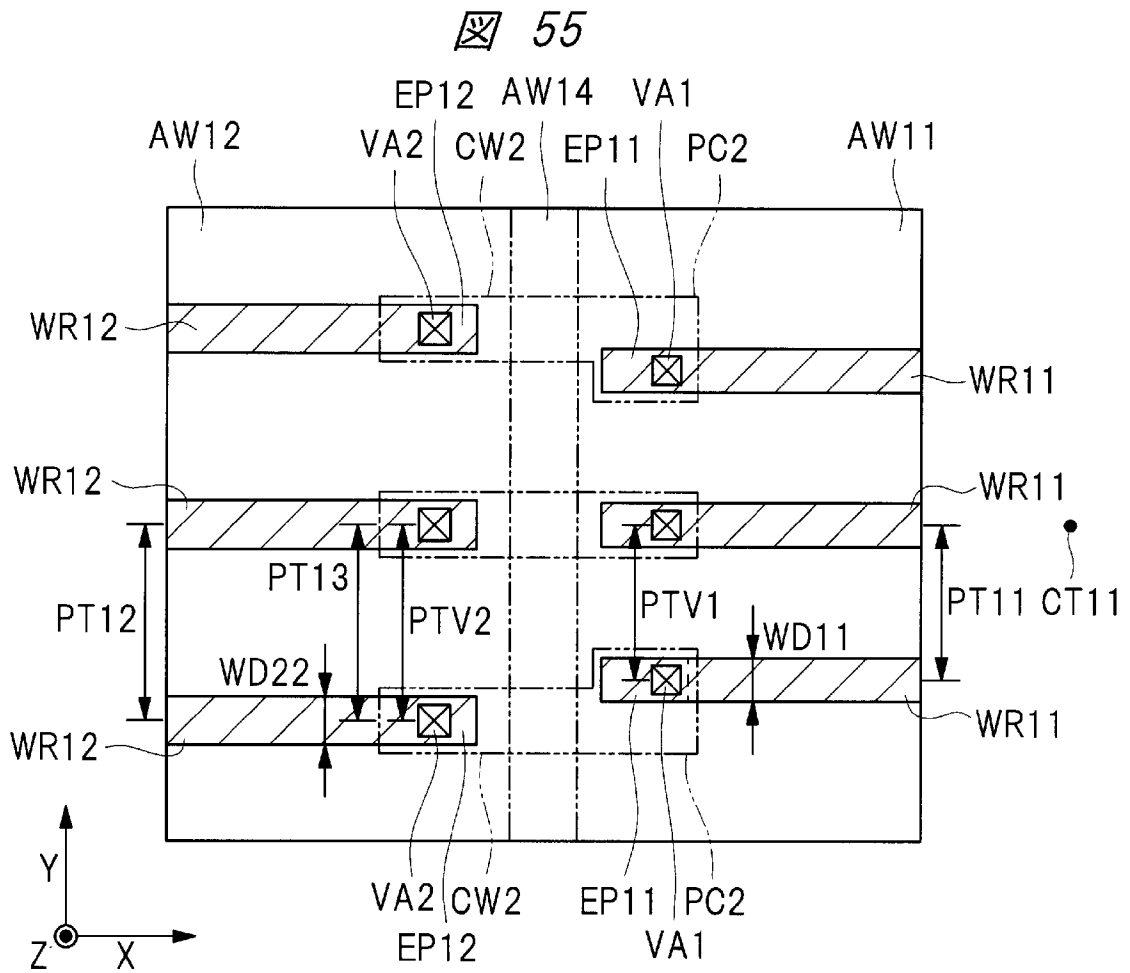


[図54]

図 54

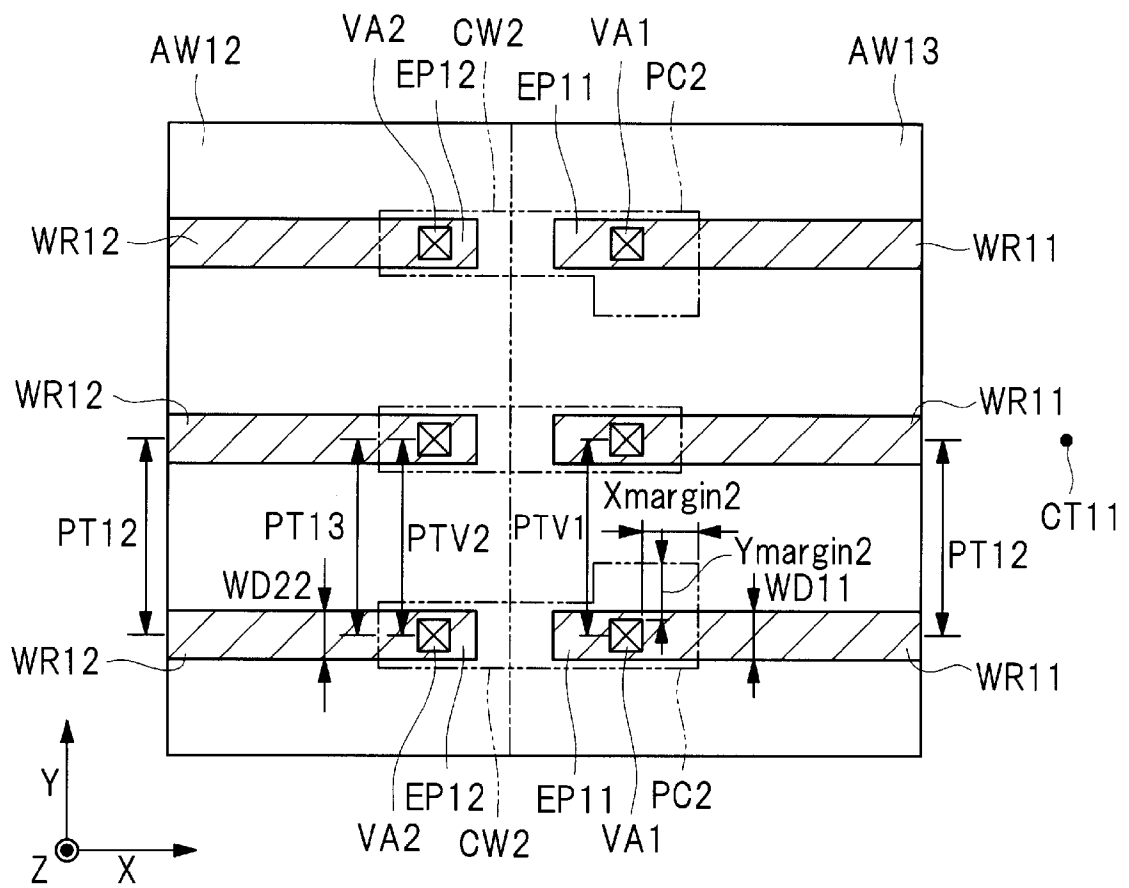


[図55]



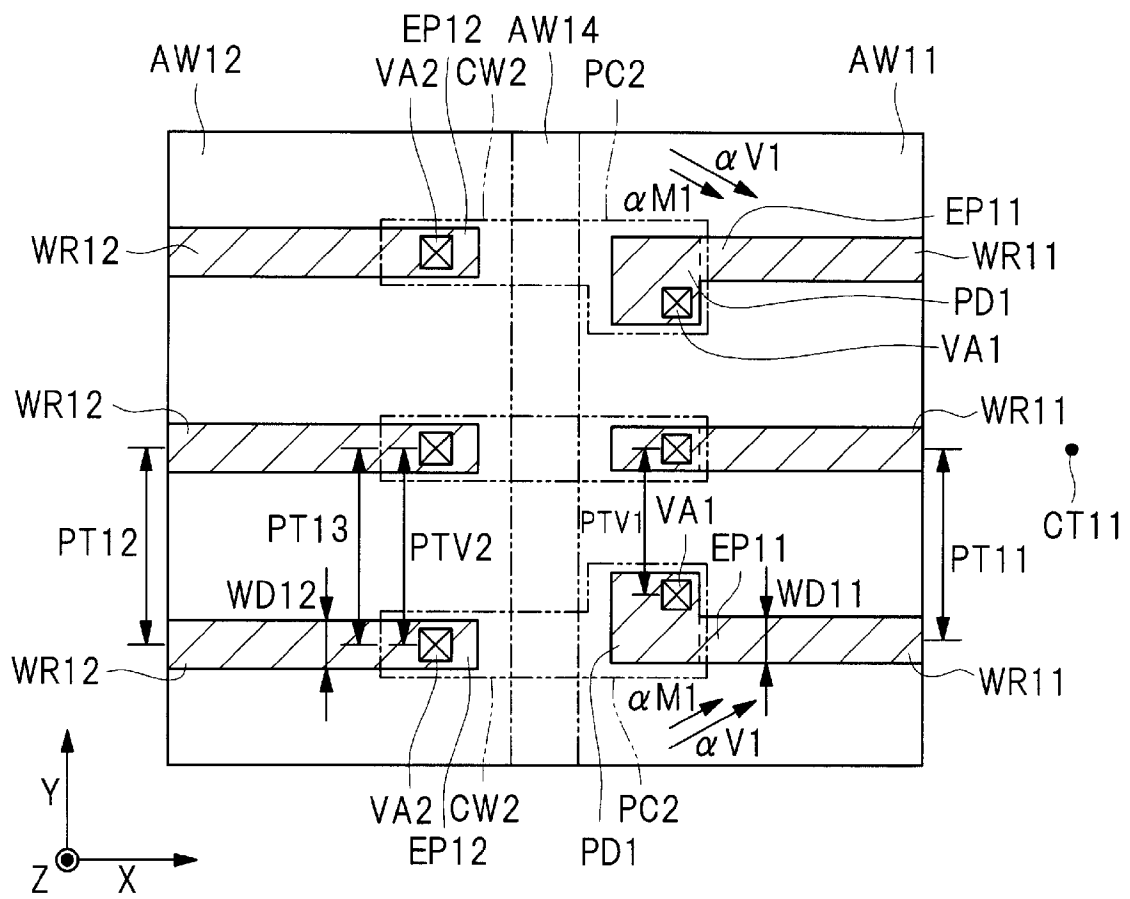
[図56]

図 56



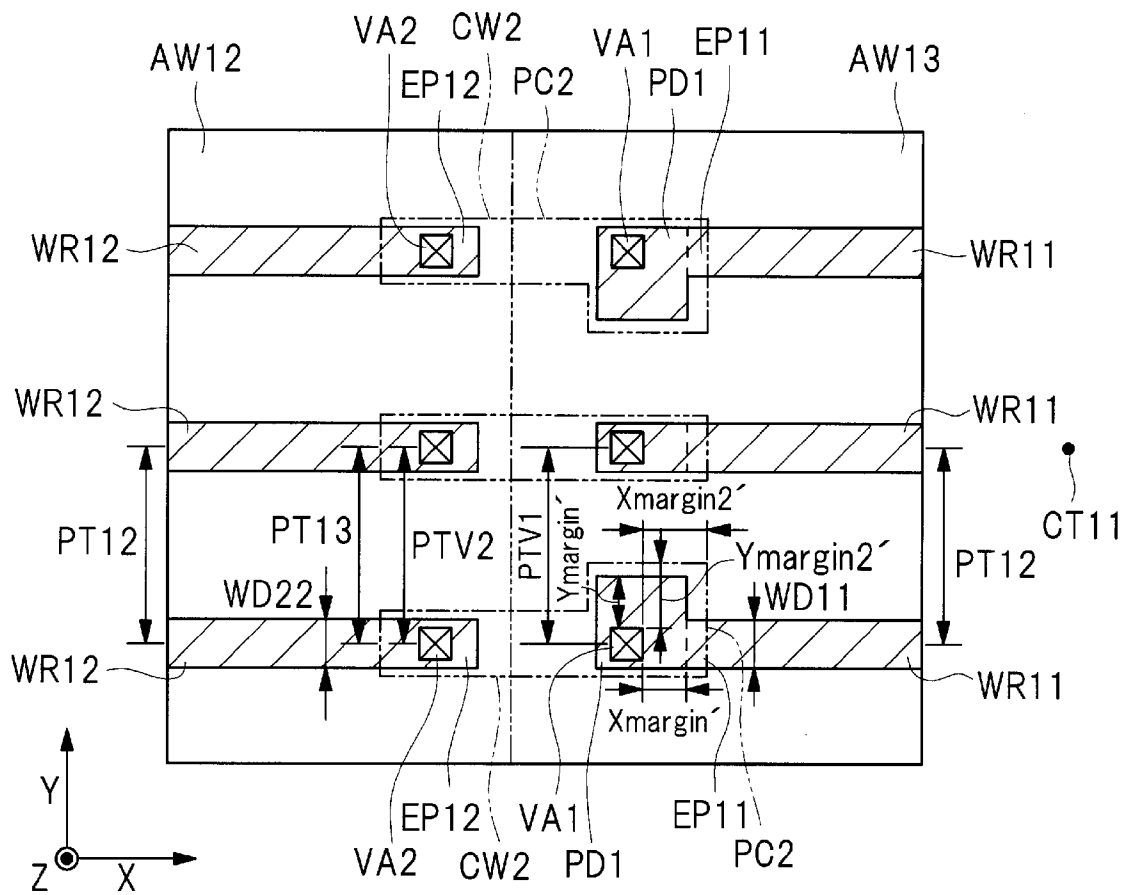
[図57]

図 57



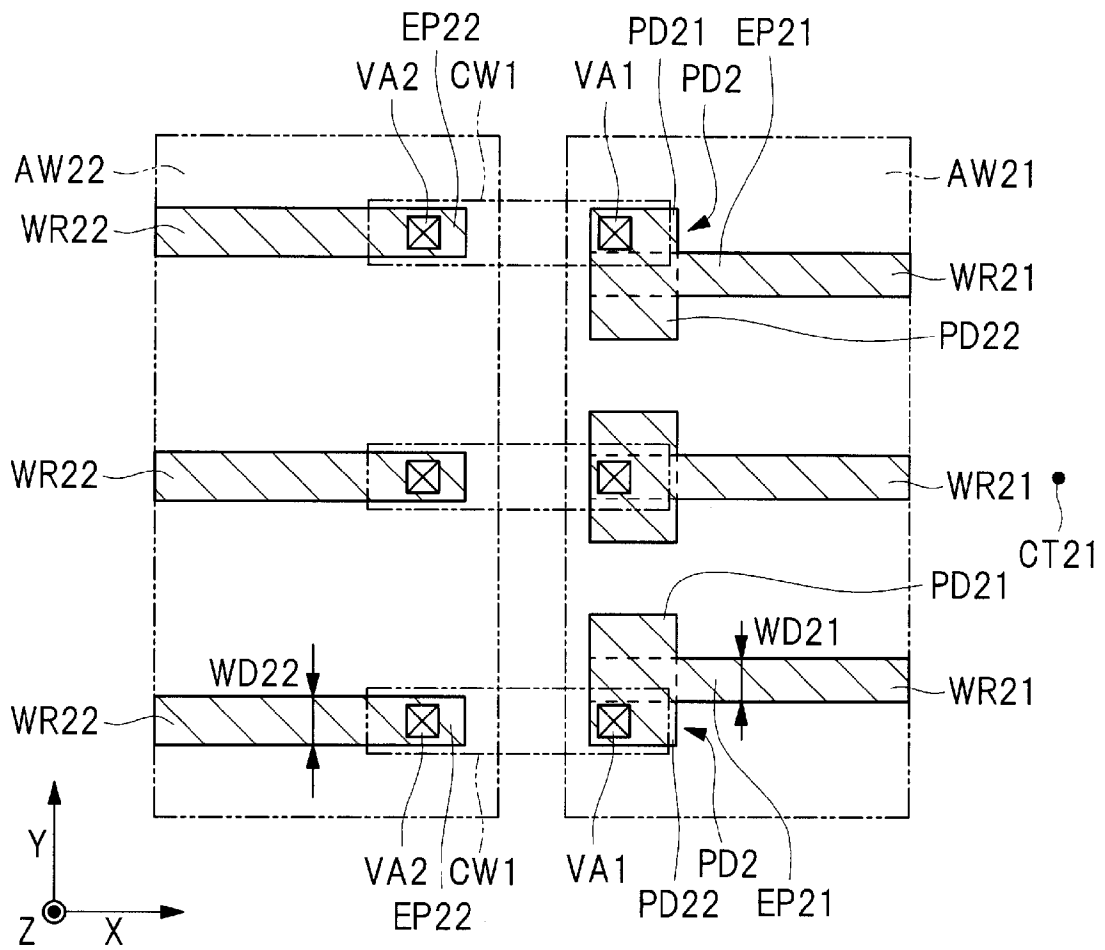
[図58]

図 58



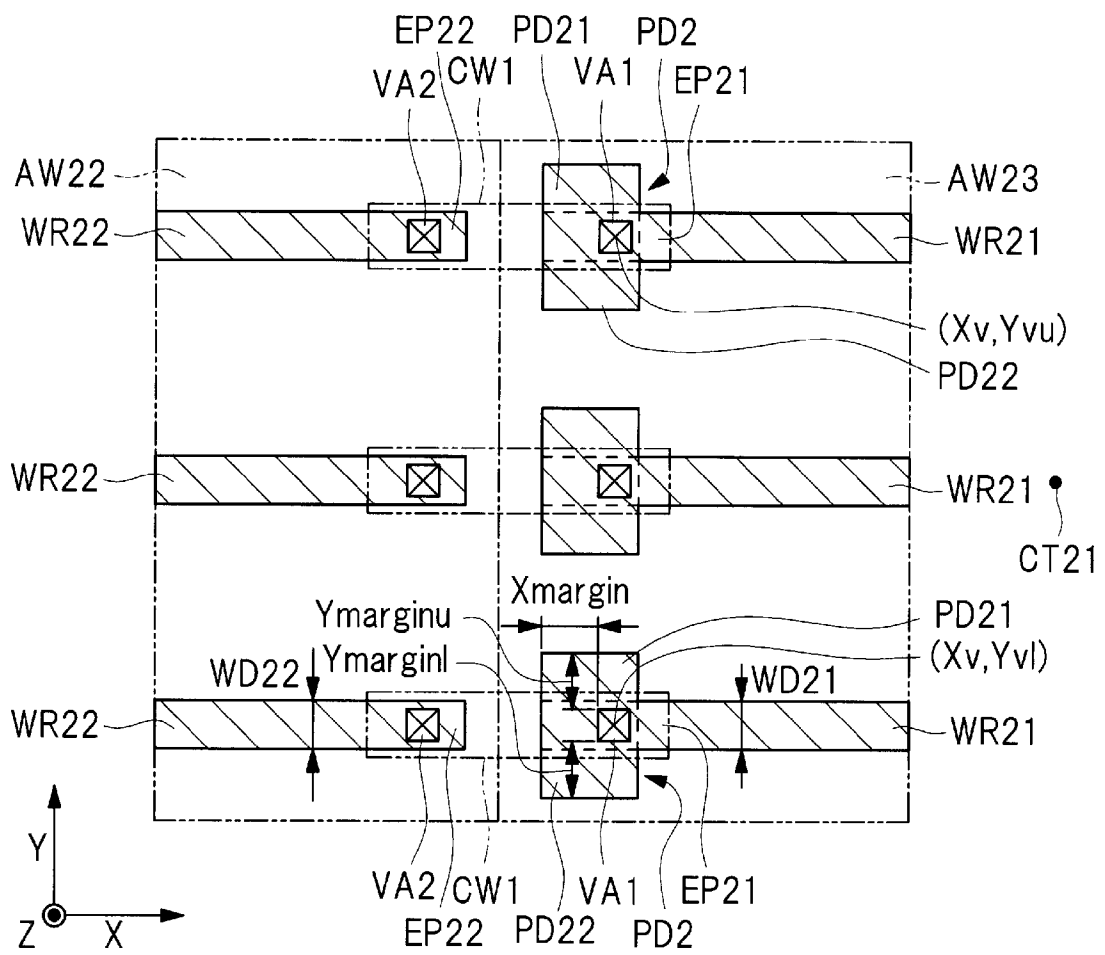
[図59]

図 59

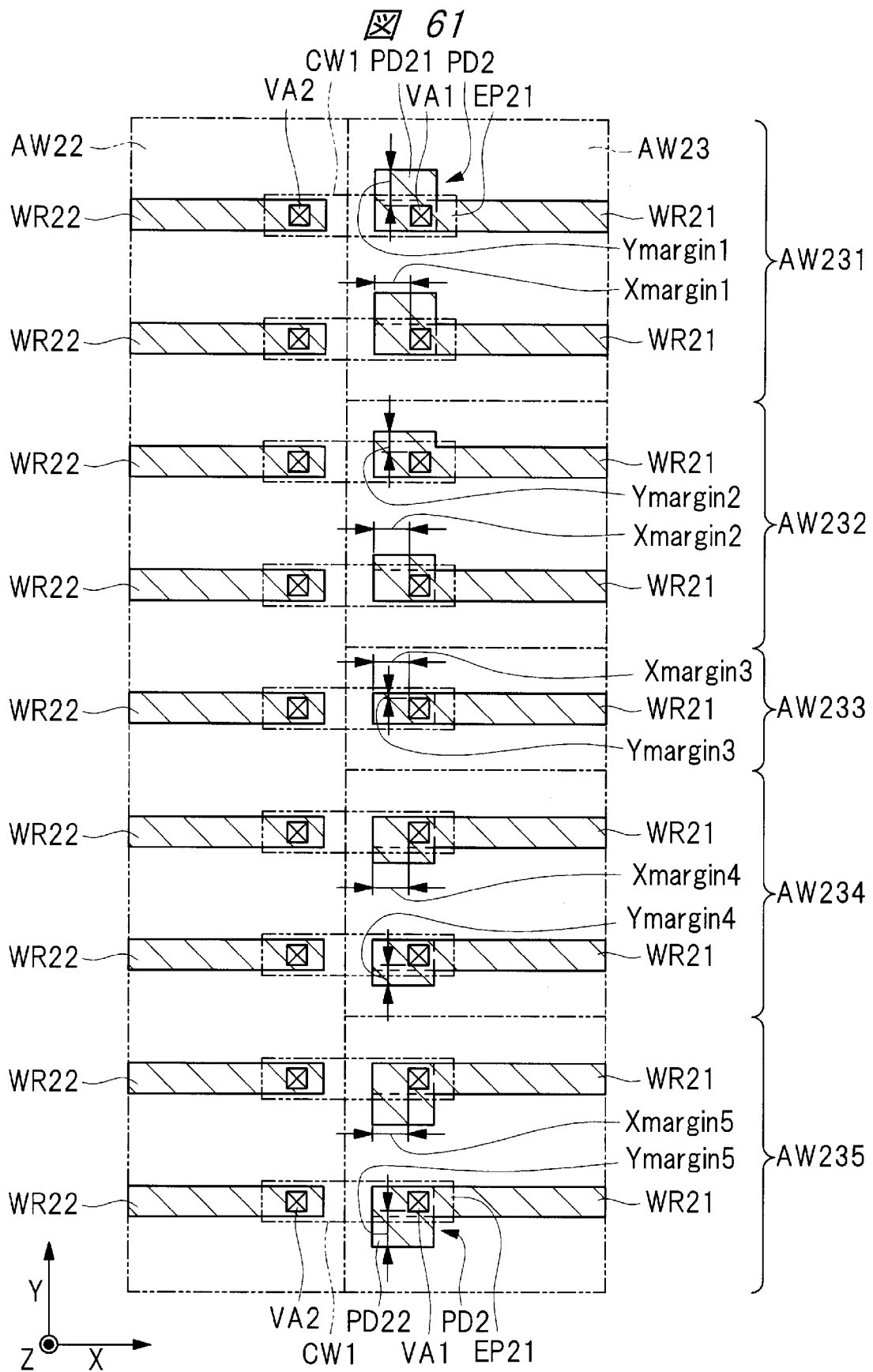


[図60]

図 60

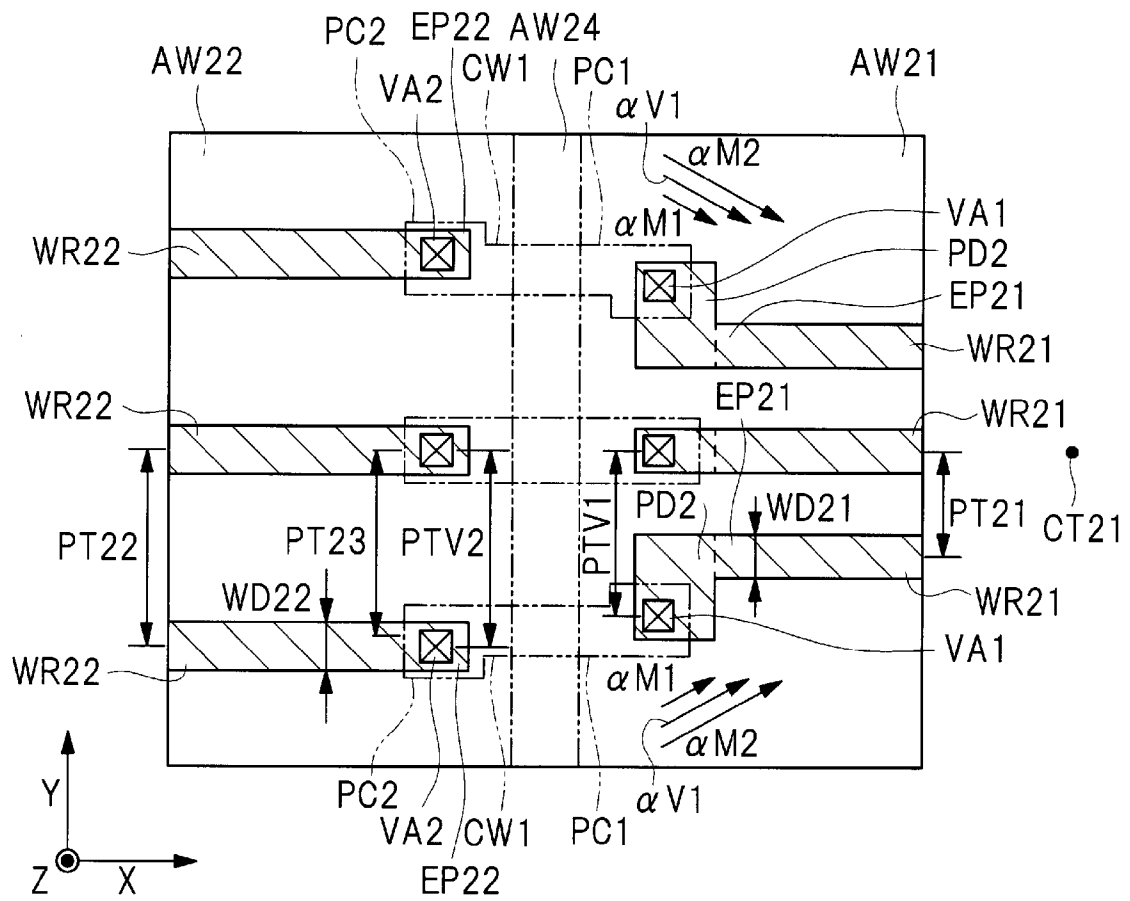


[図61]



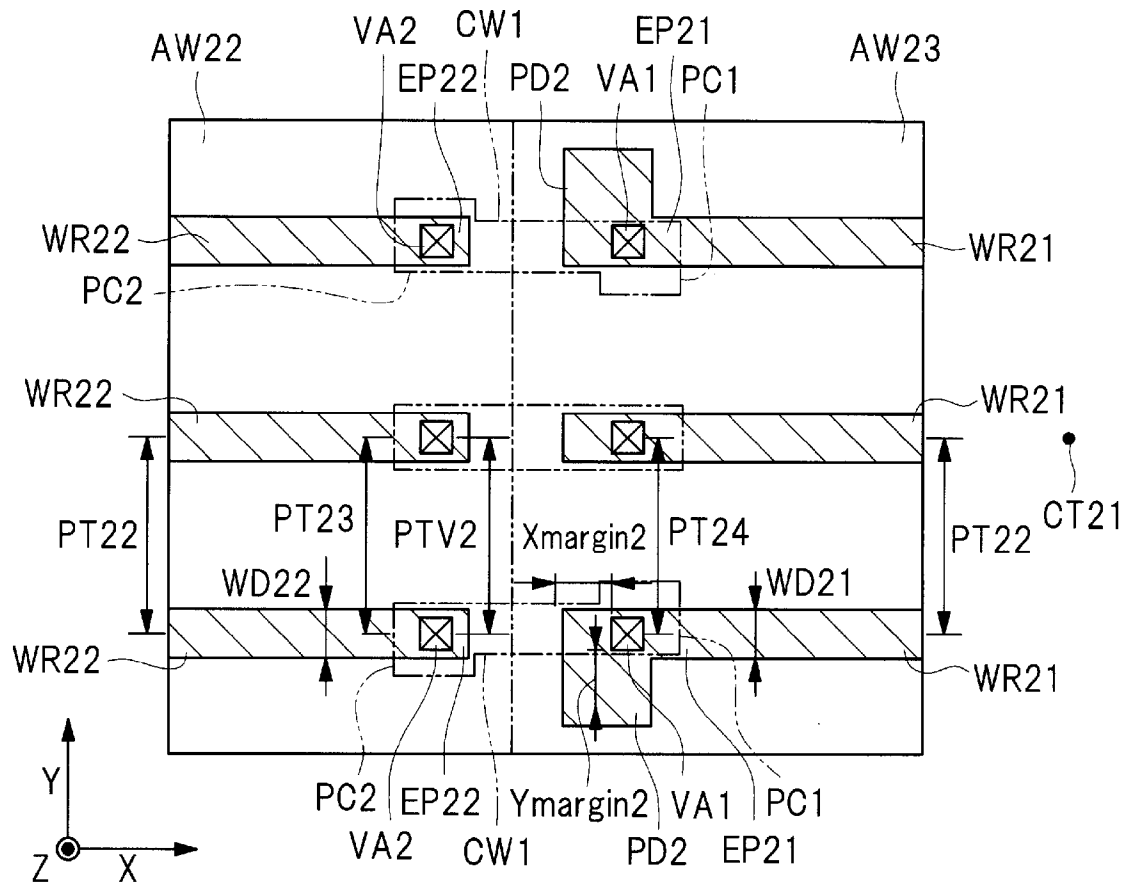
[図62]

図 62



[図63]

図 63



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2015/053997

A. CLASSIFICATION OF SUBJECT MATTER

H01L27/14(2006.01)i, H01L21/3205(2006.01)i, H01L21/768(2006.01)i,
H01L21/82(2006.01)i, H01L23/522(2006.01)i, H04N5/369(2011.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L27/14, H01L21/3205, H01L21/768, H01L21/82, H01L23/522, H04N5/369

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2015
Kokai Jitsuyo Shinan Koho	1971-2015	Toroku Jitsuyo Shinan Koho	1994-2015

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y A	JP 2007-317870 A (Sony Corp.), 06 December 2007 (06.12.2007), paragraphs [0019] to [0026], [0043] to [0079]; fig. 1 to 8, 14 to 15 & US 2007/0273779 A1 & KR 10-2007-0114054 A & CN 101079436 A	1-6 7-19 20
X Y A	JP 2003-273342 A (Sony Corp.), 26 September 2003 (26.09.2003), paragraphs [0008] to [0013], [0019] to [0041]; fig. 1 to 9, 11 (Family: none)	1-6 7-19 20

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
16 April 2015 (16.04.15)

Date of mailing of the international search report
28 April 2015 (28.04.15)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2015/053997

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 2001-36051 A (Seiko Epson Corp.), 09 February 2001 (09.02.2001), paragraphs [0005] to [0007], [0017] to [0025]; fig. 1 to 4 (Family: none)	7-11, 19 20
Y A	JP 2006-294707 A (Matsushita Electric Industrial Co., Ltd.), 26 October 2006 (26.10.2006), paragraphs [0051] to [0056]; fig. 9 to 10 (Family: none)	7-11, 19 20
Y A	JP 3-174770 A (Seiko Epson Corp.), 29 July 1991 (29.07.1991), page 2, lower left column, line 5 to lower right column, line 19; page 4, lower right column, line 2 to page 6, upper right column, line 18; fig. 1 to 5 & US 5345098 A & EP 416456 A1 & KR 10-0154121 B	7-11, 19 20
Y A	JP 2010-98095 A (Sony Corp.), 30 April 2010 (30.04.2010), paragraphs [0018] to [0065], [0095] to [0123]; fig. 1 to 20, 39 to 56 (Family: none)	7-19 20
A	JP 2006-59847 A (Sony Corp.), 02 March 2006 (02.03.2006), paragraphs [0002] to [0004], [0009] to [0017]; fig. 1 to 3 (Family: none)	1-20
A	JP 2001-306641 A (Victor Company of Japan, Ltd.), 02 November 2001 (02.11.2001), paragraphs [0002] to [0008], [0012] to [0025]; fig. 1 to 5 (Family: none)	1-20

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H01L27/14(2006.01)i, H01L21/3205(2006.01)i, H01L21/768(2006.01)i, H01L21/82(2006.01)i,
H01L23/522(2006.01)i, H04N5/369(2011.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H01L27/14, H01L21/3205, H01L21/768, H01L21/82, H01L23/522, H04N5/369

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 5 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 5 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 5 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y A	JP 2007-317870 A（ソニー株式会社）2007. 12. 06, 段落[0019]－[0026], [0043]－[0079]及び図 1－8, 1 4－1 5 & US 2007/0273779 A1 & KR 10-2007-0114054 A & CN 101079436 A	1－6 7－19 20
X Y A	JP 2003-273342 A（ソニー株式会社）2003. 09. 26, 段落[0008]－[0013], [0019]－[0041]及び図 1－9, 1 1 （ファミリーなし）	1－6 7－19 20

☒ C 欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

1 6 . 0 4 . 2 0 1 5

国際調査報告の発送日

2 8 . 0 4 . 2 0 1 5

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）
郵便番号 1 0 0 - 8 9 1 5
東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官（権限のある職員）

安田 雅彦

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 1 4

5 F

9 4 4 7

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y A	JP 2001-36051 A (セイコーエプソン株式会社) 2001.02.09, 段落[0005]－[0007], [0017]－[0025]及び図1－4 (ファミリーなし)	7－11, 19 20
Y A	JP 2006-294707 A (松下電器産業株式会社) 2006.10.26, 段落[0051]－[0056]及び図9－10 (ファミリーなし)	7－11, 19 20
Y A	JP 3-174770 A (セイコーエプソン株式会社) 1991.07.29, 第2頁左下欄5行－右下欄19行, 第4頁右下欄2行－ 第6頁右上欄18行及び第1－5図 & US 5345098 A & EP 416456 A1 & KR 10-0154121 B	7－11, 19 20
Y A	JP 2010-98095 A (ソニー株式会社) 2010.04.30, 段落[0018]－[0065], [0095]－[0123]及び図1－20, 39－56 (ファミリーなし)	7－19 20
A	JP 2006-59847 A (ソニー株式会社) 2006.03.02, 段落[0002]－[0004], [0009]－[0017]及び図1－3 (ファミリーなし)	1-20
A	JP 2001-306641 A (日本ビクター株式会社) 2001.11.02, 段落[0002]－[0008], [0012]－[0025]及び図1－5 (ファミリーなし)	1-20