



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2012년06월01일  
(11) 등록번호 10-1152451  
(24) 등록일자 2012년05월25일

- (51) 국제특허분류(Int. C1.)  
*H01L 29/78* (2006.01) *H01L 29/735* (2006.01)
- (21) 출원번호 10-2005-0057911  
(22) 출원일자 2005년06월30일  
    심사청구일자 2010년06월18일  
(65) 공개번호 10-2006-0049250  
(43) 공개일자 2006년05월18일  
(30) 우선권주장  
    JP-P-2004-00195887 2004년07월01일 일본(JP)  
    JP-P-2005-00144867 2005년05월18일 일본(JP)

## (56) 선행기술조사문현

US05502320 A\*

\*는 심사관에 의하여 인용된 문현

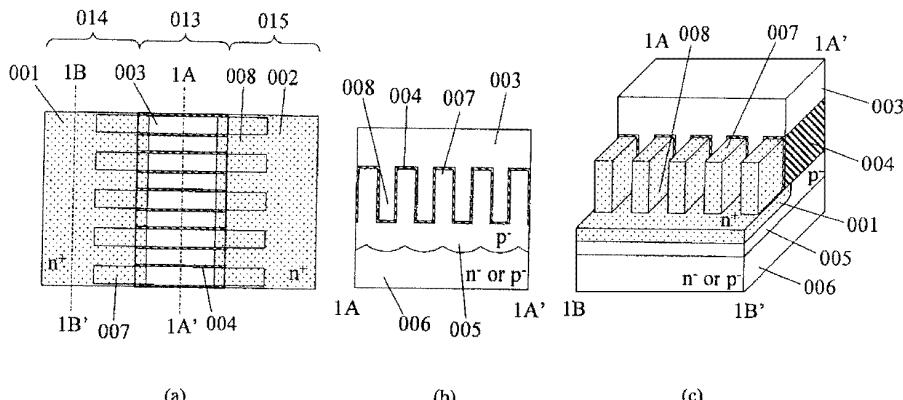
전체 청구항 수 : 총 12 항

심사관 : 최정민

## (54) 발명의 명칭 트렌치 구조를 이용한 횡형 반도체 장치 및 그 제조 방법

**(57) 요약**

소스와 드레인 영역으로 연장하는 트렌치가 게이트 길이방향에 평행하게 배치되고, 게이트 산화물이 트렌치에 배치되며, 경사 이온 주입을 사용하여 트렌치 영역 및 소스와 드레인 영역 아래에 웨이 배치되고, 게이트 산화물에 게이트 전극이 배치되며, 경사 이온 주입을 사용하여 게이트 전극에 자기 정렬된(Self-aligning) 트렌치의 오목부의 바닥면과 동일한 평면에 소스와 드레인 영역이 배치되는, 횡형 트렌치 MOS 트랜지스터가 제공된다.

**대 표 도**

## 특허청구의 범위

### 청구항 1

반도체 기판과,

상기 반도체 기판 표면의 트랜지스터가 되는 영역에 형성되고, 상기 트랜지스터의 채널 방향과 평행하게 배치된 제1 오목 영역 및 제1 볼록 영역과, 상기 제1 오목 영역 양단에 각각 연결되어 배치된 제2 오목 영역을 갖는 트렌치 영역과,

상기 트랜지스터가 되는 영역에 상기 제1 오목 영역 및 상기 제2 오목 영역보다 상기 반도체 기판 표면에서 보아 깊게 형성된 제2 도전형의 웰 영역과,

상기 제1 오목 영역 및 상기 제1 볼록 영역의 양단 부분을 제외하고 그 표면에 배치된 게이트 절연막과,

상기 게이트 절연막 상에 접하여 설치된 게이트 전극과,

상기 제1 오목 영역 및 상기 제1 볼록 영역의 양단 부분과 상기 제2 오목 영역에 배치되고, 상기 웰 영역보다 얕게 형성된 제1 도전형의 소스 영역 및 드레인 영역을 갖는, 반도체 장치.

### 청구항 2

청구항 1에 있어서,

상기 제1 볼록 영역은, 상기 트랜지스터의 동작시에 내부까지 모두 공핍화하는, 상기 채널 방향과 수직인 방향의 길이인 폭을 갖는, 반도체 장치.

### 청구항 3

반도체 기판 표면에 길이 방향이 게이트 길이 방향과 평행한 복수의 트렌치가 형성된 제1 트렌치 영역과,

상기 제1 트렌치 영역의 오목부 저면과 동일 평면에 상기 제1 트렌치 영역의 길이 방향의 양단에 각각 접하여 설치된 제2 트렌치 영역 및 제3 트렌치 영역과,

상기 제1 트렌치 영역, 상기 제2 트렌치 영역, 및 상기 제3 트렌치 영역에 형성된 제2 도전형의 웰 영역과,

상기 제1 트렌치 영역에 설치된 게이트 절연막과,

상기 게이트 절연막 상에 접하여 설치된 게이트 전극과,

상기 제1 트렌치 영역의 일부와 상기 제2 트렌치 영역에서 상기 웰 영역보다 얕게 형성된 제1 도전형의 소스 영역과,

상기 제1 트렌치 영역의 일부와 상기 제3 트렌치 영역에서 상기 웰 영역보다 얕게 형성된 제1 도전형의 드레인 영역을 갖는, 반도체 장치.

### 청구항 4

청구항 3에 있어서,

상기 제1 도전형의 소스 영역 및 드레인 영역은 DDD 구조를 갖는, 반도체 장치.

### 청구항 5

청구항 3에 있어서, 상기 제1 도전형의 소스 영역 및 드레인 영역은 LDMOS 구조를 갖는, 반도체 장치.

### 청구항 6

청구항 2에 있어서,

상기 제1 트렌치 영역의 볼록 영역의 폭이 완전 공핍화하는 폭으로 되어 있는, 반도체 장치.

### 청구항 7

청구항 3에 있어서,

트원 웰 기술을 더 병합한, 반도체 장치.

### 청구항 8

청구항 1에 있어서,

상기 제1 도전형과 상기 제2 도전형의 도전형을 반전한, 반도체 장치.

### 청구항 9

청구항 3에 있어서,

상기 제1 도전형과 상기 제2 도전형의 도전형을 반전한, 반도체 장치.

### 청구항 10

청구항 1 내지 청구항 9 중 어느 한 항에 기재된 반도체 장치의 제조 방법으로서,

상기 트렌치 영역 형성 후에 다방향에서의 경사 이온 주입에 의해 상기 웰 영역을 형성하는, 반도체 장치의 제조 방법.

### 청구항 11

청구항 1 내지 청구항 9 중 어느 한 항에 기재된 반도체 장치의 제조 방법으로서,

상기 트렌치 영역 형성 후에 다방향에서의 경사 이온 주입에 의해 상기 소스 영역과 상기 드레인 영역을 형성하는, 반도체 장치의 제조 방법.

### 청구항 12

청구항 1 내지 청구항 9 중 어느 한 항에 기재된 반도체 장치의 제조 방법으로서,

상기 반도체 기판 표면에 이온 주입에 의해 제2 도전형 반도체 영역을 만드는 공정과, 상기 반도체 기판 표면에 반도체를 에피택셜 성장시키는 공정과, 상기 에피택셜 성장시킨 반도체 표면에 이온 주입에 의해 제2 도전형 반도체 영역을 만드는 공정에 의해, 상기 웰 영역을 만드는 공정을 갖는, 반도체 장치의 제조 방법.

### 청구항 13

삭제

### 청구항 14

삭제

### 청구항 15

삭제

## 명세서

### 발명의 상세한 설명

#### 발명의 목적

#### 발명이 속하는 기술 및 그 분야의 종래기술

[0020] 본 발명은 고구동성능이 요구되는 횡형 MOS 트랜지스터를 포함하는 반도체 장치 및 그 제조방법에 관한 것이다.

[0021] 진보적인 미세 가공 기술을 사용하여 능력을 저하시키지 않고 작은 구조의 MOS 트랜지스터들을 제조하는 것이 가능해졌다. 이러한 경향은 또한 고구동성능이 필요한 반도체 소자에, 예외 없이, 적용된다. 고구동성능을 실현하기 위해서, 미세 가공 기술의 최적 사용에 의해 단위 평면적당 소자의 ON 저항의 저감이 시도되었다. 그

러나, 반도체 소자의 소형화에 의해 일어나는 내전압의 저하는 구동성능의 한층 더한 향상을 방해한다. 소형화와 내전압 사이의 트레이드오프(trade-off)를 제거하기 위해서 다양한 구조의 반도체 장치들이 제안되었다. 현재 주류의 반도체 소자인 트렌치 게이트 MOS 트랜지스터가 고내전압과 고구동성능을 가지는 전력 MOS 트랜지스터에서 예로서 주어진다. 트렌치 게이트 MOS 트랜지스터는 고내전압과 고구동성능을 가지는 MOS 트랜지스터들 중에서 최고의 접적도를 가진다. 트렌치 게이트 MOS 트랜지스터는 전류가 기판의 깊이 방향으로 흐르는 수직의 MOS 구조를 가지므로, 단일 소자로서 매우 뛰어난 성능을 보여주지만, 접적회로용 표준소자를 칩상에 장착시 단점을 가진다. 칩상의 접적회로 표준소자와의 공존이 고려될 때, 종래의 횡형 MOS 구조가 주로 선택된다.

[0022] 내전압을 저하시키지 않고 횡형 MOS 트랜지스터의 단위 면적당 ON 저항을 저감시킬 수 있는 방법으로서, 큰 게이트 폭을 얻기 위해 게이트부가 볼록부 및 오목부를 가지는 구조를 가지는 횡형 트렌치 게이트 트랜지스터가 제안되었다 (예를 들어, JP 3405681 B (페이지 11, 도 2A 내지 2B) 참조). 첨부된 도면 2 (a) 내지 (d)는 종래기술에 도시된 횡형 게이트 트랜지스터를 나타낸다. 도 2 (a)는 MOS 트랜지스터의 평면도이고, 도 2 (b)는 2A-2A' 선을 따른 단면도이며, 도 2 (c)는 2B-2B' 선을 따른 단면도이고, 도 2 (d)는 2C-2C' 선을 따른 단면도이다. 여기서, 도 2A에서 트렌치 외부의 게이트 전극(003)과 게이트 절연막(004)은 밑에 있는 구조를 묘사하기 위해 투명하게 도시되었다. 굵은 선은 게이트 전극(003)의 에지를 나타낸다. 종래기술은 게이트 전극(003)에 트렌치 구조를 도입하여 횡형 MOS 구조의 단위 면적당 게이트 폭을 확장시킴으로써 ON 저항을 저감시키도록 이루어졌다.

[0023] 그러나, 종래기술은 2가지 문제점을 가진다.

[0024] (1) 도 3은 도 2 (a) 내지 (d)에 도시된 소스 영역(001) 또는 드레인 영역(002)만을 취출하여 얻어진 사시도이다. 여기에, 게이트 산화막(004)과 게이트 전극(003)은 도시되지 않았다. 도 3에 도시된 소스 영역(001) 또는 드레인 영역(002)에서, 점선에 의해 나타내진 트렌치 웰과 접촉하는 표면의 짙은 색 부분은 채널부와 접촉하는 부분(020)이다. 채널부와 접촉하는 부분(020)은, 트렌치 웰과 접촉하는, 소스 영역(001) 또는 드레인 영역(002)에서, 모든 표면 각각에 존재한다. 즉, 도 2 (a) 내지 (d)의 구조에서, 소스 영역(001) 또는 드레인 영역(002) 및 채널부 사이의 접촉 면적은 치수  $d_1$ ,  $w_1$ , 및  $l_2$ 에 의해 결정된다. 접촉 면적이 작으면, 이 면적은 도 4 (d)에 도시된 전류(019)에 의해 도시된 바와 같이 병목되어 (전류밀도는 소스 영역과 드레인 영역에 밀집하게 되어), ON 저항의 저감을 막는다. 접촉 면적을 증가시키기 위해서는 치수  $d_1$ ,  $w_1$ , 및  $l_2$ 의 길이를 연장하면 된다. 먼저, 치수  $d_1$ 가 고려된다. 소스 영역 및 드레인 영역이 통상의 이온 주입을 통해 형성되는 경우에 소스 영역(001) 및 드레인 영역(002)의 깊이에 상당하는, 치수  $d_1$ 는 일반적으로 수천 Å로 얇고, 그 깊이에 한계가 있다. 트렌치의 볼록부의 폭을 변화시키지 않고 트렌치의 오목부의 폭에 상당하는 치수  $w_1$ 이 연장되면, 단위 면적당 트렌치의 수가 감소하여서, 수직의 접촉 면적이 감소한다. 이것은 게이트폭을 얇게 하고, 따라서, 치수  $w_1$ 은 길어질 수 없다.

[0025] 소스 영역(001) 또는 드레인 영역(002) 및 트렌치 사이의 오버랩 길이인  $l_2$ 를 연장하는 방법에 관해서는, 게이트 길이를 변화시키지 않고  $l_2$ 가 연장되면, 면적이 따라서 증가한다는 것은 명확하다. 또한, 소스 영역(001)과 드레인 영역(002)이 게이트 전극(003)에 대한 자기 정렬(Self-alignment)에 의해 형성되는 경우에는,  $l_2$ 를 연장하는 방법 또는 소스 영역(001)과 드레인 영역(002)의 불순물의 확산 길이를 증가시키는 방법이 고려될 수 있지만,  $l_2$ 를 얇게 하는데 한계가 있다. 결국, 불순물의 확산을 통해  $l_2$ 를 확장하는 방법 밖에 없다. 그러나, 이러한 방법은 또한 길이에 대한 한계를 가지며, 또한 과도한 불순물 확산에 의해 일어나는 소스 영역(001) 또는 드레인 영역(002)의 농도 저감과 같은 리스크를 가진다. 따라서, 이 방법은 실행되기 어렵다. 즉, 종래기술에서는 MOS 트랜지스터의 ON 저항을 저감시키기 위해 소자 면적을 변화시키지 않고 접촉 면적을 증가시키는 것이 어렵다.

[0026] (2) 두번째 문제점은 트렌치 깊이에 대해 한계가 있다는 것이다. 트렌치 폭을 증가시키는 것으로 단위 면적당 게이트 폭을 더 증가시킬 수 있다. 그러나, 이것은 웰 영역(005)내의 경우에만 적용된다. 표준 방법에 의해 형성된 웰 영역(005)의 깊이에 한계가 있다. 그래서, 트렌치는 웰 영역(005)보다 깊어질 수 없다. 트렌치가 웰 영역(005)보다 깊게 되면, 전류가 기판으로 누출된다.

### 발명이 이루고자 하는 기술적 과제

[0027] 본 발명은 상기한 2개의 문제점을 해결하여 고구동성능의 저 ON 저항 횡형 MOS 트랜지스터를 실현하기 위해 이루어졌다. 고구동성능의 횡형 MOS 트랜지스터는 길이방향이 게이트 길이방향(채널 길이방향)에 평행한 트렌치에 형성된 게이트 전극을 포함하고, 단위 평면적당 긴 게이트 폭을 가진다. 본 발명의 횡형 MOS 트랜지스터는 평면적인 소자 면적을 증가시키지 않고 고구동성능을 달성한다.

[0028] 본 발명은: 반도체 기판의 표면에 길이방향이 게이트 길이방향에 평행한 트렌치가 형성된 제1 트렌치 영역; 상기 제1 트렌치 영역의 오목부의 저면과 동일 평면에 제1 트렌치 영역의 양단과 그 길이방향으로 각각 접촉하도록 제공된 제2 트렌치 영역과 제3 트렌치 영역; 상기 제1 트렌치 영역, 제2 트렌치 영역, 및 제3 트렌치 영역의 적어도 하나에 형성된 제2 도전형 웨爾 영역; 상기 제1 트렌치 영역에 제공된 게이트 절연막; 상기 게이트 절연막에 접촉하도록 제공된 게이트 전극; 및 상기 제1 트렌치 영역, 제2 트렌치 영역, 및 제3 트렌치 영역의 웨爾 영역 보다 얇게 제공된 제1 도전형 소스 영역 및 드레인 영역을 포함하는, 반도체 장치를 제공한다.

[0029] 본 발명에 따르면, 게이트 전극에 트렌치가 형성된 MOS 트랜지스터에서, 채널부의 일단의 전체 표면과 그 타단의 전체 표면이 각각 소스 영역과 드레인 영역에 충분히 접촉한다. 그래서, 접촉 영역이 증가하고, 결과로서 트랜지스터의 ON 저항이 저감된다.

### 발명의 구성 및 작용

[0030] (실시예1)

[0031] 도 1 (a) 내지 (c)는 본 발명의 전형적인 실시예를 도시한다. 여기서, 도 1 (a)는 평면도, 도 1 (b)는 도 1 (a)의 1A-1A' 선을 따른 단면도, 도 1 (c)는 도 1 (a)의 1A-1A' 선 및 1B-1B' 선을 따라 절단한 사시도이다. 여기서, 도 1 (a)에서, 트렌치상의 게이트 전극(003) 및 게이트 절연막(004)은 쉽게 보여지도록 투명하다. 굵은 선은 게이트 전극(003)의 에지를 나타낸다. 또한, 도 1 (c)는 소스 영역(001)에서 본 도면이다. 이 도면에서는, 소스 및 드레인 구조를 3차원으로 나타내기 위해 금속 상호접속이 생략되지 않았다. 이 도면은 1A-1A' 선을 중심으로 대칭 구조를 나타낸다. 그래서, 드레인 영역(002)에서 본 도면은 도 1 (c)와 동일하다. 본 발명의 실시예의 설명에서 이해를 쉽게 하기 위해 대칭 구조를 취하였지만, 본 발명의 구현시 대칭이 필수적인 것은 아니다.

[0032] 이하에, 도 1 (a) 내지 (c)에 도시된 MOS 트랜지스터의 구조와 제조 공정에 따라 이를 제조하는 방법에 대해 설명된다. 도 4 (a) 내지 (f)는 도 1 (c)와 동일한 관점에 기초하여 도 1 (a) 내지 (c)에 도시된 MOS 트랜지스터의 제조 공정을 나타내고, 드레인 영역(002)은 소스 영역(001)과 동일한 구조를 가지므로 생략된다.

[0033] 먼저, 제1 도전형, 예를 들어, N형 또는 제2 도전형, 예를 들어, P형의 표면을 도 4 (a)에 도시된 바와 같이 에칭하여, 오목부의 바닥면(008)을 가지는 제1 트렌치 영역(013), 제2 트렌치 영역(014), 및 제3 트렌치 영역(015)을 형성한다. 그 후, 다방향에서의 경사 이온 주입 및 불순물 확산이 수행되어, 트랜지스터의 채널을 형성하는, 제2 도전형, 예를 들어, P형의 웨爾 영역(005)을 제1 트렌치 영역(013), 제2 트렌치 영역(014), 및 제3 트렌치 영역(015)에 형성한다. 여기서, 웨爾 영역(005)을 형성하기 위한 이온 주입에 관하여, 도 7 (a)에 도시된 바와 같이 트렌치 영역의 형성 직후에 다방향에서의 경사 이온 주입이 수행된다. 좌우의 경사 이온 주입(017)을 통해 트렌치의 측면과 바닥면에 이온이 주입되고, 전측 및 후측 방향에서의 경사 이온 주입(도시되지 않음)을 통해 트렌치의 상면과 저면에 이온이 주입된다. 그 다음, 도 7 (b)에 도시된 바와 같이, 웨爾 영역(005)이 열화산을 통해 트렌치 저부 보다 깊게 형성된다. 웨爾 영역(005)의 형성 후에 트렌치 영역이 형성되는 방법과 비교하여 트렌치를 확실히 깊게 형성할 수 있다. 그래서, 단위 면적당 게이트 폭이 증가될 수 있다. 따라서, 상기한 문제점이 해결될 수 있다.

[0034] 그러나, 상기 방법은 트렌치 깊이에 한계를 가진다. 트렌치 깊이가 경사 이온 주입 각도( $\theta$ )를 변화시키지 않고 단순히 증가되면, 도 8 (a)에 도시된 바와 같이, 트렌치 저부 영역에서의 측면, 이온이 주입되지 않는, 부분이 생긴다. 그래서, 도 8 (b)에 도시된 바와 같이, 열화산 후에도 웨爾 영역(005)이 트렌치 전체를 둘러싸지 않는다. 한편, 경사 이온 주입 각도( $\theta$ )가 트렌치 저부 영역에서 트렌치 측면에 이온이 주입되도록 작게 되면, 트렌치 측면에 이온이 충분히 주입되지 않는다. 결과적으로, 열화산 후의 웨爾의 이온 농도 프로파일이 일정하게 되지 않는다.

[0035] 그러나, 경사 이온 주입을 애피택시얼 기술과 조합함으로써 트렌치 폭이 한계를 초과하여 증가될 수 있다. 도 10 (a)에 도시된 바와 같이, 반도체 기판(006)의 표면에 이온 주입된다. 그 후, 도 10 (b)에 도시된 바와 같이, 애피택시얼 성장을 통해 반도체막이 퇴적된다. 그 후, 도 10 (c)에 도시된 바와 같이 트렌치 구조가 형성

되고, 도 10 (d)에 도시된 바와 같이 다방향에서의 경사 이온 주입이 수행된다. 에피택시얼 층과 반도체 기판 사이에 이온 주입층이 존재하므로, 도 10 (e)에 도시된 바와 같이 열확산을 통해 트렌치 전체를 둘러싸는 웰이 형성될 수 있다. 이러한 방법에 의해, 트렌치 폭이 더 증가될 수 있고, 그래서, 단위 면적당 게이트폭이 더 증가될 수 있다.

[0036] 다음에, 도 4 (b)에 도시된 바와 같이, 기판 표면이 열산화되고, 게이트 절연막(004)이 형성되며, 폴리실리콘 막이 그 위에 퇴적되어 게이트 전극(003)을 형성한다. 폴리실리콘막이 선택적으로 에칭되어 도 4 (c)에 도시된 바와 같이 게이트 전극(003)이 남겨진다.

[0037] 다음에, 이온 주입 및 불순물 확산이 수행된다. 게이트 전극(003)에 의한 자기 정렬(self-alignment)을 통해, 게이트 전극에 의해 덮이지 않는 제1 트렌치 영역, 제2 트렌치 영역, 및 제3 트렌치 영역에 제1 도전형, 예를 들어, N형의 소스 영역과 드레인 영역(002)이 형성되어 도 4 (d)에 도시된 구조를 이룬다. 여기에, 경사 이온 주입을 다방향에서 수행하여 볼록부(007)와 오목부(008)를 포함하는 요철 구조의 표면 전체에 소스 영역(001)과 드레인 영역(002)이 형성된다. 그래서, 게이트 전극(003) 아래의 트랜지스터의 채널부의 양단 전면이 소스 영역(001)과 직접 접촉한다. 따라서, 채널부와 소스 영역(001) 및 드레인 영역(002) 사이의 접촉 면적이 크고, 접촉 저항을 감소시킨다. 따라서, 상기한 다른 문제점이 해결될 수 있다.

[0038] 이어서, 도 4 (e)에 도시된 바와 같이, 반도체 기판의 표면 전체를 덮도록 절연막(009)이 퇴적된다. 그 후, 소스 영역(001)과 드레인 영역(002)의 절연막(009)의 일부가 에칭되어, 소스 영역(001)과 드레인 영역(002)의 일부가 노출된다.

[0039] 다음에, 도 4 (f)에 도시된 바와 같이, 반도체 기판의 전체 표면을 덮도록 전극막이 퇴적된다. 그 후, 소스 영역(001) 및 드레인 영역(002)에 접속되는 전극막(010)을 남기고, 전극막이 에칭에 의해 제거된다.

[0040] 최후로, 도 4 (f)에 도시된 구조의 표면에 패시베이션막(Passivation Film)(도시되지 않음)이 형성된다. 소스 영역(001), 게이트 전극(003), 및 드레인 전극(002)은 접촉홀이 형성된다. 그 후, 각 전극이 취출된다. 결과적으로, 고구동성능의 횡형 MOS 트랜지스터 및 저 ON 저항이 완성된다.

[0041] MOS 트랜지스터의 제조 조건이나 소자 동작 조건에 달려있지만, 제1 트렌치 영역의 볼록부의 폭을 대략 1,000 Å로 설정하여 MOS가 턴온되면, 볼록부의 내부 전체가 공핍상태로 된다. 결과로서, 서브스레스홀드(Sub-threshold) 특성이 향상된다. 따라서, 소스와 드레인 사이의 리크(Leak)가 감소하여, 임계값을 낮출 수 있다. 결과적으로, 구동성능이 더 향상될 수 있다. 이상에서 본 발명의 기본적 구조 및 제조 방법이 설명되었다.

[0042] 이상에서, 본 발명의 실시예가 소위 플래너 MOS 트랜지스터에 의해 설명되었다; 그러나, 내전압을 향상시킬 목적의 플래너 MOS로서 다양한 구조가 존재한다. 따라서, 본 발명에서는, DDD(Double Diffused Drain) 구조, LDMOS(Lateral Double Diffused MOS) 구조 등의 종래 기술을 사용하여 내전압의 향상이 쉽게 달성될 수 있다. 이하에, 이들이 설명된다.

[0043] (실시예2)

[0044] 도 5는 DDD 구조를 가지는 본 발명의 실시예를 도시한다. 실시예2가 실시예1과 다른 점은 소스 영역(001) 및 드레인 영역(002)의 형성 전에 제3 트렌치 영역(15)만 개방되고, 다음 공정에서 형성되는 드레인 영역(002)을 포함하는 저레벨 확산 영역(011)이 형성된다는 것이다. 따라서, 고내전압과 저 ON 저항의 고구동성능 MOS 트랜지스터가 완성된다.

[0045] (실시예3)

[0046] 도 6은 LDMOS 구조를 가지는 본 발명의 실시예를 도시한다. 실시예3이 실시예1과 다른 점은 소스 영역(001)과 드레인 영역(002)의 형성 전에 제2 트렌치 영역(14)만 개방되고, 다음 공정에서 형성되는 드레인 영역(002)을 포함하지 않고 소스 영역(001)을 증가시키는 바디영역(012)이 형성된다는 것이다. 따라서, 고내전압 및 저 ON 저항의 고구동성능 MOS 트랜지스터가 완성된다.

[0047] 이상에, 제1 도전형이 N형이고 제2 도전형이 P형인 NMOS 트랜지스터를 포함하는 본 발명의 실시예가 설명되었다. 본 발명의 이 실시예의 구조를 사용하면, 단위 평면적당 구동성능이 향상될 수 있고 일반적인 플래너형 MOS 트랜지스터와 동일한 내전압이 유지된다. 그래서, 웰 영역(005)의 깊이를 고려하지 않고 오목부(008)의 저면이 깊게 형성될 수 있다. 따라서, 구동성능이 더 향상될 수 있다. 또한, 볼록부의 상면과 오목부의 저면 사이의 캡을 증가시켜 소스 영역(001) 및 드레인 영역(002)과 웰 영역 사이의 접촉 저항이 자동적으로 낮아진다. 그래서, 단위 평면적당 구동성능이 효과적으로 향상될 수 있다. 상기 실시예에서, 말할 필요 없이, 도

전형을 반전시켜서 PMOS 트랜지스터 구조를 동일한 방법으로 형성할 수 있다. 또한, PMOS 트랜지스터를 형성하는 N웰 영역과 NMOS 트랜지스터를 형성하는 P웰 영역이 형성되는 트윈 웰 방법을 사용하여, 1칩으로 고구동 성능을 가지는 CMOS 구조가 쉽게 형성될 수 있다.

[0048] 또한, 본 발명은 상기 실시예에 제한되지 않으며, 발명의 요지를 벗어나지 않는 범위내에서 변형하여 실시할 수 있다.

### 발명의 효과

[0049] 이상에서 설명한 바와 같이 본 발명에 따르면, 고구동성능의 저 ON 저항 횡형 MOS 트랜지스터를 실현한다.

### 도면의 간단한 설명

[0001] 도 1 (a) 내지 (c)는 본 발명의 실시예의 기본적인 구조를 나타내는 도면으로서, 도 1 (a)는 평면도; 도 1 (b)는 도 1 (a)의 1A-1A' 선을 따른 단면도; 도 1 (c)는 도 1 (a)의 1A-1A' 및 1B-1B' 선을 따라 절단한 사시도이다;

[0002] 도 2 (a) 내지 (d)는 종래 실시예를 나타내는 도면으로서, 도 2 (a)는 평면도; 도 2 (b)는 도 2 (a)의 2A-2A' 선을 따른 단면도; 도 2 (c)는 도 2 (a)의 2B-2B' 선을 따른 단면도이고, 화살표는 전류흐름을 나타낸다; 그리고, 도 2 (d)는 도 2 (a)의 2C-2C' 선을 따른 단면도이고, 화살표는 전류흐름을 나타낸다;

[0003] 도 3은 도 2 (a) 내지 (d)의 소스 영역(001) 또는 드레인 영역(002)의 사시도이다;

[0004] 도 4 (a) 내지 (f)는 본 발명에 따른 제조공정을 나타내는 사시도이다;

[0005] 도 5는 본 발명에 따른 DDD 구조를 포함하는 실시예의 사시도이다;

[0006] 도 6은 본 발명에 따른 LDMOS 구조를 포함하는 실시예의 사시도이다;

[0007] 도 7 (a) 및 (b)는 트렌치 깊이가 비교적 얇은 경우의 단면도로서, 도 7 (a)는 다방향 경사 이온 주입 직후의 단면도; 그리고 도 7 (b)는 다방향 경사 이온 주입 후 이온의 열확산이 수행된 단면도이다;

[0008] 도 8 (a) 및 (b)는 트렌치 깊이가 깊고 이온 주입각( $\Theta$ )이 큰 경우의 단면도로서, 도 8 (a)는 다방향 경사 이온 주입 직후의 단면도; 그리고 도 8 (b)는 다방향 경사 이온 주입 후 이온의 열확산이 수행된 단면도이다;

[0009] 도 9는 깊은 트렌치 깊이 및 작은 이온 주입각( $\Theta$ )의 이온 주입 직후의 단면도이다; 그리고

[0010] 도 10 (a) 내지 (e)는 에피택시얼 기술과 경사 이온 주입 방법을 사용한 웰 제조방법을 나타낸 것으로서, 도 10 (a)는 반도체 기판의 표면에 이온 주입이 수행된 단면도; 도 10 (b)는 에피택시얼 성장을 통해 도 10 (a)에 도시된 기판 표면에 반도체막이 형성된 단면도; 도 10 (c)는 도 10 (b)의 결과에 트렌치 구조가 형성된 단면도; 도 10 (d)는 도 10 (c)의 결과에 다방향 경사 이온 주입이 수행된 단면도; 그리고 도 10 (e)는 도 10 (d)의 결과에 열확산이 수행된 단면도이다.

[0011] <도면의 주요 부분에 대한 부호의 설명>

[0012] 001 : 소스 영역                          002 : 드레인 영역

[0013] 003 : 게이트 전극                          004 : 게이트 절연막

[0014] 005 : 웰 영역                                  006 : 반도체 기판

[0015] 007 : 볼록부                                  008 : 오목부

[0016] 009 : 절연막                                  010 : 전극막

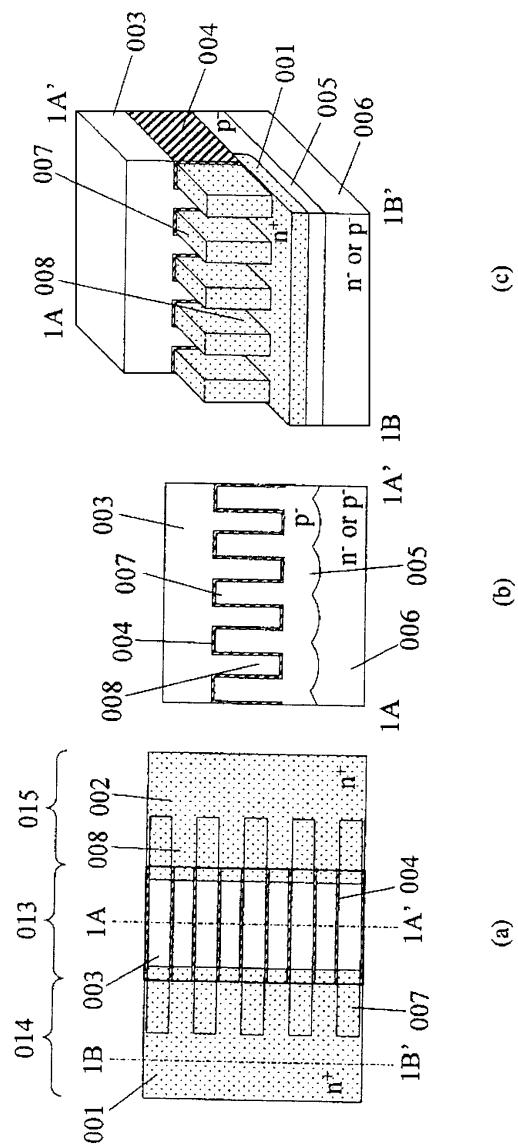
[0017] 011 : 저농도 확산 영역                          012 : 바디 영역

[0018] 013 : 제1 트렌치 영역                          014 : 제2 트렌치 영역

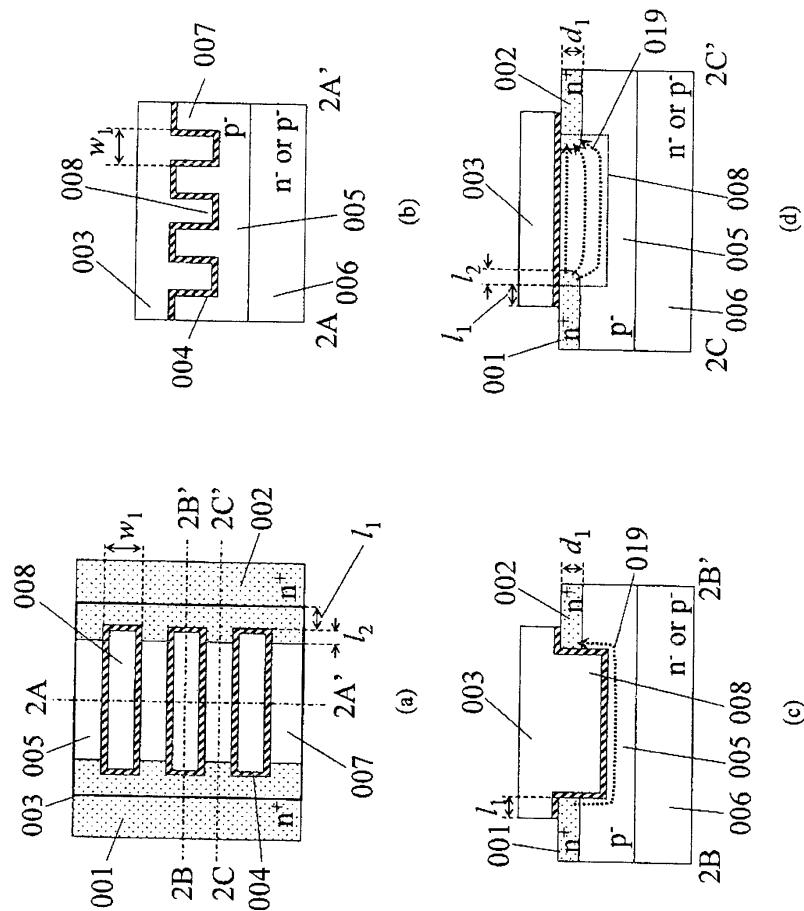
[0019] 015 : 제3 트렌치 영역

도면

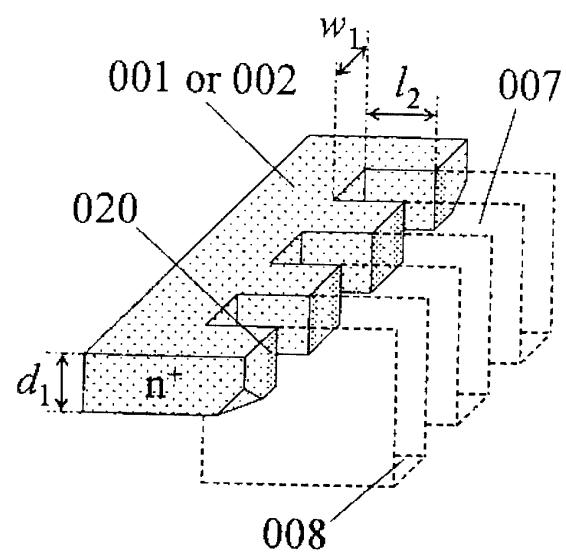
도면1



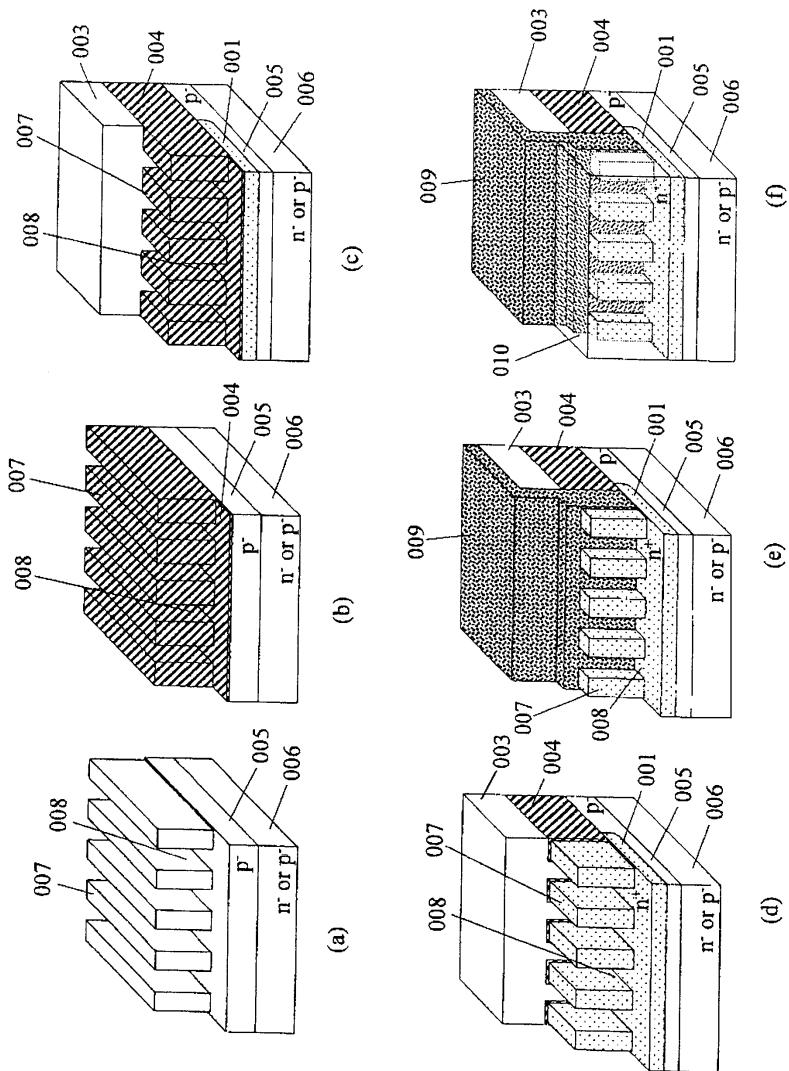
도면2



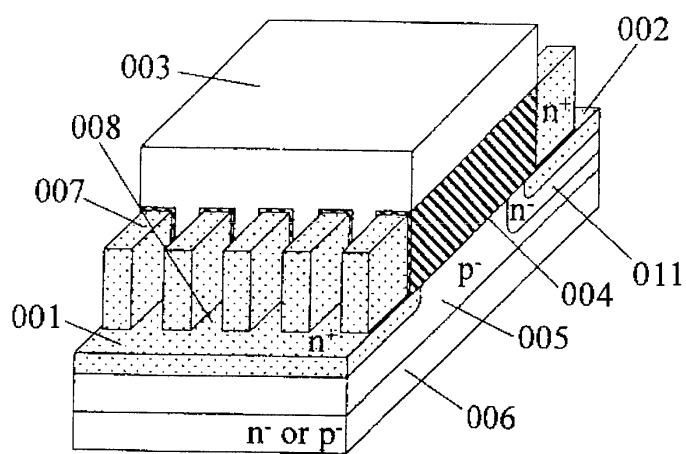
도면3



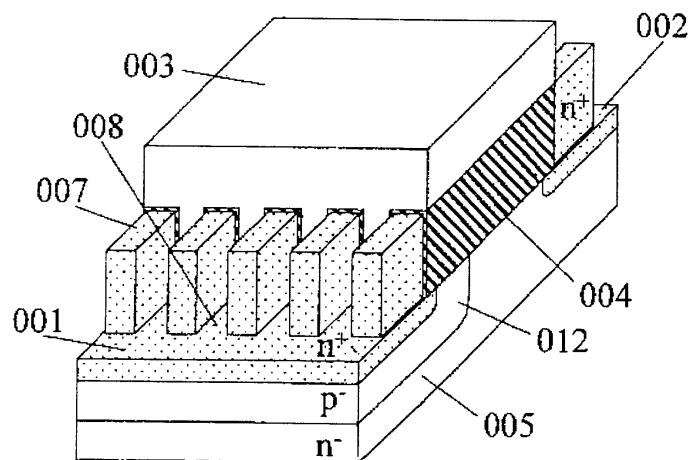
도면4



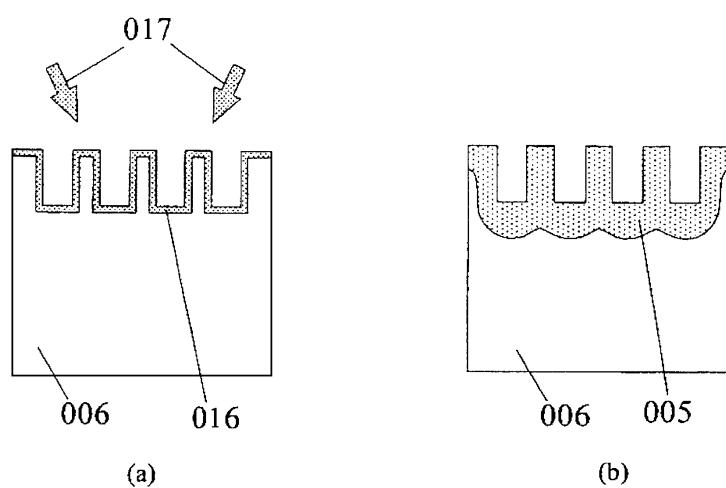
도면5



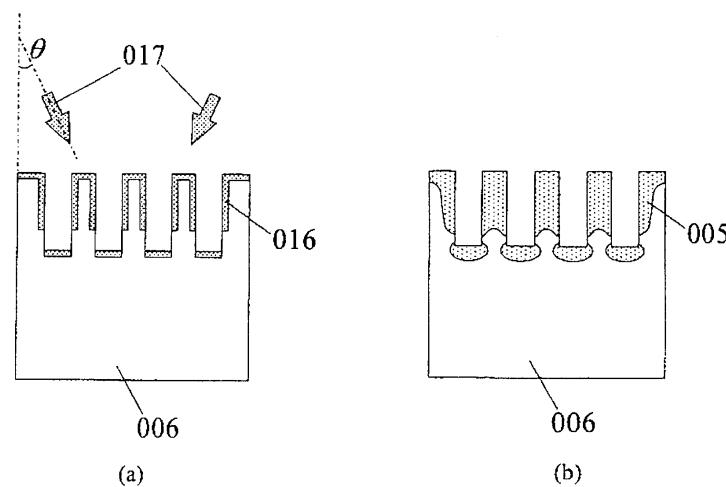
도면6



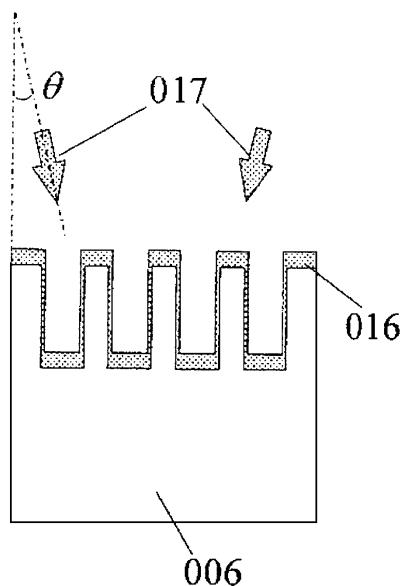
도면7



도면8



도면9



도면10

