

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2014 年 7 月 31 日(31.07.2014)



(10) 国際公開番号
WO 2014/115253 A1

- (51) 国際特許分類:
H01L 29/78 (2006.01) H01L 29/06 (2006.01)
H01L 21/336 (2006.01) H01L 29/12 (2006.01)
- (21) 国際出願番号: PCT/JP2013/051233
- (22) 国際出願日: 2013 年 1 月 23 日(23.01.2013)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人: 株式会社日立製作所 (HITACHI, LTD.)
[JP/JP]; 〒1008280 東京都千代田区丸の内一丁目
6 番 6 号 Tokyo (JP).
- (72) 発明者: 手賀 直樹 (TEGA Naoki); 〒1858601 東京
都国分寺市東恋ヶ窪一丁目 2 8 0 番地 株式会
社日立製作所 中央研究所内 Tokyo (JP). 久本
大 (HISAMOTO Digh); 〒1858601 東京都国分寺市
東恋ヶ窪一丁目 2 8 0 番地 株式会社日立製作
所 中央研究所内 Tokyo (JP). 秋山 悟
(AKIYAMA Satoru); 〒1858601 東京都国分寺市
東恋ヶ窪一丁目 2 8 0 番地 株式会社日立製作
所 中央研究所内 Tokyo (JP). 高濱 高 (TAKAHAMA
Takashi); 〒1858601 東京都国分寺市東恋ヶ窪一
丁目 2 8 0 番地 株式会社日立製作所 中央研究
所内 Tokyo (JP). 森本 忠雄 (MORIMOTO Tadao);

〒1858601 東京都国分寺市東恋ヶ窪一丁目 2 8
0 番地 株式会社日立製作所 中央研究所内
Tokyo (JP). 土屋 龍太 (TSUCHIYA Ryuta); 〒
1858601 東京都国分寺市東恋ヶ窪一丁目 2 8 0
番地 株式会社日立製作所 中央研究所内
Tokyo (JP).

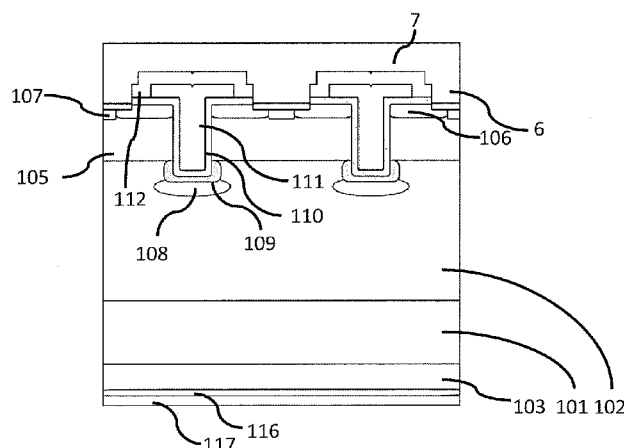
- (74) 代理人: 井上 学, 外 (INOUE Manabu et al.); 〒
1008220 東京都千代田区丸の内一丁目 6 番 1 号
株式会社日立製作所内 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,
BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN,
CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES,
FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN,
IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR,
LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX,
MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH,
PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL,
SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保
護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW,
MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシ
ア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ

[続葉有]

(54) Title: SILICON CARBIDE SEMICONDUCTOR DEVICE AND METHOD FOR MANUFACTURING SAME

(54) 発明の名称: 炭化珪素半導体装置及びその製造方法

図2



(57) Abstract: A trench-type MISFET provided with a trench that extends through a p-type body layer (105) and reaches a drift layer (102) in order to implement a high-performance, high-reliability silicon carbide semiconductor device, wherein both low on-resistance and high reliability/high withstand voltage are implemented by covering the bottom part of the trench with an n-type resistance-limiting layer (109) and a p-type field-limiting layer (108) that is wider than the resistance-limiting layer (109) and is disposed in a position at a distance from the bottom part of the trench, with the the resistance-limiting layer (109) interposed therebetween. The field-limiting layer formed underneath the trench controls feedback capacity, whereby a high switching speed and high reliability are implemented.

(57) 要約:

[続葉有]

WO 2014/115253 A1



(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

高性能で、かつ、信頼性の高い炭化珪素半導体装置を実現するために、p型のボディ層 105 を貫いてドリフト層 102 に到るトレンチを備えたトレンチ型 MISFET であって、n型の抵抗緩和層 109 と、抵抗緩和層 109 を介してトレンチ底部から離れた位置に配置した抵抗緩和層 109 より幅広の p型の電界緩和層 108 とでトレンチ底部を覆うことにより、低オン抵抗と高信頼性・高耐圧の両立を実現する。また、トレンチ下方に形成された電界緩和層が帰還容量を制御することによって、高スイッチング速度と高信頼性を実現する。

明 細 書

発明の名称：炭化珪素半導体装置及びその製造方法

技術分野

[0001] 本発明は、炭化珪素半導体装置およびその製造技術に関し、特に、トレンチ型の金属絶縁膜半導体電界効果トランジスタ（Metal Insulator Semiconductor Field Effect Transistor：M I S F E T）に係る。

背景技術

[0002] 炭化珪素（S i C）を用いたトレンチ型のM I S F E Tは、S i Cの絶縁破壊電界強度が高い分、オフ時にトレンチ底部のゲート絶縁膜に高い電界が生じ、ゲート絶縁膜が破壊されやすい。

[0003] したがって、トレンチ型のM I S F E Tにおいて、オフ時のトレンチ底部のゲート絶縁膜へかかる電界を下げる必要がある。この問題に対して、U S 6 1 8 0 9 5 8 B 1（特許文献1）によれば、トレンチ下部のゲート絶縁膜直下にp型層を置くことで、電界を緩和する手法が提案されている。このようにトレンチ下部のゲート絶縁膜直下にp型層を置くことで、ゲート絶縁膜下部の、p型層とドリフト層のn型層との接合部で耐圧が保持され、ゲート絶縁膜の信頼性が保たれる。また、トレンチ型M I S F E Tは、ゲートとドレイン間容量（帰還容量）がD M I S（Double diffused Metal Insulator Semiconductor）F E Tと比べ増大する。この帰還容量の増大は、スイッチング速度の低下と誤点弧と呼ばれる不良を引き起こすので望ましいものではない。しかし、特許文献1のように、トレンチ下部にp型層を形成することによってこの帰還容量を低減することができる。

[0004] このように、トレンチ下部へのp型層の形成は、ゲート絶縁膜へかかる電界を緩和したり、帰還容量を低減する効果がある。

[0005] しかし、特許文献1のように、トレンチ下部にp型層を配置すると、オン時にチャネルからドレイン電極へと向かうキャリアの流れを阻害するため、オン抵抗が増大してしまう。特許4 5 7 7 3 5 5号（特許文献2）では、この

オン抵抗の増大を抑制するために、p型層の形状を弓状に形成し、p型層の中心部をトレンチ下部に近づけ、周辺をトレンチから離す構造を採用することで、ゲート絶縁膜の信頼性とオン抵抗のトレードオフの関係を解消することを試みている。

[0006] また、特開2009-260064号公報（特許文献3）では、トレンチ下部の一部に交差させるようにp型層をトレンチより下部に配置させている。このように、p型層をところどころトレンチ下部の一部に交差させて配置させることで、オフ時にゲート絶縁膜へかかる電界を緩和している。

先行技術文献

特許文献

[0007] 特許文献1：US6180958B1

特許文献2：特許4577355号公報

特許文献3：特開2009-260064号公報

発明の概要

発明が解決しようとする課題

[0008] 以上のようにトレンチ型MISFET特有のトレードオフの関係を解消させるための方法が提案されているが、以下に説明する種々の技術的課題が存在する。

[0009] 特許4577355号（特許文献2）及び特開2009-260064号公報（特許文献3）の構造は、構造上、エピタキシャル技術が必要となり、結果、プロセスコストの上昇とエピタキシャル内に存在する欠陥による信頼性の低下を招く。

[0010] また、n層を配置させる場合、p型層との位置関係が重要であり、単独でn層が一部存在する場合や、n層がp型層より幅広の場合は、n層の影響でチャネル・パンチスルーを引き起こし、耐圧を低下させる。

[0011] 本発明の目的は、トレンチ型MISFETにおいて、オフ時にゲート絶縁膜へかかる電界を緩和して十分な耐圧を確保することと、オン時のオン抵抗

を十分に下げることの両立が可能なトレンチ型M I S F E T構造を提供することにある。

課題を解決するための手段

[0012] 本願において開示される発明のうち、代表的なものの一例を説明すれば、次のとおりである。

[0013] 第1主面および前記第1主面と反対面の第2主面を有し、炭化珪素からなる第1導電型の基板と、前記第1主面上に配置された炭化珪素からなる第1導電型ドリフト層と、前記ドリフト層上に配置された前記第1導電型とは異なる第2導電型のボディ層と、前記ボディ層に接する第1導電型のソース領域と、前記ボディ層内を貫通して前記ドリフト層まで至るトレンチと、前記トレンチの内壁に配置されたゲート絶縁膜と、前記ゲート絶縁膜を介して前記ボディ層に接するゲート電極と、前記基板の第2主面に配置された第1導電型のドレイン領域と、前記ドリフト層内のトレンチに接する抵抗緩和層と、前記抵抗緩和層の底部の一部に接し、前記抵抗緩和層より幅が広い電界緩和層を有することを特徴とする炭化珪素半導体装置。

発明の効果

[0014] 本発明によれば、オフ時にゲート絶縁膜へかかる電界を緩和しながら十分な耐圧を確保することと、オン時のオン抵抗を十分に下げることの両立が可能なトレンチ型M I S F E T構造を提供することができる。

図面の簡単な説明

[0015] [図1]実施例1による複数のS i CパワーM I S F E Tにより構成される炭化珪素半導体装置の要部上面図である。

[図2]実施例1の炭化珪素半導体装置の要部断面図である。

[図3]実施例1の炭化珪素半導体装置の製造工程を説明する炭化珪素半導体装置の要部断面図である。

[図4]図3に続く製造工程を示す炭化珪素半導体装置の要部断面図である。

[図5]図4に続く製造工程を示す炭化珪素半導体装置の要部断面図である。

[図6]図5に続く製造工程を示す炭化珪素半導体装置の要部断面図である。

[図7]図6に続く製造工程を示す炭化珪素半導体装置の要部断面図である。

[図8]図7に続く製造工程を示す炭化珪素半導体装置の要部断面図である。

[図9]図8に続く製造工程を示す炭化珪素半導体装置の要部断面図である。

[図10]図9に続く製造工程を示す炭化珪素半導体装置の要部断面図である。

[図11]図10に続く製造工程を示す炭化珪素半導体装置の要部断面図である

。

[図12]図11に続く製造工程を示す炭化珪素半導体装置の要部断面図である

。

[図13]図12に続く製造工程を示す炭化珪素半導体装置の要部断面図である

。

[図14]図13に続く製造工程を示す炭化珪素半導体装置の要部断面図である

。

[図15]図14に続く製造工程を示す炭化珪素半導体装置の要部断面図である

。

[図16]図15に続く製造工程を示す炭化珪素半導体装置の要部断面図である

。

[図17]図16に続く製造工程を示す炭化珪素半導体装置の要部断面図である

。

[図18]実施例1によるSiCパワーMISFETの変形例を説明する要部断面図である。

[図19]実施例2による炭化珪素半導体装置の製造工程を説明する炭化珪素半導体装置の要部断面図である。

[図20]図19に続く製造工程を示す炭化珪素半導体装置の要部断面図である

。

[図21]実施例3による炭化珪素半導体装置の製造工程を説明する炭化珪素半導体装置の要部断面図である。

[図22]図21に続く製造工程を示す炭化珪素半導体装置の要部断面図である

。

発明を実施するための形態

[0016] 以下、実施例を開示する。

実施例 1

[0017] 《炭化珪素半導体装置》

実施例 1 による炭化珪素半導体装置の構造について図 1 および図 2 を用いて説明する。図 1 は複数の SiC パワー MISFET により構成される炭化珪素半導体装置が搭載された半導体チップの要部上面図、図 2 は SiC パワー MISFET の要部断面図である。炭化珪素半導体装置を構成する SiC パワー MISFET は、トレンチ型構造の MISFET である。

[0018] 図 1 及び 2 に示すように、炭化珪素半導体装置を搭載する半導体チップ 1 は、複数の n チャネル型の SiC パワー MISFET が並列接続されたアクティブ領域（素子形成領域）2 と、平面視において上記アクティブ領域 2 を囲む周辺形成領域とによって構成される。周辺形成領域には、平面視において上記アクティブ領域 2 を囲むように形成された複数の p 型のフローティング・フィールド・リミッティング・リング（Floating Field Limited Ring: FLR）3 と、さらに平面視において上記複数の p 型の FLR 3 を囲むように形成された n 型のチャンネルストッパ（空乏層抑制層）4 が形成されている。

[0019] n 型の炭化珪素（SiC）エピタキシャル基板（以下、SiC エピタキシャル基板と記す）のアクティブ領域の表面側に、SiC パワー MISFET のゲート電極、n⁺型のソース領域、チャンネル領域等が形成され、SiC エピタキシャル基板の裏面側に、SiC パワー MISFET の n⁺型のドレイン領域が形成されている。

[0020] 複数の p 型の FLR 3 をアクティブ領域 2 の周辺に形成することにより、オフ時において、最大電界部分が順次外側の FLR 3 へ移り、最外周の FLR 3 で降伏するようになるので、炭化珪素半導体装置を高耐圧とすることが可能となる。図 1 では、3 個の FLR 3 が形成されている例を図示しているが、リング数はこれに限定されるものではない。また、n 型のチャンネルスト

ッパ4は、リーク電流をアクティブ領域2に形成されたS i CパワーM I S F E Tを保護する機能を有する。

[0021] アクティブ領域2内に形成された複数のS i CパワーM I S F E Tのそれぞれのゲート電極は、平面視において連結してストライプパターンとなっており、それぞれのストライプパターンに接続する引出配線（ゲートバスライン）によって、全てのS i CパワーM I S F E Tのゲート電極はゲート配線用電極5と電氣的に接続している。ここでは、ゲート電極はストライプパターンに形成されているとしたが、これに限定されるものではなく、ボックスパターンや多角形パターンなどであってもよい。

[0022] また、複数のS i CパワーM I S F E Tのそれぞれのソース領域は、複数のS i CパワーM I S F E Tを覆う層間絶縁膜112に形成された開口部6を通じてソース配線用電極7と電氣的に接続している。ゲート配線用電極5とソース配線用電極7とは互いに離間して形成されており、ソース配線用電極7は、ゲート配線用電極5が形成された領域を除いて、アクティブ領域2のほぼ全面に形成されている。また、n型のS i Cエピタキシャル基板の裏面側に形成されたn⁺型のドレイン領域116は、n型のS i Cエピタキシャル基板の裏面全面に形成されたドレイン配線用電極117と電氣的に接続している。

[0023] 次に、断面構造を中心に説明する。

[0024] 炭化珪素（S i C）からなるn型のS i C基板（基板）101の表面上に、n型のS i C基板101よりも不純物濃度の低い炭化珪素（S i C）からなるn⁻型のドリフト層102が形成され、S i C基板（基板）101の裏面上に、n型のS i C基板101よりも不純物濃度の濃い炭化珪素（S i C）からなるp⁺型のドレイン層103が形成されている。n⁻型のドリフト層102の厚さは、5～50μmである。

[0025] n⁻型のドリフト層102の表面から所定の深さを有して、n⁻型のドリフト層102内にはp型のボディ層105が形成されている。さらに、n⁻型のドリフト層102の表面から所定の深さを有して、p型のボディ層105内

には n^+ 型のソース領域 106 が形成されている。

- [0026] p 型のボディ層 105 のドリフト層 102 の表面からの深さは、 $0.5 \sim 2.0 \mu\text{m}$ である。また、 n^+ 型のソース領域 106 のドリフト層 102 の表面からの深さは、 $0.1 \sim 0.4 \mu\text{m}$ である。
- [0027] さらに、 n^- 型のドリフト層 102 の表面から n^+ 型のソース領域 106 と p 型のボディ層 105 を貫通してトレンチが形成されている。トレンチの深さは p 型のボディ層 105 より深く、 $0.55 \sim 3.0 \mu\text{m}$ である。
- [0028] p 型のボディ層 105 を貫通しているトレンチ下部を覆うように n 型の抵抗緩和層 109 が形成されている。トレンチを覆う抵抗緩和層 109 のトレンチからの深さは $0.05 \sim 0.5 \mu\text{m}$ である。
- [0029] この抵抗緩和層 109 下部には抵抗緩和層 109 より幅広な p 型の電界緩和層 108 が形成されている。電界緩和層 108 は抵抗緩和層 109 より $0.05 \sim 1 \mu\text{m}$ 幅が広い。また、電界緩和層 108 の抵抗緩和層 109 からの深さは $0.2 \sim 0.5 \mu\text{m}$ である。
- [0030] さらに、 n^- 型のドリフト層 102 の表面から所定の深さを有して、 p 型のボディ層 105 内には p 型のボディ層 105 の電位を固定する p^+ 型の電位固定層 107 が形成されている。 p^+ 型の電位固定層 107 のドリフト層 102 の表面からの深さは、 $0.05 \sim 0.2 \mu\text{m}$ である。なお、「 $-$ 」および「 $+$ 」は、導電型が n 型または p 型の相対的な不純物濃度を表記した符号であり、「 n^- 」、「 n 」、「 n^+ 」の順に n 型不純物の不純物濃度は高くなる。
- [0031] n^+ 型の SiC 基板 101 の不純物濃度の好ましい範囲は、 $1 \times 10^{18} \sim 1 \times 10^{21} \text{cm}^{-3}$ 、 n^- 型のドリフト層 102 の不純物濃度の好ましい範囲は、 $1 \times 10^{14} \sim 1 \times 10^{17} \text{cm}^{-3}$ 、 p 型のボディ層 105 の不純物濃度の好ましい範囲は、 $1 \times 10^{16} \sim 1 \times 10^{19} \text{cm}^{-3}$ である。また、 n^+ 型のソース領域 106 の不純物濃度の好ましい範囲は、 $1 \times 10^{17} \sim 1 \times 10^{21} \text{cm}^{-3}$ である。また、 n 型の抵抗緩和層 109 の不純物濃度の好ましい範囲は、 $1 \times 10^{15} \sim 1 \times 10^{18} \text{cm}^{-3}$ 、 p 型の電界緩和層 108 の不純物濃度の好ましい範囲は、 $1 \times 10^{16} \sim 1 \times 10^{19} \text{cm}^{-3}$ である。 p^+ 型の電位固定層 1

07の不純物濃度の好ましい範囲は、 $1 \times 10^{19} \sim 1 \times 10^{21} \text{ cm}^{-3}$ の範囲である。トレンチ側面及び低面にはゲート絶縁膜110が形成され、ゲート絶縁膜116上にはゲート電極111が形成されており、トレンチはゲート電極111で埋め込まれている。ゲート電極111を覆うように層間絶縁膜112が形成され、さらに、層間絶縁膜112に形成された開口部の底面では n^+ 型のソース領域106の一部および p^+ 型の電位固定層107が露出し、これら表面に金属シリサイド層113が形成されている。さらに、 n^+ 型のソース領域106の一部および p^+ 型の電位固定層107は、金属シリサイド層113を介してソース配線用電114が電氣的に接続され、 n^+ 型のドレイン領域103には、金属シリサイド層116を介してドレイン配線用電極117に電氣的に接続されている。図示は省略するが、同様に、ゲート電極111は、ゲート配線用電極に電氣的に接続されている。ソース配線用電極114には外部からソース電位が印加され、ドレイン配線用電極117には外部からドレイン電位が印加され、ゲート配線用電極には外部からゲート電位が印加される。

[0032] 次に、本実施例1によるSiCパワーMISFETの構成の特徴を、さらに説明する。

[0033] トレンチ型MISFETの p 型のボディ層105と n^+ 型のソース領域106を貫いたトレンチの一部を覆うように n 型の抵抗緩和層109が形成され、かつ p 型の抵抗緩和層より幅広な電界緩和層108が形成されている。電界緩和層108を形成することで、オフ時にゲート絶縁膜110にかかる電界を緩和することができるので、ゲート絶縁膜信頼性を損なうことがない。また、抵抗緩和層109を挿入することによりチャネル・パンチスルーが起きやすくなるが、この電界緩和層108が抵抗緩和層109より幅広に形成されているため、チャネル・パンチスルーが生じるのを抑制している。一方、電界緩和層108がトレンチ直下にあると、寄生抵抗が生じ、オン抵抗が増加する可能性がある。しかし、図2に示すように、電界緩和層108とトレンチ底部との間に底部とトレンチ側壁の一部を覆うように抵抗緩和層1

１０９が形成されているので、電界緩和層１０８の影響で寄生抵抗が生じるのを抑制している。このように互いに最適化された電界緩和層１０８と抵抗緩和層１０９により、低いオン抵抗と高耐圧・高信頼を両立することができる。

[0034] また、電界緩和層１０８により帰還容量を低減することができるので、高スイッチング速度と高信頼がトレンチ型ＭＩＳＦＥＴにおいても可能となる。

《炭化珪素半導体装置の製造方法》

実施例１による炭化珪素半導体装置の製造方法について図３～図１８を用いて工程順に説明する。図３～図１８は炭化珪素半導体装置のＳｉＣパワーＭＩＳＦＥＴのアクティブ領域（素子形成領域）の一部および周辺形成領域の一部をそれぞれ拡大して示す要部断面図である。

[0035] まず、図３に示すように、ｎ型の４Ｈ－ＳｉＣ基板１０１を用意する。ｎ型のＳｉＣ基板１０１には、ｎ型不純物が導入されている、このｎ型不純物は、窒素（Ｎ）である。また、ｎ型のＳｉＣ基板１０１はＳｉ面とＣ面との両面を有するが、実施例１においては、ｎ型のＳｉＣ基板１０１の表面はＳｉ面である。

[0036] 次に、ｎ型のＳｉＣ基板１０１の表面にエピタキシャル成長法により炭化珪素（ＳｉＣ）のｎ⁻型のドリフト層１０２を形成する。ｎ⁻型のドリフト層１０２には、ｎ型のＳｉＣ基板１０１の不純物濃度よりも低いｎ型不純物を導入する。以上の工程により、ｎ型のＳｉＣ基板１０１およびｎ⁻型のドリフト層１０２からなるＳｉＣエピタキシャル基板１０４を形成する。

[0037] 次に、ｎ型のＳｉＣ基板１０１の裏面から所定の深さを有して、ｎ型のＳｉＣ基板１０１の裏面にｎ⁺型のドレイン領域１０３を形成する。

[0038] 次に、図４に示すように、ｎ⁻型のドリフト層１０２の表面上に、第１マスク（周辺領域のリセス加工用マスク）を形成する。第１マスクの厚さを、１．０～５．０μｍとする。

[0039] 次に、第１マスクを用いて周辺部をドライエッチング法で加工することで

、一部をリセスさせる。リセスさせる深さは、素子形成部分に形成される電界緩和層 108 の深さに依存し、リセス部での p 型のボディ層 105 の深さが電界緩和層 108 底部の深さより深くなるように形成する。リセスさせる深さを $0.6 \sim 5.0 \mu\text{m}$ とする。

[0040] 次に、図 5 に示すように、第 1 マスクを除去した後、第 2 マスク（ボディ層 105 及び F L R 3 形成マスク）を形成する。第 2 マスクの厚さを $1.0 \sim 2.0 \mu\text{m}$ とする。第 2 マスク越しに、n⁻型のドリフト層 102 に p 型不純物、アルミニウム原子（Al）をイオン注入する。これにより、n⁻型のドリフト層 102 の素子形成領域に p 型のボディ層 105 を、周辺形成領域に p 型の F L R（以下、リングと記す）3 を形成する。p 型のボディ層 105 および p 型の F L R 3 のドリフト層 102 の表面からの深さは、 $0.5 \sim 2.0 \mu\text{m}$ である。また、p 型のボディ層 105 および p 型のリング 105 の不純物濃度は、例えば $1 \times 10^{16} \sim 1 \times 10^{19} \text{ cm}^{-3}$ の範囲である。本実施例では、周辺形成領域に F L R 3 を採用しているが、周辺形成領域の構造としては、これに限定されるものではなく、ジャンクション・ターミネーション・エクステンション（Junction Termination Extension: JTE）構造であってもよい。

[0041] 次に、図 6 に示すように、第 2 マスクを除去した後、第 3 マスク（ソース領域 106 及びチャネルストッパ 4 形成用マスク）を形成する。第 3 マスクの厚さは、 $0.5 \sim 2.0 \mu\text{m}$ である。第 3 マスク越しに、n⁻型のドリフト層 102 に n 型不純物、窒素原子（N）またはリン原子（P）をイオン注入して、素子形成領域に n⁺型のソース領域 106 を形成し、周辺形成領域に n⁺型のチャネルストッパ 4 を形成する。n⁺型のソース領域 106 および n⁺型のチャネルストッパ 4 のドリフト層 102 の表面からの深さは、 $0.1 \sim 0.4 \mu\text{m}$ である。

[0042] 次に、図 7 に示すように、第 3 マスクを除去した後、第 4 マスクを形成する。第 4 マスク（電位固定層 107 形成マスク）の厚さは、 $0.5 \sim 2.0 \mu\text{m}$ である。

- [0043] 次に、第4マスク越しに、 n^- 型のドリフト層102にp型不純物、アルミニウム原子（Al）をイオン注入して、 p^+ 型の電位固定層107を形成する。
- [0044] 次に、図8に示すように、第4マスクを除去した後、ハードマスク（トレンチ加工用マスク）を形成する。まず、酸化ケイ素膜をプラズマ（気相成長法）CVDを用いて、 $1\sim4.0\mu\text{m}$ 堆積させる。続いて、レジストパターンをマスクとして、酸化ケイ素膜をドライエッチング法で加工することで、ハードマスクを形成する。このハードマスクは所望のトレンチ加工を施す部分のみ開口している。開口幅は、 $0.5\sim2\mu\text{m}$ である。
- [0045] 次に、図9に示すようにハードマスクを用いて n^+ 型のソース領域106とp型のボディ層105を貫くようにトレンチをドライエッチ法を用いて形成する。トレンチ深さは、 $0.55\sim3.0\mu\text{m}$ である。
- [0046] 次に、図10に示すようにハードマスクを残したまま、トレンチ下部にp型不純物、Alやほう素（B）をイオン注入して、p型の電界緩和層108を形成する。高エネルギー（ $100\text{keV}\sim1000\text{keV}$ ）でイオン注入することにより、トレンチ下部中心から離れた位置に電界緩和層108を形成することができる。また、高エネルギーで注入するために、イオン注入した際に、不純物分布も拡がり、結果として、電界緩和層108の後に形成する抵抗緩和層109より幅広となる。電界緩和層108の幅は抵抗緩和層109より、 $0.05\sim1\mu\text{m}$ 幅広となる。
- [0047] 次に図11に示すようにハードマスクを残したまま、トレンチ下部にn型不純物、N（窒素）、P（燐）を斜めイオン注入して、n型の抵抗緩和層109をトレンチ下部を覆うように形成する。斜めイオン注入のチルト角度は $0\sim20$ 度であり、ツイスト角度を 45 度、 135 度、 225 度、 315 度として4回イオン注入を行うことで、トレンチ下部を覆うように抵抗緩和層109を形成することができる。また、そのイオン注入のエネルギーは、 $5\text{keV}\sim300\text{keV}$ の範囲である。低エネルギーで注入することにより、トレンチ下部と電界緩和層108の間に抵抗緩和層109を形成することが

できる。また、その拡がりも電界緩和層 108 よりも狭くすることができる。抵抗緩和層 109 の不純物濃度は電界緩和層 108 より低濃度であり、本実施例では 1/5 である。

[0048] 次に、ハードマスクをフッ酸で除去した後、図示は省略するが、SiC エピタキシャル基板 104 の表面上および裏面上に、プラズマ CVD 法により炭素 (C) 膜を堆積する。炭素 (C) 膜の厚さは、 $0.03\ \mu\text{m}$ である。この炭素 (C) 膜により、SiC エピタキシャル基板 104 の表面および裏面を被覆した後、SiC エピタキシャル基板 104 に 1500°C 以上の温度で 2~3 分の熱処理を施す。これにより、SiC エピタキシャル基板 104 にイオン注入した各不純物の活性化を行う。熱処理後は、炭素 (C) 膜を、酸素プラズマ処理により除去する。

[0049] 次に、図 12 に示すように、 n^{-} 型のドリフト層 102 の表面にゲート絶縁膜 110 を形成する。ゲート絶縁膜 110 は、熱 CVD 法により形成された酸化ケイ素 (SiO_2) 膜からなる。ゲート絶縁膜 110 の厚さは、 $0.05\sim 0.15\ \mu\text{m}$ である。また、ゲート絶縁膜 110 に酸化ケイ素より比誘電率が高い高誘電体膜を用いると、オフ時にゲート絶縁膜 110 にかかる電界を緩和することができる。高誘電体膜としては、窒化ケイ素、酸窒化ケイ素、酸化ハフニウム、酸化アルミニウム、酸化ジルコニウムからなる群から 1 つ又は複数からなる高誘電体膜を用いことができる。

[0050] 次にゲート絶縁膜上にトレンチを埋め込むように n 型の多結晶珪素 (Si) 膜 111 を堆積する。 n 型の多結晶ケイ素膜 111 の厚さは、トレンチの開口幅に依存するが、 $0.25\sim 1.5\ \mu\text{m}$ である。

[0051] 次に、図 13 に示すように、第 5 マスク (ゲート電極加工用マスク) を用いて、多結晶ケイ素膜 111 をドライエッチング法により加工して、ゲート電極 111 を形成する。

[0052] 次に、図 14 に示すように、第 5 マスクを除去した後、 n^{-} 型のドリフト層 102 の表面上にゲート電極 111 およびゲート絶縁膜 110 を覆うように、プラズマ CVD 法により層間絶縁膜 112 を形成する。

- [0053] 次に、図15に示すように、第6マスク（コンタクト加工用マスク）を用いて、層間絶縁膜112およびゲート絶縁膜110をドライエッチング法により加工して、 n^+ 型のソース領域106の一部および p^+ 型の電位固定層107に達する開口部を形成する。
- [0054] 次に、図16に示すように、第6マスクを除去した後、開口部の底面に露出している n^+ 型のソース領域106の一部および p^+ 型の電位固定層107のそれぞれの表面に金属シリサイド層113を形成する。
- [0055] まず、図示は省略するが、 n^- 型のドリフト層102の表面上に層間絶縁膜112および開口部の内部（側面および底面）を覆うように、スパッタリング法により第1金属膜、ニッケル（Ni）を堆積する。この第1金属膜の厚さは、 $0.05\mu\text{m}$ である。続いて、 $500\sim 900^\circ\text{C}$ のシリサイド化熱処理を施すことにより、開口部の底面において第1金属膜と n^- 型のドリフト層102とを反応させて、金属シリサイド層113、ニッケルシリサイド（NiSi）層を開口部の底面に露出している n^+ 型のソース領域106の一部および p^+ 型の電位固定層107のそれぞれの表面に形成する。続いて、未反応の第1金属膜をウェットエッチング法により除去する。ウェットエッチング法には、硫酸過水が用いられる。
- [0056] 次に、マスク越しに、層間絶縁膜112をドライエッチング法により加工して、ゲート電極111に達する開口部（図示は省略）を形成する。
- [0057] 次に、図17に示すように、 n^+ 型のソース領域106の一部および p^+ 型の電位固定層107のそれぞれの表面に形成された金属シリサイド膜113に達する開口部、ならびにゲート電極111に達する開口部（図示は省略）の内部を含む層間絶縁膜112上に第3金属膜、チタン（Ti）膜と窒化チタン（TiN）膜とアルミニウム（Al）膜とからなる積層膜を堆積する。アルミニウム（Al）膜の厚さは、 $2.0\mu\text{m}$ 以上が好ましい。続いて、第3金属膜を加工することにより、金属シリサイド層113を介して n^+ 型のソース領域107の一部と p^+ 型の電位固定層107に電氣的に接続するソース配線用電極114およびゲート電極111と電氣的に接続するゲート配線用

電極（図示は省略）を形成する。

[0058] 次に、図 17 に示すように、素子保護のためのパッシベーション膜 115 を形成する。パッシベーション膜の膜厚は、 $2 \sim 10 \mu\text{m}$ であり、材質としては酸化ケイ素やポリイミドからなるパッシベーション膜 115 を用いる。

[0059] 次に、図示は省略するが、 n^+ 型の SiC 基板 101 の裏面に、スパッタリング法により第 2 金属膜を堆積する。この第 2 金属膜の厚さは、 $0.1 \mu\text{m}$ である。

[0060] 次に、図 18 に示すように、レーザーアニールによってシリサイド化処理を施すことによって、第 2 金属膜と n^+ 型の SiC 基板 101 とを反応させて、 n^+ 型の SiC 基板 101 の裏面側に形成された n^+ 型のドレイン領域 103 を覆うように金属シリサイド層 116 を形成する。続いて、金属シリサイド層 116 を覆うように、ドレイン配線用電極 117 を形成する。ドレイン配線用電極 117 の厚さは、 $0.4 \mu\text{m}$ である。

[0061] このように、本実施例 1 によれば、トレンチ型 MISFET の p 型のボディ層 105 と n^+ 型のソース領域 106 を貫いたトレンチの一部を覆うように n 型の抵抗緩和層 109 が形成され、かつ p 型の抵抗緩和層より幅広な電界緩和層 108 が形成されることにより、オフ時にゲート絶縁膜 110 にかかる電界を緩和することができるので、ゲート絶縁膜信頼性を損なうことがなく、チャネル・パンチスルーを抑制し、かつ、寄生抵抗が生じることも抑制することができる。また、電界緩和層 108 が形成されることにより帰還容量を低減することができるので、スイッチング速度を速めることが可能であり、誤点弧など回路動作上の信頼性も向上させることが可能である。

[0062] このことから、互いに最適化された電界緩和層 108 と抵抗緩和層 109 により、高耐圧・高信頼と高性能を両立した SiC パワートレンチ型 MISFET を実現することができる。

実施例 2

[0063] 本実施例 2 と前述した実施例 1 との相違点は、表面が C 面の SiC エピタキシャル基板 121 を用いて、トレンチ下部のゲート絶縁膜 120 を選択的

に厚膜化させることである。

《炭化珪素半導体装置の製造方法》

本実施例2による炭化珪素半導体装置の製造方法について図19～図20を用いて工程順に説明する。図19～図20は実施例2による炭化珪素半導体装置の製造工程を説明する炭化珪素半導体装置の要部断面図である。

[0064] n型のSiC基板118の表面上にn⁻型のドリフト層119を形成する。n⁺型のSiC基板119の不純物濃度は、 $1 \times 10^{18} \sim 1 \times 10^{21} \text{ cm}^{-3}$ の範囲であり、n⁻型のドリフト層119の不純物濃度は、 $1 \times 10^{14} \sim 1 \times 10^{17} \text{ cm}^{-3}$ の範囲である。続いて、n⁺型のSiC基板118の裏面側にn⁺型のドレイン領域120を形成する。n⁺型のドレイン領域120の不純物濃度は、 $1 \times 10^{19} \sim 1 \times 10^{21} \text{ cm}^{-3}$ の範囲である。実施例1との相違はエピタキシャル基板104とエピタキシャル基板121の表面と裏面の極性が逆であることである。すなわち、実施例2のエピタキシャル基板121の表面はC面であり、裏面はSi面である。

[0065] まず、周辺部をドライエッチング法で加工することで、一部をリセスさせる（図示せず）。リセスさせる深さは、素子形成部分に形成される電界緩和層108の深さに依存し、リセス部でのp型のボディ層105の深さが電界緩和層108底部の深さより深くなるように形成される。リセスさせる深さは、0.6～5.0 μmである。

[0066] 次に、n⁻型のドリフト層119の素子形成領域にp型のボディ層105を形成し、周辺形成領域にp型のリング105を形成する（図示せず）。p型のボディ層105およびp型のリング105のドリフト層119の表面からの深さは、0.5～2.0 μmである。また、p型のボディ層105およびp型のリング105の不純物濃度は、 $1 \times 10^{16} \sim 1 \times 10^{19} \text{ cm}^{-3}$ の範囲である。ここで、周辺形成領域にはp型のリング105が形成されているが、終端部の構造としては、これに限定されるものではなく、ジャンクション・ターミネーション・エクステンション（Junction Termination Extension：JTE）構造であってもよい。

- [0067] 次に、 n^- 型のドリフト層 119 に n 型不純物、窒素原子 (N) またはリン原子 (P) をイオン注入して、素子形成領域に n^+ 型のソース領域 106 を形成し、周辺形成領域に n^+ 型のチャネルストッパ 4 を形成する (図示せず)。 n^+ 型のソース領域 106 および n^+ 型のチャネルストッパ 4 のドリフト層 102 の表面からの深さは、 $0.1 \sim 0.4 \mu\text{m}$ である。
- [0068] 次に、 n^- 型のドリフト層 119 に p 型不純物、アルミニウム原子 (Al) をイオン注入して、 p^+ 型の電位固定層 107 を形成する。 次にハードマスクを形成する (図示せず)。まず、酸化ケイ素膜をプラズマ (気相成長法) CVD を用いて、 $1 \sim 4.0 \mu\text{m}$ 堆積させる。続いて、レジストパターンをマスクとして、酸化ケイ素膜をドライエッチング法で加工することで、ハードマスクを形成する。この酸化ケイ素マスクは所望のトレンチ加工を施す部分のみ開口している。開口幅は、 $0.5 \sim 2 \mu\text{m}$ である。
- [0069] 次に、ハードマスクを用いて n^+ 型のソース領域 106 と p 型のボディ層 105 を貫くようにトレンチをドライエッチ法を用いて形成する (図示せず)。
- [0070] 次に、ハードマスクを残したまま、トレンチ下部に p 型不純物、Al や B をイオン注入して、 p 型の電界緩和層 108 を形成する (図示せず)。電界緩和層 108 の不純物イオン注入エネルギーは、 $100 \text{ keV} \sim 1000 \text{ keV}$ の範囲である。高エネルギーで注入することにより、トレンチ下部中心から離れた位置に電界緩和層 108 を形成することができる。その距離は、 $0.05 \sim 0.5 \mu\text{m}$ である。また、高エネルギーで注入するために、イオン注入した際に、不純物分布も広がり、結果として、電界緩和層 108 の後に形成する抵抗緩和層 109 より幅広となる。電界緩和層 108 の幅は抵抗緩和層 109 より、 $0.05 \sim 1 \mu\text{m}$ 幅広となる。
- [0071] 次にハードマスクを残したまま、トレンチ下部に n 型不純物、窒素 N、燐 P を斜めイオン注入して、 n 型の抵抗緩和層 109 をトレンチ下部を覆うように形成する (図示せず)。 n 型の抵抗緩和層 109 の不純物濃度は、 $1 \times 10^{15} \sim 1 \times 10^{18} \text{ cm}^{-3}$ である。斜めイオン注入のチルト角度は $0 \sim 2$

0度であり、ツイスト角度を45度、135度、225度、315度として4回イオン注入を行うことで、トレンチ下部を覆うように抵抗緩和層109を形成することができる。また、そのイオン注入のエネルギーは、5 keV～300 keVの範囲である。低エネルギーで注入することにより、トレンチ下部と電界緩和層108の間に抵抗緩和層109を形成することができる。また、その拡がりも電界緩和層108よりも狭くすることができる。抵抗緩和層109の不純物濃度は電界緩和層108より低濃度であり、1/5である。

[0072] 次に、ハードマスクをフッ酸で除去した後、図示は省略するが、SiCエピタキシャル基板121の表面上および裏面上に、プラズマCVD法により炭素(C)膜を堆積する。炭素(C)膜の厚さは、0.03 μm である。この炭素(C)膜により、SiCエピタキシャル基板104の表面および裏面を被覆した後、SiCエピタキシャル基板121に1500℃以上の温度で2～3分の熱処理を施す。これにより、SiCエピタキシャル基板104にイオン注入した各不純物の活性化を行う。熱処理後は、炭素(C)膜を、酸素プラズマ処理により除去する。

[0073] 次に図19に示すように、n⁻型のドリフト層119の表面にゲート絶縁膜110とトレンチ底部のゲート絶縁膜122を形成する。トレンチ底部はC面になっており、C面の熱酸化させた際の酸化速度は他の面方位と比べて速い。即ち、トレンチ側面のゲート絶縁膜111に比べてトレンチ底部のゲート絶縁膜122は厚く形成することができる。ドライ酸化でゲート絶縁膜110及びゲート絶縁膜122の一部を形成した場合、ゲート絶縁膜122の方がゲート絶縁膜110より2～10倍厚く形成することができる。また、熱酸化でゲート絶縁膜110及びゲート絶縁膜122の一部を形成したあと、熱CVD法によってゲート絶縁膜110及びゲート絶縁膜122の膜厚を調整することができる。ゲート絶縁膜110の厚さは、0.05～0.15 μm である。また、ゲート絶縁膜122の厚さは、0.1～0.5 μm である。

- [0074] 次に、ゲート絶縁膜上にトレンチを埋め込むようにn型の多結晶珪素（Si）膜111を堆積する（図示せず）。n型の多結晶ケイ素膜111の厚さは、トレンチの開口幅に依存するが、0.25～1.5 μ mである。この多結晶ケイ素膜111をドライエッチング法により加工して、ゲート電極111を形成するさらに、第5マスクを除去した後、n⁻型のドリフト層102の表面上にゲート電極111およびゲート絶縁膜110を覆うように、プラズマCVD法により層間絶縁膜112を形成する（図示せず）。
- [0075] 次に、層間絶縁膜112およびゲート絶縁膜110をドライエッチング法により加工して、n⁺型のソース領域106の一部およびp⁺⁺型の電位固定層107に達する開口部を形成する（図示せず）。
- [0076] 次に、開口部の底面に露出しているn⁺型のソース領域106の一部およびp⁺型の電位固定層107のそれぞれの表面に金属シリサイド層113を形成する（図示せず）。
- [0077] 次に、層間絶縁膜112をドライエッチング法により加工して、ゲート電極111に達する開口部（図示は省略）を形成する。
- [0078] 次に、n⁺型のソース領域106の一部およびp⁺型の電位固定層107のそれぞれの表面に形成された金属シリサイド膜113に達する開口部、ならびにゲート電極111に達する開口部（図示は省略）の内部を含む層間絶縁膜112上に第3金属膜、チタン（Ti）膜と窒化チタン（TiN）膜とアルミニウム（Al）膜とからなる積層膜を堆積する。アルミニウム（Al）膜の厚さは、2.0 μ m以上が好ましい。続いて、第3金属膜を加工することにより、金属シリサイド層113を介してn⁺型のソース領域107の一部とp⁺型の電位固定層107に電氣的に接続するソース配線用電極114およびゲート電極111と電氣的に接続するゲート配線用電極（図示は省略）を形成する。
- [0079] 次に、素子保護のためのパッシベーション膜115を形成する。パッシベーション膜の膜厚は、2～10 μ mであり、材質としては酸化ケイ素またはポリイミドからなるパッシベーション膜115を用いる。

[0080] 次に、図示は省略するが、 n^+ 型のSiC基板118の裏面に、スパッタリング法により第2金属膜を堆積する。この第2金属膜の厚さは、 $0.1\mu\text{m}$ である。

[0081] 次に図20に示すように、レーザーアニールによってシリサイド化処理を施すことによって、第2金属膜と n^+ 型のSiC基板118とを反応させて、 n^+ 型のSiC基板118の裏面側に形成された n^+ 型のドレイン領域120を覆うように金属シリサイド層116を形成する。続いて、金属シリサイド層116を覆うように、ドレイン配線用電極117を形成する。ドレイン配線用電極117の厚さは、 $0.4\mu\text{m}$ である。

[0082] このように、本実施例2によれば、図20に示すように、トレンチ型MISFETのトレンチ底部のゲート絶縁膜122をトレンチ側壁のゲート絶縁膜110より厚くすることができる。したがって、オフ時にゲート絶縁膜122にかかる電界をより緩和することができるので、ゲート絶縁膜信頼性が向上したSiCパワートレンチ型MISFETを実現することができる。

実施例 3

[0083] 本実施例3と前述した実施例1、2との相違点は、ボディ層105につながりボディ層105より深い位置に形成されたボディ層123を有することである。

《炭化珪素半導体装置の製造方法》

次に、本実施例3による炭化珪素半導体装置の製造方法について、図21～図22を用いて工程順に説明する。図21～図22は炭化珪素半導体装置のSiCパワーMISFET形成領域（素子形成領域）の一部および周辺形成領域の一部をそれぞれ拡大して示す要部断面図である。

[0084] n^+ 型のSiC基板（基板）101の表面上に n^- 型のドリフト層102を形成して、 n^+ 型のSiC基板101と n^- 型のドリフト層102とからなるSiCエピタキシャル基板104を形成する。 n^+ 型のSiC基板101の不純物濃度は、 $1 \times 10^{18} \sim 1 \times 10^{21} \text{ cm}^{-3}$ の範囲であり、 n^- 型のドリフト層102の不純物濃度は、 $1 \times 10^{14} \sim 1 \times 10^{17} \text{ cm}^{-3}$ の範囲である。

続いて、 n^+ 型のSiC基板101の裏面側に n^+ 型のドレイン領域103を形成する。 n^+ 型のドレイン領域103の不純物濃度は、 $1 \times 10^{19} \sim 1 \times 10^{21} \text{ cm}^{-3}$ の範囲である。表面の極性はSi面でもC面でも構わないが、本実施例ではSi面を仮定している。

[0085] まず、周辺部をドライエッチング法で加工することでリセスさせる（図示せず）。リセスさせる深さは、素子形成部分に形成される電界緩和層108の深さに依存し、リセス部でのp型のボディ層105の深さが電界緩和層108底部の深さより深くなるように形成される。リセスさせる深さは、 $0.6 \sim 5.0 \mu\text{m}$ である。

[0086] 次に、 n^- 型のドリフト層102の素子形成領域にp型のボディ層105を形成し、周辺形成領域にp型のリング105を形成する（図示せず）。p型のボディ層105およびp型のリング105のドリフト層102の表面からの深さは、 $0.5 \sim 2.0 \mu\text{m}$ である。また、p型のボディ層105およびp型のリング105の不純物濃度は、 $1 \times 10^{16} \sim 1 \times 10^{19} \text{ cm}^{-3}$ の範囲である。ここで、周辺形成領域にはp型のリング105が形成されているが、終端部の構造としては、これに限定されるものではなく、p型のジャンクション・ターミネーション・エクステンション（Junction Termination Extension: JTE）構造であってもよい。

[0087] 次に図21に示されるように、第7マスク（高エネルギー注入用マスク）を形成し、p型ボディ層123を形成する。p型のボディ層123の深さは、トレンチ底部の位置によるが、 $0.55 \sim 3.0 \mu\text{m}$ である。不純物濃度は、 $1 \times 10^{16} \sim 1 \times 10^{19} \text{ cm}^{-3}$ の範囲である。p型ボディ層123の形成方法はトレンチを一旦形成した後に不純物を注入する方法などさまざまあるが、本実施の例3では高エネルギー注入を用いた方法である。エネルギーは、 $400 \text{ keV} \sim 1500 \text{ keV}$ の範囲である。このp型ボディ層123とトレンチ側面との距離は、 $0.1 \sim 0.5 \mu\text{m}$ である。

[0088] 次に、 n^- 型のドリフト層102にn型不純物、窒素原子（N）またはリン原子（P）をイオン注入して、素子形成領域に n^+ 型のソース領域106を形

成し、周辺形成領域に n^+ 型のチャネルストッパ 106 を形成する（図示せず）。 n^+ 型のソース領域 106 および n^+ 型のチャネルストッパ 106 のドリフト層 102 の表面からの深さは、 $0.1 \sim 0.4 \mu\text{m}$ である。

[0089] 次に、 n^- 型のドリフト層 102 に p 型不純物、アルミニウム原子 (Al) をイオン注入して、 p^+ 型の電位固定層 107 を形成する（図示せず）。 p^+ 型の電位固定層 107 のドリフト層 102 の表面からの深さは、 $0.1 \sim 0.4 \mu\text{m}$ である。 p^+ 型の電位固定層 107 の不純物濃度は、 $1 \times 10^{19} \sim 1 \times 10^{21} \text{cm}^{-3}$ の範囲である。

[0090] 次にハードマスクを形成する（図示せず）。まず、酸化ケイ素膜をプラズマ（気相成長法）CVDを用いて、 $1 \sim 4.0 \mu\text{m}$ 堆積させる。続いて、レジストパターンをマスクとして、酸化ケイ素膜をドライエッチング法で加工することで、ハードマスクを形成する。この酸化ケイ素マスクは所望のトレんチ加工を施す部分に開口している。開口幅は、 $0.5 \sim 2 \mu\text{m}$ である。

[0091] 次に、ハードマスクを用いて n^+ 型のソース領域 106 と p 型のボディ層 105 を貫くようにトレんチをドライエッチ法を用いて形成する（図示せず）。トレんチ深さは、 $0.55 \sim 3.0 \mu\text{m}$ である。

[0092] 次に、ハードマスクを残したまま、トレんチ下部に p 型不純物、Al や B をイオン注入して、 p 型の電界緩和層 108 を形成する（図示せず）。電界緩和層 108 の不純物濃度は、 $1 \times 10^{16} \sim 1 \times 10^{19} \text{cm}^{-3}$ であり、イオン注入のエネルギーは、 $100 \text{keV} \sim 1000 \text{keV}$ の範囲である。高エネルギーで注入することにより、トレんチ下部中心から離れた位置に電界緩和層 108 を形成することができる。その距離は、 $0.05 \sim 0.5 \mu\text{m}$ である。また、高エネルギーで注入するために、イオン注入した際に、不純物分布も拡がり、結果として、電界緩和層 108 の後に形成する抵抗緩和層 109 より幅広となる。電界緩和層 108 の幅は抵抗緩和層 109 より、 $0.05 \sim 1 \mu\text{m}$ 幅広となる。

[0093] 次にハードマスクを残したまま、トレんチ下部に n 型不純物、N、P を斜めイオン注入して、 n 型の抵抗緩和層 109 をトレんチ下部を覆うように形

成する（図示せず）。n型の抵抗緩和層109の不純物濃度は、 $1 \times 10^{15} \sim 1 \times 10^{18} \text{ cm}^{-3}$ である。斜めイオン注入のチルト角度は0～20度であり、ツイスト角度を45度、135度、225度、315度として4回イオン注入を行うことで、トレンチ下部を覆うように抵抗緩和層109を形成することができる。また、そのイオン注入のエネルギーは、5 keV～300 keVの範囲である。低エネルギーで注入することにより、トレンチ下部と電界緩和層108の間に抵抗緩和層109を形成することができる。また、その拡がりも電界緩和層108よりも狭くすることができる。抵抗緩和層109の不純物濃度は電界緩和層108より低濃度であり、1/5である。

[0094] 次に、ハードマスクをフッ酸で除去した後、図示は省略するが、SiCエピタキシャル基板104の表面上および裏面上に、プラズマCVD法により炭素（C）膜を堆積する。炭素（C）膜の厚さは、 $0.03 \mu\text{m}$ である。この炭素（C）膜により、SiCエピタキシャル基板104の表面および裏面を被覆した後、SiCエピタキシャル基板104に1500℃以上の温度で2～3分の熱処理を施す。これにより、SiCエピタキシャル基板104にイオン注入した各不純物の活性化を行う。熱処理後は、炭素（C）膜を、酸素プラズマ処理により除去する。

[0095] 次に、n⁻型のドリフト層102の表面にゲート絶縁膜110を形成する（図示せず）。ゲート絶縁膜110は、熱CVD法により形成された酸化ケイ素（SiO₂）膜からなる。ゲート絶縁膜110の厚さは、 $0.05 \sim 0.15 \mu\text{m}$ である。

[0096] 次に、ゲート絶縁膜上にトレンチを埋め込むようにn型の多結晶珪素（Si）膜111を堆積する（図示せず）。n型の多結晶ケイ素膜111の厚さは、トレンチの開口幅に依存するが、 $0.25 \sim 1.5 \mu\text{m}$ である。

[0097] 次に、多結晶ケイ素膜111をドライエッチング法により加工して、ゲート電極111を形成する（図示せず）。

[0098] 次に、第5マスクを除去した後、n⁻型のドリフト層102の表面上にゲート電極111およびゲート絶縁膜110を覆うように、プラズマCVD法に

より層間絶縁膜 112 を形成する（図示せず）。

[0099] 次に、層間絶縁膜 112 およびゲート絶縁膜 110 をドライエッチング法により加工して、 n^+ 型のソース領域 106 の一部および p^{++} 型の電位固定層 107 に達する開口部を形成する（図示せず）。

[0100] 次に、開口部の底面に露出している n^+ 型のソース領域 106 の一部および p^+ 型の電位固定層 107 のそれぞれの表面に金属シリサイド層 113 を形成する（図示せず）。

[0101] 次に、層間絶縁膜 112 をドライエッチング法により加工して、ゲート電極 111 に達する開口部（図示は省略）を形成する。

[0102] 次に、 n^+ 型のソース領域 106 の一部および p^+ 型の電位固定層 107 のそれぞれの表面に形成された金属シリサイド膜 113 に達する開口部、ならびにゲート電極 111 に達する開口部（図示は省略）の内部を含む層間絶縁膜 112 上に第3金属膜、チタン（Ti）膜と窒化チタン（TiN）膜とアルミニウム（Al）膜とからなる積層膜を堆積する。アルミニウム（Al）膜の厚さは、 $2.0\mu\text{m}$ 以上が好ましい。続いて、第3金属膜を加工することにより、金属シリサイド層 113 を介して n^+ 型のソース領域 107 の一部と p^+ 型の電位固定層 107 に電氣的に接続するソース配線用電極 114 およびゲート電極 111 と電氣的に接続するゲート配線用電極（図示は省略）を形成する。

[0103] 次に、素子保護のためのパッシベーション膜 115 を形成する。パッシベーション膜の膜厚は、 $2\sim 10\mu\text{m}$ であり、材質としては酸化ケイ素またはポリイミドからなるパッシベーション膜 115 を用いる。

[0104] 次に、図示は省略するが、 n^+ 型のSiC基板 101 の裏面に、スパッタリング法により第2金属膜を堆積する。この第2金属膜の厚さは、 $0.1\mu\text{m}$ である。

[0105] 次に図22に示すように、レーザーアニールによってシリサイド化処理を施すことによって、第2金属膜と n^+ 型のSiC基板 101 とを反応させて、 n^+ 型のSiC基板 101 の裏面側に形成された n^+ 型のドレイン領域 103

を覆うように金属シリサイド層 116 を形成する。続いて、金属シリサイド層 116 を覆うように、ドレイン配線用電極 117 を形成する。ドレイン配線用電極 117 の厚さは、 $0.4\ \mu\text{m}$ である。

[0106] このように、本実施例 3 によれば、図 22 に示すように、トレンチ型 MISFET のボディ層 105 の下部にボディ層 123 を設けることにより、オフ時にゲート絶縁膜 122 にかかる電界をより緩和することができる。したがって、ゲート絶縁膜信頼性が向上した SiC パワートレンチ型 MISFET を実現することができる。

符号の説明

[0107] 1…半導体チップ、
2…アクティブ領域（素子形成領域）、3…FLR、
4…チャネルストッパ、
5…ゲート配線用電極、
6…開口部、
7…ソース配線用電極、
101…SiC 基板（基板）、
102…ドリフト層、
103…ドレイン領域、
105…p 型のボディ層（ウェル領域）
106…ソース領域、
107…電位固定層、
108…電界緩和層、
109…抵抗緩和層、
110…ゲート絶縁膜、
111…ゲート電極、
112…層間絶縁膜、
113…金属シリサイド、
114…ソース電極、

- 1 1 5…パッシベーション膜、
- 1 1 6…金属シリサイド、
- 1 1 7…ドレイン電極、
- 1 1 8…S i C基板、
- 1 1 9…ドリフト層、
- 1 2 0…n ドレイン領域、
- 1 2 2…トレンチ底部のゲート絶縁膜、
- 1 2 3…深い位置に形成された p 型のボディ層

請求の範囲

- [請求項1] 第1主面および前記第1主面と反対面の第2主面を有し、炭化珪素からなる第1導電型の基板と、
- 前記第1主面上に配置された炭化珪素からなる第1導電型ドリフト層と、
- 前記ドリフト層上に配置された前記第1導電型とは異なる第2導電型のボディ層と、
- 前記ボディ層に接する第1導電型のソース領域と、
- 前記ボディ層内を貫通して前記ドリフト層まで至るトレンチと、
- 前記トレンチの内壁に配置されたゲート絶縁膜と、
- 前記ゲート絶縁膜を介して前記ボディ層に接するゲート電極と、
- 前記基板の第2主面に配置された第1導電型のドレイン領域と、
- 前記ドリフト層内のトレンチに接する抵抗緩和層と、
- 前記抵抗緩和層の底部の一部に接し、前記抵抗緩和層より幅が広い電界緩和層を有することを特徴とする炭化珪素半導体装置。
- [請求項2] 請求項1において、前記電界緩和層の不純物濃度が前記抵抗緩和層より高濃度であることを特徴とする炭化珪素半導体装置。
- [請求項3] 第1主面および前記第1主面と反対面の第2主面を有し、炭化珪素からなる第1導電型の基板と、
- 前記基板の前記第1主面上配置された炭化珪素からなる第1導電型ドリフト層と、
- 前記ドリフト層上に配置された前記第1導電型とは異なる第2導電型のボディ層と、
- 前記ボディ層に接する第1導電型のソース領域と、
- 前記ボディ層内を貫通して、前記ドリフト層まで至るトレンチと、
- 前記トレンチの内壁を覆っているゲート絶縁膜と、
- 前記ゲート絶縁膜を介してボディ層に接するゲート電極と、
- 前記基板の第2主面に配置された第1導電型のドレイン領域と、

前記ドリフト層内のトレンチに接し、かつ前記ドリフト層よりも高濃度に不純物が注入された第1導電型の第1半導体領域と、

前記第1半導体領域に接し、かつ前記第1半導体領域より幅が広い第2導電型の第2半導体領域とを有することを特徴とする炭化珪素半導体装置。

[請求項4] 請求項3において、

前記第2半導体領域の不純物濃度が前記第1半導体領域の不純物濃度より高濃度であることを特徴とする炭化珪素半導体装置。

[請求項5] 請求項3において、

前記第2半導体領域の幅が前記第1半導体領域より $0.05 \sim 1 \mu\text{m}$ だけ広いことを特徴とする炭化珪素半導体装置。

[請求項6] 請求項3において、

前記トレンチの下部中心から前記第2半導体領域の距離が $0.05 \sim 0.5 \mu\text{m}$ であることを特徴とする炭化珪素半導体装置。

[請求項7] 請求項3において、

前記第1半導体領域の不純物濃度が前記第2半導体領域の不純物濃度の $1/5$ 以下であることを特徴とする炭化珪素半導体装置。

[請求項8] 請求項3において、

前記周辺部がリセスされ、リセス部分にターミネーション構造があり、

前記第2半導体領域は、前記周辺部のターミネーションに設けず、アクティブ領域に設けることを特徴とする炭化珪素半導体装置。

[請求項9]

(a) 第1導電型である第1炭化珪素層の第1主面上に、第1炭化珪素層よりも低濃度な第1導電型の第2炭化珪素層を備えたエピタキシャル基板の第1主面側から前記第1導電型とは異なる第2導電型の不純物を前記第2炭化珪素層よりより浅く注入して第3炭化珪素層を形成する工程、

(b) 前記第3炭化珪素層の第1主面側から、前記工程(a)の不純

物注入深さより浅く第1導電型の不純物を注入して第4炭化珪素層を形成する工程、

(c) 前記第4炭化珪素層の第1主面側から、前記第3炭化珪素層を貫通して前記第4炭化珪素層にまで至るトレンチを形成する工程、

(d) 前記第3炭化珪素層の第1主面側から、第2導電型の不純物を注入して前記トレンチの下方に第5炭化珪素層を形成する工程と、

(e) 前記第4炭化珪素層内のトレンチ表面から、前記第5炭化珪素層と前記トレンチの間に第1導電型の不純物を斜め注入して第6炭化珪素層を形成する工程と、

を有することを特徴とする炭化珪素半導体装置の製造方法。

[請求項10]

請求項9において、

前記工程(a)の前に、前記炭化珪素半導体装置の周辺をリセスする工程を備え、

前記リセスする深さは、工程(a)により、前記第5炭化珪素層の下部よりも下方に第2導電型不純物が注入されることを特徴とする炭化珪素半導体装置の製造方法。

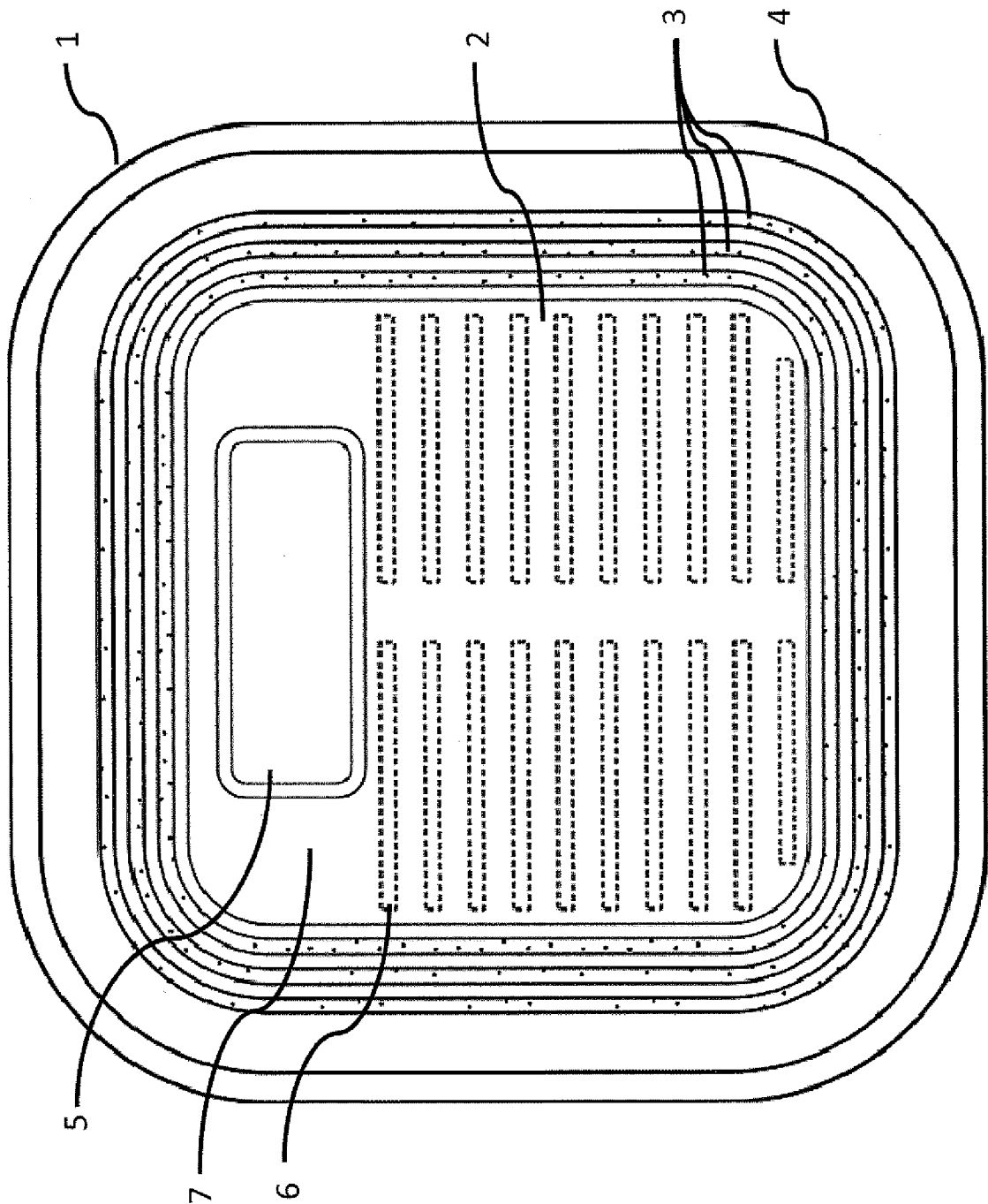
[請求項11]

請求項10において、

前記工程(e)の後に、前記トレンチ下部の膜厚が前記トレンチ側壁部の膜厚より厚いゲート絶縁膜を形成することを特徴とする炭化珪素半導体装置の製造方法。

[図1]

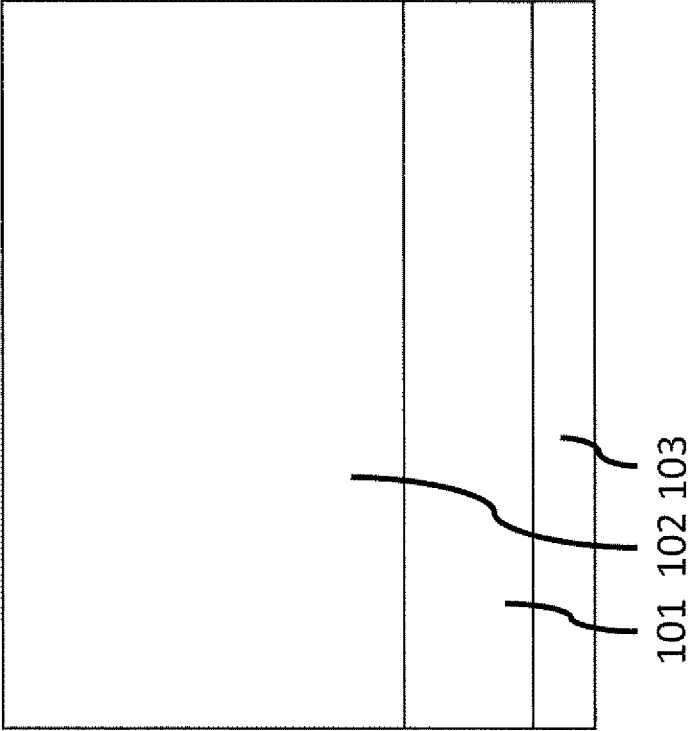
図1



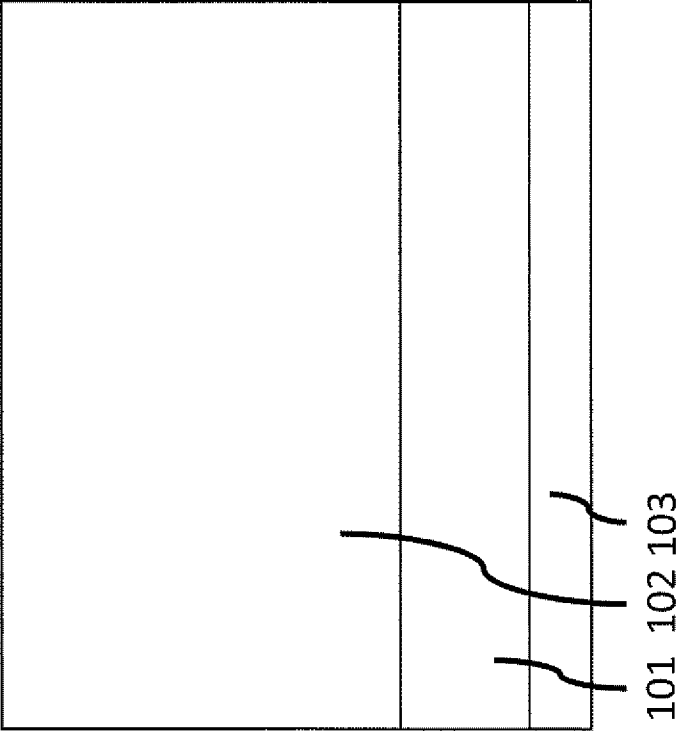
[図3]

図3

(a) 周辺形成領域

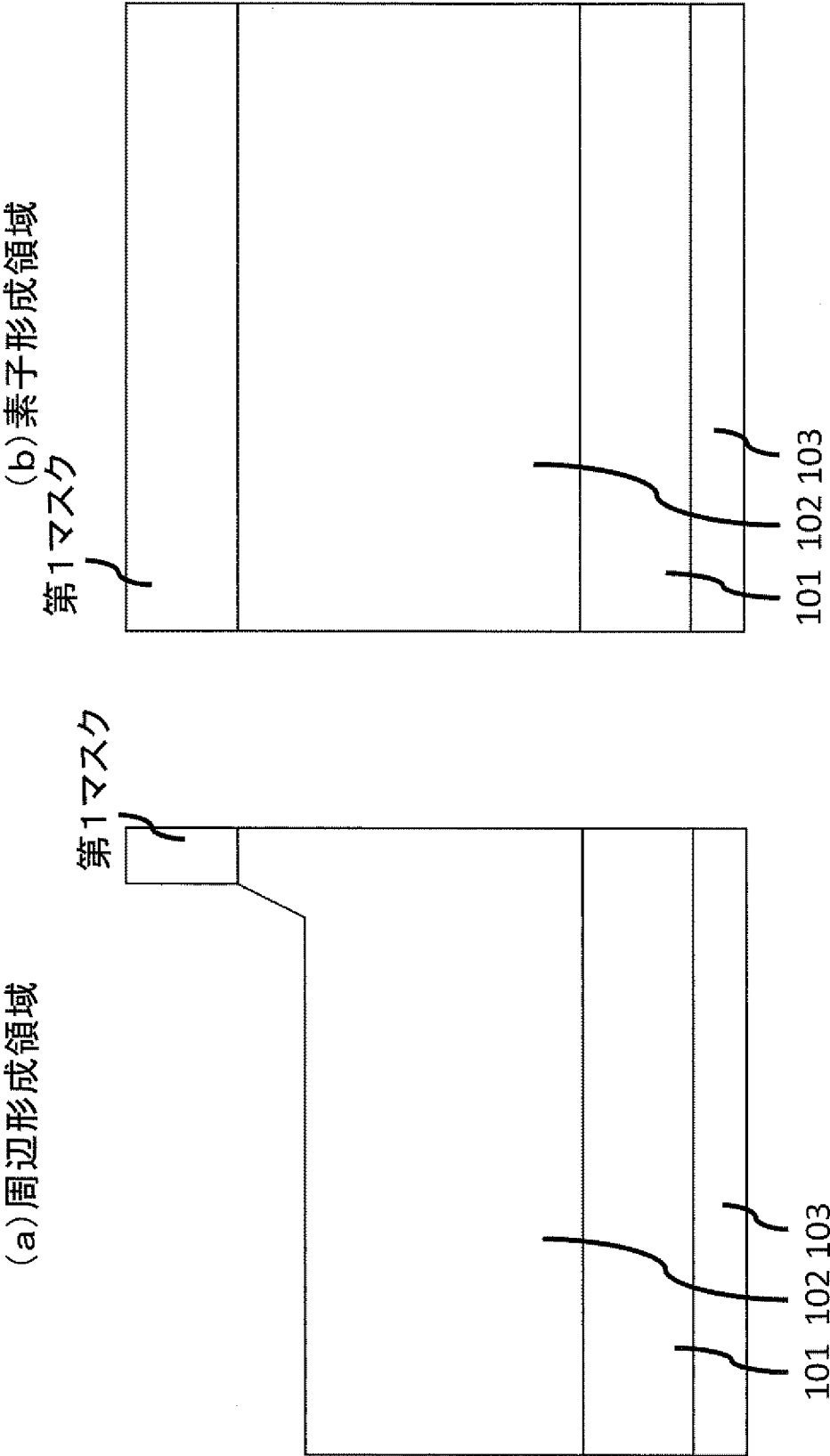


(b) 素子形成領域



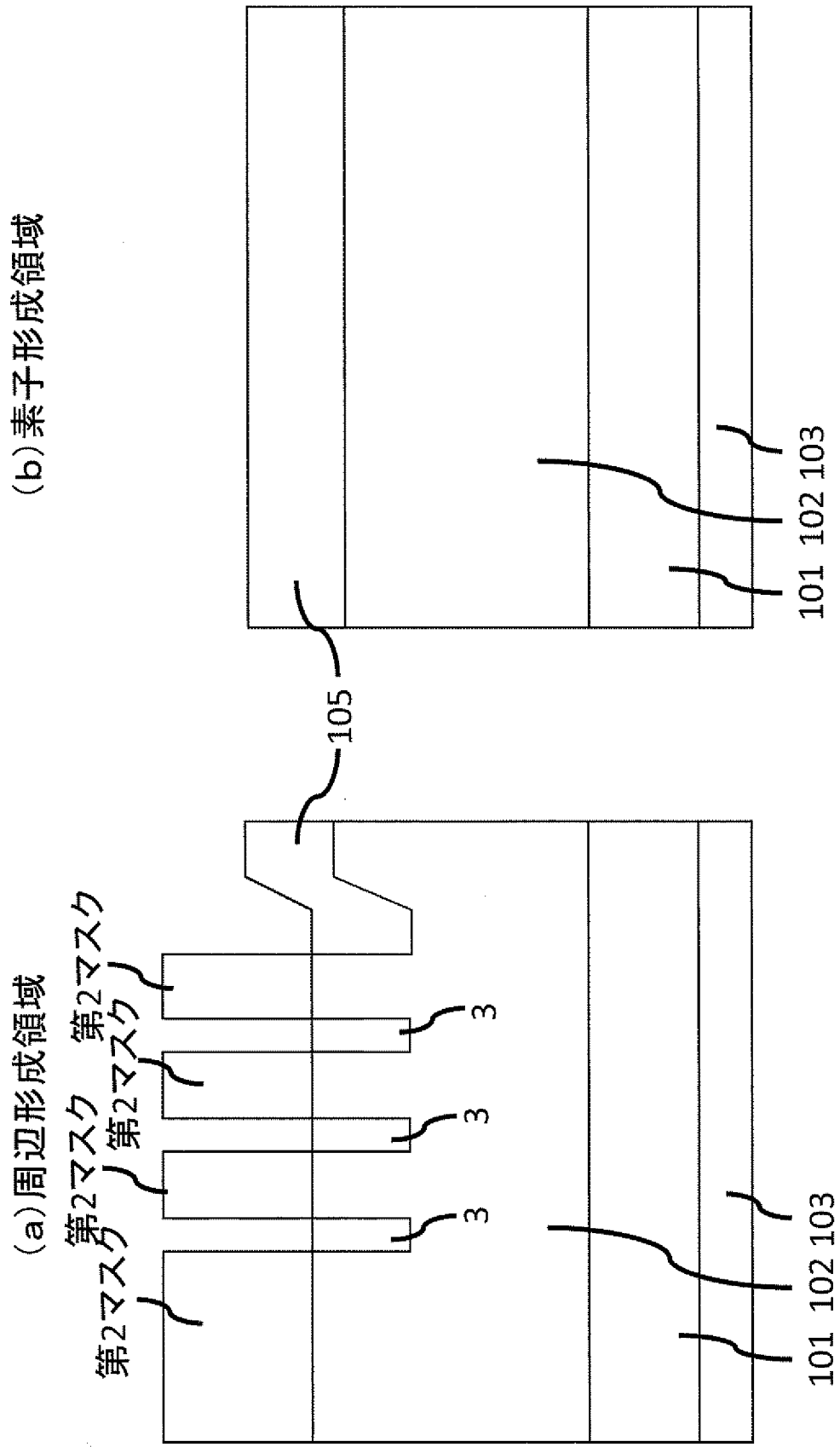
[図4]

図4



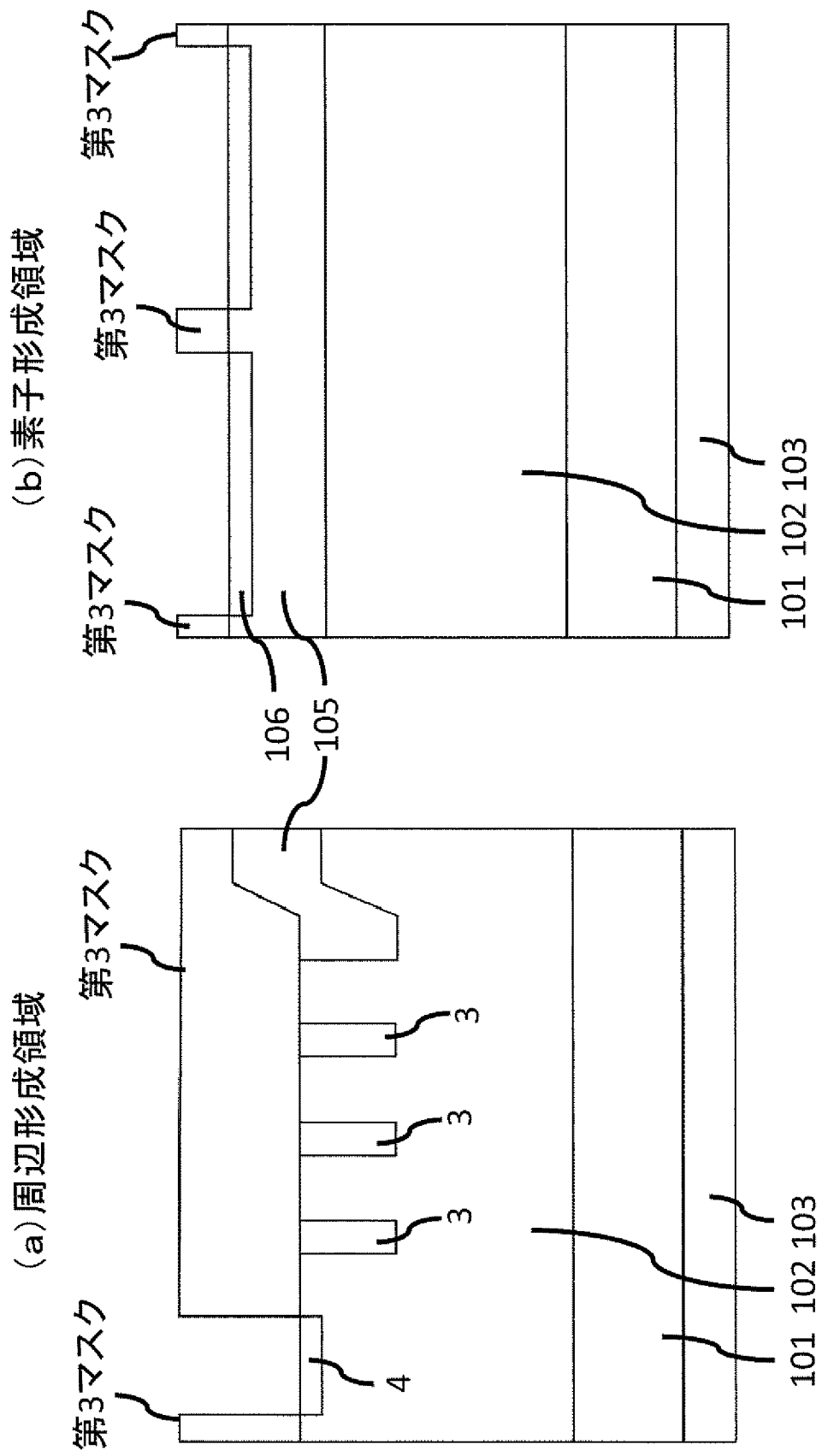
[図5]

図5



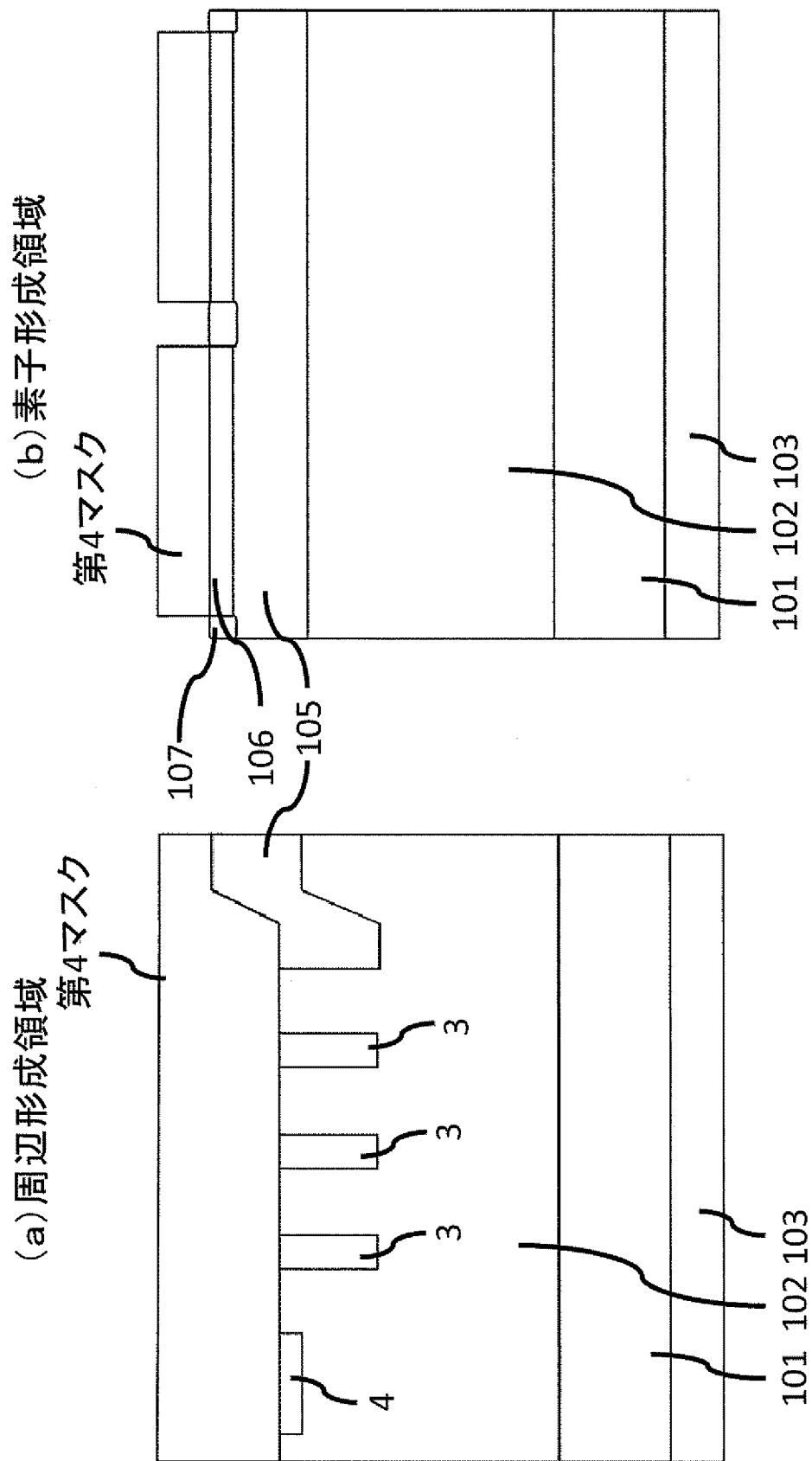
[図6]

図6



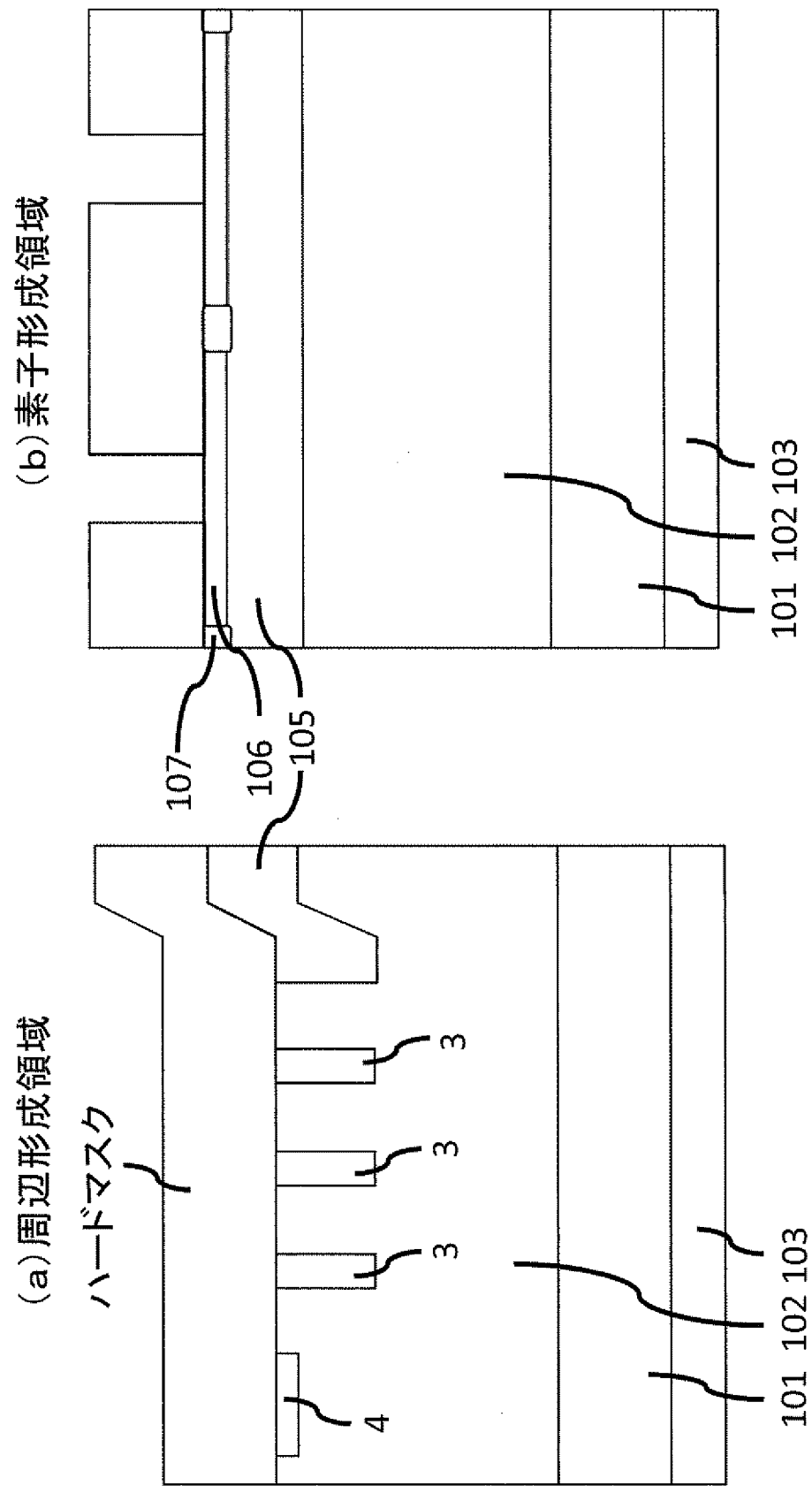
[図7]

図7



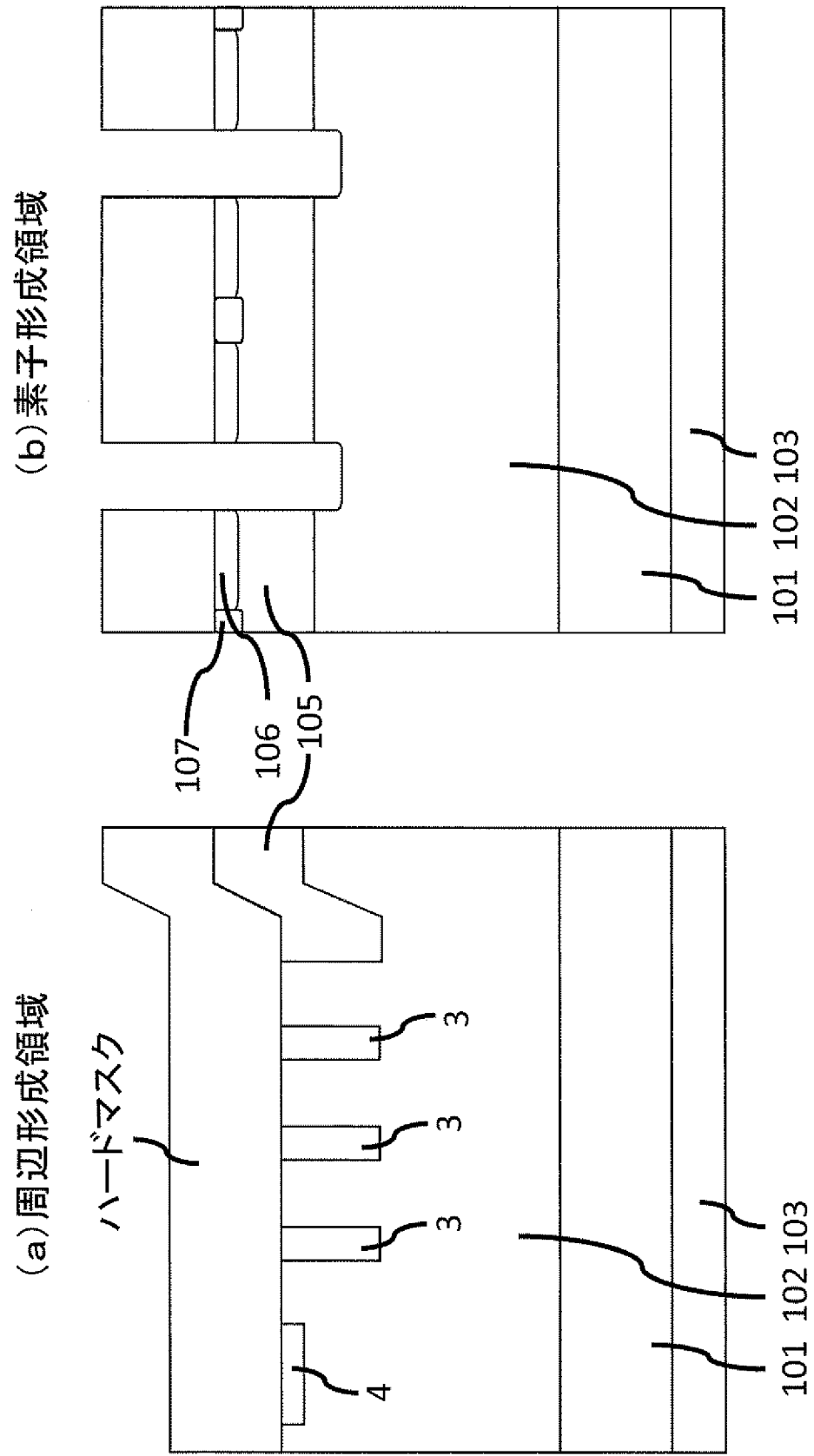
[図8]

図8



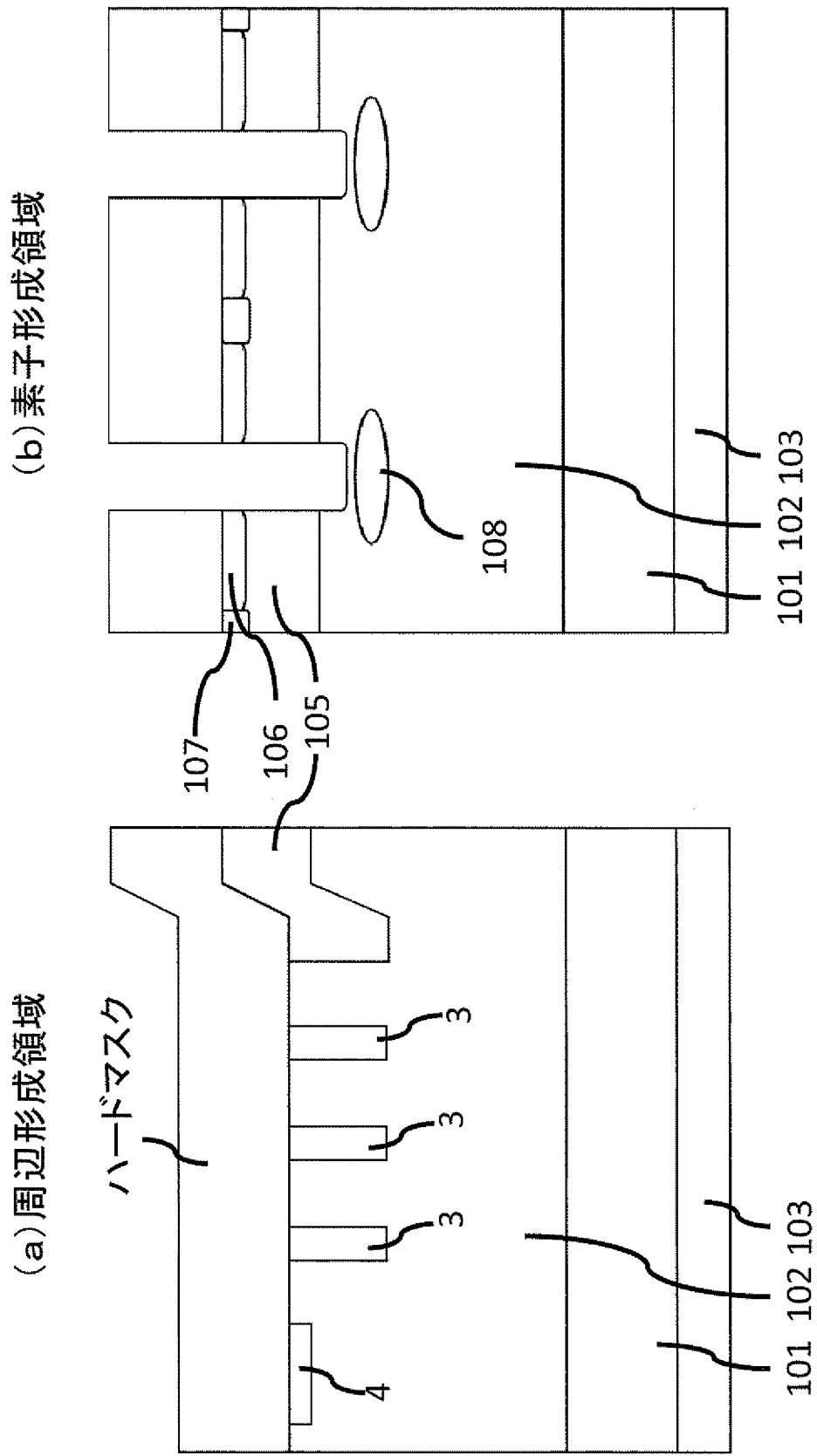
[図9]

図9



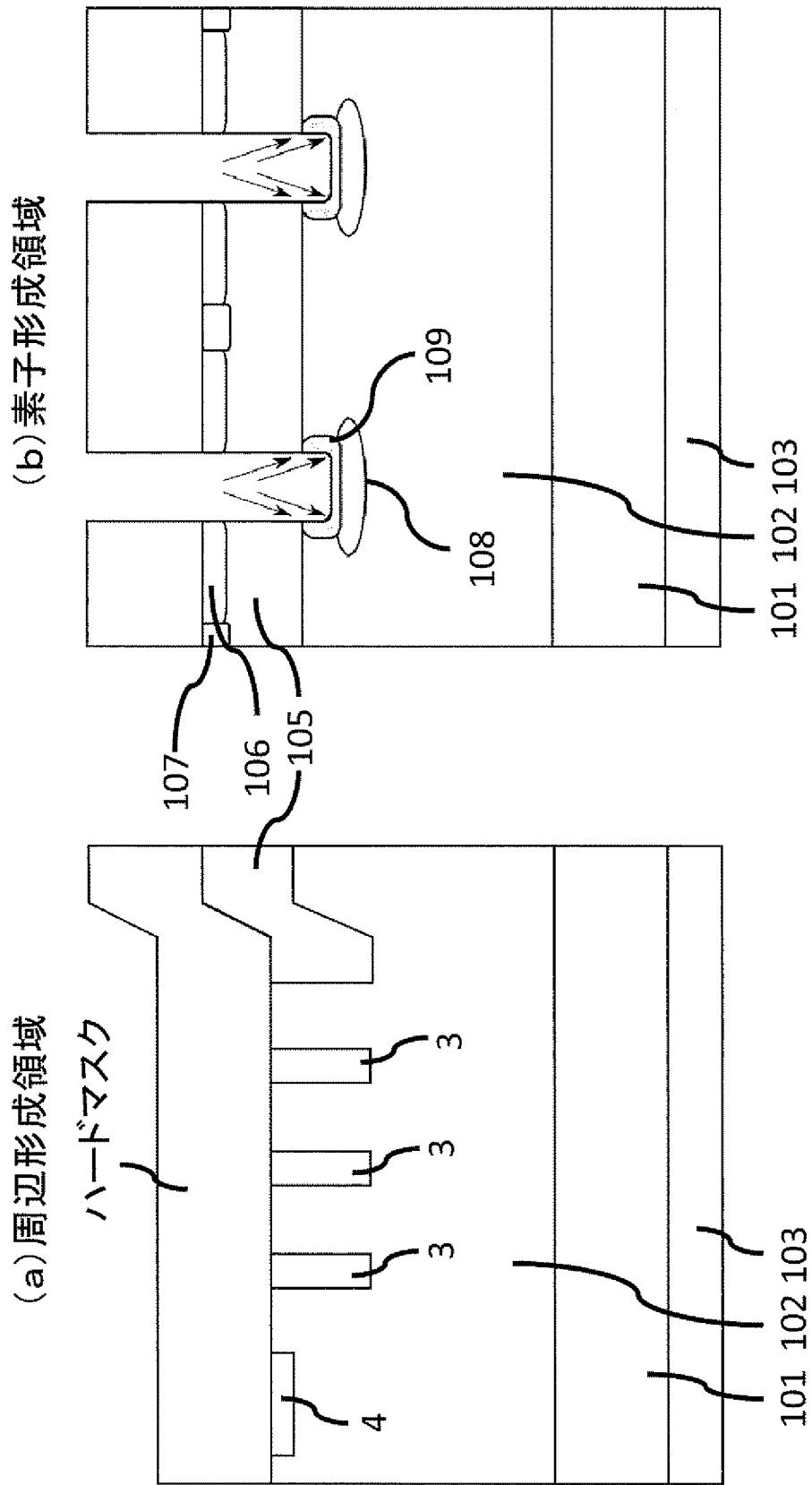
[図10]

図10



[図11]

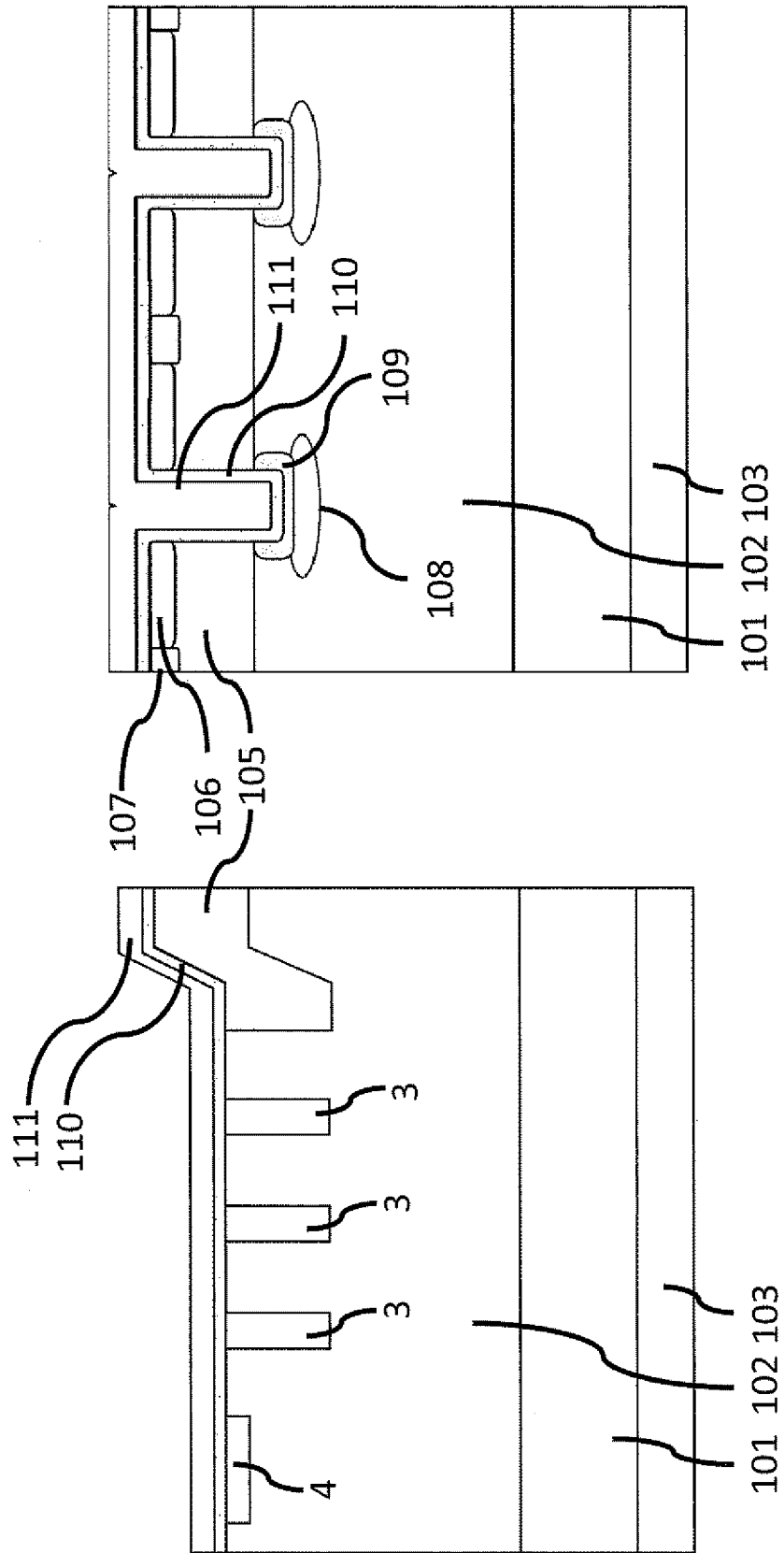
図11



[図12]

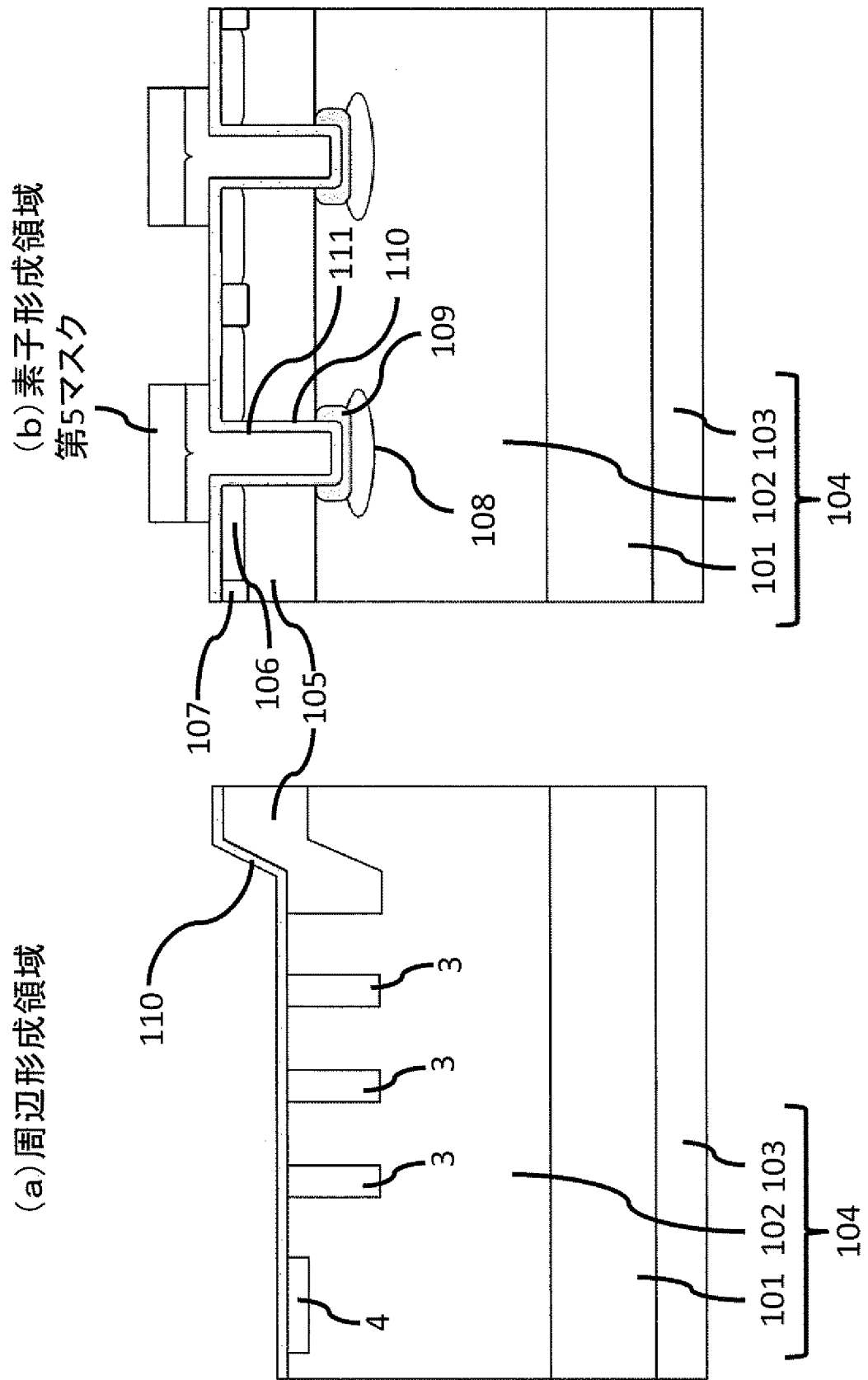
図12

(a) 周辺形成領域 (b) 素子形成領域



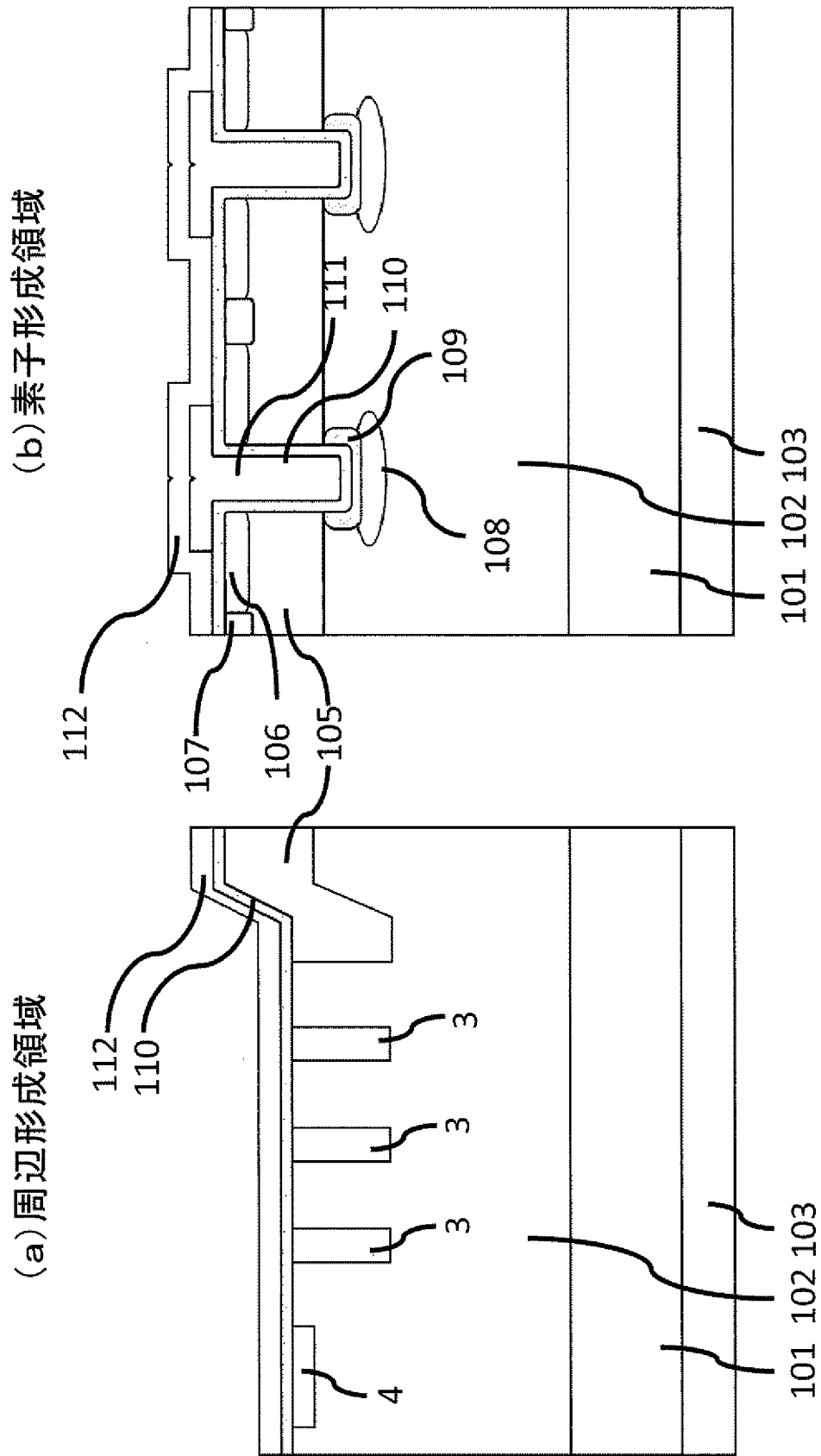
[図13]

図13



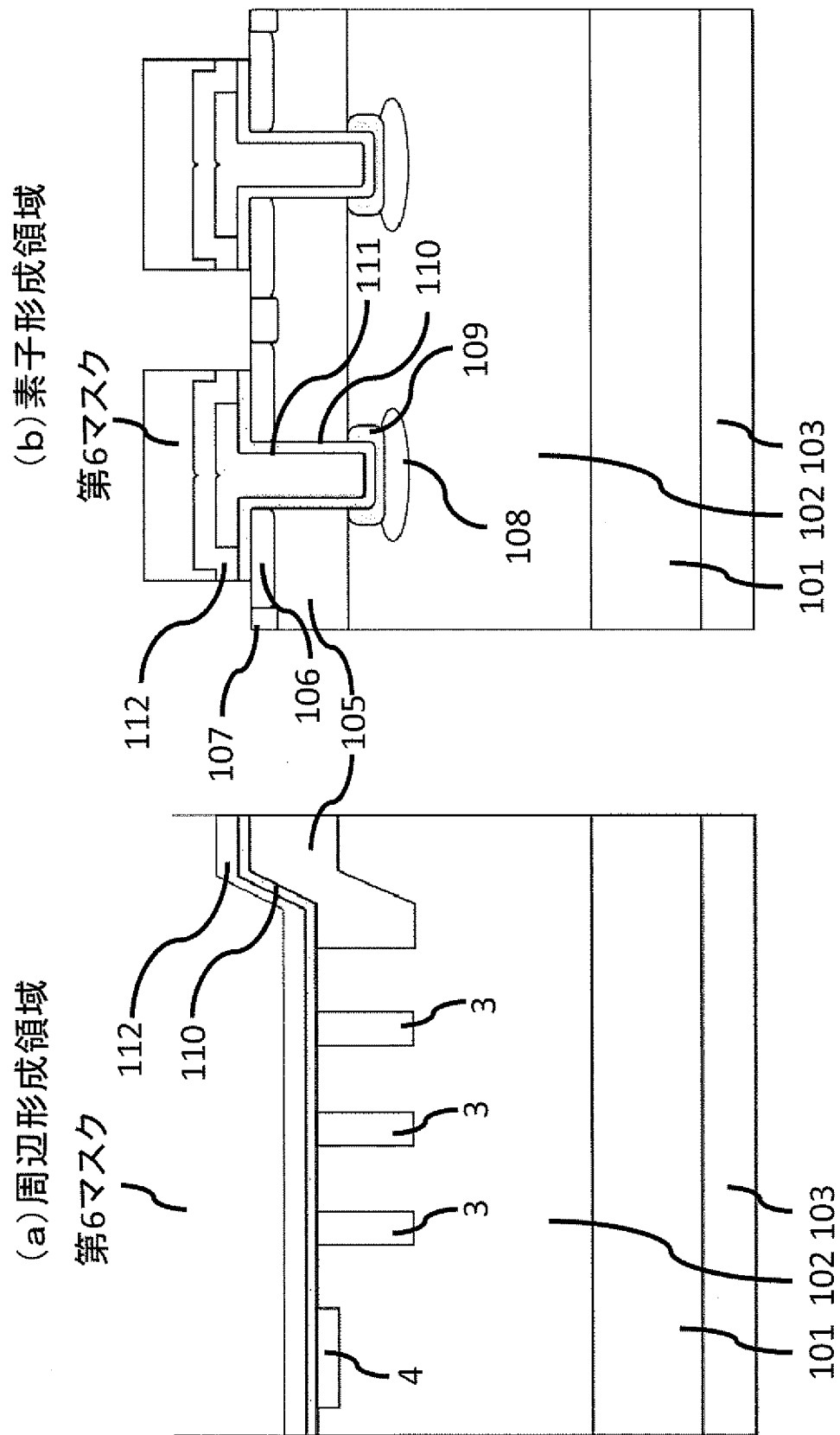
[図14]

図14



[図15]

図15

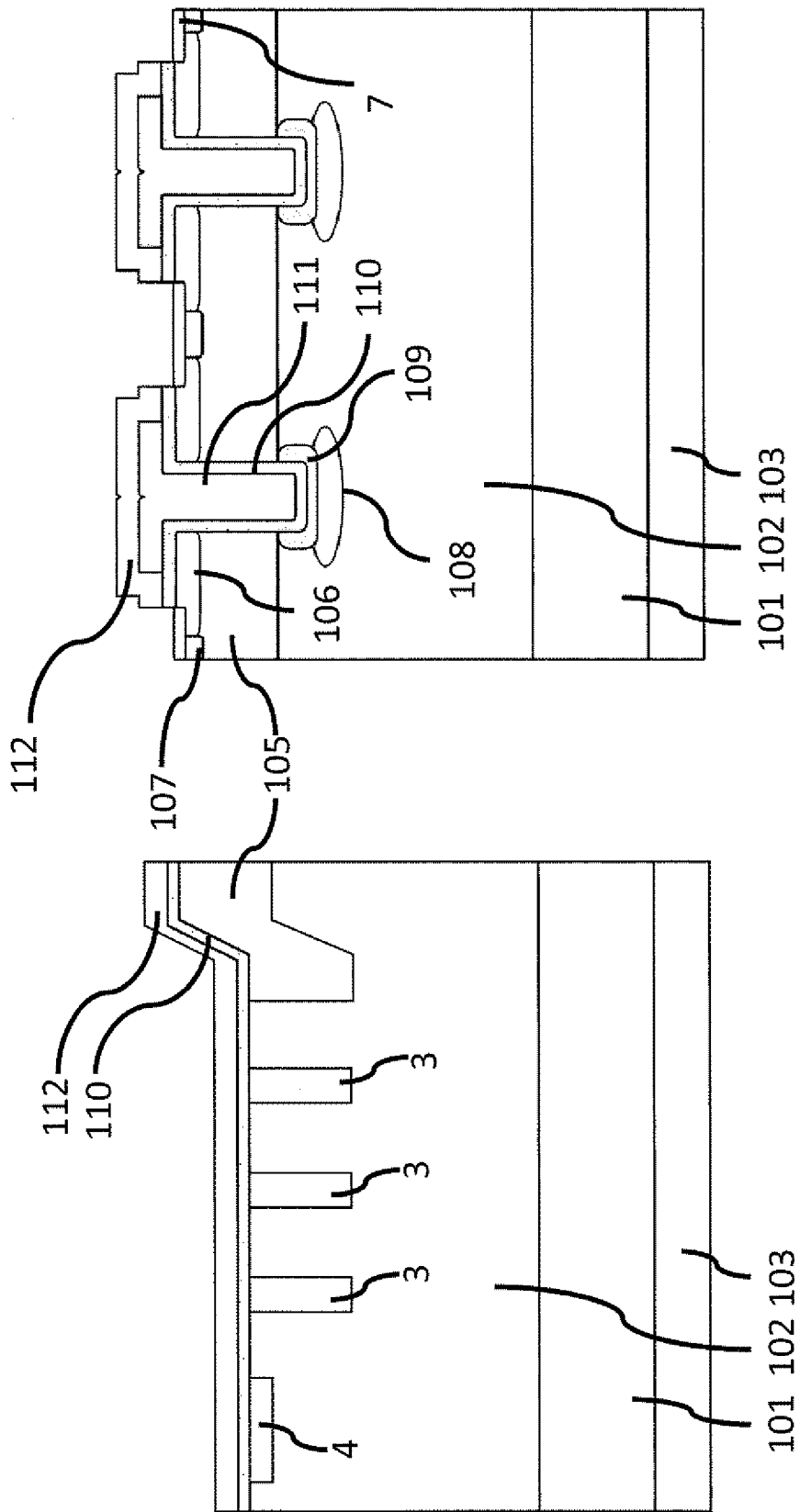


[図16]

図16

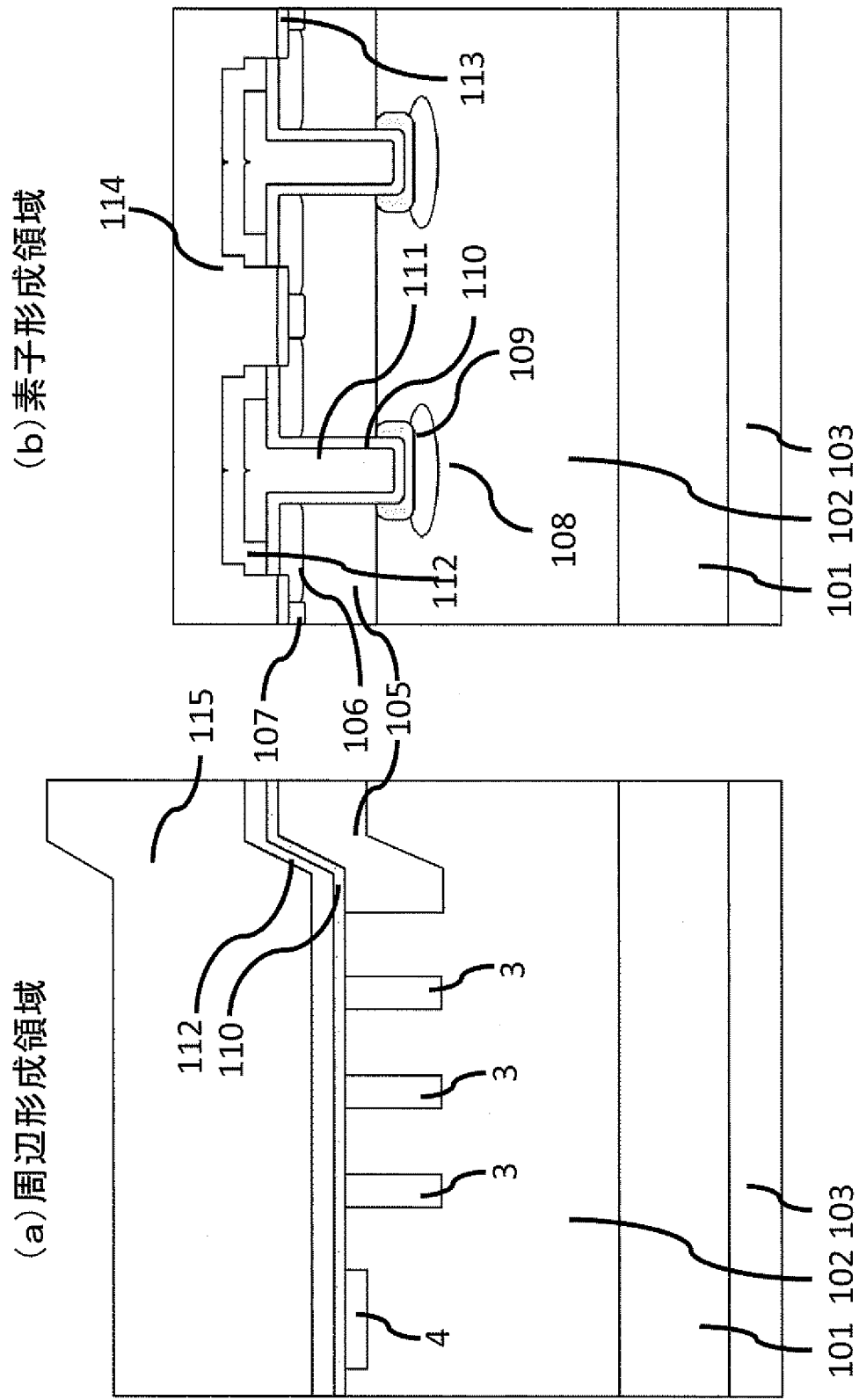
(a) 周辺形成領域

(b) 素子形成領域



[図17]

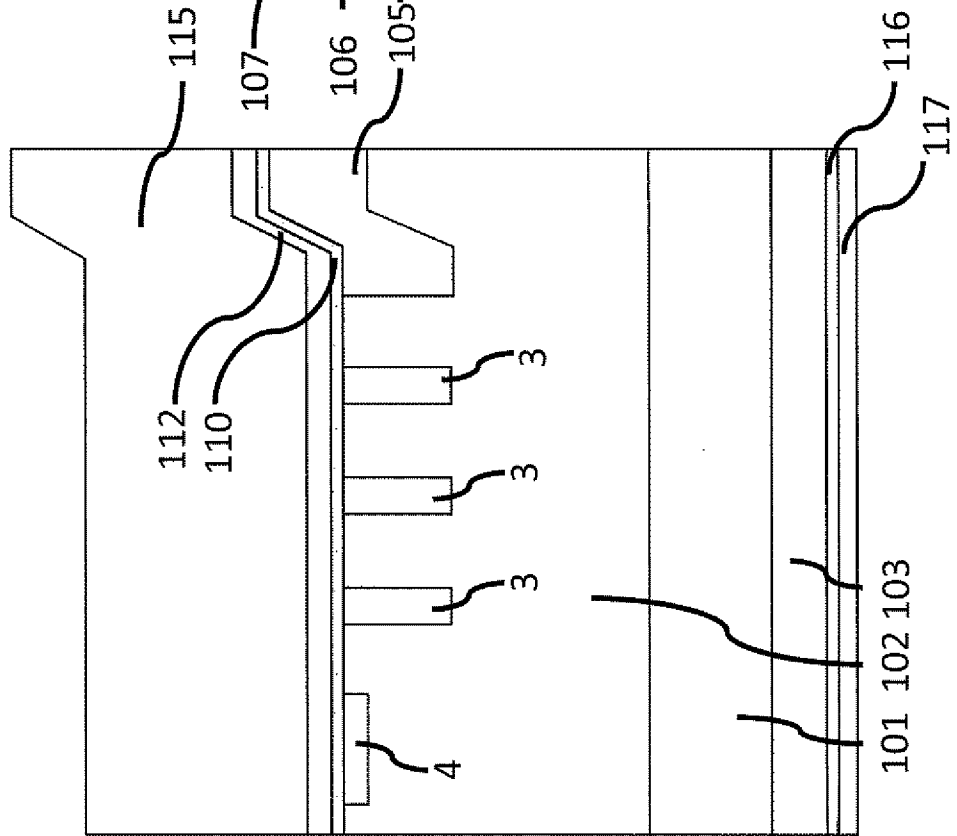
図17



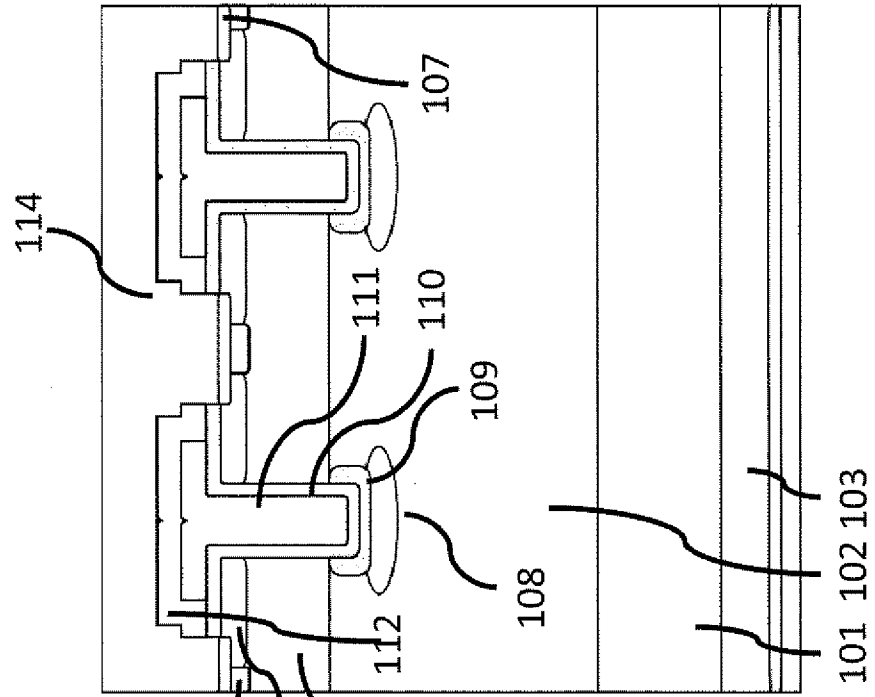
[図18]

図18

(a) 周辺形成領域



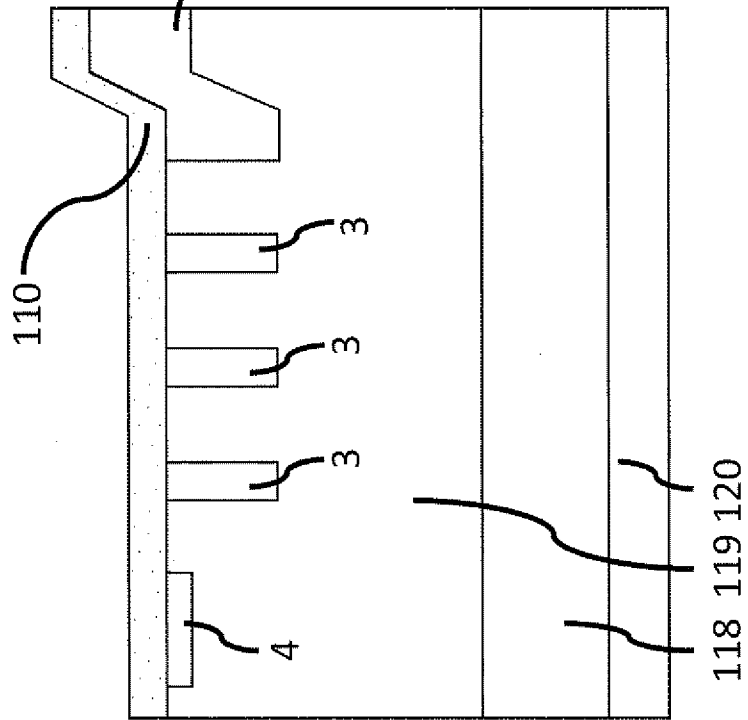
(b) 素子形成領域



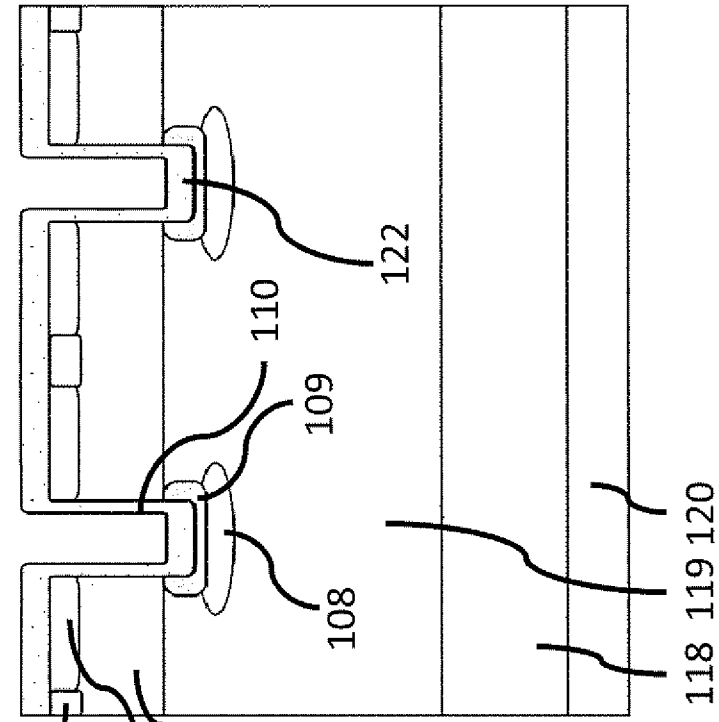
[図19]

図19

(a) 周辺形成領域

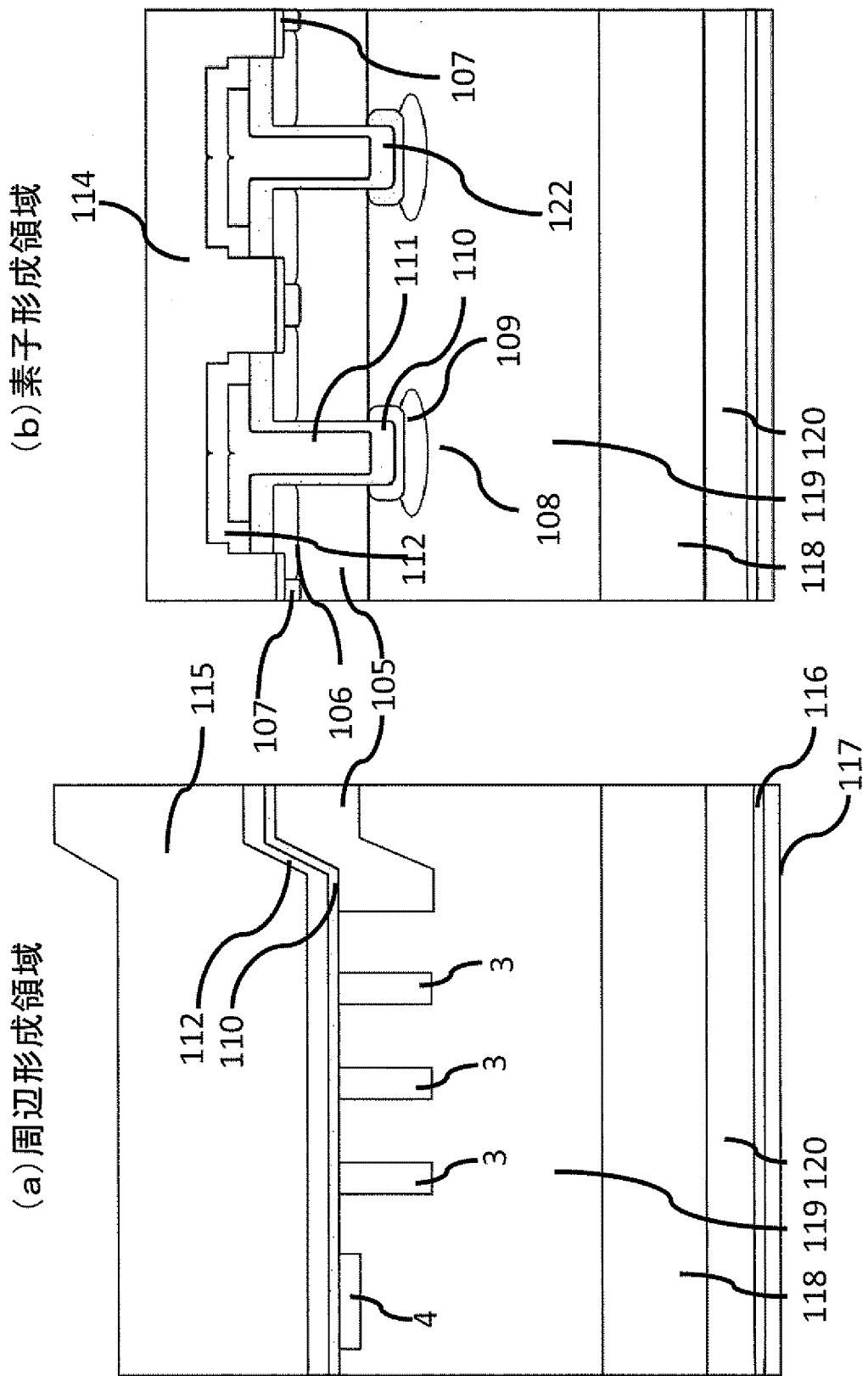


(b) 素子形成領域

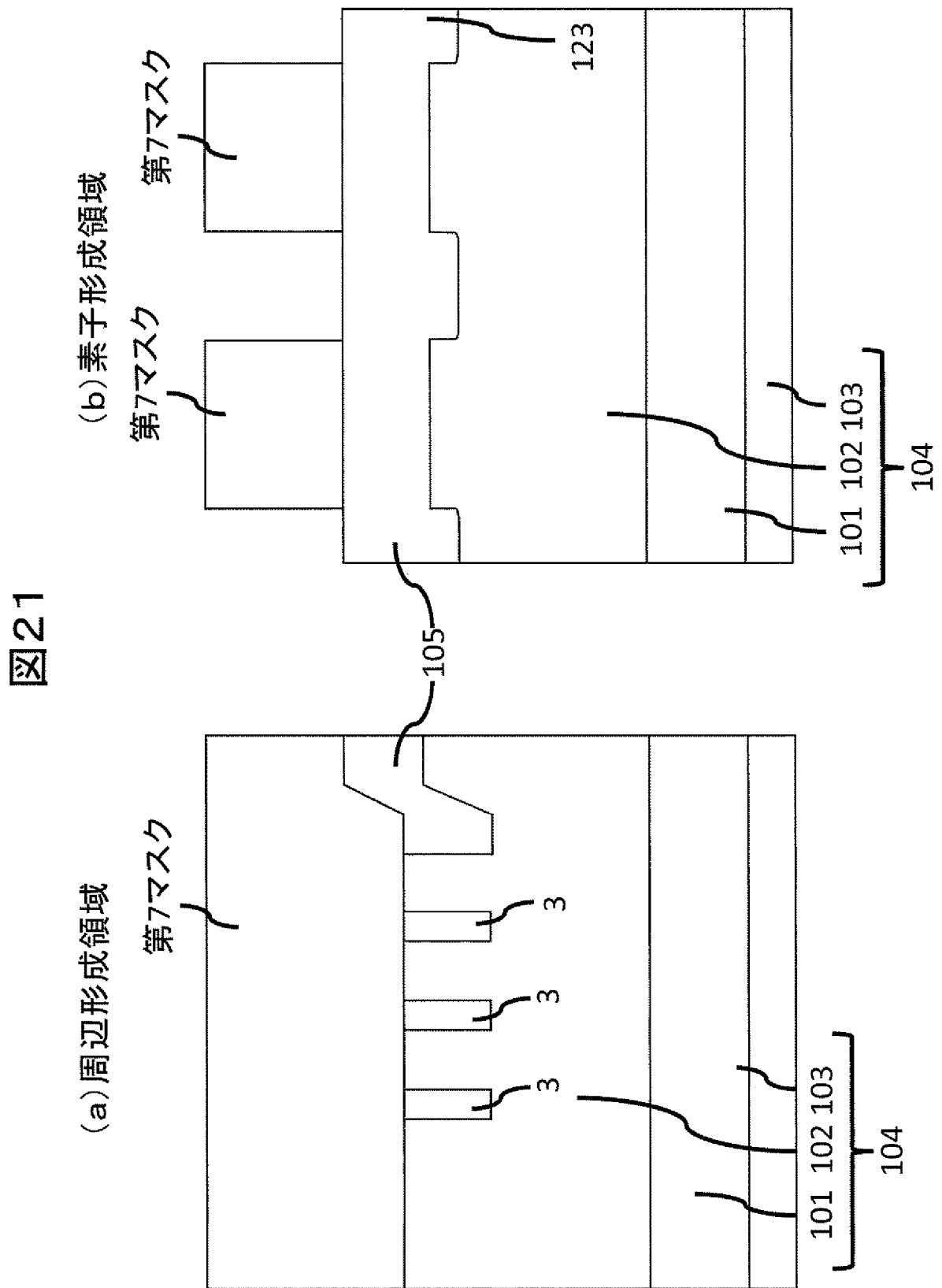


[図20]

図20

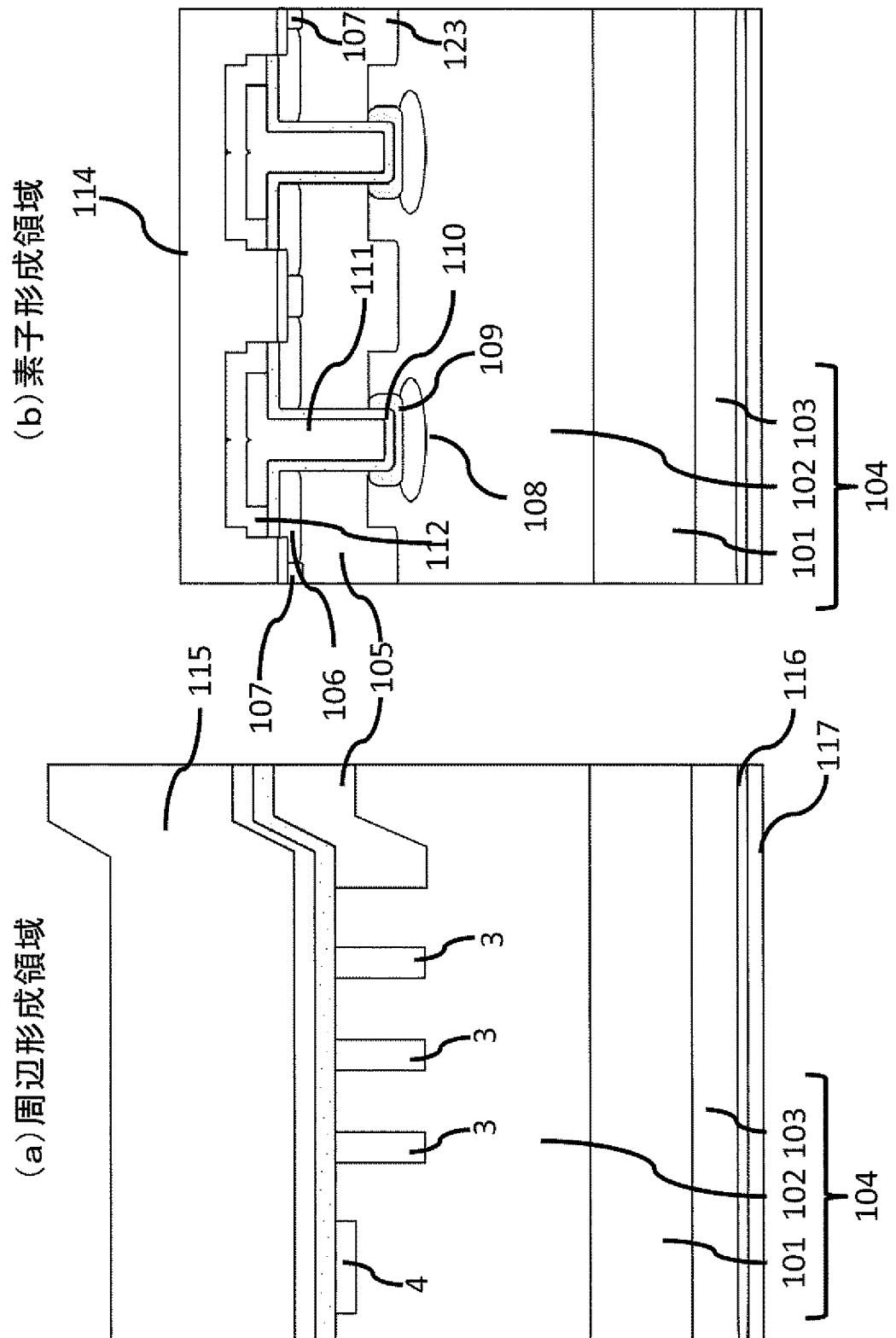


[図21]



[図22]

図22



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2013/051233

A. CLASSIFICATION OF SUBJECT MATTER

H01L29/78(2006.01)i, H01L21/336(2006.01)i, H01L29/06(2006.01)i, H01L29/12(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L29/78, H01L21/336, H01L29/06, H01L29/12

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2013

Kokai Jitsuyo Shinan Koho 1971-2013 Toroku Jitsuyo Shinan Koho 1994-2013

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y A	JP 2012-169385 A (Denso Corp.), 06 September 2012 (06.09.2012), fig. 1 to 2, 8 to 9; paragraphs [0022], [0029] & WO 2012/108165 A & WO 2012/108165 A1	1-2 3-8 9-11
Y A	JP 4564362 B2 (Toshiba Corp.), 06 August 2010 (06.08.2010), fig. 2, 4(b), paragraphs [0019] to [0025] & JP 2005-236267 A & US 2005/0161732 A1 & US 2006/0011973 A1	3-8 1-2, 9-11
Y	JP 2012-19188 A (Toyota Motor Corp.), 26 January 2012 (26.01.2012), fig. 1 to 2 & WO 2011/155394 A & WO 2011/155394 A1	8

☒ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
14 March, 2013 (14.03.13)Date of mailing of the international search report
26 March, 2013 (26.03.13)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2013/051233

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2009-260253 A (Rohm Co., Ltd.), 05 November 2009 (05.11.2009), fig. 11; paragraphs [0050] to [0051] & US 2011/0024831 A1 & EP 2276066 A1 & WO 2009/119735 A1 & CN 101981701 A	1-11

A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. H01L29/78(2006.01)i, H01L21/336(2006.01)i, H01L29/06(2006.01)i, H01L29/12(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. H01L29/78, H01L21/336, H01L29/06, H01L29/12

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 3 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 3 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 3 年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y A	JP 2012-169385 A (株式会社デンソー) 2012.09.06, 図1-2, 8-9、段落0022, 0029 & WO 2012/108165 A & WO 2012/108165 A1	1-2 3-8 9-11
Y A	JP 4564362 B2 (株式会社東芝) 2010.08.06, 図2, 図4(b)、段落0019-0025 & JP 2005-236267 A & US 2005/0161732 A1 & US 2006/0011973 A1	3-8 1-2, 9-11

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

1 4 . 0 3 . 2 0 1 3

国際調査報告の発送日

2 6 . 0 3 . 2 0 1 3

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

儀同 孝信

電話番号 03-3581-1101 内線 3559

50

3566

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2012-19188 A (トヨタ自動車株式会社) 2012.01.26, 図1-2 & WO 2011/155394 A & WO 2011/155394 A1	8
A	JP 2009-260253 A (ローム株式会社) 2009.11.05, 図11、段落0050-0051 & US 2011/0024831 A1 & EP 2276066 A1 & WO 2009/119735 A1 & CN 101981701 A	1-11