

### 三、發明人：(共 4 人)

姓 名：(中文/英文)

1. 葉佐飛  
YEAP, CHOH-FEI
2. 鍾永助  
JEON, YONGJOO
3. 麥可 D 透納  
TURNER, MICHAEL D.
4. 湯尼 D 凡 高沛爾  
VAN GOMPEL, TONI D.

國 籍：(中文/英文)

1. 馬來西亞 MALAYSIA
2. 韓國 REPUBLIC OF KOREA
3. 美國 U.S.A.
4. 美國 U.S.A.

#### 四、聲明事項：

☐ 主張專利法第二十二條第二項 ☐ 第一款或 ☐ 第二款規定之事實，其事實發生日期為： 年 月 日。

☒ 申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

☒ 有主張專利法第二十七條第一項國際優先權：

1. 美國；2004年04月30日；10/836,150

2.

☐ 無主張專利法第二十七條第一項國際優先權：

1.

2.

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

## 九、發明說明：

### 【發明所屬之技術領域】

本發明大體而言係關於半導體結構且尤其係關於用於半導體結構之隔離渠道。

### 【先前技術】

隔離渠道係用於隔離積體電路之作用區域。舉例而言，使用隔離渠道以隔離絕緣物上半導體(SOI)晶圓之作用區域，其中隔離渠道延伸至底部絕緣物。藉由此等形態，將渠道切割至絕緣物且使作用層之矽側壁氧化以使渠道之拐角修圓。然後，使用介電材料來填充渠道。一問題為可氧化矽之隨後熱處理可導致鳥嘴狀之氧化物自渠道基底延伸至作用層之底部之下。

圖1展示先前技術晶圓之部分截面。晶圓101具有一SOI形態，其中作用矽層107位於絕緣物105上方，絕緣物105位於半導體基板103之上。位於隔離渠道109之底部的為氮化矽之"鈍化"層111。隨後於渠道109中層111之上形成氧化物113。在隨後之熱處理期間，層111防止在渠道109之底部之層107中形成鳥嘴狀氧化物。

圖1之形態之一問題為在隨後之氧化物蝕刻期間，可在渠道中移除超過所要深度之渠道填充材料113。此情況可導致隨後形成之由渠道隔離之作用區域之閘極間的短路，其歸因於(例如)多晶矽階梯殘留(poly silicon stringer)。同樣，由於自閘極延伸至通道中之電晶體之變化的有效寬度，渠道深度移除之變化可導致電晶體操作之變化。

可將層 111 製得較厚以減小渠道 109 中氧化物 113 之深度。然而，由於在例如層 111 之材料之沉積期間渠道上方氮化物之"麵包塊"，所以增加氮化物層 111 之厚度在製造上為不可行的。增加氮化物層 111 之厚度之另一問題為：因為氮化物具有較高之介電常數，所以層 107 之作用區域間之寄生電容可由於氮化物之較高介電常數而增加。

所需要的為隔離渠道之改良形態。

### 【發明內容】

在一實施例中，形成半導體結構之方法包含：提供具有半導體材料之晶圓及在該半導體材料中形成渠道。該渠道包括半導體材料之側壁。該方法亦包括沉積第一介電材料，使其覆蓋渠道底部部分至第一深度，其中在第一深度以上之區域中之側壁上實質上沒有第一介電材料之沉積。該方法進一步包括沉積第二介電材料，使其覆蓋渠道中之第一材料至第二深度，其中在第二深度以上之區域中之側壁上實質上沒有第二介電材料之沉積。第二介電材料不同於第一介電材料。該方法仍進一步包括沉積介電渠道填充材料於渠道中之第二介電材料之上。該介電渠道填充材料相對於第二介電材料為可選擇地蝕刻的。

在另一實施例中，在半導體結構中形成隔離渠道之方法包括提供具有半導體材料之晶圓及在該半導體材料中形成渠道。該渠道包括半導體材料之側壁。該方法仍進一步包括沉積第一介電材料，使其覆蓋渠道之底部部分至第一深度，其中在第一深度以上之區域中之側壁上實質上沒有第

一介電材料之沉積。該方法仍進一步包括沉積第二介電材料，使其覆蓋渠道中之第一材料至第二深度，其中在第二深度以上之區域中之側壁上實質上沒有第二介電材料之沉積。第二介電材料不同於第一介電材料。第一介電材料具有第一厚度且第二介電材料具有小於第一厚度之第二厚度。該方法亦包括在渠道內半導體材料之一部分上形成渠道側壁襯墊。第二介電材料防止在渠道內第二介電材料之位階以下形成渠道側壁襯墊。該方法亦進一步包括沉積介電渠道填充材料於渠道中之第二介電材料之上。該介電渠道填充材料相對於第二介電材料為可選擇地蝕刻的。

在另一實施例中，半導體結構包括半導體材料及形成於該半導體材料中之渠道。該半導體結構亦包括覆蓋渠道之底部部分至第一深度之介電材料及覆蓋渠道中之第一材料至第二深度之第二介電材料。渠道中之所有第一介電材料由該第二介電材料所覆蓋。第二深度低於半導體材料之頂部位階。第二介電材料不同於第一介電材料。第一材料具有第一介電常數且第二材料具有大於第一介電常數之第二介電常數。

### 【實施方式】

以下陳述了用於進行本發明之模式之詳細描述。該描述意欲為本發明之說明且不應用於限制本發明。

圖 2-10 展示根據本發明在形成一隔離渠道製程期間一晶圓在不同階段之部分截面側視圖。

圖 2 為晶圓 201 之部分截面側視圖。在所展示之實施例

中，晶圓201具有一SOI形態，其中絕緣物205(例如，150 nm厚)位於基板203之上，且作用材料層207位於絕緣物205之上。在一實施例中，絕緣物205由例如二氧化矽製成及基板203由矽製成。在其它實施例中，晶圓201可具有其它形態，其包括非SOI形態(例如，塊狀矽晶圓)或其它SOI形態。

在某些實施例中，層207為70至200 nm厚且由矽製成。在其它實施例中，層207可具有其它厚度且可由其它半導體材料(例如，鍺化矽、砷化鎵)製成。同樣在其它實施中，層207可由多層不同材料(例如，在一鍺化矽層上具有一矽層)製成。

在所示之實施例中，晶圓201包括位於層207上之熱氧化物保護層210及位於層210上之抗反射塗層(ARC)211。在一實施例中，層21係1由氮化物(例如，化學計量氮化矽)所製成。在隨後蝕刻層211期間，保護層210(例如，5至20 nm厚)保護層207。在其它實施例中保護層210可由其它材料所製成。

在形成層211之後，藉由(例如)圖案化以在晶圓201中形成渠道209。在所示之實施例中，渠道209延伸至絕緣物205。其它渠道(未圖示)形成於晶圓201之其它位置。

圖3為在氧化物層301沉積於晶圓201上之後晶圓201之部分截面側視圖。在沉積層301期間，層301之一部分沉積於ARC層211上且層301之另一部分307沉積於絕緣物205上之渠道209中。在一實施例中，層301具有約為層207之厚度

的一半之厚度，但在其它實施例中可為其它厚度。在某些實施例中，層301為氧化物(例如，摻碳氧化物、氟化氧化物、多孔氧化物、TESO或其它類型之氧化物)。在其它實施例中，層301可為其它類型之材料，例如其它類型之低介電係數(K)介電材料。

在一實施例中，藉由定向沉積方法來沉積層301。在一定向沉積方法中，自一受控方向(例如，與晶圓之表面垂直)沉積材料。藉由定向沉積方法，材料實質上僅沉積於面對受控方向之表面上(例如，渠道209之底部及層211之頂面)。在所示之實施例中，藉由定向沉積方法，若存在則非常少之材料層301沉積於渠道209之側壁上。在一實施例中，藉由一無偏差、高密度、電漿增強化學氣體沉積(CVD)方法來沉積層301，該方法為定向沉積方法。在其它實施例中，可藉由其它方法來沉積層301，該等方法包括諸如濺鍍(例如，RF濺鍍、準直濺鍍、磁控濺鍍或蒸發濺鍍)之其它定向沉積方法、電漿氣體沉積(PVD)方法、準直PVD方法、熱CVD方法或高密度電漿(HDP)方法。

使用定向沉積方法可最小化渠道之側壁上材料之沉積。因此在某些實施例中，由於自渠道之頂部至渠道之底部不存在類似材料之顯著路徑，所以可保護渠道中之材料，使其免於隨後之蝕刻及清洗。

在某些實施例中，可在其它材料於晶圓201上之隨後沉積之前移除沉積於側壁上之材料。

然後，在層301之上沉積層303。層303之一部分309沉積

於渠道209中。在一實施例中，層303由氮化物(例如，氮化矽)製成且具有10 nm之厚度。在其它實施例中，層303可由其它介電材料製成，其相對於一氧化物為可選擇地蝕刻的或相對於一隨後沉積之渠道填充材料(例如層501)為可選擇地蝕刻的。在某些實施例中，層303可由電漿增強CVD氮化物、低壓CVD氮化物、雙第三丁基胺基矽烷(BTBAS)、富含矽氮化物、碳化矽(SiC)或氮化矽碳(SiCN)製成。在一實施例中，藉由無偏差、高密度、電漿增強、化學氣體沉積(CVD)方法來沉積層303，但在其它實施例中可藉由包括其它定向沉積方法之其它方法來沉積。在其它實施例中，層303可具有不同厚度。在一實施例中，層303係足夠厚以便在隨後之氧化物蝕刻及清洗期間保護部分307。在某些實施例中，若存在則非常少之材料層303沉積於渠道209之側壁上。在某些實施例中，可在材料於晶圓201上之隨後沉積之前移除沉積於側壁上之材料層303。

參看圖4，使用對氧化物具有選擇性之蝕刻劑(例如HF)來蝕刻層210之側壁(以及層301之側壁)以在層210中形成凹進部分401(及在層301中形成凹進部分402)。蝕刻層210暴露渠道209中層207之頂部邊緣部分且使層207上部拐角修圓。隨後，藉由(例如)高溫氧化方法於渠道209中層207之暴露側壁上形成襯墊403。該高溫氧化方法作用以進一步使渠道209中層207之暴露之上部拐角修圓。具有修圓拐角可在操作期間起到減少漏電流及增加電路可靠性之作用。部分309可起到抑制鳥嘴狀之氧化物形成於渠道209之底部

之層 207 中之作用。

參看圖 5，在使層 207 之上部拐角修圓之後，於晶圓 201 之上包括渠道 209 之中沉積非等形渠道填充材料層 501。在一實施例中，層 501 由諸如氧化物(例如二氧化矽)之介電質製成。在一實施例中，藉由無偏差、高密度電漿來沉積層 501，但在其它實施例中可藉由其它方法來沉積。層 501 之材料相對於層 303 之材料為可選擇地蝕刻的。

圖 6 展示已經受化學機械研磨(CMP)製程之後的晶圓 201。在所示之實施例中，ARC 層 211 在 CMP 製程中用作研磨終止層。在所示之實施例中，將晶圓 201 研磨至需移除 ARC 層 211 之近似一半厚度的一點，但在其它實施例中可研磨至另一點。在其它實施例中，晶圓 201 可經受一回蝕製程(例如，化學蝕刻)，其中 ARC 層 211 被用作一蝕刻終止。結果，在渠道 209 中僅剩餘層 501 之部分。

參看圖 7，藉由蝕刻劑(例如磷酸  $H_3PO_4$  蝕刻劑)移除層 211 之剩餘部分，該蝕刻劑對於層 501 與層 210 之氧化物以及蝕刻之後的剩餘層為選擇性的。藉由層 501 之剩餘部分及襯墊 403 來保護部分 309，使其免於蝕刻。

參看圖 8，在隨後諸如清洗及蝕刻之製程中，移除層 501 之部分、襯墊 403 之部分及層 210。對於某些實施例，可在隨後製程中移除層 501 與襯墊 403 之全部。因為部分 309 相對於層 501 之氧化物為可選擇地蝕刻的，所以在隨後製程中不蝕刻部分 309。因此，在某些實施例中可限制由於隨後製程而移除之渠道材料之最大深度，藉此在隨後製程中

允許較大自由。因此在某些實施例中，減少移除渠道填充材料之最大深度的能力可減少歸因於(例如)聚階梯殘留(poly stringer)之電短路的可能性。

此外，因為大多數渠道形成為具有低K介電質(例如氧化物)，所以來自渠道之寄生電容可由於減少之氮化物的數量而減少。

圖9為在電晶體903及905形成之後晶圓201之視圖。電晶體903包括閘極907(例如由多晶矽或金屬製成)及位於閘極氧化物911上方之間隔物909。電晶體905包括閘極919及位於閘極氧化物912上方之間隔物921。藉由選擇性摻雜彼等區域在層207中形成源極/汲極區域913、915、925及923。電晶體903及905各自包括通道區域914及916，其分別位於各自電晶體之閘極下方之層207中。藉由渠道中部分309及307之介電材料，將源極/汲極區域925與源極/汲極區域915電絕緣。在所示之實施例中，在圖9中所示之階段之前，在晶圓201上所執行之製程期間，移除層501之剩餘部分及襯墊403之部分(如自圖8之階段)。在其它實施例中，可藉由其它材料(例如ILD之介電材料)之形成再填充渠道209。

圖10展示自圖9之視圖旋轉90度之晶圓201之部分截面側視圖。對於圖10之視圖，除以虛線展示間隔物909延伸至渠道209中之部分以外未展示間隔物909。在所示之實施例中，閘極907及閘極氧化物911延伸至渠道209中。根據此實施例，渠道之側壁之一部分充當電晶體903之通道區域之一部分，其延伸電晶體之有效寬度(例如由箭頭1003所

示之量)。由於部分309，可控制所移除之渠道填充材料(層501之材料)之深度。因此，可獨立於在閘極沉積之前所執行之蝕刻及清洗製程，來控制閘極907延伸至渠道中之距離及因此控制電晶體之有效寬度。因此，可預測使用電晶體903之電路之可操作性，且可更接近地滿足設計規格。同樣，在某些實施例中，利用本文所述之渠道建構之裝置，可具有較好之電壓失配特性，且由於機械應力可具有較小之電晶體變化。在某些實施例中，此等特徵可提供記憶體及邏輯電路中之較低最小操作電壓。在某些實施例中，在閘極材料沉積於晶圓201上之前可自渠道209移除層501之全部。

在某些實施例中，可調整層301、303及501之材料、彼等層之厚度及形成彼等層之方法以控制位於鄰近渠道之作用區域中之電晶體(例如903及905)之通道區域之張力。舉例而言，若藉由電漿增強CVD方法來沉積層303，則層303具有輕微之壓縮張力。若藉由一低壓、低溫CVD方法來沉積層303，則層303比藉由電漿增強CVD方法沉積之層303更為抗張。因此，藉由低壓、低溫CVD方法沉積之層303與藉由電漿增強CVD方法沉積之層303相比而言，鄰近渠道之作用區域將具有更大之壓縮張力。

可調整電晶體之通道區域之張力以控制電晶體之效能。舉例而言，通道區域之較大壓縮張力(在電晶體長度方向上)可起到改良P-通道電晶體中電洞遷移率之作用，而通道區域中之較大張力應變(在電晶體長度方向上)可起到改

良電子遷移率之作用。在電晶體之寬度方向上之較大張力應變可起到改良P-通道電晶體之電洞遷移率之作用。此外，亦可基於晶圓旋轉來控制應力。

位階位階雖然已展示及描述了本發明之特定實施例，熟習此項技術者將認可：基於本文之教示在不背離本發明及其較廣泛之態樣之狀況下可進行進一步改變及修改，且因此，附加之專利申請範圍將於其範疇之內包含所有改變及修改，如同本發明之真實精神及範疇之內包含所有改變及修改一般。

#### 【圖式簡單說明】

圖1為先前技術晶圓之部分截面側視圖。

圖2為根據本發明在一製造階段期間一晶圓之部分截面側視圖。

圖3為根據本發明在另一製造階段期間一晶圓之部分截面側視圖。

圖4為根據本發明在另一製造階段期間一晶圓之部分截面側視圖。

圖5為根據本發明在另一製造階段期間一晶圓之部分截面側視圖。

圖6為根據本發明在另一製造階段期間一晶圓之部分截面側視圖。

圖7為根據本發明在另一製造階段期間一晶圓之部分截面側視圖。

圖8為根據本發明在另一製造階段期間一晶圓之部分截

面側視圖。

圖9為根據本發明在另一製造階段期間一晶圓之部分截面側視圖。

圖10為根據本發明在另一製造階段期間一晶圓之部分截面側視圖。

在不同圖式中使用相同參考符號指示同一項目，除非另外說明。不必按比例畫圖。

### 【主要元件符號說明】

|     |          |
|-----|----------|
| 201 | 晶圓       |
| 203 | 基板       |
| 205 | 絕緣物      |
| 207 | 層        |
| 209 | 渠道       |
| 210 | 熱氧化物保護層  |
| 211 | ARC層     |
| 301 | 層        |
| 303 | 層        |
| 307 | 保護部分     |
| 309 | 部分       |
| 401 | 凹進部分     |
| 402 | 凹進部分     |
| 403 | 襯墊       |
| 501 | 層        |
| 903 | 電路使用之電晶體 |

|      |             |
|------|-------------|
| 905  | 電 晶 體       |
| 907  | 閘 極         |
| 909  | 間 隔 物       |
| 911  | 閘 極 氧 化 物   |
| 912  | 閘 極 氧 化 物   |
| 913  | 區 域         |
| 915  | 源 極 汲 極 區 域 |
| 919  | 閘 極         |
| 921  | 間 隔 物       |
| 923  | 區 域         |
| 925  | 汲 極 區 域     |
| 1003 | 箭 頭         |

## 五、中文發明摘要：

本發明揭示一種於一晶圓中形成一隔離渠道之方法。該方法包括沉積(例如，藉由一定向沉積方法)一第一介電材料於該渠道中，且然後沉積一第二介電材料(例如，藉由一定向沉積方法)於該渠道中之該第一介電材料之上。於該第二層之上該渠道中沉積一第三材料。該第二材料與該第三材料相互為可選擇地蝕刻的。在一實例中，該第一材料具有一低於該第二材料之介電常數。

## 六、英文發明摘要：

十一、圖式：

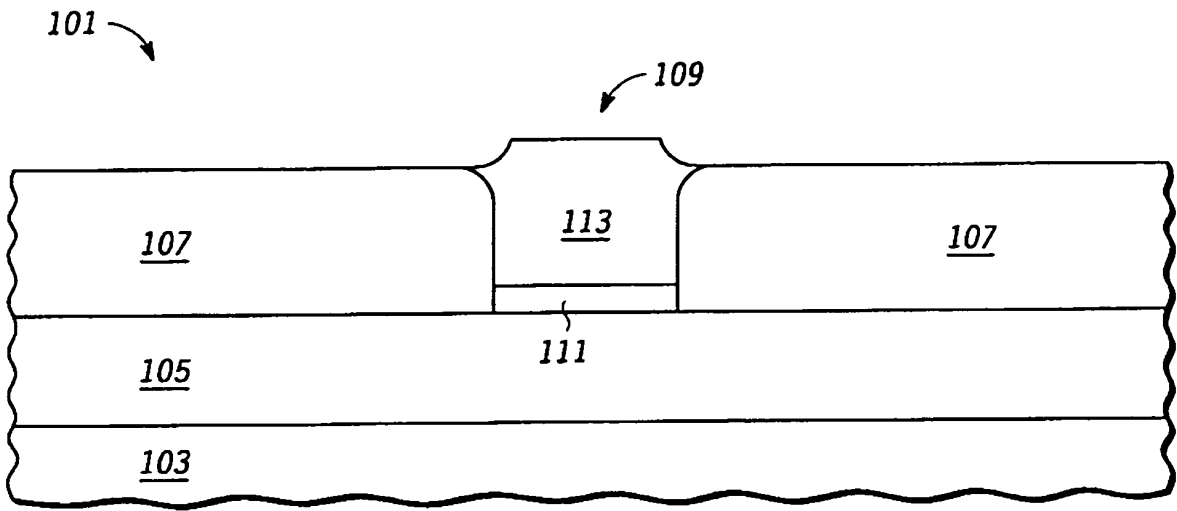


圖 1  
先前技術

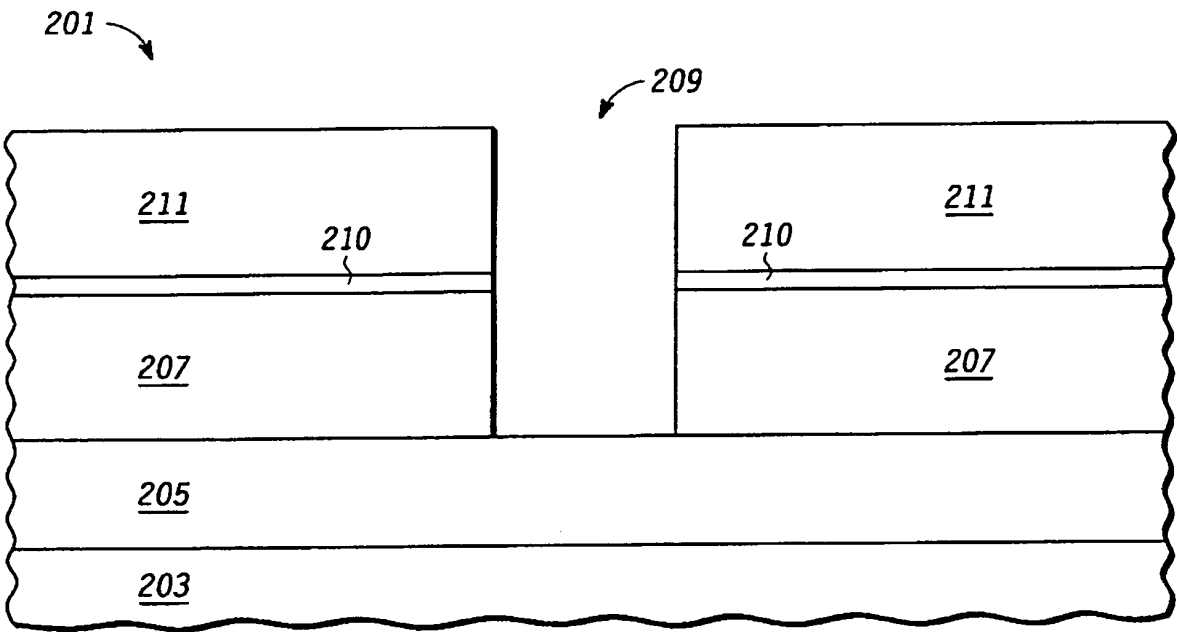


圖 2

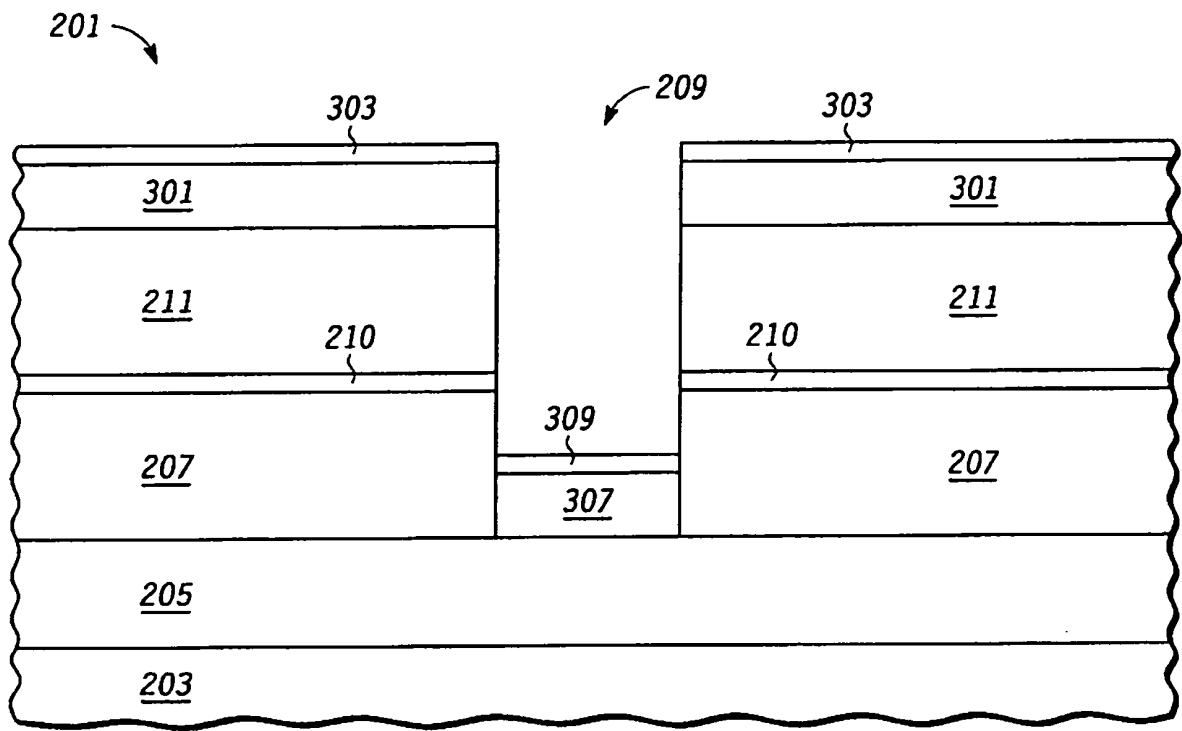


圖 3

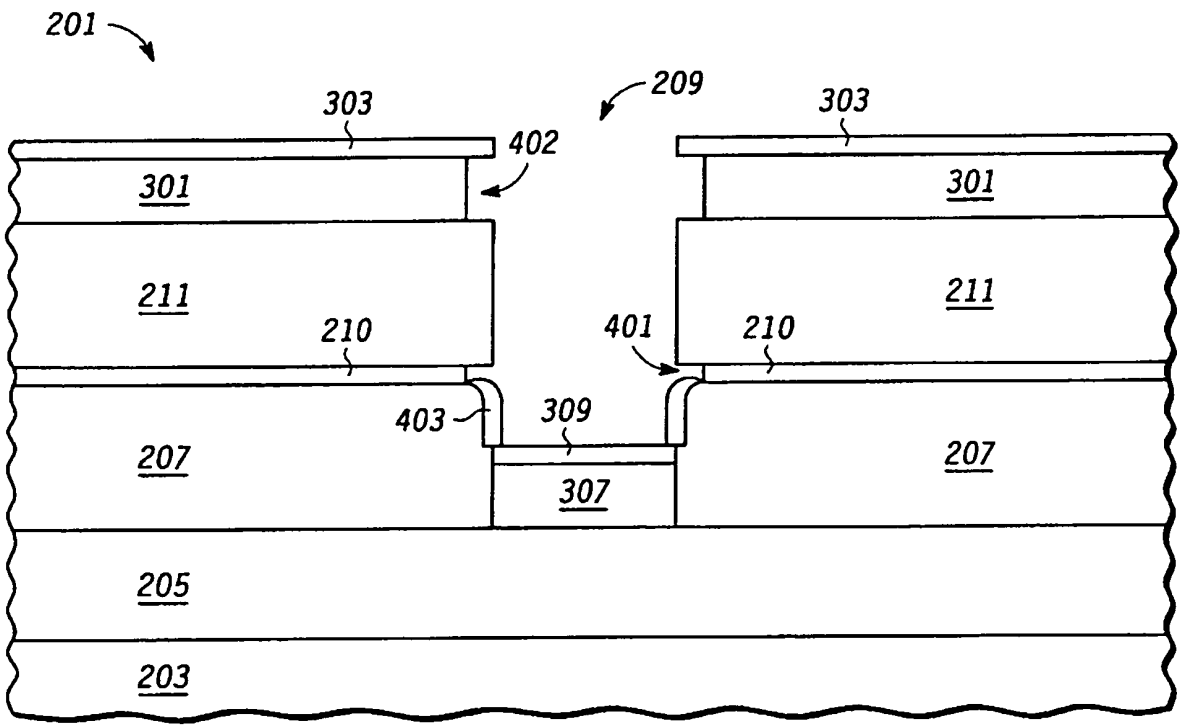


圖 4

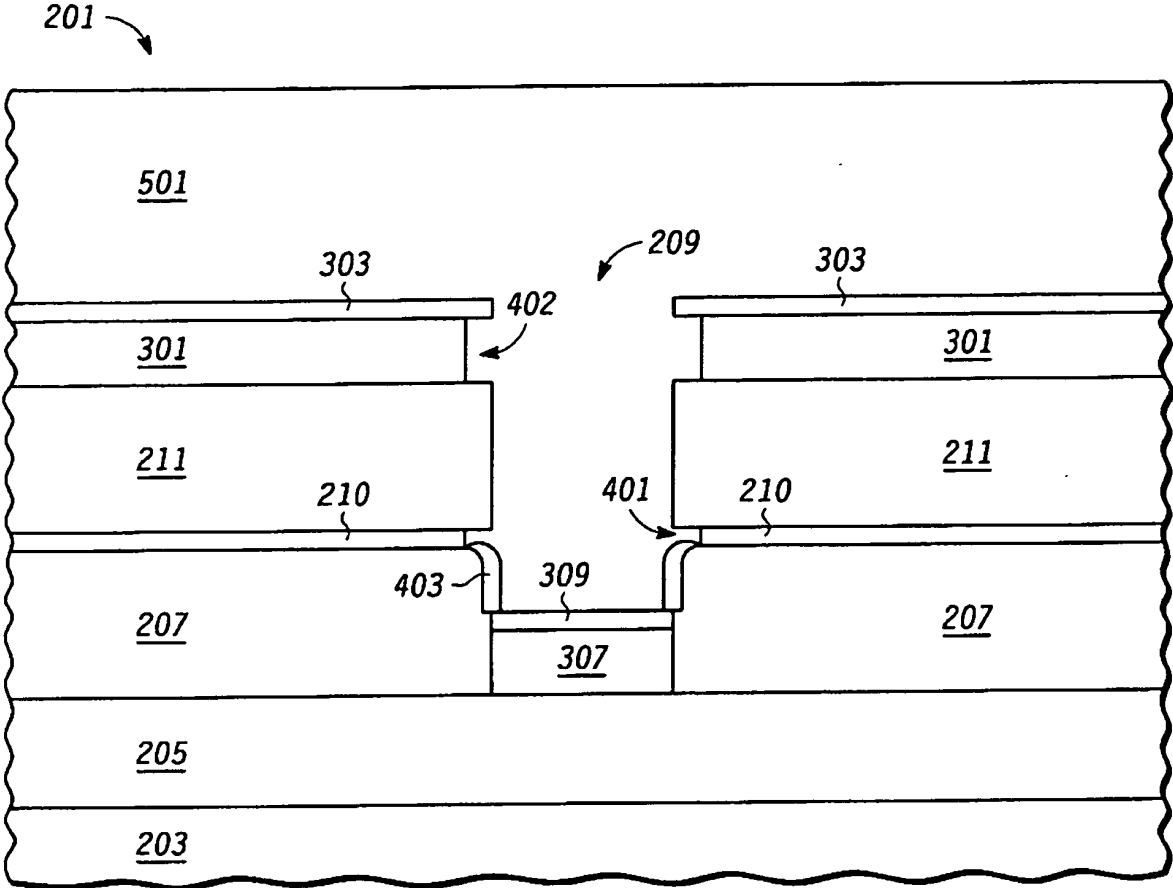


圖 5

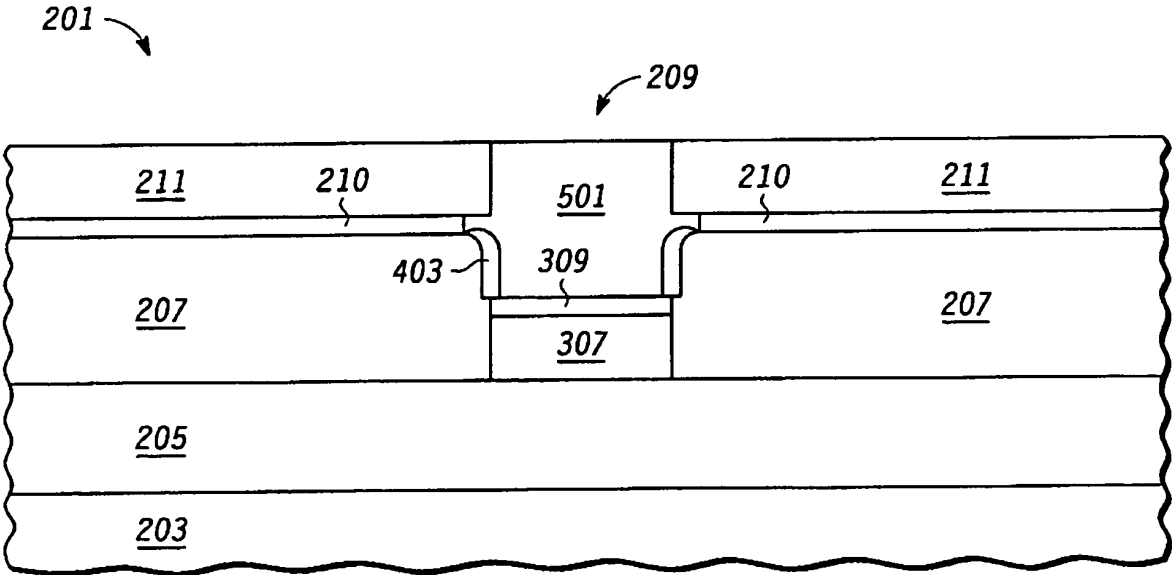


圖 6

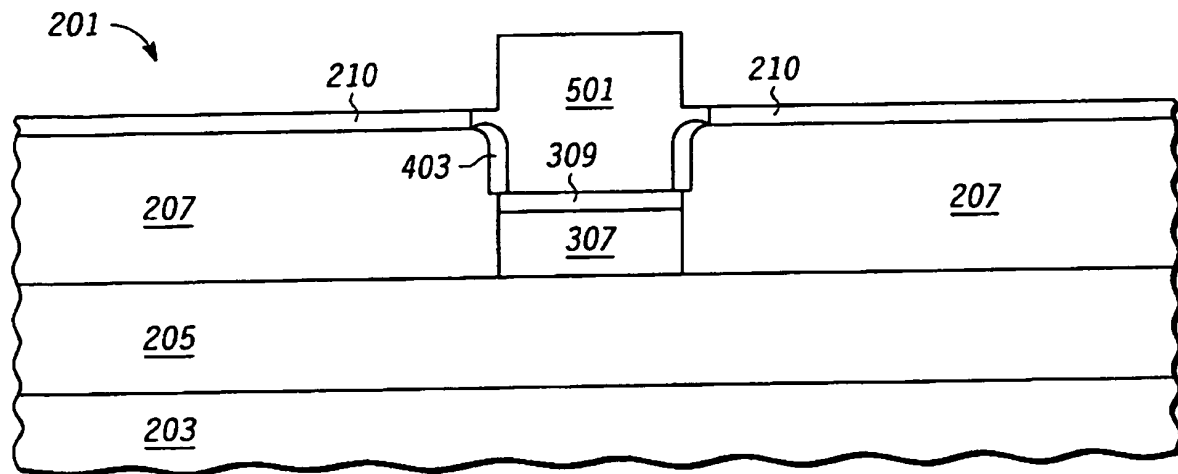


圖 7

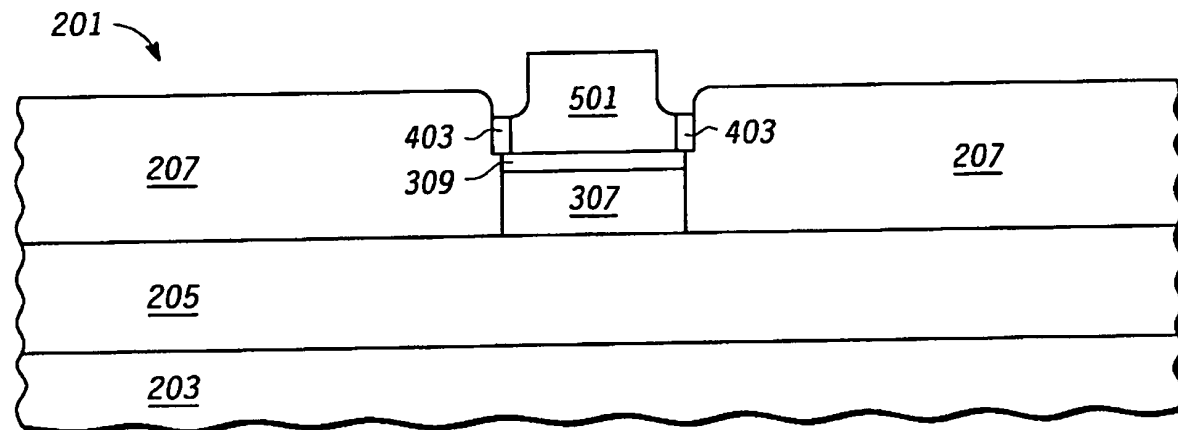


圖 8

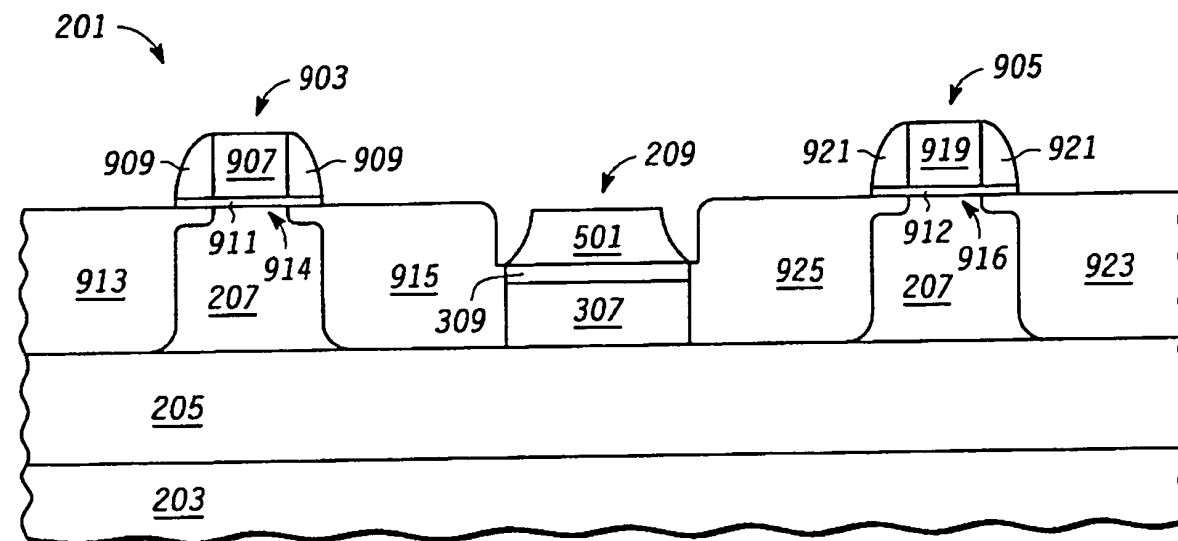


圖 9

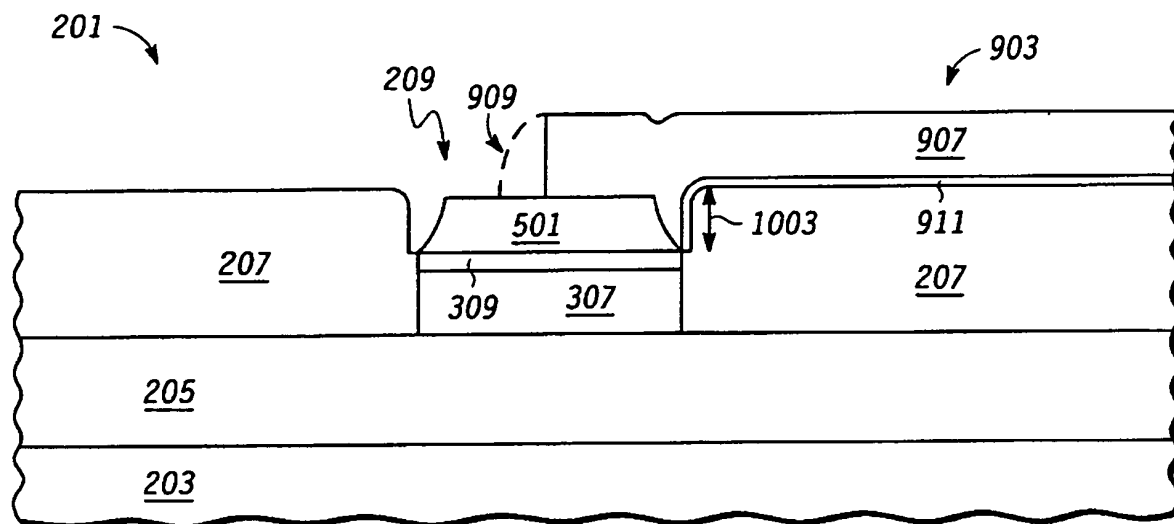


圖 10

## 七、指定代表圖：

(一)本案指定代表圖為：第(5)圖。

(二)本代表圖之元件符號簡單說明：

|     |         |
|-----|---------|
| 201 | 晶圓      |
| 203 | 基板      |
| 205 | 絕緣物     |
| 207 | 層       |
| 209 | 渠道      |
| 210 | 熱氧化物保護層 |
| 211 | ARC層    |
| 301 | 層       |
| 303 | 層       |
| 307 | 保護部分    |
| 309 | 部分      |
| 401 | 凹進部分    |
| 402 | 凹進部分    |
| 403 | 襯墊      |
| 501 | 層       |

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)

## 發明專利說明書

修正  
補充

94年11月7日

中文說明書替換修正頁(94年11月)

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：PU1223

※申請日期：94.4.22

※IPC 分類：H01L 21/00

## 一、發明名稱：(中文/英文)

隔離渠道

ISOLATION TRENCH

## 二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

美商飛思卡爾半導體公司

FREESCALE SEMICONDUCTOR, INC.

代表人：(中文/英文)

珍妮佛 B 伍艾梅特

WUAMETT, JENNIFER B.

住居所或營業所地址：(中文/英文)

美國德州奧斯丁市西帕莫路7700號

7700 WEST PARMER LANE, AUSTIN, TEXAS 78729, U.S.A.

國籍：(中文/英文)

美國 U.S.A.

## 十、申請專利範圍：

101 年 2 月 24 日修正本

1. 一種形成一半導體結構之方法，其包含：

提供一具有一半導體材料之晶圓；

於該半導體材料中形成一渠道，其中該渠道包括該半導體材料之一側壁；

沉積一第一介電材料，使其覆蓋該渠道之一底部部分至一第一深度，其中在該第一深度以上之一區域中之該側壁上實質上沒有該第一介電材料之沉積；

沉積一第二介電材料，使其覆蓋該渠道中之該第一介電材料至一第二深度，其中在該第二深度以上之一區域中之該側壁上實質上沒有該第二介電材料之沉積，其中該第二介電材料係不同於該第一介電材料；

形成一渠道側壁襯墊於該渠道內該半導體材料之一部分上，其中該第二介電材料防止該渠道側壁襯墊形成於該渠道內之該第二介電材料之一位階以下；及

沉積一介電渠道填充材料於該渠道中之該第二介電材料之上，其中該介電渠道填充材料係相對於該第二介電材料可選擇地蝕刻的。

2. 如請求項1之方法，其中該晶圓具有一絕緣物上半導體(SOI)形態。

3. 如請求項2之方法，其中：

該半導體材料覆蓋一絕緣物；

該渠道通過該半導體材料向下延伸至該絕緣物。

4. 如請求項1之方法，其中該沉積之第二介電材料之一厚

度係小於該沉積之第一介電材料之一厚度。

5. 如請求項1之方法，其中該第一介電材料之特徵在於其為一低K介電材料。
6. 如請求項1之方法，其中該第二介電材料包括一氮化物且該介電渠道填充材料包括一氧化物。
7. 如請求項1之方法，其中：

該形成一渠道側壁襯墊之步驟形成該半導體材料之一修圓邊緣。

8. 如請求項1之方法，其中在形成該渠道之前，該方法進一步包含：

形成一保護層，使其覆蓋該半導體材料，其中該形成該渠道進一步包括形成該渠道於該保護層及該半導體材料中，其中該渠道進一步包括該保護層之及該半導體材料一側壁。

9. 一種於一半導體結構中形成一隔離渠道之方法，其包含：

提供一具有一半導體材料之晶圓；

於該半導體材料中形成一渠道，其中該渠道包括該半導體材料之一側壁；

沉積一第一介電材料，使其覆蓋該渠道之一底部部分至一第一深度，其中在該第一深度以上之一區域中之該側壁上實質上沒有該第一介電材料之沉積；

沉積一第二介電材料，使其覆蓋該渠道中之該第一介電材料至一第二深度，其中在該第二深度以上之一區域

中之該側壁上實質上沒有該第二介電材料之沉積，其中該第二介電材料係不同於該第一介電材料，其中該第一介電材料具有一第一厚度且該第二介電材料具有一小於該第一厚度之第二厚度；

形成一渠道側壁襯墊於該渠道內之該半導體材料之一部分上，其中該第二介電材料防止該渠道側壁襯墊形成於該渠道內之該第二介電材料之一位階之下；及

沉積一介電渠道填充材料於該渠道中之該第二介電材料之上，其中該介電渠道填充材料係相對於該第二介電材料可選擇地蝕刻的。

10. 一種半導體結構，其包含：

一半導體材料；

一在該半導體材料中形成之渠道；

一覆蓋該渠道之一底部部分至一第一深度之第一介電材料；

一覆蓋該渠道中之該第一介電材料至一第二深度之第二介電材料，其中該渠道中之所有該第一介電材料係由該第二介電材料覆蓋，該第二深度係在該半導體材料之一頂部位階以下，其中該第二介電材料係不同於該第一介電材料；

其中該第一材料具有一第一介電常數且該第二材料具有一大於該第一介電常數之第二介電常數；及

一渠道側壁襯墊，其係於該渠道內該半導體材料之一部分上，其中該第二介電材料防止該渠道側壁襯墊形成於該渠道內之該第二介電材料之一位階以下。