

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2008-502002
(P2008-502002A)

(43) 公表日 平成20年1月24日(2008.1.24)

(51) Int. Cl.	F I	テーマコード (参考)
GO2B 6/42 (2006.01)	GO2B 6/42	2H137
GO2B 6/122 (2006.01)	GO2B 6/12 ZABB	2H147

審査請求 未請求 予備審査請求 未請求 (全 23 頁)

(21) 出願番号	特願2007-515453 (P2007-515453)	(71) 出願人	506396043 ボーグリー, ウィルバー シー, VOGLEY, Wilbur, C. アメリカ合衆国 16066-7605 ペンシルベニア, クランベリー タウンシ ップ, ハンター ドライブ 137
(86) (22) 出願日	平成17年5月27日 (2005.5.27)	(74) 代理人	100066728 弁理士 丸山 敏之
(85) 翻訳文提出日	平成19年1月17日 (2007.1.17)	(74) 代理人	100100099 弁理士 宮野 孝雄
(86) 国際出願番号	PCT/US2005/018940	(74) 代理人	100111017 弁理士 北住 公一
(87) 国際公開番号	W02005/122443	(74) 代理人	100119596 弁理士 長塚 俊也
(87) 国際公開日	平成17年12月22日 (2005.12.22)		
(31) 優先権主張番号	60/576,692		
(32) 優先日	平成16年6月2日 (2004.6.2)		
(33) 優先権主張国	米国 (US)		

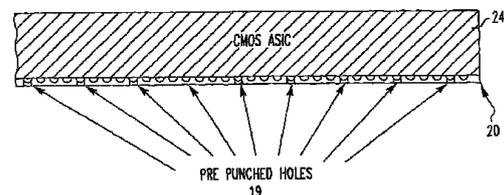
最終頁に続く

(54) 【発明の名称】 チップ間光アレイ及び方法

(57) 【要約】

【解決手段】 データリンクは、ASICを具えている。データリンクは、ASICと接続する断熱層を具えている。データリンクは、複数のトランスデューサを有する光変換層を具えており、それら複数のトランスデューサの各トランスデューサは、ASICと通信接続している。各トランスデューサは、入力/出力ピンと通信接続するのが好ましい。各トランスデューサは、光信号を電気信号に、又は、電気信号を光信号に変換する。データリンクは、光導波路層を具えており、該光導波路層は、光信号を運ぶ複数の導波路を有している。それら複数の導波路の各導波路は、トランスデューサと光通信し、光導波路層は、断熱層に近接している。データ用装置。データの伝送方法。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

A S I C と、

A S I C と接触する断熱層と、

複数のトランスデューサを有する光変換層であって、複数のトランスデューサの各トランスデューサは、断熱層を介して A S I C と通信接続され、各トランスデューサは、光信号を電気信号に、又は、電気信号を光信号に変換する光変換層と、

光信号を運ぶ複数の導波路を有しており、複数の導波路の各導波路は、トランスデューサと光通信接続されている光導波路層であって、断熱層に近接している光導波路層とを具えるデータリンク。

10

【請求項 2】

A S I C は複数のコネクタを有しており、断熱層は、これらコネクタに対して位置決めされた複数の孔を有しており、各トランスデューサは、断熱層の孔に位置決めされて、コネクタと通信接続されている、請求項 1 に記載のデータリンク。

【請求項 3】

コネクタは入力/出力ピンである、請求項 2 に記載のデータリンク。

【請求項 4】

各トランスデューサは、V C S E L、光センサ、又はそれらの両方を含んでいる、請求項 3 に記載のデータリンク。

【請求項 5】

光変換層と断熱層の間に配置された排熱層を含んでおり、該排熱層は、断熱層の複数の孔に合わされる複数の孔を有している、請求項 4 に記載のデータリンク。

20

【請求項 6】

圧力を加えられて、データリンクを確実に密閉する上部を含む、請求項 5 に記載のデータリンク。

【請求項 7】

少なくとも 1 つの導波路はタイミング同期に使用される、請求項 6 に記載のデータリンク。

【請求項 8】

データの送信又は受信前にタイミングを調整するためのタイミング同期用クロックを含む、請求項 7 に記載のデータリンク。

30

【請求項 9】

第 1 A S I C と、

第 2 A S I C と、

第 1 A S I C 及び第 2 A S I C に接続された複数の光導波路とを具えており、

複数の光導波路を通して、データと、光導波路にてデータを同期させるタイミングとが、それら A S I C 間で伝送されるデータ用装置。

【請求項 10】

複数の光導波路の各光導波路は、第 1 端部と少なくとも第 2 端部とを有しており、各光導波路の各端部は、光導波路に光パルスとしてデータを送るレーザと、光導波路から光パルスとしてデータを受信するセンサとを有する、請求項 9 に記載のデータ用装置。

40

【請求項 11】

第 1 A S I C は第 1 クロックを有しており、第 2 A S I C は第 2 クロックを有しており、第 1 クロック及び第 2 クロックが互いに用いられて、第 1 A S I C と第 2 A S I C の間でデータが送信又は受信される前にタイミングが調整される、請求項 10 に記載のデータ用装置。

【請求項 12】

データを伝送する方法において、

複数の出力ピンを有する A S I C で電気信号を生成するステップと、

複数の出力ピンを介して、光変換層の複数のトランスデューサに A S I C から電気信号

50

を送るステップであって、複数の入力/出力ピンに対して位置決めされた複数の孔を有しており、CMOSデバイスと接触する断熱層が設けられており、複数の出力ピンから複数のトランスデューサに、複数の孔を介して電気信号を送るステップと、
複数のトランスデューサで電気信号を光信号に変換するステップと、
複数のトランスデューサの光信号を、光変換層に近接する光導波路層の複数の導波路に送るステップとを含む方法。

【請求項13】

光信号を第2ASICで受信するステップと、第2ASICで光信号を電気信号に変換するステップとを含む、請求項12に記載の方法。

【請求項14】

データを伝送する方法において、
光変換層と接触する光導波路層から送られた光信号を受信するステップと、
光信号を光変換層の電気信号に変換する光センサデバイスから、ASICの複数の入力ピンを介して電気信号を受信するステップであって、ASICと接触し、複数の入力ピンに対して位置決めされた複数の孔を有する断熱層が設けられており、電気信号は、光センサデバイスからASICの複数の入力/出力ピンに複数の孔を介して送られ、光センサデバイスは、光信号を電気信号に変換するステップとを含む方法。

10

【請求項15】

電気信号を第2ASICで生成するステップと、第2ASICで電気信号を光信号に変換するステップと、光信号を光変換層に送るステップとを含む、請求項14に記載の方法。

20

【請求項16】

ASICと、光変換層とを具えており、
該光変換層は、それが受信した光信号をASIC向けの電気信号に変換し、ASICから送られた電気信号を光信号に変換し、
ASICは、暗号化アーキテクチャを使用せず、ダイレクト並列変調バスと、別個のクロック用光経路とを用いており、該クロック用光経路は、フィードバックループを用いて、タイミング調整用に個々の経路の遅延を決定する光インターフェイス。

【請求項17】

動作範囲のあるクロックを有するASICと光変換層とを具えており、
クロックのタイミングは、ASICが既知のデータを受信し、クロックの任意の遅れをクロックの動作範囲の中心に合わせることで制御され、
光変換層は、それが受信した光信号を、ASIC向けの電気信号に変換し、ASICの電気信号を光信号に変換するデータリンク。

30

【請求項18】

電気信号を並列に生成する生成手段と、
電気信号を光信号に並列に変換し、それら光信号を並列に送信し、それら光信号を電気信号に並列に変換し、それら電気信号を生成手段に与える変換手段とを具えており、
変換手段は、生成手段と並列に接触するデータリンク。

【発明の詳細な説明】

40

【技術分野】

【0001】

本発明は、光信号を用いたデータ伝送に関する。より詳細には、本発明は、電気的インターフェイスと、光インターフェイスと、光導波路リンクとを使用して、光信号を用いてデータを伝送する方法に関する。

【背景技術】

【0002】

データフローに関する現在の戦略は、テクノロジーが許す限りにおいて、電気的インターフェイスを用いるものである。そのアーキテクチャは、40年前と同じであって、あるロジックデバイスから別のロジックデバイスへと、ボード/バックプレーンを介して

50

、空間及び誘電体で隔てられた銅上でデータを移動させるものである。

【発明の開示】

【発明が解決しようとする課題】

【0003】

本発明は、データフローを速くすることでテクノロジーを改善し、Gbps当たりの電力を減少し、外部インターフェイスに対する脆弱性を低減し、将来のシステムのコストを大きく減少するものである。本発明は、任意のシステム内にある全てのデバイス間のデータリンクとなる光インターフェイスに関する。

【課題を解決するための手段】

【0004】

本発明は、データリンクに関する。データリンクは、ASICを具えており、該ASICは、入力/出力ピンのようなコネクタを有するのが好ましい。データリンクは、ASICと接触する断熱層を具えており、該断熱層は、入力/出力ピンに対して位置決めされた孔を有するのが好ましい。データリンクは、複数のトランスデューサを有する光変換層を具えており、それら複数のトランスデューサの各トランスデューサは、ASICと通信接続され、断熱層の孔に対して位置決めされているのが好ましい。各トランスデューサは、入力/出力ピンと通信接続されるのが好ましい。各トランスデューサは、光信号を電気信号に、又は、電気信号を光信号に変換する。データリンクは、光導波路層を具えており、該光導波路層は、光信号を運ぶ複数の導波路を有している。それら複数の導波路の各導波路は、トランスデューサと光通信接続されており、光導波路層は、断熱層に近接している。

10

20

【0005】

本発明は、データ装置に関する。装置は、第1ASICを具えている。装置は、第2ASICを具えている。装置は、第1ASIC及び第2ASICに接続された複数の光導波路を具えており、データと、光導波路でデータを同期させるタイミングとが、それらASICの間を、光導波路を介して伝送される。

【0006】

本発明は、データを伝送する方法に関する。その方法は、好ましくは出力ピンを有するASICで電気信号を生成するステップを含む。好ましくは出力ピンを介して、ASICから光変換層のトランスデューサに電気信号を送るステップがある。ASICと接触する断熱層があって、該断熱層には、入力/出力ピンに対して位置決めされた孔があるのが好ましい。これら孔を介して、出力ピンからトランスデューサへと電気信号が伝わる。トランスデューサを用いて電気信号を光信号に変換するステップがある。光変換層と近接する光導波路層の導波路に、トランスデューサから光信号を送るステップがある。

30

【0007】

本発明は、データを伝送する方法に関する。その方法は、光変換層と接触する光導波路層から、光信号を受信するステップを含む。ASICの入力ピンを介して、光センサデバイスから、電気信号を受信するステップがある。該光センサデバイスは、光信号を、光変換層の電気信号に変換する。ASICと接触する断熱層がある。断熱層は、入力ピンに対して位置決めされた孔を有している。孔を介して、電気信号は、光センサデバイスからCMOSデバイスの入力ピンに伝わる。光センサデバイスは、光信号を電気信号に変換する。

40

【0008】

本発明は、光インターフェイスに関する。光インターフェイスは、ASICと、光変換層とを具えている。該光変換層は、それが受信した光信号をASIC向けの電気信号に変換し、ASICの電気信号を光信号に変換する。ASICは、暗号化アーキテクチャを使用していない。ASICは、ダイレクト並列変調バス(direct parallel modulation bus)と、別個のクロック用光経路とを使用しており、別個のクロック用光経路は、フィードバックループを用いて、タイミング調整のために、個々の経路の遅延を決定する。

【発明を実施するための最良の形態】

50

【0009】

図面を参照すると、幾つかの図を通じて、類似又は同じ部分には同様な符号が付されている。特に、図3及び図15を参照すると、データリンク(10)が示されている。データリンク(10)は、ASIC(24)を具えており、該ASIC(24)は、入力/出力ピン(36)のようなコネクタを有している。データリンク(10)は、ASIC(24)と接触する断熱層(20)を具えており、該断熱層(20)は、入力/出力ピン(36)に対して位置決めされた孔(19)を有するのが好ましい。データリンク(10)は、複数のトランスデューサ(43)を有する光変換層(32)を具えており、それら複数のトランスデューサ(43)の各トランスデューサは、断熱層の孔に対して位置決めされているのが好ましい。各トランスデューサは、ASIC(24)と通信接続されており、さらに、入力/出力ピンと通信接続されるのが好ましい。各トランスデューサは、光信号を電気信号に、又は、電気信号を光信号に変換する。データリンク(10)は、光導波路層を具えており、該光導波路層は、光信号を運ぶ複数の導波路(34)を有している。それら複数の導波路(34)の各導波路(34)は、トランスデューサと光通信し、光導波路層は、断熱層に近接している。

10

【0010】

各トランスデューサは、VCSEL(18)、光センサ(40)、又はそれら両方を含むのが好ましい。データリンク(10)は、光変換層(32)と断熱層(20)の間に配置された放熱層(30)を含むのが好ましい。放熱層(30)は、断熱層(20)の孔(19)に合わせられる孔(19)を有している。データリンク(10)の上部は、加圧されて、データリンク(10)が確実に密閉されるのが好ましい。導波路(34)の少なくとも1つは、タイミング同期に使用されるのが好ましい。

20

【0011】

本発明は、データ装置に関する。装置は、第1ASIC(44)を具えている。装置は、第2ASIC(46)を具えている。装置は、第1ASIC(44)及び第2ASIC(46)に接続された複数の光導波路(34)を具えており、データと、光導波路(34)でデータを同期させるタイミングとは、それらASICの間を、光導波路(34)を介して伝送される。

【0012】

複数の導波路(34)の各導波路(34)は、第1端部及び第2端部を有するのが好ましい。各導波路(34)の各端部は、光パルスとしてデータを各導波路(34)に送るレーザ(48)と、光パルスとしてデータを各導波路(34)から受信するセンサ(50)とを有する。

【0013】

本発明は、データを伝送する方法に関する。その方法は、好ましくは出力ピン(36)を有するASIC(24)で電気信号を生成するステップを含む。好ましくは出力ピン(36)を介して、ASIC(24)から、光変換層(32)のトランスデューサ(43)に電気信号を送るステップがある。ASIC(24)と接触する断熱層(20)があって、該断熱層(20)には、入力/出力ピン(36)に対して位置決めされた孔(19)があるのが好ましい。これら孔(19)を介して、出力ピン(36)からトランスデューサ(43)へと電気信号が伝わる。トランスデューサ(43)を用いて電気信号を光信号に変換するステップがある。光変換層(32)と近接する光導波路層の導波路(34)に、トランスデューサ(43)から光信号を送るステップがある。

30

【0014】

第2ASIC(46)で光信号を受信するステップと、第2ASIC(46)で光信号を電気信号に変換するステップとがあるのが好ましい。

40

【0015】

本発明は、データを伝送する方法に関する。その方法は、光変換層(32)と接触する光導波路層から光信号を受信するステップを含む。ASIC(24)の入力ピン(36)を介して、光センサデバイス(40)から、電気信号を受信するステップがある。光センサデバイス(40)は、光信号を、光変換層(32)の電気信号に変換する。ASIC(24)に接触する断熱層(20)がある。断熱層(20)は、入力ピン(36)に対して位置決めされた孔(19)を有している。電気信号は、孔(19)を介して、光センサデバイス(40)からASIC(24)の入力ピン(36)に伝わる。光センサデバイス(40)は、光信号を電気信号に変換する。

【0016】

50

第2ASIC(46)で電気信号を生成するステップと、第2ASIC(46)で電気信号を光信号に変換するステップと、光信号を光導波路層に伝送するステップとがあるのが好ましい。

【0017】

本発明は、データリンク(10)に関する。データリンク(10)は、ASIC(24)と、光変換層(32)とを具えている。該光変換層(32)は、それが受信した光信号をASIC(24)向けの電気信号に変換し、ASIC(24)の電気信号を光信号に変換する。ASIC(24)は、暗号化アーキテクチャを使用していない。ASIC(24)は、ダイレクト並列変調バスと、別個のクロック用光経路とを使用しており、別個のクロック用光経路は、フィードバックループを用いて、タイミング調整のために、個々の経路の遅延を決定する。

10

【0018】

本発明は、データリンク(10)に関する。データリンク(10)は、動作範囲のあるクロックを有するASIC(24)を具えており、そのクロックのタイミングは、ASIC(24)が既知のデータを受信し、クロックの任意の遅れをクロックの動作範囲の中心に合わせることで制御される。データリンク(10)は、光変換層(32)を具えており、該光変換層(32)は、それが受信した光信号を、ASIC(24)向けの電気信号に変換し、ASIC(24)の電気信号を光信号に変換する。

【0019】

本発明は、データリンク(10)に関する。データリンク(10)は、並列に電気信号を生成する生成手段を具える。データリンク(10)は、電気信号を光信号に並列に変換し、光信号を並列に伝送し、光信号を電気信号に並列に変換し、それら電気信号を生成手段に与える変換手段を具える。変換手段は、生成手段と並列に繋がっている。

20

【0020】

生成手段はASIC(24)を含んでおり、該ASIC(24)の上部に、ASIC(24)の熱除去層があるのが好ましい。また、生成手段は、ASIC(24)の底部に配置された断熱層(20)を含むのが好ましい。変換手段は、光変換層(32)を具えており、該光変換層(32)は、その上部に設けられて、断熱層(20)と接触する放熱層(30)を有するのが好ましい。また、変換手段は、光変換層(32)と接触する光導波路層を含むのが好ましい。

【0021】

好ましい実施例の作業では、以下のステップが起こって、光データリンク(10)が構築される。

30

【0022】

ASIC(24)のCMOSデザインを変更して、外部ドライバで消費される電力を低減する。

【0023】

現在のASIC(24)のFDPドライバは、2.5Gbpsでドライバ当たり約300mWを消費する。これらデバイスのサイズを、10Mw未満の電力を消費する内部セルドライバに対する内部セルのサイズに減少する。

【0024】

CMOSをVCSEL(18)から断熱して、VCSEL(18)を保護し、特定のLAMBD Aを維持する。

40

【0025】

VCSEL(18)があらかじめCMOSに直接接着されていない主な理由の1つは、CMOの熱がVCSEL(18)を破壊するかもしれないからである。

【0026】

この問題は、VCSEL(18)のために、断熱体(20)と別個の放熱システムとを設けることで対処されている。

【0027】

図1は、マイクロラン(登録商標)製の断熱体(20)を示しており、該断熱体(20)は、ゴアテックス(登録商標)(これは、W.L.Goreから購入可能)で補足された僅かな空気で満

50

たされた泡を含んでいる。この断熱体(20)は、CMOSデバイス(24)の凹凸側(22)に配置される。予め開けられた孔(19)があって、それらは、VCSEL(18)と接続される。温度変動は、ラムダ変動(Lambda variation)を起こすことから、これは、VCSEL(18)の温度を安定に維持する最初のステップである。

【0028】

VCSEL層(32)からの熱の除去

温度バリア(26)が、CMOSとVCSEL(18)の間に存在するが、VCSEL(18)で発生した熱は留まる。この熱を除去するために、カーボンシート層(28)のような、熱除去層が加えられる。熱除去層は、水平に原子価結合した炭素化合物(horizontally valance bonded carbon compound)の幾つかの薄いシートで構成されており、水平方向に熱を通過させる。

【0029】

この放熱層(30)は、図2に示されている。この放熱層(30)は、VCSELデバイス(18)の温度が一定になるように、必要に応じて変更される。

【0030】

VCSEL層(32)の作製

VCSEL層(32)は、単にデバイス内の層であって、VCSEL(18)/センサ(50)を支持し、それらと、CMOS接続やボードのポリマー製導波路との関係を支持する。CMOSデバイス(24)のI/Oピン(36)が最初に形成されて、その後、VCSEL層(32)は、CMOSとVCSEL(18)/センサ(50)の電気的接続を合わせる。この最終調整で、与えられた任意のVCSEL(18)とボード上のポリマー製導波路の位置決めも完了する。

【0031】

VCSEL層(32)は、FR4又はその他の幾つかの材料で作製されてよく、これらの材料は、この最終配置にてVCSEL(18)を保持する。

【0032】

動作

VCSEL(18)の入力ピン(36)は、CMOSのDPドライバ(38)と合わせられる。この接続によって、DP上で極性の変更が可能となって、VCSEL(18)は、それが生成しているラムダの位相シフトを起こす。

【0033】

位相シフトは、ポリマ製導波路(34)を介して、受信ステーション(42)の光センサ(40)に正確に伝送される。光センサは、位相シフトをインタラプトし(interrupts)、CMOSアレイに取り付けられたピン(36)について極性の変化を起こす。

【0034】

図3には全てがまとめられており、ASIC1(44)は、導波路(34)のリンク(1)でASIC2(46)にデータを送る。ASIC2(46)は、導波路(34)のリンク(2)でASIC1(44)にデータを送り、クロックは、第1クロック(80)と第2クロック(82)の間にある導波路のリンク(3)上で「交換される」(exchanged)。用語「交換される」は、本明細書では、双方向のクロックリンクを意味する。導波路(34)の両端は、レーザ(48)及びセンサ(50)と接する(これは、別個の導波管、ラムダが異なる導波管、あるラムダの導波管であってよい)。

【0035】

クロックは、一般的な電気的インターフェイスのように、データラインを同期させるのに使用される。このタイプのクロッキング(clocking)では、送信デバイスはクロックと、クロックに同期するデータとを送信する。全てのデータ信号は最初は並列に到着し、クロックは、入力レジスタをイネーブルし、入力レジスタは、受信したデータを保存する。

【0036】

図5及び図6は、同じデバイスを図示しているが、図5ではFDPを伴っており、図6では光アレイを伴っている。図5は、高速の差動対を支持するのに必要とされる層の例を示している。図6は光アレイを示しており、図の右側には別個に分けられた経路があり、

10

20

30

40

50

図の左側には、複数のラムダの1つの導波路(34)がある。

【0037】

図6は、データリンク(10)用の光アレイを用いたデバイスを示す。データリンク(10)は、右側に示すように、個別のポリマー製導波路(34)とすることができ、又は、左側に示すように、複数のラムダの1つの導波路(34)のWDMとすることができる。(注意：層の数、導波路(34)当たりのチャンネル、VCSEL(18)の数は、例示を目的としたものである。)

【0038】

図7では、VCSEL(18)は、同じ方法を用いてパッケージとして加えられている。接着パッド(52)は、VCSEL(18)/センサ(50)の接続に使用される。ゴア製の断熱層は、放熱層と同様に新規である。幾つかの放熱方法が存在するが、好ましい実施例では、積層された多数のカーボンスレート(carbon slate)が、水平方向に熱を移動させる。VCSEL(18)の数によっては、放熱層が外部に接続されて、VCSEL(18)の温度が一定に維持されるかも知れない。

10

【0039】

この場合の放熱層(30)は、VCSEL(18)の位置決めスタビライザ(alignment stabilizer)でもある。

【0040】

詳細

(以下の手順の多くは、製造環境では自動化されるだろう)

20

【0041】

物理的性質

図8及び図9に示すように、作製は、小さなFPGAから始まり、既存のドライバを用いるだろう。そのFPGAは、Altera atix EP1S10F484である。このデバイスは、イングレスとエグレスに多重1.25/2.5 Gbps DPを有している。HS-I/Oピン(36)は正確に配置され、VCSEL(18)用のリード間隔が検討されて、配置がそのままか、さらなるステップを必要として動かされるかを判断する。このデバイスでは、配置は調整されるとする。

【0042】

FPGAのピン配列のイメージ画像を用いた位置合わせ治具に、VCSEL(18)を配置する。使用されるFPGAのI/Oの数について、治具の基部にはスロットがある。VCSEL(18)の構成はX4であり、160Gbpsのイングレス及びエグレスが必要とされるので、デバイスセットが使用される。出口のストラテジ(ポリマー製導波路(34))の柔軟性により、デバイス位置は、FPGAのピン(36)が要求するどの場所でもよい。ノイズ排除の一環として、デバイスDPが動作する距離は非常に短くされる(100um未満)。治具にVCSEL(18)があって、イングレス/エグレスが治具に面している状態で、FR4のシートが上部に重ねられる(ソケット基準の調整に使用される治具の4つの場所に位置決めピン(36)がある)。

30

【0043】

注意：この技術で意図されるデバイスでは、次のレシーバが同じシリコン表面の上にあるならば、I/Oドライバのサイズは小さくなり、CMOSドライバのように作製されるだろう。この減少は、ドライバに要する空間及び電力を低減する。

40

【0044】

これはMTBFの重要な一部であるから、トルクの仕様は、押圧バージョンで確実な接触を保証するように示される(これは、現在のハンダ技術を用いた密閉ユニットであってもよい)。

【0045】

図14に示すように、押圧デバイス(45)では、装着されているチップにてバネ鋼が全体的に作用する。これは、非常に受け入れやすい方法であって、コントロールデータサイバー205スーパーコンピュータでも行われている。

50

【 0 0 4 6 】

全ての光インターフェイスの大部分は、S E R D E Sのようなある種の暗号化を含んでいる。暗号化システムは、受信データを用いてクロックをカプセル化してエンコードし、シリアルインターフェイス上でデータがクロック調整して復元されることで、受信データが正しくインタラプトされることを保証する。本発明は、S E R D E S又はその他の暗号化アーキテクチャを使用せず、並列でダイレクトな変調インターフェイスを使用する。該インターフェイスは、バス及び別個に設けられたクロック用光経路であってよく、該光経路は、フィードバックループを用いて、タイミング調整のために個々の経路における遅延を決定する。これによって、熱変動に起因したドリフトが補償される。V C S E L (18)の動作温度は許容範囲内に維持されてよいが、この補償がなければ、10 + M b p sで10度のずれがあると、データの完全性の問題が起こるだろう。

【 0 0 4 7 】

本発明には、直接変調技術を用いてV C S E Lを駆動する方法があり、直接変調技術によって、複合デバイスのI/Oへのドライバ及びレシーバの直接接続が可能とされる。直接変調式V C S E L (18)にてデータをドライブ及び復元するためには、複数の方法があって、ダイレクトドライブが使用されて、検出可能な周波数シフトがもたらされるか、酸化物がドーピングされたりフレクタが加えられて、出力が変調される。850乃至979ナノメートルの範囲が、現在では選択されるだろう。

【 0 0 4 8 】

受信端では、センサ(50)が位相シフトを検出し、受信ゲートで処理される「1」又は「0」を生成する。受信ゲートは、ゲートクロックを用いて出力をアクティブにする。

【 0 0 4 9 】

これは、光経路の並行調整がなされる場合である。各経路は、プログラム制御で変更され、又はゲートクロックがプログラム制御されて、経路における様々な変動に対処してもよい。

【 0 0 5 0 】

ポリマー製導波路(34)の長さが特定の許容範囲(初期の製品では、10 G b p sで1 m m)内にあるケースだと、クロックのみが調整される必要がある。これは、シュムージング(shmooing)と呼ばれる、メモリで使用される技術を用いて行える。該技術は、既知のデータを送信し、その調整機能でクロックを移動させて、クロックの遅延を動作範囲の中心に合わせる。

【 0 0 5 1 】

ポリマー製導波路(34)の長さが特定の許容範囲内でないケースだと、複雑な経路の状況で必要とされる個別ビットライン方法のような、第2の調整方法が用いられる。この方法では、既知データと似たパターンが、受信データに合わせられたクロックと共に使用される。この場合、各ビット経路で遅延をプログラムすることでデータが変化する。この調整は、チップツーチップで、又は、光J T A Gのようなシリアルサービスポートを介して行える。

【 0 0 5 2 】

断熱材料

次のステップでは、C M O Sの熱からV C S E L (18)を保護する(ゴアを用いて作製された)断熱材料を取って、テンプレートを用いて、適当な凸部と接触するように孔(19)を開ける。

【 0 0 5 3 】

この同じテンプレートを用いて、同じ加工箇所にて、熱放散材料に孔(19)を設ける。これらの孔(19)は、V C S E L (18)との接続のために、はんだのような導体で満たされる。

【 0 0 5 4 】

注意：(このステップは、熱が水平面を移動する一方で、材料が電子を垂直に通過させない限りにおいて必要とされる。後者の材料が使用される場合、デバイスのこの要素について調整は不要である。)

10

20

30

40

50

【 0 0 5 5 】

レシーバのクロック調整システムの作製

70年代以降のあらゆる並列システムでは、並列伝送は、クロック調整システムを含んでいた。ドライバにおける変動、LANの不規則性(irregularities)、及び、レシーバの許容誤差が原因で、データは常に同時に到着するとは限らない。VCSEL(18)とポリマー製導波路(34)を用いた技術は、これらの変動を小さくするが、変動は残る。故に、データラインは、ビルトインアルゴリズムと、小さい増分でクロックタイミングを変化させる機能とを用いてシュムー(shmoo)される。非常に小さいデルタから非常に大きいデルタが、必要に応じて補償される。

【 0 0 5 6 】

データを調整するアルゴリズムは2段階である。変動に応じて、コース(coarse)調整及びファイン調整の何れかが、又はそれらの両方が使用される。

【 0 0 5 7 】

コース調整は、全てのデータの立ち上がりエッジのタイミングが、デューティサイクルの30%である許容範囲内であることを仮定する。例えば10Gbpsのデータレートでは、デューティサイクルが200ピコ秒であり、並列なデータラインの全ての立ち上がりエッジは、最大で60ピコ秒デルタである。既知のデータシーケンスが、クロックと共にレシーバに送られる。受信データが送信データと一致するまで、レシーバのゲートにて、クロックの到着時刻が変更される。サンプルデータがもはや正しくなくなるまで、それは、この遅延時間をマークして、遅延は続く。それは、この遅延時間をマークして、正しいデータのデルタの中心点に動作の遅延を設定する。図3a、図3b及び図3cを参照のこと。

【 0 0 5 8 】

図4は、30%のデューティサイクルを示しており、垂直な一点鎖線には、60ピコ秒の印が示されている。C1は、最初の正しいデータの時間であり、C3は、最後の正しいデータの時間であり、C2は、動作上設定されるクロック時間である。

【 0 0 5 9 】

30%デルタの範囲外であるデータラインでは、それらデータラインは個々に遅延して、30%デルタの範囲内になる。これは、コースクロック調整システムと同様な方式でなされる。システムクロックは変化するが、ライン上のデータは、テストライン毎に所定のビットシーケンスになる。テスト下のラインは所定のデータシーケンスを有するが、その他のラインは、全て「1」である。そのビットラインを許容デルタ範囲内にするのに必要な遅延量が分かる。これらが修正されると、コース調整が行われる。この手続は、システムが初期化される毎に、又は、全体的な温度環境で任意の変化が検知されると行われる。

【 0 0 6 0 】

機械的位置決めシステムの作製

許容範囲がマイクロメートルの範囲内であるから、位置決めシステムは、このことを設計及び機能に反映することが重要である。MSAコネクタは、幾年に渡って使用されており、位置決めピン(36)を用いて、ファイバー又は導波路(34)が、それらの伝送エンティティと互いに接続されるように位置決めされることを保証する。

【 0 0 6 1 】

ピンシステムのピン形状は同じであると仮定する。ピンは、ソケットをボードに位置決めする。これにより、ピンを基準として、導波路(34)がボードに配置される。ピン(36)は、ソケットの位置決め許容範囲に応じて、デバイス層レベルでも同様に必要とされてよい。

【 0 0 6 2 】

ボード作製プロセスの進展

PCB上の全ての電気信号を除去することが最終目的であるので、それは、もはやPCBではない。それは、透明なプレキシグラス、金属シート、FR4合成物、ポリカーボンネットであってよく、又はボードがなくてもよい。

10

20

30

40

50

【0063】

ボードは、電力及び接地の接続を含むように作製されるのが好ましい。アレイはピン留めされて(pinned)、その表面に導波路(34)が載る。接続は、導波路を用いて作られて、設計及び構築される東ペンシルベニアのオプティカルクロスリンク(Optical Cross Link)にそれらを通すように規定される。

【0064】

ボード及びバックプレーンの集積

バックプレーンは、システムにおいてボードを相互接続する。今日、受動信号バックプレーン(passive signal backplane)と電源バックプレーン(power backplane)という、2つのバックプレーンがある。信号バックプレーンは、電源が組み込まれていない点を除いて、ボードと似ている。

10

【0065】

これは、MSAコネクタのようなファイバー用プラグと電源とによるバックプレーンシステムの先例を作る。ボードの信号の全ては導波路(34)上にあるから、ボード間の相互接続は電気的な信号接続ではなく、ファイバー用光プラグである。

【0066】

ボードの準備

ボードはFR4で作製されてよく、以下の方法で準備される。PCBを用いてなされるべき任意の電気的接続は、PCBにおける一般的な方法で設けられるだろう(導波路(34)の表面が望ましくない場合、導波路(34)は、同様にして同時に組み込まれる)。接着なしでデバイスを装着するシステムでは、デバイスの位置に孔(19)が加えられる。接着による装着システムでは、これらの孔(19)は必要ではない(装着システムの種類は、後述する)。

20

【0067】

次のステップは、ポリマー製導波路(34)をボードの表面に正確に配置することである。

【0068】

図10に示すように、プレキシグラス製ボードが実証目的で使用された。このシナリオでは、電源及び接地を除いて、全ての接続は光通信による。ポリマー製導波路(34)の端部は、鏡として機能するように45度の角度で切断されて、導波路(34)に対して垂直方向に光を向ける(この処理は、PCBに組み込まれる場合も同様である)。

30

【0069】

図11では、ソケットの詳細が示されている。位置決めピン(36)は、今日の一般的なMSAコネクタで使用されているものである。それらは、CMOS、熱バリア体、排熱体及びVCSEL層(32)のモールドの位置決め孔(19)と共に、ボードに装着されるのが好ましい(接着されるデバイスにおいて、ピンは、デバイスの一部であるのが好ましい)。好ましくはソケットにて、CMOSデバイスの電源及び接地が個々に供給されることで、ドリフトが防止される。

【0070】

これで、デバイスを装着する準備ができる。ここでは、押圧により装着されると仮定する。それ故に、デバイスの要素は、個々に、ボードの位置決め用ポストを介して位置決めされる。

40

【0071】

ソケットに入る第1の要素は、VCSEL層(32)である。これにより、VCSEL(18)は、ポリマー製導波路(34)の表面の0.5mm内になって、レンズを用いる必要がなくなる。

【0072】

第2の要素は、VCSEL(18)及び別個に設けられたヒートシンクと直接接触する排熱体である。また、これにより、VCSEL(18)とCMOS要素の間が電気的に接続される。

【0073】

次は、ゴア製の断熱体(20)であり、該断熱体(20)は、2つのユニットの熱交換を防止し

50

、V C S E L (18)がC M O S要素にこのように近接して動作することを可能とする。その後、C M O Sアレイが続く。それらの全てが位置決めピン(36)を通して、位置決めがされる。

【0074】

次は、C M O S用ヒートシンクシールドである。この要素は、アルミニウムで、又は、排熱及びE M Iの低減において同様な特徴があるその他の材料で作製されてよい。

【0075】

最後のステップでは、押圧キャップが加えられる。該キャップは、C M O S用ヒートシンクをソケットのケーシングに密着させるだけでなく、V C S E L (18)の排熱層の電気的なパスルーを押圧して、V C S E L (18)の電気信号経路にC M O Sを接続する。

10

【0076】

物理的な説明

物理的なレベルから始めると、高速F P G A、A S I C又はマイクロプロセッサがある。それらは、通常、完全な差動対に亘って2.5 G b p sで駆動される。ドライバは、対当たり、20"を駆動し300 m wを消費するように作られる。F P G Aは400を超えるH S差動対を有し、120ワットまでの電力を要してよい。ドライバの負荷を低減して電力を低減できるが、ドライバは、C M O Sに内在し、C M O S出力の電力を15 m wレベルに至るまで下げよう、F D Pについて再設計される。それらは、直接に、又はオンボードのマルチプレクサを介してV C S E L (18)の制御部を駆動する。マルチプレクサは、取り付けられたV C S E L (18)への1つのインターフェイスに対して4又は8である。制御部は、V C S E L (18)のカソードに接続されて、オペアンプとして動作し、D Pの0.8 Vのスイングにより、V C S E L (18)のカソードの電流を制御する。

20

【0077】

次は、断熱である。C M O Sドライバからの熱が、20から1に低減されても、V C S E L (18)を壊すのに十分な熱がなお発生するだろう。理想的には、C M O Sが100度を超える一方で、V C S E L (18)は45乃至65度に維持される。特別な断熱材料が、V C S E L (18)からC M O Sを断熱するのに使用される。

【0078】

V C S E L (18)は、複合デバイス上に配置を固定するレイアウトプロセスを施される。これは、ポリマー製導波路(34)を用いてV C S E L (18)の位置決めを制御するプロセスである。

30

【0079】

次に、V C S E L 層(32)をC M O S層に結合する。これは、幾つかの方法で互いに組み合わせることで行えるが、この特定の実施例では、ボードに孔が開けられて、ソケットが適所に装着されている。ポリマー製導波路(34)は、既に表面に配置されている。これにより、導波路(34)からV C S E L (18)に光を伝送するために要するレンズが省略される。V C S E L 層(32)はソケットのキャビティに入れられる。そして、熱をx方向に、電子をy方向に移動させる材料の層が加えられる。その後断熱体(20)が、最後にC M O Sダイが加えられる。最上の静電シールドは、組立物のC M O S部分のヒートシンクでもある。

40

【0080】

デバイスが置かれると、専用の圧力印加用の上部が設置されて、仕様通りにトルクが加えられる。トルクが加わると、電氣的、光学的、熱的及び静的に密閉されて、チップが適切に動作する。

【0081】

プロトコル説明

今日まで、全ての光インターフェイスの大部分は、S E R D E Sのようなある種の暗号化を含んでいた。暗号化システムは、受信データを用いてクロックをカプセル化してエンコードし、シリアルインターフェイス上で受信データがクロック調整して復元されることで、受信データが正しくインタラプトされることを保証する。

【0082】

50

これは、現在、大抵の光インターフェイスで受け入れられている方法であるが、チップ間動作のオーバーヘッドが非常に大きい。25%の帯域幅は非常に大きくはなく、むしろ、情報の生成及び復元に非常に多くのゲートが必要とされる。それ故に、本明細書は、伝送されるデータの暗号化に要するオーバーヘッドがない、光によるデータのチップ間送信/受信を行うための進歩した方法を提供する。実際には、データの伝送は、今日のパラレルな電氣的インターフェイスによる伝送に非常に似ているが、ボード上にパラレルに銅を配線するような困難はない。コヒーレント又は同期パラレルラインと共に銅を並列に配線する場合、それらラインは同じ長さであるが、上述の周波数では、並べて配線できないことが要求される。

【0083】

上述の光アレイは、データをパラレルに伝送し、導波路の長さを合わせることで、データの復元が、一般的なクロック調整で容易に可能なように、パラレルインターフェイスにてデルタを有するようにしている。また、クロックは並列な導波路(34)に配られるので、公正である(incorruptible)。

【0084】

今日まで、光インターフェイスはシリアルリンクとして取り扱われていた。その理由は2つある。1)シリアル光リンクは、利用可能な電氣的情報よりも少なくとも8倍速く、2)パラレルデータは、伝送媒体とデバイスの発光部(レーザ)の変更において不便であった。

【0085】

SERDES規格を用いてパラレルデータをシリアルデータに変換することで、データ及びクロックの復元と、データの信頼性が得られていた。

【0086】

これは、装置から送られたデータを外部に伝送するには適している一方で、デバイス間のデータ伝送には実用的ではない。1つの光リンクでSERDES動作を行うには、数百のゲートを要するであろう。周波数で25%のオーバーヘッドも要される。それは、SERDESのオーバーヘッドで、10Gbpsで情報を伝送する。使用するデータを10Gbpsで生じるには、光の実際の速度は、12.5Gbpsでなくてはならない。

【0087】

ここでは、パラレルなデータ経路が使用される。これは、次の事項から実施可能である。1)発光デバイスは、ボンドストリップ(bond strip)上に、同じプロセスで同時に作製される。2)伝送媒体は、全ての経路で同じ損失を有し、各導波路(34)の長さが合うように作製される。VCSEL(18)は、FDP(full differential pair)から直接に駆動され、そのインターフェイスは、電氣的インターフェイスと同様に見えるようにされて、低電力になり(30mW VS 1200mW)、デバイスのイングレス及びエグレスとの干渉が小さくなり(パラレル伝送によるクロストークの除去)、デバイス間の距離に事実上の制限が無くなる。

【0088】

開始：

要求：

1. 高速/高密度の市場が、その要求を生じている。
2. 顧客は、速度と、コストの低減とを求めている。
3. 既に予定しているか否かに拘わらず、ASIC(24)の顧客が必要とする仕様。
4. ASIC(24)の設計グループ、ボード設計グループ、バックプレーン設計グループ及びパッキング設計グループを結束させるために、顧客と共に作業する。

【0089】

ASIC(24)の設計：

1. 顧客の要求に基づいてASIC(24)を設計する(既に設計されている場合、ASIC(24)を再配置して、外部I/Oドライバを除去する)。
2. 可能であればベアダイ(bare die)の集積化を行う(ベアダイのボンドパッド(52)は、

10

20

30

40

50

V C S E L (18)がエミュレートするオペアンプに合わせられる。それが最初にパッケージングされている場合、ワイヤーボンドは、ハンダの玉(solder ball)に配線されて、パッケージの外側のV C S E L (18)に戻るようにされる)。ベアダイについて、

a . C M O S 及び V C S E L (18)の電力消費を解析し、V C S E L (18)を所望の温度に維持するのに必要なC M O S の排熱と制御量を決定する。

b . インサーキットテスト (bed-of-nails)を用いて第1シリコンをテストする。

c . 温度バリアと、V C S E L (18)の排熱体とを設置する。

d . 結合デバイス (combo device)を特徴付ける。

3 . パッケージ化されたデバイスについて、正しく動作するかテストする。

4 . 温度バリアを加える (ゴア製断熱体 (20))。 10

5 . 電氣的なリンクと共に、V C S E L (18)の排熱体を設置する (ベアダイでエミュレートされるオペアンプを含む)。

6 . これが密閉された結合デバイスである場合、V C S E L (18)のシートを、装着されたデバイスに加える (それが密閉された結合デバイスでない場合、V C S E L (18)のシートが、ソケットに位置決めされて、テストの前に押圧される)。

7 . シールドするソケットに設置して、特徴化の手順を実行する。

【0090】

ボードの作製：

1 . ボードの作製は非常に単純化されているので、電力及び接地のほかに任意の電氣的接続を有していてもいなくともよい。ボードは、信号接続がない限り、通常のF R 4 プロセスで作製されるが、ボードが必要とされなくともよい (デバイスは、ローカルコンバータを用いて、電源及び接地へと単純に配線されて、金属板、若しくは液体の冷媒を含むパイプに取り付けられ、吊り下げされ (suspended)、又は装着されてよい)。 20

2 . ボードを導波路 (34)と共に層状に作ることができる。導波路 (34)をその表面に加えることが可能であり、吊り下げ方法では、M S A コネクタを使用してもよい。

3 . ボードを特徴化する。

【0091】

バックプレーンの設計：

1 . 前と同様に、革新的な設計によって、バックプレーン/ミッドプレーンは、同時に除去され得る。ボードの相互接続は、全てファイバーであり、M S A 又はその他の種類のコネクタを伴ってもよい。 30

【0092】

システムの構築：

前と同様に、光アレイによって、システムはモジュール形式でまとめられており、信頼性が維持され、E M I、R F、静電気の影響や発光の妨害に関する環境的な仕様が満たされ、又は超えられている。

【0093】

光インターフェイスの動作

今日のハイエンドなチップの動作では、データは、差動対を介して高密度デバイスに送受信される。データは、暗号化されるか、経路上にあるデータを処理するためのデバイスに同期パラレルインターフェイスされる。 40

【0094】

光経路は、あるデバイスから次のデバイスへとデータ経路上を電子が流れないことを除いては、電気信号と同様なインターフェイスである。代わりに、デバイスのエグレスにて電氣的データが用いられて、V C S E L (18)のラムダの位相がシフトされる。この位相シフトは、受信セルで検出することができ、それを、今日の回路における差動レシーバと同様に電気極性シフトに戻す。

【0095】

今日の電氣的インターフェイスは、カプセル化が使用されなければ、0.5メートルの距離について、2.5乃至5 G b p s に制限され、250乃至300 m W の電力を消費す 50

る。本発明では、30乃至300メートルの距離について、V C S E L (18)当たり12.5乃至20 G b p sで駆動でき、電力消費は30 m W未満である。電氣的ドライバは差動対ごとであるが、光ドライバはV C S E L (18)ごとになる。V C S E L (18)には、特定のラムダが割り当てられて、ラムダが異なるその他の12.5 G b p sの信号と組み合わせられて、50又は100 G b p sの導波路(34)のファイバーリンクが形成される。40本の2.5 G b p sの電氣的インターフェイスのリンクは、5セントの1本の導波路(34)で置き換えられることになる。

【0096】

高速F P G A又はマイクロプロセッサのような、今日の典型的なC M O SのA S I C (24)は、800×2.5 G b p sの対を容易に有することができ、データ経路にあるその他のデバイスに相互接続できる。この半分のサイズでさえ、I/Oだけで、250 m Wの400倍である100 Wの電力消費がある。これは、光ドメインでは10 Wになる。

10

【0097】

1600の接続があつて、任意の2つの接続は、N E L C O 6 0 0 0のような、誘電率が高いF R 4を有する材料の中を、3.25インチを超えて隣同士で進んでおり、同じデータを有している。簡単な計算により、この種のインターフェイスをサポートする層の数は40と50の間であることが容易に理解される。

【0098】

これが光インターフェイスであるならば、直接駆動されるポリマー製導波路(34)とW D Mを使用して、インターフェイスが、ある層に又はその表面の上にあるようにして、800対の代わりに、ある層に40本の導波路(34)が設けられるだろう。

20

【0099】

V C S E L (18)のコストは、12.5 G b p s当たり8ドル未満であり、3年から4年後には、20 G b p s当たり2ドルより下に下がるだろう。すると、価格は、2.5 G b p s当たり20セントになる。このような密度のデバイスが、600ドルから2500ドルの価格帯で販売されて、このような20個のデバイスがボード上に置かれると、ボードの作製コストは、約20,000ドル節約される。全てのインターフェイスにV C S E L (18)が使用されると、システム全体のコストが下がり、信頼性が改善し、近くの消灯(extinction)に対するE M I及びR Fが低減され、設計が非常に柔軟になる。

【0100】

例：

スーパーコンピュータと新しいバックボーンの通信システムの両方は、光アレイの利点を必要としている。

30

【0101】

スーパーコンピュータ：

スーパーコンピュータは、高速で大量な並列処理に基づいている。ベクトル符号化と呼ばれるプログラミング方法がこれを可能としている。高速化技術における並列なデータ移動は、スカラーオペレーティングシステムを使用するよりも(普通のシステムオペレーションよりも)、飛躍的に速いスループットを与える。このシステムにおける必要性は、一般的なデータ経路で最も良く説明される。ベクトル符号化では、64ビットのワードがユニットとして処理される。最低でも64ビットが並列に通過する(幾つかのシステムでは、経路幅は、この幅の100倍にされ得る)。F D Pにおける64ビットは、個別に設けられた128本の銅線であつて、これら銅線は、ボードの幾つかの層に組み込まれる。これは、2.5乃至5 G b p sである。それはボードに限定され、伝送が20インチを超えると、データ復元カプセル化システムを有する必要がある。別のキャビネットについてデータを得るには、それは、ボードのエッジで、光を要するS E R D E S及びさらなる複雑な回路構成に向けて変換されるだろう。

40

【0102】

これらの128本の銅線を光アレイに置き換えると、たった2本の導波路(34)を要するのみであつて、帯域幅も広がる。これは、12.5乃至20 G b p sを仮定している。光

50

信号が次のボード又はシャーシの導波路(34)に向かってファイバー内を通るので、ボードのエッジで信号を変換する必要はない。V C S E L (18)は、消費される電力に応じてメートル又はキロメートルの駆動ができる。その上、その消費電力は、電氣的なF D Pドライバを個別に設ける場合の電力の10分の1未満である。

【0103】

通信バックボーン：

通信産業は、高速のバックボーンシステムを有しており、それらは、テラビットのデータを並列に処理しなければならない。データレートの基準は、O C、つまり光接続データレート(Optical Connection data rate)と記される。例えば、O C 4 8は、2.5 G b p sのデータレートであり、O C 1 9 2は、10 G b p sのデータレートであり、O C 7 6 8は、40 G b p sのデータレートである。信号は、光で来て、電気エネルギーに変換され、適切に配送されて、次のステーションに伝送するために、光に再変換される。デバイスはより高密度になり、デバイス当たりのデータレートはより高くなるので、スーパーコンピュータを妨げているものと同じ問題が、ここでも起こり得る。ボード及びバックプレーンは非常に高価で、うるさく、厚い。同じようなリンク数とコストの節減が、この市場でも行い得る。

10

【0104】

主要な利点は、以下の通りである：

- ・ V C S E L (18)の直接変調。
- ・ 同調したパラレル光インターフェイス。
- ・ 暗号化不要。
- ・ 自動的なクロック補償。
- ・ 自動的なデータ調整。
- ・ 2重であり、全体的に絶縁された排熱体。
- ・ 静電気について遮蔽されたデバイス
- ・ 電氣的なデータ伝送とスイッチングの全ては、シールドされたデバイス内である。
- ・ 2重の熱散逸。

20

【0105】

説明を目的として以上の実施例について本発明が詳細に説明されたが、このような詳細は単に説明を目的としており、当該技術分野における通常の知識を有する者には、特許請求の範囲に記載されている場合を除き、本発明の精神と技術的範囲から逸脱することなくそれらを変更できることは理解されるべきである。

30

【図面の簡単な説明】

【0106】

添付の図面では、本発明の好ましい実施例と、本発明を実施する好ましい方法とが図示されている。

【図1】図1は、本発明のC M O Sデバイスを伴った絶縁体を示す。

【図2】図2は、C M O Sデバイスを伴った放熱層を示す。

【図3】図3は、導波路リンクを通じて互いに通信接続された第1 A S I C及び第2 A S I Cを示す。

40

【図3a】図3aは、本発明の方法に関するフローチャートである。

【図3b】図3bは、本発明のデータ及びタイミングに関するブロック図である。

【図3c】図3cは、第1 A S I Cと第2 A S I Cの間のクロックタイミング関係を示す。

【図4】図4は、本発明の好ましい実施例に関するクロックタイミングを示す。

【図5】図5は、マルチレイヤボード上にある一般的なU B G Aを示す。

【図6】図6は、データリンクを形成する光アレイを伴ったA S I Cを示す。

【図7】図7は、V C S E L層を示す。

【図8】図8は、本発明のF P G Aを示す。

【図9】図9は、本発明のF P G Aを示す。

50

- 【図10】図10は、本発明のプレキシガラス製ボードを示す。
 【図11】図11は、本発明のソケットを示す。
 【図12】図12は、本発明に用いられる押圧装置を示す。
 【図13】図13は、押圧装置がない本発明を示す。
 【図14】図14は、本発明に用いられる別の押圧装置を示す。
 【図15】図15は、本発明のブロック図である。
 【図16】図16は、本発明のブロック図である。

【図1】

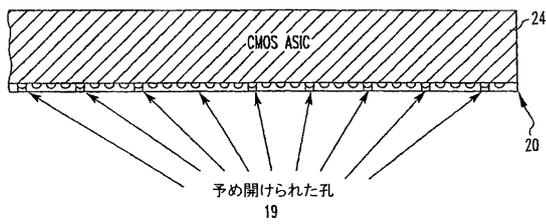


FIG.1

【図2】

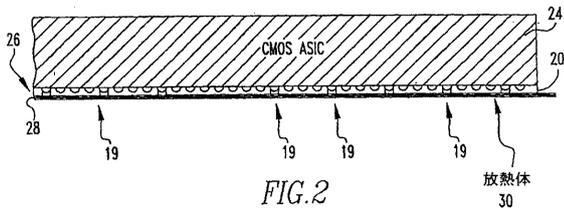


FIG.2

【図3】

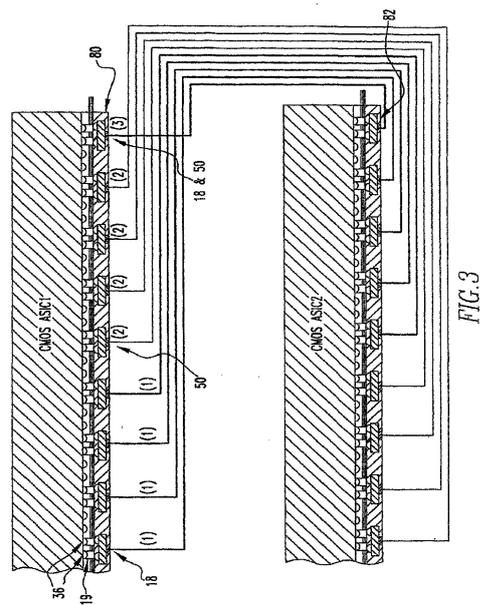
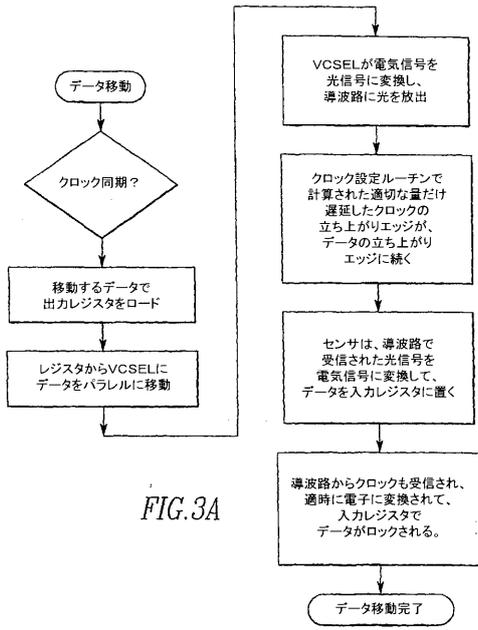
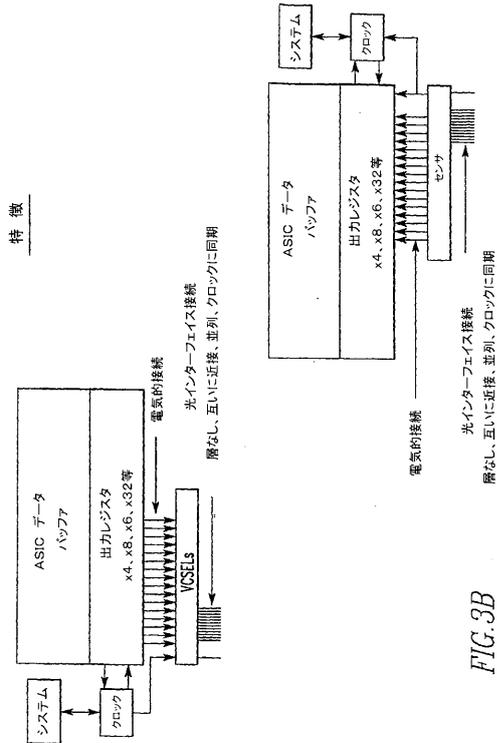


FIG.3

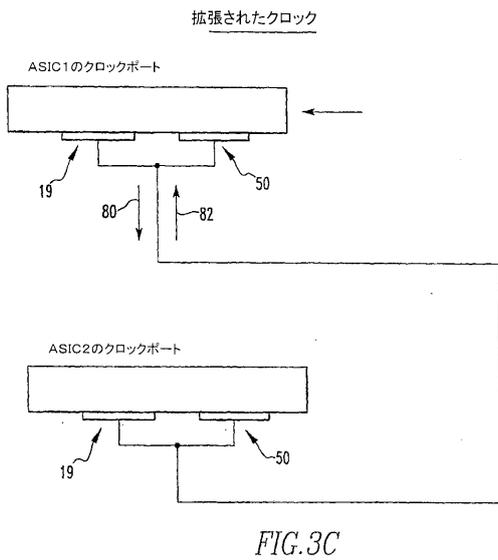
【 図 3 a 】



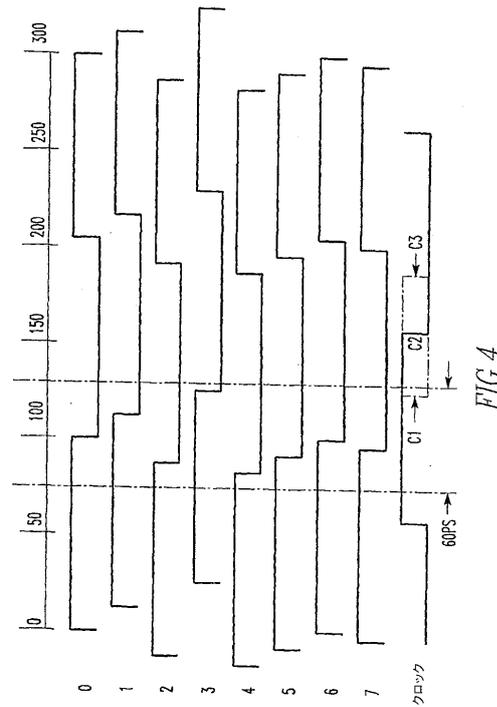
【 図 3 b 】



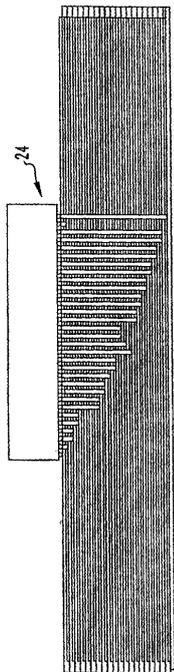
【 図 3 c 】



【 図 4 】



【 図 5 】



マルチレイヤボード上の一般的なUBGA
FIG.5

【 図 6 】

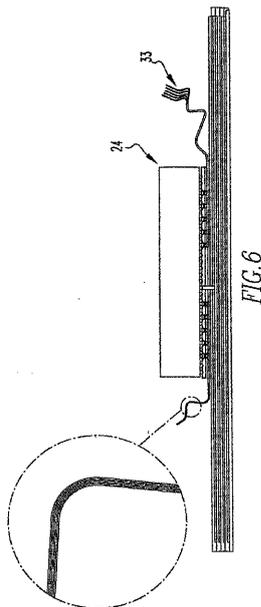


FIG.6

【 図 7 】

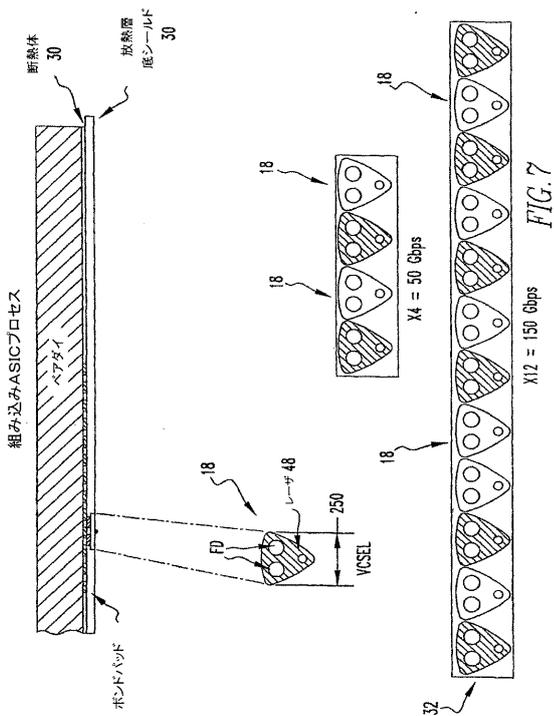


FIG.7

【 図 8 】



FIG.8

【 図 9 】

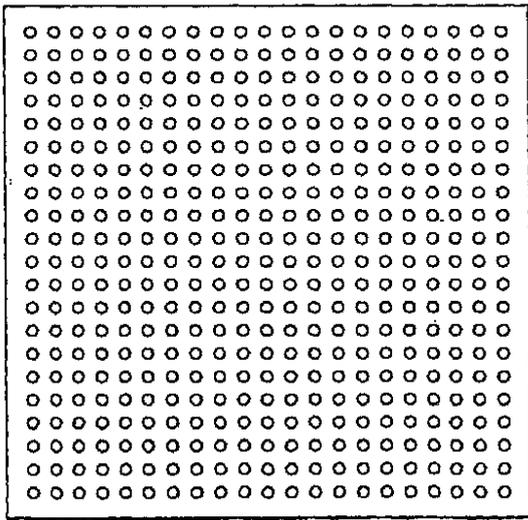


FIG. 9

【 図 1 0 】

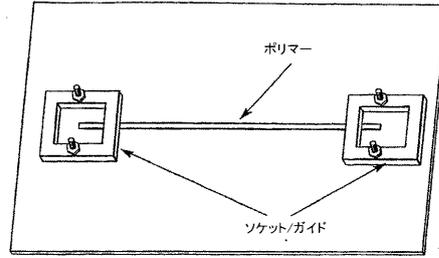


FIG. 10

【 図 1 1 】

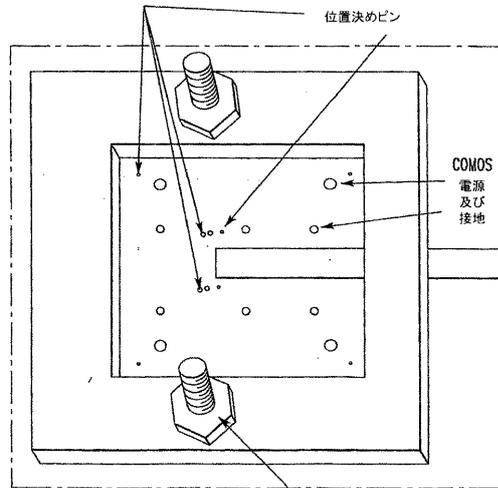


FIG. 11

【 図 1 2 】

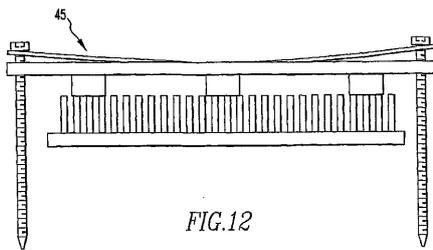


FIG. 12

【 図 1 4 】

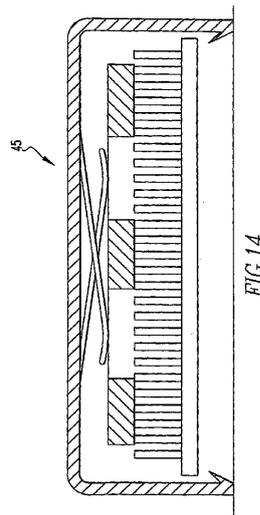


FIG. 14

【 図 1 3 】

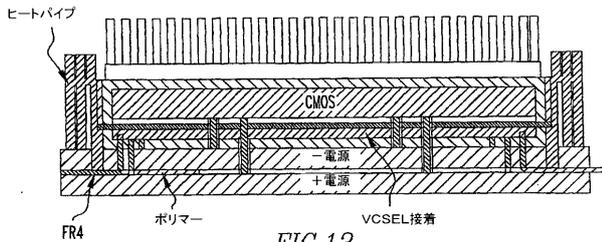


FIG. 13

【 図 1 5 】

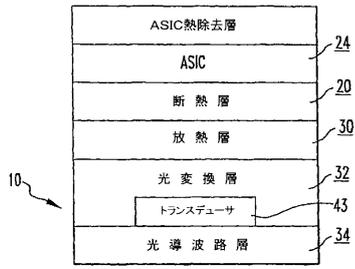


FIG.15

【 図 1 6 】

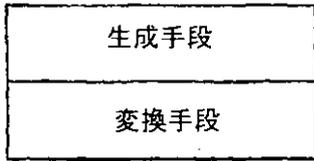


FIG.16

【 国際調査報告 】

INTERNATIONAL SEARCH REPORT		International application No. PCT/US05/18940
A. CLASSIFICATION OF SUBJECT MATTER IPC: H04B 10/00(2006.01) USPC: 398/164 According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) U.S. : 398/164, 154, 155 Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X --- A	US 6,527,456 B1 (TREZZA) 04 March 2003 (04.03.2003), Figures 5 and 7.	18 ----- 1-17
X --- Y	US 5,345,527 A (LEBBY et al.) 06 September 1994 (06.09.1994), see entire document, especially Figures 1 and 2; column 3, lines 22-26 and lines 53-68; and column 4, lines 1-4.	18 ----- 1-17
Y	US 5,692,166 A (MILHIZER et al.) 25 November 1997 (25.11.1997), see Figures 1 and 2; column 1, lines 51-60; and column 3, lines 16-59.	7-11, 16, and 17
Y	US 6,620,642 B2 (DUDOFF et al.) 16 September 2003 (16.09.2003), see Figures 15, 16, and 19; column 12, lines 36-67; column 13, lines 1-67; column 14, lines 1-67; and column 15, lines 1-11.	1-8 and 12-15
<input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.		
* Special categories of cited documents:		
"A"	document defining the general state of the art which is not considered to be of particular relevance	"J" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"E"	earlier application or patent published on or after the international filing date	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"L"	document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"O"	document referring to an oral disclosure, use, exhibition or other means	"&" document member of the same patent family
"P"	document published prior to the international filing date but later than the priority date claimed	
Date of the actual completion of the international search 15 August 2006 (15.08.2006)		Date of mailing of the international search report 05 OCT 2006
Name and mailing address of the ISA/US Mail Stop PCT, Attn: ISA/US Commissioner for Patents P.O. Box 1450 Alexandria, Virginia 22313-1450 Facsimile No. (571) 273-3201		Authorized officer Jason Chan Telephone No. 703-305-4700

フロントページの続き

(81)指定国 AP(BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW

(74)代理人 100141841

弁理士 久徳 高寛

(72)発明者 ボーグリー, ウィルバー シー.

アメリカ合衆国 1 6 0 6 6 - 7 6 0 5 ペンシルベニア, クランベリー タウンシップ, ハンター
ドライブ 1 3 7

Fターム(参考) 2H137 AA11 AB12 BA32 BA55 BB03 BB12 BB17 BB25 CA33

2H147 AB04 AB05 GA05