(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3792734号
(P3792734)
(45)発行日　平成18年7月5日(2006.7.5)　(24)登録日　平成18年4月14日(2006.4.14)

(51)Int.Cl.　　F I
H01L 29/861 (2006.01)　　H01L 29/91　D
H01L 29/74 (2006.01)　　H01L 29/74　G

請求項の数 7　(全 26 頁)

(21)出願番号　特願平5-159496
(22)出願日　平成5年6月29日(1993.6.29)
(65)公開番号　特開平6-318714
(43)公開日　平成6年11月15日(1994.11.15)
審査請求日　平成12年3月13日(2000.3.13)
(31)優先権主張番号　特願平4-175777
(32)優先日　平成4年7月2日(1992.7.2)
(33)優先権主張国　日本国(JP)
(31)優先権主張番号　特願平5-50534
(32)優先日　平成5年3月11日(1993.3.11)
(33)優先権主張国　日本国(JP)

(73)特許権者　000003078
株式会社東芝
東京都港区芝浦一丁目１番１号
(74)代理人　100058479
弁理士　鈴江　武彦
(72)発明者　末代　知子
神奈川県川崎市幸区小向東芝町１番地　株式会社東芝研究開発センター内
(72)発明者　安原　紀夫
神奈川県川崎市幸区小向東芝町１番地　株式会社東芝研究開発センター内
(72)発明者　中川　明夫
神奈川県川崎市幸区小向東芝町１番地　株式会社東芝研究開発センター内

最終頁に続く

(54)【発明の名称】高耐圧半導体素子

(57)【特許請求の範囲】

【請求項１】

半導体基板と、この半導体基板上に形成された絶縁層と、この絶縁層上に形成された、第１導電型の高抵抗半導体からなる活性層と、この活性層内に形成された第１導電型の第１の不純物層と、前記活性層内に形成され、前記第１の不純物層と所定距離おいて形成された第２導電型の第２の不純物層と、前記第１の不純物層上に形成された第１の電極と、前記第２の不純物層上に形成された第２の電極とを具備してなり、前記第１の不純物層は、拡散窓の幅又は拡散深さの少なくとも一方が異なる、相互に重ねられた複数の拡散層を含み、前記第１の不純物層及び第２の不純物層は、前記活性層の底部に達していることを特徴とする高耐圧半導体素子。

【請求項２】

半導体基板と、この半導体基板上に形成された絶縁層と、この絶縁層上に形成された、第１導電型の高抵抗半導体からなる活性層と、この活性層内に形成された第１導電型の第１の不純物層と、前記活性層内に形成され、前記第１の不純物層と所定距離おいて形成された第２導電型の第２の不純物層と、前記第１の不純物層内に形成された第２導電型の第３の不純物層と、前記第３の不純物層上に形成された第１の電極と、前記第２の不純物層上に形成された第２の電極とを具備してなり、前記第１の不純物層は、拡散窓の幅又は拡散深さの少なくとも一方が異なる、相互に重ねられた複数の拡散層を含み、前記第１の不純物層及び第２の不純物層は、前記活性層の底部に達していることを特徴とする高耐圧半導体素子。

【請求項３】
前記複数の不純物層は、拡散深さが等しく、拡散窓の幅が異なっていることを特徴とする請求項１又は２に記載の高耐圧半導体素子。
【請求項４】
前記第１および第２の不純物層の間に位置する前記活性層の部分上に高抵抗層を更に具備することを特徴とする請求項１又は２に記載の高耐圧半導体素子。
【請求項５】
前記活性層上に形成された絶縁膜を更に具備し、前記高抵抗層は、前記絶縁膜上に形成されていることを特徴とする請求項４に記載の高耐圧半導体素子。
【請求項６】
前記第２の不純物層内に、前記活性層と所定の距離離れて形成された第１導電型の第４の不純物層と、前記活性層と前記第４の不純物層との間に位置する前記第２の不純物層の部分上に形成された絶縁体と、この絶縁体上に形成された第３の電極とを更に具備することを特徴とする請求項１または２に記載の高耐圧半導体素子。
【請求項７】
前記活性層の厚さは１０μｍ以下であることを特徴とする請求項１又は２に記載の高耐圧半導体素子。
【発明の詳細な説明】
【０００１】
【産業上の利用分野】
本発明は、誘電体分離構造の高耐圧半導体素子に係わり、特に拡散層形状の改良をはかった高耐圧半導体素子に関する。
【０００２】
【従来の技術】
従来、誘電体分離構造を用いた各種の高耐圧半導体素子が提案されている。図５１は、誘電体分離構造を用いた横型の高耐圧ダイオードの従来例である。半導体基板１上に分離絶縁膜２を介してｎ⁻型シリコン層（活性層）３が形成されている。また、活性層３の表面部にｐ型アノード層５と、これから所定距離離れたｎ型カソード層６とが形成され、それぞれにアノード電極７，カソード電極８が形成されている。
【０００３】
このような横型のダイオードにおいて、例えば基板１及びアノード電極７を接地して、カソード電極８に正の電圧を印加した逆バイアス状態を考える。このとき、ｎ型カソード層６に印加される電圧は、ｎ型カソード層６の下の活性層３に拡がる空乏層と分離絶縁膜２により分担される。従って、ｎ型カソード層６下の活性層部分の厚みが薄いと、ここで大きな電界を分担することになり、ｎ型カソード層６のエッジ部（底部の曲面部付近）で電界集中を起こし、低い印加電圧でアバランシェ降伏を生じる。これを避けて十分な高耐圧を実現するために、従来は、活性層３の厚みを２０μｍ以上とすることが行われていた。
【０００４】
しかしながら、活性層厚みが大きいと、Ｖ字溝等により横方向の素子分離を行うと深い分離溝が必要になり、分離溝領域の面積が大きいものとなる。従って、加工が困難になるのみならず、ウェハ上の素子の有効面積が小さくなり、結果的に高耐圧素子の集積回路のコストが増大する。
【０００５】
一方、誘電体分離構造は、高耐圧素子とロジック回路を同一基板上に作成することを可能とする。その場合、絶縁膜上に形成された半導体層（活性層）に素子を形成するＳＯＩ（Silicon on insulator）技術によれば、高耐圧素子とロジック回路とを完全に分離することが可能である。
【０００６】
このようなＳＯＩ基板を用いた半導体装置は、活性層の厚さを０．３μｍ以下に薄くしたとしても、絶縁膜のため、縦方向に高耐圧が得られることが知られており、かつトレンチ

溝を用いた素子分離が可能であるため、この素子分離構造は、パワーＩＣにおいて有力な構造となっている。

【０００７】

しかし、このように活性層が薄い場合、横方向の耐圧を高くするためには、活性層内のｎドリフト領域の不純物ドーピング濃度を下げなければならず、そうするためには２００μｍ以上のｎドリフト領域の長さが必要とである。このことを避けるため、例えば図５７に示すように、ドリフト領域に沿ってＳＩＰＯＳ（semi-insulating polycrystalline silicon)層１８を形成することにより、横方向の電界強度を一様にする方法や、特開平４－３０９２３４号に開示されているように、横方向に線形のドーピング濃度分布を形成する方法等が考えられる。しかし、これらの方法は特殊な工程を必要とし、その実施は困難である。

【０００８】

【発明が解決しようとする課題】

このように、従来の誘電体分離構造の高耐圧半導体素子では、活性層が薄いと十分な耐圧が得られず、活性層を厚くすると横方向の素子分離が困難になる、といった問題点があった。

【０００９】

また、ドリフト領域においては、活性層が薄い場合、横方向の耐圧を高くするためには、活性層内のｎドリフト領域の不純物ドーピング濃度を下げなければならず、そうするためにはｎドリフト領域の長さを長くすることが必要となり、素子の微細化が困難となるという問題があった。

【００１０】

本発明は、上記事情を考慮してなされたもので、その目的とするところは、薄い活性層で十分な高耐圧特性を得ることを可能とした誘電体分離構造の高耐圧半導体素子を提供することにある。

【００１１】

本発明の他の目的は、ドリフト領域の長さを長くすることなく十分な高耐圧特性を得ることを可能とした誘電体分離構造の高耐圧半導体素子を提供することにある。

【００１２】

【課題を解決するための手段】

本発明の骨子は、拡散層の形状を工夫することにより、拡散層のエッジ部（特に底部の曲面部付近）における電界集中を緩和させることにある。

【００１３】

即ち、第１の発明の第１の態様は、半導体基板と、この半導体基板上に形成された絶縁層と、この絶縁層上に形成された、第１導電型の高抵抗半導体からなる活性層と、この活性層内に形成された第１導電型の第１の不純物層と、前記活性層内に形成され、前記第１の不純物層と所定距離おいて形成された第２導電型の第２の不純物層と、前記第１の不純物層上に形成された第１の電極と、前記第２の不純物層上に形成された第２の電極とを具備してなり、前記第１の不純物層は、拡散窓の幅又は拡散深さの少なくとも一方が異なる、相互に重ねられた複数の拡散層を含み、前記第１の不純物層及び第２の不純物層は、前記活性層の底部に達していることを特徴とする高耐圧半導体素子を提供する。

また、第１の発明の第２の態様は、半導体基板と、この半導体基板上に形成された絶縁層と、この絶縁層上に形成された、第１導電型の高抵抗半導体からなる活性層と、この活性層内に形成された第１導電型の第１の不純物層と、前記活性層内に形成され、前記第１の不純物層と所定距離おいて形成された第２導電型の第２の不純物層と、前記第１の不純物層内に形成された第２導電型の第３の不純物層と、前記第３の不純物層上に形成された第１の電極と、前記第２の不純物層上に形成された第２の電極とを具備してなり、前記第１の不純物層は、拡散窓の幅又は拡散深さの少なくとも一方が異なる、相互に重ねられた複数の拡散層を含み、前記第１の不純物層及び第２の不純物層は、前記活性層の底部に達していることを特徴とする高耐圧半導体素子を提供する。

【００１４】
また、第１の発明の望ましい実施態様としては、次のものが上げられる。
【００１５】
（１）第１導電型及び第２導電型の不純物層間において、活性層上に高抵抗体膜を形成する。
【００１６】
（２）活性層の不純物総量を、１×１０^{１０} ｃｍ$^{-２}$～２×１０^{１２} ｃｍ$^{-２}$の範囲に設定する。
【００１７】
第２の発明は、半導体基板と、この半導体基板上に絶縁膜を介して形成された、高抵抗半導体からなる０．３μｍ以下の厚さを有する活性層とを具備する高耐圧半導体素子において、前記活性層は、横方向の不純物濃度分布が、それぞれガウス分布である２～１０段の階段状であって、各階段の間隔が拡散長の２倍以上であることを特徴とする。
【００１８】
【作用】
誘電体分離構造の高耐圧半導体素子において、第２導電型の不純物層と基板を接地した状態で、第１導電型の不純物層に逆バイアスとなる高電圧が印加されたとする。このとき、第１導電型の不純物層に印加される電圧は、縦方向には活性層と絶縁膜によって分担される。ここで、第１導電型の不純物層の底部の曲面部付近で電界集中が生じると、低い電圧でアバランシェ降伏が生じる。
【００１９】
第１の発明では、第１導電型の不純物層を、拡散窓の幅や拡散深さを変えながら２重以上の拡散層に形成することにより、拡散層底部の曲面部付近での電界集中を緩和させることができる。つまり、活性層内部の電界集中、特に拡散層底部曲面部付近での電界集中を緩和することができ、従来にない高耐圧の素子が実現可能となる。さらに、活性層の厚さを薄くすることができることから、横方向の素子分離も容易となる。
【００２０】
また、第１導電型及び第２導電型の不純物層を絶縁膜に至る深さまで形成することにより、第１導電型の不純物層に印加される電圧を絶縁膜のみに分担させることができ、活性層の縦方向電界が小さく抑えられる。また、活性層の表面に高抵抗体膜を設けることにより、該膜内に形成される一様な電位分布に従って、活性層表面の横方向電位分布を均一なものとすることができる。これらにより、活性層内部の電界集中を効果的に緩和することができ、薄型で従来にない高耐圧の素子が実現可能となる。
【００２１】
第２の発明では、一般的な不純物拡散技術を複数回行なうことにより、活性層の横方向の濃度分布を階段状とし、それによって活性層の厚さが０．３μｍ以下であっても、ドリフト領域の長さを長くすることなく高耐圧を達成することが可能な誘電体分離半導体素子が提供される。
【００２２】
第２の発明に係る誘電体分離半導体素子が高耐圧を示すのは、以下のような原理に基づくものと考えられる。
【００２３】
横方向をｘ軸、縦方向をｙ軸とする。活性層の厚さが０．３μｍ以下であれば、不純物を拡散させたときの縦方向のの不純物濃度分布はほぼ一様であると考えられる。そこで、横方向の不純物濃度分布をガウシアン分布と仮定すると、次式で与えられる。
【００２４】
$n(x, y)=n_{0}\exp(-x^{2}/a^{2})$
ここでａは拡散長（$a=2D_{t}^{1/2}$、n_{0}は階段部分における不純物濃度の差を表わす。このとき、濃度勾配の最大値Δn_{max}は、$x=a\cdot 2^{-1/2}$において得られて、下記式に示すようになる。

【００２５】

$$\Delta n_{max} = |dn/dx_{(x=a^{-1/2}}|$$
$$= |-2\times exp(-1/2)\times n_0/a|$$
$$= 0.85776\times n_0/a$$

横方向及び縦方向の電界強度は、ポアソン方程式を解くことによって得られる。　ｎ（ｘ）＝（ε_s／ｑ）（$dE_x/d_x + dE_y/d_y$）
ここでε_sはＳｉに対する誘電率、ｑは素電荷である。素子のアバランシェ耐圧を求めるためには、下記数２に示すようにイオン化積分を行う。

【００２６】

$I = \int \alpha(E)\,dX$

ここでα（Ｅ）はイオン化係数であって、次式で求められる。

【００２７】

$\alpha(E) = A\cdot exp(-B/E)$

ここでＡ及びＢは定数である。一般にポアソン方程式及びイオン化積分は解析的に求めることが出来ないので、数値計算を行う。この結果、n_0とａには次式で示される関係があることがわかった。

【００２８】

$n_0/a^{1/2} \leqq 1\times10^{19}$

従って、濃度勾配の最大値Δn_{max}が次式を満足することが必要である。

【００２９】

$\Delta n_{max} \leqq 0.85776\times10^{19}/a^{1/2}$

一方、階段のステップ部分では、横方向の電界強度は段差部分と比べて非常に小さいので、階段の間隔を小さくするほうがよい。しかし、階段の間隔が小さ過ぎると、隣接する階段間で干渉が生じ、電界が強くなってしまう。従って、階段間の間隔は、拡散長の２倍以上、好ましくは３～４倍程度とするのがよい。

【００３０】

拡散長を変化させたときのブレークダウン電圧を図５２に、拡散数を変化させたときのブレークダウン電圧を図５３にそれぞれ示す。これらの図から、第２の発明によると、ドリフト領域の長さを長くすることなく、高耐圧の誘電体分離半導体素子を実現することが可能である。

【００３１】

【実施例】

以下、図面を参照しながら本発明の実施例を説明する。

【００３２】

図１は、本発明の第１の実施例に係わる高耐圧ダイオードの素子構造を示す断面図である。シリコン基板１０上に、シリコン酸化膜（分離絶縁膜）１１を介して、n^-型の高抵抗シリコン層（活性層）１２が形成されている。この構造は、例えばシリコン基板１０の表面にシリコン酸化膜１１を形成し、これに表面が鏡面に研磨された別のシリコン基板を直接接着し、該基板を薄く加工することにより形成される。また、シリコン酸化膜１１は１～５μｍ程度の厚さとする。n^-型活性層１２は、不純物総量が$1\times10^{10}cm^{-2}$～$2\times10^{12}cm^{-2}$の範囲、より好ましくは０．５～１．８$\times10^{12}cm^{-2}$の範囲に設定されており、その厚さは約１０μｍとした。

【００３３】

活性層１２には、所定距離離れてｐ型アノード層１３とｎ型カソード層１４が形成されている。ｐ型アノード層１３とｎ型カソード層１４は、図示のように活性層底部のシリコン酸化膜１１に達する深さまで拡散形成されている。さらに、ｎ型カソード層１４は拡散窓の幅と拡散深さを変えて３重の拡散層１４ａ，１４ｂ，１４ｃとなっている。１４ａ以外の拡散層、即ちここでは１４ｂ，１４ｃの拡散層の不純物総量は$1\times10^{11}cm^{-2}$～$3\times$

$10^{12}cm^{-2}$の範囲に設定する。ｐ型アノード層１３とｎ型カソード層１４にはそれぞれ、アノード電極１５，カソード電極１６が形成されている。これらの電極１５，１６間の活性層１２上には、シリコン酸化膜１７を介して、高抵抗体膜１８が配設されている。高抵抗体膜１８は、例えばＳＩＰＯＳ（Semi-Insulating Polycrystalline Silicom ）であり、この高抵抗体膜１８の両端部は電極１５，１６にそれぞれ接続されている。そして、高抵抗体膜１８の表面は、保護膜としてのシリコン酸化膜１９により覆われている。

【００３４】

このような構成において、ｐ型アノード層１３と基板１０を接地して、ｎ型カソード層１４に正の高電圧を印加した場合について考える。ｎ型カソード層１４は、活性層底部に達する深さに形成されていることから、縦方向には、ｎ型カソード層１４に印加されている電圧は全てシリコン酸化膜１１で分担される。ここで、シリコン酸化膜１１は活性層１２に比較してその耐圧が十分に高いものである。

【００３５】

また、アノード・カソード間電圧により、活性層１２の表面に形成された高抵抗体膜１８には微小電流が流れて、横方向に一様な電位分布が形成される。この高抵抗体膜１８内の電位分布の影響を受けて、高抵抗体膜直下の活性層表面も横方向に一様な電位分布が形成される。さらに、ｎ型カソード層１４を３重に拡散することで、拡散層底部の曲面部分での不純物濃度勾配が緩和され、この影響で等電位線の間隔が拡がり、極端な電界集中が防げる。以上の結果、素子内部の電界集中は緩和され、高耐圧が実現される。

【００３６】

なお、上記のような構成においては、活性層１２の不純物総量を変えると耐圧も変わる。図２３は、活性層１２の不純物総量と耐圧との関係を示す特性図である。不純物総量が$1\times10^{10}cm^{-2}$以上では不純物総量が大きくなるほど耐圧は高くなり、不純物総量が$3\times10^{12}cm^{-2}$を越えると耐圧が急激に低下する。従って活性層１２の不純物総量としては、$1\times10^{10}cm^{-2}$～$2\times10^{12}cm^{-2}$の範囲が望ましい。

【００３７】

このように本実施例によれば、ｎ型カソード層１４を３重拡散により形成すると共に、シリコン酸化膜１１に達する深さまで形成し、さらに活性層１２の上に高抵抗体膜１８を形成することにより、素子内部の電界集中を緩和することができ、活性層１２を薄くしても高耐圧のダイオードを実現することができる。

【００３８】

第１の実施例における変形例を、図２～図１０に示す。図２は、第１の実施例において、ｐ型アノード層１３をシリコン酸化膜１１より浅く形成したものである。図３は、ｎ型カソード層１４をシリコン酸化膜１１より浅く形成したものである。図４は、ｐ型アノード層１３及びｎ型カソード層１４を、共にシリコン酸化膜１１より浅く形成したものである。このような構成であっても、ｎ型カソード層１４のエッジ部における電界集中が緩和されるため、第１の実施例と同様な効果が得られる。

【００３９】

図５は、ｎ型カソード層１４の深さはシリコン酸化膜１１に達する深さで一定とし、３重拡散における横方向の拡散窓の長さを変えたものである。ここで、１４ａ，１４ｂ，１４ｃは順に不純物濃度が薄くなっている。このような構成であっても、横方向の等電位線の間隔を拡げることにより、極端な電界集中が防ぐことができ、第１の実施例と同様に効果が得られる。なお、不純物濃度の異なる複数回の拡散を行う代わりに、不純物濃度を連続的に可変してもよい。

【００４０】

図６は、図５の構成に加えて図２の考えを適用したものである。図７は、ｎ型カソード層１４を３重拡散ではなく、２重拡散で形成したものである。

【００４１】

図８は、高抵抗体膜１８を電極１５，１６と共にｐ型アノード層１３，ｎ型カソード層１４に直接接続したものである。図９は、高抵抗体膜１８を活性層１２上に直接形成したも

のである。この場合であっても、高抵抗体膜１８の抵抗が十分に高いため、アノード層１３，カソード層１４間が短絡されることはなく、これらの間の電位分布を均一化することができる。

【００４２】

図１０は高抵抗体膜１８を用いることなく、活性層１２上に保護絶縁膜１９のみを形成したものである。この場合、高抵抗体膜１８による電位分布の均一化はできないが、ｎ型カソード層１４を３重拡散により形成し、さらに拡散深さをシリコン酸化膜１１に達する深さに形成していることから、これらによる電界集中の緩和効果が得られる。

【００４３】

図１１は、本発明の第２の実施例に係わる高耐圧ＭＯＳトランジスタの素子構造を示す断面図である。なお、図１と同一部分には同一符号を付して、その詳しい説明は省略する。

【００４４】

基板１０上にシリコン酸化膜１１を介してｎ⁻型活性層１２が形成される構造は図１と同様である。活性層１２の不純物総量も第１の実施例と同様である。活性層１２には、第１の実施例におけるｐ型アノード層１３，ｎ型カソード層１４に対応するｐ型ベース層２３，ｎ型ドレイン層２４が形成されている。

【００４５】

ｐ型ベース層２３内にはｎ型ソース層２２が形成され、このｎ型ソース層２２とｎ⁻型活性層１２により挟まれたｐ型ベース層２３の表面部をチャネル領域として、この上に６０ｎｍ程度のゲート酸化膜を介してゲート電極２１が形成されている。

【００４６】

ｐ型ベース層２３とｎ型ドレイン層２４により挟まれた活性層の表面には、第１の実施例と同様に、シリコン酸化膜１７を介して高抵抗体膜１８が形成されており、高抵抗体膜１８の上はシリコン酸化膜１９で覆われている。

【００４７】

ソース電極２５はｎ型ソース層２２とｐ型ベース層２３に同時にコンタクトするようにこれらの上に形成され、ドレイン電極２６はｎ型ドレイン層２４上に形成されている。高抵抗体膜１８の端部は、ゲート電極２１とドレイン電極２６とにそれぞれ接続されている。ここで、ゲート電極２１はオフ時には０Ｖで接地と同じであり、オン時でもドレイン電極２６に掛かる高電圧よりも十分に低い電圧であるので、高抵抗体膜１８はゲート電極２１とドレイン電極２６との間に接続しても、第１の実施例と同様の機能を果たす。

【００４８】

この実施例のＭＯＳＦＥＴも、ｎ型ドレイン層２４の３重拡散、シリコン酸化膜１１に達する拡散、及び高抵抗体膜１８の作用により、第１の実施例のダイオードと同様に優れた高耐圧特性が得られる。

【００４９】

第２の実施例における変形例を、図１２～図１６に示す。図１２は、ｎ型ソース層２２を酸化膜１１に達する深さまで形成したものである。図１３は、高抵抗体膜１８を活性層１２上に直接形成したものである。図１４は、高抵抗体膜１８をゲート電極２１ではなく、ソース電極２５に接続したものである。

【００５０】

図１５は、高抵抗体膜１８のドレイン側端部を不純物ドープの多結晶シリコン膜２８を介してドレイン電極２６に接続したものである。ここで、高抵抗体膜１８とドレイン電極２６とのコンタクト抵抗は大きいが、高抵抗体膜１８と不純物ドープ多結晶シリコン膜２８とのコンタクト抵抗は極めて小さく、またドレイン電極２６と不純物ドープ多結晶シリコン膜２８とのコンタクト抵抗も極めて小さいため、不純物ドープ多結晶シリコン膜２８を介在させることにより、高抵抗体膜１８とドレイン電極２６とのコンタクト抵抗を小さくすることができる。

【００５１】

図１６は、高抵抗体膜１８を省略したものである。また、図には示さないが、第１の実施

例における図２～図４と同様に、ｐ型ベース層２３やｎ型ドレイン層２４等をシリコン酸化膜１１よりも浅く形成してもよい。さらに、図５の例と同様に、ｎ型ドレイン層２４を、３重拡散における横方向の拡散窓の長さを変え、拡散深さを一定としてもよい。

【００５２】

図１７は、本発明の第３の実施例に係わるＩＧＢＴ（Insulated Gate Bipolar Transistor）の素子構造を示す断面図である。なお、図１１と同一部分には同一符号を付して、その詳しい説明は省略する。

【００５３】

基本的な構成は図１１と同様であるが、この実施例では図１１のｎ型ドレイン層２４に相当するものがｎ型ベース層３４であり、このｎ型ベース層３４内にｐ型ドレイン層３６が形成されている。

【００５４】

このような構成であれば、バイポーラトランジスタとパワーＭＯＳＦＥＴを１つのチップ内にモノリシックで複合化した横型のＩＧＢＴを実現することができる。そしてこの場合、第１の実施例と同様に、ｎ型ベース層３４の３重拡散，シリコン酸化膜１１に達する拡散，及び高抵抗体膜１８の作用により、ｎ型ベース層３４のエッジ部における電界集中を緩和することができ、耐圧向上をはかることができる。

【００５５】

第３の実施例における変形例を、図１８～図２２に示す。図１８は、図１２の例と同様にｎ型ソース層２２及びｐ型ドレイン層３６がシリコン酸化膜１１に達する深さとなるように活性層１２を薄くしたものである。このとき、ｐ型ドレイン層３６がシリコン酸化膜１１に接しているため、活性層底部にｐ型反転層によるチャネルが形成されることがある。これを防ぐには、ｎ型ベース層３４の不純物濃度を高く設定する必要があり、具体的にはｎ型ベース層３４の不純物濃度が$1\times10^{17}cm^{-3}$以上であればよい。または、図１７の例のようにｐ型ドレイン層３６がシリコン酸化膜１１に達していない構成であれば、活性層底部のｐ型反転層によるチャネル形成を避けることができる。

【００５６】

図１９は、高抵抗体膜１８を活性層１２上に直接形成したものである。図２０は、高抵抗体膜１８をゲート電極２１ではなく、ソース電極２５に接続したものである。

【００５７】

図２１は、高抵抗体膜１８のドレイン側端部を不純物ドープの多結晶シリコン膜２８を介してドレイン電極２６に接続したものである。この場合も、図１５の例と同様に、不純物ドープ多結晶シリコン膜２８を介在させることにより、高抵抗体膜１８とドレイン電極２６のコンタクト抵抗を小さくすることができる。

【００５８】

図２２は、高抵抗体膜１８を省略したものである。また、図には示さないが、第１の実施例における図２～図４と同様に、ｐ型ベース層２３やｎ型ベース層３４等をシリコン酸化膜１１よりも浅く形成してもよい。さらに、図５の例と同様に、ｎ型ベース層３４を、３重拡散における横方向の拡散窓の長さを変え、拡散深さを一定としてもよい。

【００５９】

次に、本発明の別の実施例について説明する。図２４は、第４の実施例の概略構成を示す断面図である。この実施例は、横型ＩＧＢＴの例である。シリコン基板５０上にシリコン酸化膜５１を介して、厚さ５μｍ以下のn^-型高抵抗シリコン層（活性層）５２が形成されている。

【００６０】

シリコン酸化膜５１は１～５μｍ程度の厚さとする。活性層５２に、シリコン酸化膜５１に達する深さで所定距離離れてｐベース５３層，ｎベース層（バッファ層）５４を拡散により形成する。さらに、ｐベース層５３中にn^+型ソース層５５を、ｎベース層５４中にp^+型ドレイン層５６を拡散により形成する。n^+型ソース層５５とn^-型活性層５２により挟まれたｐベース層５３の表面部をチャネル領域として、この上に６０ｎｍ程度のゲ

ート酸化膜を介してゲート電極５７が形成されている。ソース電極５８はn^+型ソース層５５とｐベース層５３に同時にコンタクトするように形成され、ドレイン電極５９はｐ型ドレイン層５６にコンタクトするように形成されている。また、電極５８，５９間の活性層５２上には絶縁保護膜６０が形成されている。

【００６１】

図２５は、図２４の構成でｎ型活性層５２を厚く形成しｎ型バッファ層５４の底部にｎ型活性層５２が残るようにしたものである。ｎ型活性層５２の表面にｎ型バッファ層５４が形成され、その中にｐ型ドレイン層５６が形成されている。ｎ型バッファ層５４はパンチスルーを防いで耐圧を高める働きをする。また、ｐ型ドレイン層５６からの正孔の注入効率を下げる働きがあるため、素子のオン抵抗が高くなる代わりにターンオフ速度は速くなる。

【００６２】

この構造の素子のｎ型活性層５２の厚さとオン抵抗，１００Ａ／cm^2の電流を流したときのオン抵抗及びターンオフ時のフォールタイムの関係を図２６に示す。破線の部分はシミュレーション結果である。ｎ型活性層５２が薄くなるとオン抵抗は少しずつ高くなるが、ターンオフ速度は著しく速くなる。特に、厚さ１０μｍ以下になるとその効果は顕著である。一方、薄くし過ぎるとオン抵抗が急激に上がってしまうので、ｎ型活性層５２の厚さを４μｍ以上１０μｍ以下の範囲に設定することが望ましい。

【００６３】

図２７は、図２４の構造を基本として、活性層５２の表面全体からｎ型不純物層６１を拡散した実施例である。活性層５２の厚さは１０μｍ以下、好ましくは５μｍ以下とする。この構造では、活性層５２中に縦方向の濃度勾配がつき、活性層底部での電界集中が効果的に緩和されてトレードオフの向上と共により高耐圧が得られる。

【００６４】

図２８は、図２７の構造でn^-型活性層５２の代わりにp^-型の活性層６２を用いた実施例であり、活性層６２の表面全体からｎ型不純物層６１を拡散してある。この場合も、図２４の実施例と同様の理由で高耐圧が得られる。

【００６５】

図２９は、図２４の構造を基本として、活性層５２の底面全体からｎ型不純物層６３を拡散した実施例である。この構造でも、活性層５２中に縦方向の濃度勾配がつき、活性層底部での電界集中が緩和されてトレードオフの向上と共に高耐圧が得られる。

【００６６】

図３０は、図２４の構造を基本として、ｎベース層５４を拡散窓の幅を変え２重以上に拡散した実施例である。この構造でも２重以上の拡散層５４′，５４″の効果により横方向の電界が緩和され、図２７の実施例と同様にトレードオフの向上と共に高耐圧が得られる。

【００６７】

図３１～図３３は、図３０の構造を基本として、図２７～図２９の例と同様の活性層の変形を行った実施例である。これらの構造でも、図３０の実施例と同様にトレードオフの向上と共に高耐圧が得られる。

【００６８】

図３４は、図２４の構造で一部変形したサイリスタの実施例である。なお、図３４において図２４と異なる符号７７はゲート、７８はカソード、７９はアノードである。本発明は、他の横型構造の高耐圧素子、例えば、ＥＳＴ，ＭＣＴ，ＧＴＯなどに適用することも可能である。

【００６９】

図３５は、図２５の実施例においてドレイン部分を変形した横型ＩＧＢＴの例である。ｐ型ドレイン層５６の表面に高濃度のｎ型層６５とｐ型層６６が形成され、ドレイン電極５９はこれらの両方にコンタクトしている。ｎ型層６５は正孔の注入効率を制限するために設けられたもので、ターンオフを速くする働きがある。平面的にはｎ型層６５は１本のス

トライプ状でも複数に分かれた島状でもよい。ｐ型層６６はドレインのコンタクトを良くするために設けられているが、なくてもよい。この実施例においても、ｎ型活性層５２が薄く、好ましくは１０μｍ以下に設定されていることにより、ターンオフ速度がさらに速くなっている。

【００７０】

図３６も、図２５の実施例のドレイン部分を変形したものである。ｎ型バッファ層５４の一部がドレイン電極５９とコンタクトしているアノードショート型のＩＧＢＴであり、ターンオフ速度が速くなっている。さらに、ｎ型活性層５２が薄く設定されていることにより、ターンオフ速度がより速くなっている。この実施例では、ｎ型バッファ層５４とドレイン電極５９のコンタクト部分に、コンタクト抵抗を下げるための高濃度のｎ型層を設けてもよい。

【００７１】

図３７は、図２５の実施例を変形したものである。ｎ型活性層５２の底部に、ｎ型活性層５２よりも不純物濃度の高いｎ型層６７が形成されている。一般に、ｎ型活性層５２の厚さが薄くなると、電圧印加時にドレインの下での縦方向の電界が強くなり、耐圧が低くなる。図３７の素子ではｎ型層６７が空乏化して生じる空間電荷により、酸化膜５１中の電界が大きくなる代わりに活性層５２中の電界が緩和されるので、高耐圧が保たれる。この実施例でも、ｎ型活性層５２が薄いことにより、速いターンオフ速度が得られる。

【００７２】

図３８は、図２５の実施例を変形したものである。酸化膜５１の上はｐ型シリコン層６８であり、その表面にｎ型活性層５２が拡散形成され、そこに素子が作られている。ｎ型活性層５２を含めたｐ型半導体層６８の厚さを薄く、望ましくは１０μｍ以下に設定していることにより、ターンオフ速度の速い横型ＩＧＢＴが得られている。

【００７３】

図３９は、図２５の実施例を変形したものである。図３８の例と同じく酸化膜５１によってシリコン基板（支持基板）５０から分離されたｐ型シリコン層６８の表面にｎ型活性層５２が拡散形成され、そこに図３５と同じ構成の素子が形成されている。

【００７４】

図４０は、図２５の実施例を変形したものであるが、これまでの変形例とは異なる誘電体分離基板を用いている。高耐圧化をはかるためにｎ型活性層５２と酸化膜５１との間にＳＩＰＯＳ膜６９が設けられている。これは、ＳＩＰＯＳ膜６９以外の高抵抗膜や高誘電率膜でもよい。この実施例においても、ｎ型活性層５２を薄く設定していることにより、ターンオフ速度が速くなっている。

【００７５】

なお、図２４，２５，２７～４０の実施例において、導電型を全て反対にしたｐチャネル横型ＩＧＢＴに適用できるのは勿論である。

【００７６】

次に、本発明の第５の実施例について説明する。図４１は、第５の実施例に係わる高耐圧ダイオードを示す素子構造断面図である。シリコン基板１０上にシリコン酸化膜１１を介してn^-型の高抵抗シリコン活性層１２が形成されている。シリコン活性層１２に所定距離離れてアノード領域となる高不純物濃度のp^+型層１３と、カソード領域となる高不純物濃度層のn^+型層１４が形成されている。p^+型層１３にはアノード電極１５が形成され、n^+型層１４にはカソード電極１６が形成されている。そして、シリコン活性層１２の底部にはｎ型バッファ層７１が形成されている。

【００７７】

このように構成された高耐圧ダイオードにおいて、基板１０及び電極１５を接地して電極１６に正の電位を印加すると、ｐｎ接合は逆バイアスされてシリコン活性層１２内に空乏層が広がる。酸化膜１１とシリコン活性層１２の界面からも上に向かって空乏層が広がる。印加電圧がある値以上になると、シリコン活性層１２は空乏層で満たされた状態になり、シリコン活性層１２内にはn^+型層１３から下方に向かう強い電界が生じる。

【００７８】
また、シリコン活性層１２の底部に形成したｎ型バッファ層７１は逆バイアスを与えてバッファ層７１が空乏化すると、ここに正の空間電荷が生じる。この空間電荷がシリコン活性層１２内の電界を緩和する働きをする結果、シリコン活性層底部の中間酸化膜でより多くの印加電圧が分担され、高耐圧特性が得られる。このバッファ層７１の不純物総量は３×$10^{12}$$cm^{-2}$以下、より望ましくは５×$10^{11}$～２×$10^{12}$$cm^{-2}$となるように設定される。
【００７９】
図４３は、このｎ型バッファ層７１の拡散長２×（Ｄｔ）$^{1/2}$と素子の耐圧との関係を示したものであり、各々の拡散長において不純物ドープ量を最適にしている。これは、ｎ型バッファ層７１の不純物総量を決めると得られるカーブである。拡散長が１／２０００ｃｍより小さい範囲では拡散長が短くなるにつれて耐圧の向上が見られ、かつ高耐圧が得られている。また、２００Ｖ系で動作させるには５００Ｖの耐圧を保証しなければならないが、拡散長が１／４０００ｃｍより小さい範囲であれば５００Ｖ以上の高耐圧を得ることが可能となる。
【００８０】
図４２は、図４１の構造を基本として、シリコン活性層１２の底部のｎ型バッファ層７１を選択的に形成したものである。印加電圧はドレイン直下部分のシリコン活性層１２により大きく掛かってくるわけだから、この部分のみ選択的にｎ型バッファ層７２を形成して電界を緩和すれば高耐圧が得られる。
【００８１】
図４４は、図４１の構造に対して活性層１２の厚さが薄い場合の例である。活性層１２が薄いとｎ型不純物層が活性層下の酸化膜に達するが、この場合もｎ型バッファ層を活性層底部に形成した方が高耐圧が得られる。
【００８２】
図４５は，図４２の構造に対して活性層１２の厚さが薄い場合の例である。ｎ型不純物層が酸化膜に達している構造でも、選択的にｎ型バッファ層を入れて同様の効果が得られる。
【００８３】
このように本実施例によれば、拡散長の短いｎ型バッファ層を活性層底部に形成することによって、薄い活性層で十分な高耐圧を得ることができる。また、本実施例のように活性層の下にｎ型バッファ層を設ける構成は、図１～図１０に示す第１の実施例に適用することも可能である。
【００８４】
次に、本発明の別の実施例について説明する。この実施例は、誘電体分離基板に高速ダイオードを形成したものである。
【００８５】
図４６は第６の実施例に係わる高速ダイオードを示す素子構造断面図である。半導体基板８１と高抵抗のｎ型半導体基板８２の間に絶縁膜８３を形成して誘電体分離基板が構成されている。誘電体分離基板の高抵抗のｎ型半導体基板８２の表面にｐ型のアノード層８４，ｎ型のカソード層８５が形成され、アノード層８４の表面にはアノード電極８６が、カソード層８５の表面にはカソード電極８７が形成されている。
【００８６】
ここまでは従来構造と同じであるが、本実施例ではこれに加えて、アノード層８４にn^+型の不純物層８８を選択的に形成し、カソード層８５にp^+型の不純物層８９を選択的に形成し、アノード電極８６はアノード層８４及びn^+型の不純物層８８の双方にオーミックコンタクトし、カソード電極８７はカソード層８５及びp^+型の不純物層８９の双方にオーミックコンタクトするようになっている。そして、アノード層８４，カソード層８５が形成される半導体基板８２の厚さは２～１０μｍに設定してある。
【００８７】

図４７は、誘電体分離基板に形成したダイオードのオン電圧Ｖｆ及び逆回復時間ｔrrと半導体基板８２の厚さｔｓの関係を示す。逆回復時間ｔrrは基板８２の厚さｔｓが薄くなるほど短くなり、ｔｓ≦１０μｍになるとｔrr≦０．３μsecを満足することが認められた。しかし、オン電圧Ｖｆはｔｓ≦２μｍになると急激に上昇することが分かった。このことから、半導体基板８２の厚さｔｓは２～１０μｍに設定すれば、電子線照射などのライフタイムコントロールをすることなく逆回復時間の高速化をはかったダイオードを実現することができる。

【００８８】

次に、本発明の第７の実施例について説明する。この実施例は、半導体基板の中間に絶縁膜層を有する誘電体分離半導体基板に関する。図４８は、第７の実施例に係わる誘電体分離半導体基板の構成を示し、（ａ）は裏面から見た平面図、（ｂ）そのＡ－Ａ′断面図である。２枚のシリコン基板９１，９３が酸化膜９２を介して一体化され、シリコン基板９１の表面は所定の厚さまで研磨されている。そして、シリコン基板９３には格子状の溝９４が形成され、この溝９４に酸化膜９５を埋め込んだ構造にしてある。

【００８９】

図４９にこの誘電体分離半導体基板の製造工程を示す。シリコン直接接合後、図４９（ａ）に示すようにシリコン基板９３に幅数μｍ、望ましくは１μｍ以下、深さ数μｍ～数十μｍの格子状の溝９４を形成する。続いて、図４９（ｂ）に示すように、この溝９４を酸化膜９５で埋め込む。このとき、溝幅を約１μｍ以下にしておけば、熱酸化で溝９４を完全に埋め込むことができる。この後、図４９（ｂ）に示すように、シリコン基板９１の表面を所定の厚さまで研磨する。

【００９０】

この誘電体分離半導体基板では、シリコン基板９３を挟むように酸化膜９２と酸化膜９５が形成されているから、基板の反りは小さく抑えることができる。また、素子形成時の基板表面に形成した酸化膜を除去する工程においても、酸化膜９５が除去されるのはその表面だけであり、溝９４内には酸化膜９５は残る。従って、従来のような裏面の酸化膜が除去されないように保護膜を設ける必要がなく、工程を簡略化することができる。

【００９１】

このように本実施例によれば、中間酸化膜の厚さを厚くしても反りの小さな誘電体分離半導体基板を実現することができ、工程の簡略化がはかられ、低コストのパワーＩＣの実現に寄与することが可能となる。

【００９２】

図５０は、図４８の実施例の変形例である。図４８と異なる点は、酸化膜９５の表面に減圧ＣＶＤ法によりポリシリコン９６を形成したことである。この実施例は、溝９４の幅が１μｍ以上のとき有効である。溝９４の幅が１μｍ以上になると、熱酸化だけで溝９４を埋め込むことは困難になる。そこで、埋め込み不足を生じた部分をポリシリコン９６で埋め込んだものである。また、この実施例では基板の裏面がポリシリコン９６であることから、素子形成時の酸化膜を除去する工程においても、酸化膜９５は全く除去されない利点がある。

【００９３】

第７の実施例では、半導体基板にシリコン、絶縁膜に酸化膜を用いて説明したが、本発明はこれに限らず他の材料を用いても適用することが可能である。また、本実施例では２枚の半導体基板を直接接合して得られる誘電体分離半導体基板を用いたが、他の方法で得られる誘電体分離半導体基板を用いた場合も有効である。　図５４は、本発明の第８の実施例に係る誘電体分離半導体素子の一例を示す断面図である。シリコン基板１０１上に、シリコン酸化膜（分離絶縁膜）１０２を介して、n^-型の高抵抗シリコン層（活性層）１０３が形成されている。シリコン酸化膜１０２の厚さは３μｍ、n^-型活性層１０３の厚さは０．１μｍである。n^-型活性層１０３の不純物濃度は１．０×10^{17}／cm^3である。n^-型活性層１０３には、ドレイン領域１０４、ソース領域１０５がそれぞれ形成され、これらドレイン領域１０４、ソース領域１０５の上には、それぞれドレイン電極１０６

、ソース電極１０７が形成されている。なお、参照数字１０８、１０９はそれぞれ絶縁膜、ゲート電極である。

【００９４】

n^-型活性層１０３の横方向の不純物濃度分布は、３段の階段状となっている。この階段状の不純物濃度分布は、次のようにして得ることが出来る。

【００９５】

即ち、n^-型活性層１０３の上に第１のマスクを形成し、$2\times10^{12}cm^{-2}$のドーズ量で燐をイオン注入する。次いで、横方向の開口部が第１のマスクよりも広い第２のマスクを用いて、$2\times10^{12}cm^{-2}$のドーズ量で燐をイオン注入する。更に、横方向の開口部が第２のマスクよりも広い第３のマスクを用いて、$2\times10^{12}cm^{-2}$のドーズ量で燐をイオン注入する。なお、マスクの横方向の開口部の差は、いずれも拡散長の２倍以上、好ましくは３～４倍である。

【００９６】

次いで、約１２００℃で熱処理して、イオン注入した燐を拡散させることにより、図５５に示すような、横方向に３段の階段状の不純物濃度分布が得られる。図５４に示す誘電体分離半導体素子のアバランシェ耐圧を測定したところ、７００Ｖであった。

【００９７】

図５４に示す例では、階段状不純物濃度分布の段数を３段としたが、２～１０段の範囲で適宜変えることが可能である。段数を増やした場合には、拡散長を小さくしても同様の耐圧を得ることが出来る。一方、段数を減少させた場合には、拡散長を大きくする必要がある。

【００９８】

図５５は、半導体素子の耐圧をパラメーターとした場合の、階段数とそれに対応する拡散長との関係を示すグラフである。図中の曲線は、下記の式で表される。

【００９９】

$(n+1)[a+(V_b/200)+1.5]=V_b^2/13600$

式中、V_bは耐圧（Ｖ）、ａは拡散長（μｍ）、ｎは段数を示す。

【０１００】

以上説明したように、本発明の第８の実施例によると、活性層の厚さが０．３μｍ以下であっても、ドリフト領域の長さを大きくすることなく、高耐圧の横型誘電体分離半導体素子を実現することが可能である。

【０１０１】

【発明の効果】

以上詳述したように第１の発明によれば、２重以上の拡散により拡散層の形状を工夫することにより、拡散層のエッジ部（特に底部の曲面部付近）における電界集中を緩和させることができ、これによって薄い活性層で十分な高耐圧特性を得ることを可能とした誘電体分離構造の高耐圧半導体素子を実現することが可能となる。

【０１０２】

また、第２の発明によれば、活性層の厚さが０．３μｍ以下であっても、活性層の横方向の不純物濃度分布を、それぞれガウス分布である２～１０段の階段状とし、各階段の間隔を拡散長の２倍以上とすることによって、ドリフト領域の長さを大きくすることなく、高耐圧の横型誘電体分離半導体素子を実現することが可能である。

【図面の簡単な説明】

【図１】本発明の第１の実施例に係わる高耐圧ダイオードの素子構造を示す断面図。

【図２】第１の実施例でｐ型アノード層を酸化膜よりも浅く形成した例を示す断面図。

【図３】第１の実施例でｎ型カソード層を酸化膜よりも浅く形成した例を示す断面図。

【図４】第１の実施例でｐ型アノード層及びｎ型カソード層を酸化膜よりも浅く形成した例を示す断面図。

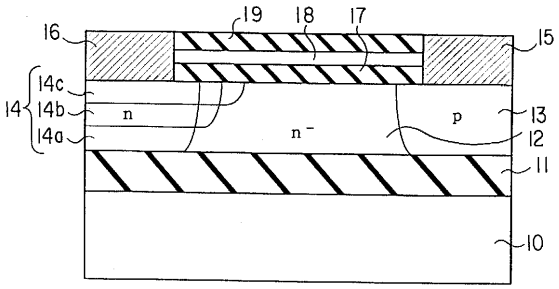
【図５】第１の実施例でｎ型カソード層の３重拡散深さを一定とした例を示す断面図。

【図６】図５の例でｐ型アノード層を酸化膜よりも浅く形成した例を示す断面図。

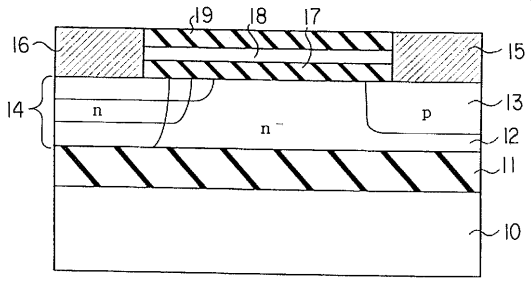
【図７】第１の実施例においてｎ型カソード層を２重拡散で形成した例を示す断面図。
【図８】第１の実施例で高抵抗体膜をｐ型アノード層及びｎ型カソード層に接続した例を示す断面図。
【図９】第１の実施例において高抵抗体膜を活性層上に直接形成した例を示す断面図。
【図１０】第１の実施例で高抵抗体膜を省略した例を示す断面図。
【図１１】本発明の第２の実施例に係わる高耐圧ＭＯＳＦＥＴの素子構造を示す断面図。
【図１２】第２の実施例でｎ型ソース層を酸化膜に達するよう形成した例を示す断面図。
【図１３】第２の実施例で高抵抗体膜を活性層上に直接形成した例を示す断面図。
【図１４】第２の実施例で高抵抗体膜の両端を電極に接続した例を示す断面図。
【図１５】第２の実施例で高抵抗体膜の一端を不純物ドープ多結晶シリコン膜を介して電極に接続した例を示す断面図。
【図１６】第２の実施例において高抵抗体膜を省略した例を示す断面図。
【図１７】第３の実施例に係わる横型ＩＧＢＴの素子構造を示す断面図。
【図１８】第３の実施例でｎ型ソース層及びｐ型ドレイン層を酸化膜に達する深さまで形成した例を示す断面図。
【図１９】第３の実施例で高抵抗体膜を活性層上に直接形成した例を示す断面図。
【図２０】第３の実施例で高抵抗体膜の両端を電極に接続した例を示す断面図。
【図２１】第３の実施例で高抵抗体膜の一端を不純物ドープ多結晶シリコン膜を介して電極に接続した例を示す断面図。
【図２２】第３の実施例において高抵抗体膜を省略した例を示す断面図。
【図２３】活性層の不純物総量と耐圧との関係を示す特性図。
【図２４】本発明の第４の実施例に係わる横型ＩＧＢＴの素子構造を示す断面図。
【図２５】図２４の構成で活性層を厚く形成した実施例を示す断面図。
【図２６】活性層厚さに対するオン電圧とスイッチングオフ時間の関係を示す特性図。
【図２７】図２４の構造を基本として、活性層の表面全体からｎ型不純物層を拡散した実施例を示す断面図、
【図２８】図２７の構造でn^-型活性層の代わりにp^-型の活性層を用いた実施例を示す断面図。
【図２９】図２４の構造を基本として、活性層の底面全体からｎ型不純物層を拡散した実施例を示す断面図。
【図３０】図２４の構造を基本として、ｎベース層を拡散窓の幅を変えて２重以上に拡散した実施例を示す断面図。
【図３１】図３０の構造を基本として、活性層の表面全体からｎ型不純物層を拡散した実施例を示す断面図。
【図３２】図３１の構造でn^-型活性層の代わりにp^-型の活性層を用いた実施例を示す断面図。
【図３３】図３０の構造を基本として、活性層の底面全体からｎ型不純物層を拡散した実施例を示す断面図。
【図３４】図２４の構造で一部変形したサイリスタの実施例を示す断面図。
【図３５】図２５の実施例においてドレイン部分を変形した横型ＩＧＢＴの例を示す断面図。
【図３６】図２５の実施例のドレイン部分を変形した例を示す断面図。
【図３７】図２５の実施例を変形した例を示す断面図。
【図３８】図２５の実施例を変形した例を示す断面図。
【図３９】図２５の実施例を変形した例を示す断面図。
【図４０】図２５の実施例を変形した例を示す断面図。
【図４１】本発明の第５の実施例に係わる高耐圧ダイオードを示す素子構造断面図。
【図４２】図４１の構造を基本として、活性層底部のｎ型バッファ層を選択的に形成した例を示す断面図。
【図４３】バッファ層の拡散長$2\times(Dt)^{1/2}$と素子耐圧との関係を示す特性図。

【図４４】図４１の構造を基本として、活性層の底部のバッファ層を選択的に形成した例を示す断面図。
【図４５】図４１の構造に対して活性層の厚さが薄い場合の例を示す断面図。
【図４６】本発明の第６の実施例に係わる高速ダイオードを示す素子構造断面図。
【図４７】誘電体分離基板に形成したダイオードのオン電圧Ｖｆ 及び逆回復時間ｔrrと半導体基板の厚さｔｓ の関係を示す特性図。
【図４８】本発明の第７の実施例に係わる誘電体分離半導体基板の概略構成を示す平面図及び断面図。
【図４９】図４８の誘電体分離半導体基板の製造工程を示す断面図。
【図５０】図４８の実施例の変形例を示す断面図。
【図５１】誘電体分離構造を用いた横型の高耐圧ダイオードの従来例を示す断面図。
【図５２】拡散長とブレークダウン電圧との関係を示す特性図。
【図５３】階段数とブレークダウン電圧との関係を示す特性図。
【図５４】本発明の第８の実施例に係る誘電体分離半導体素子の一例を示す断面図。
【図５５】活性層に３回の拡散を行なったときの活性層の横方向の不純物濃度分布を示す特性図。
【図５６】素子のブレークダウン電圧をパラメーターとしたときの階段数と拡散長との関係を示す特性図。
【図５７】誘電体分離構造を用いた横型の高耐圧ダイオードの従来例を示す断面図。
【符号の説明】
１０…シリコン基板
１１…シリコン酸化膜（分離絶縁膜）
１２…ｎ⁻ 型高抵抗シリコン層（活性層）
１３…ｐ型アノード層（第２導電型不純物層）
１４…ｎ型カソード層（第１導電型不純物層）
１５…アノード電極
１６…カソード電極
１８…高抵抗体膜
２１…ゲート電極
２３…ｐ型ベース層
２４…ｎ型ドレイン層
２５…ソース電極
２６…ドレイン電極
２８…不純物ドープ多結晶シリコン膜
３４…ｎ型ベース層
３６…ｐ型ドレイン層。

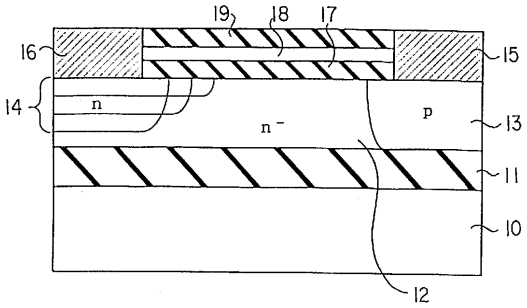
【図１】



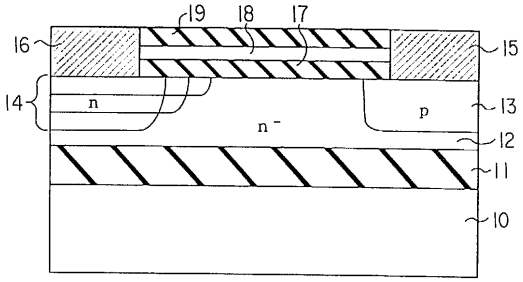
【図２】



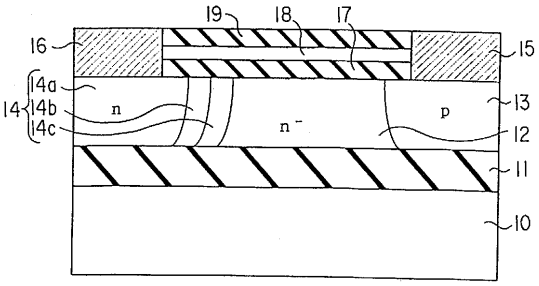
【図３】



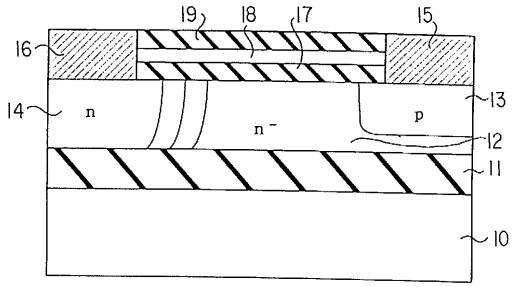
【図４】



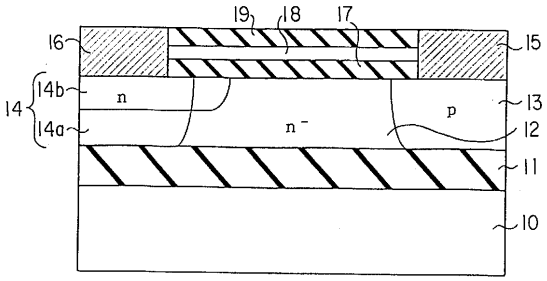
【図５】



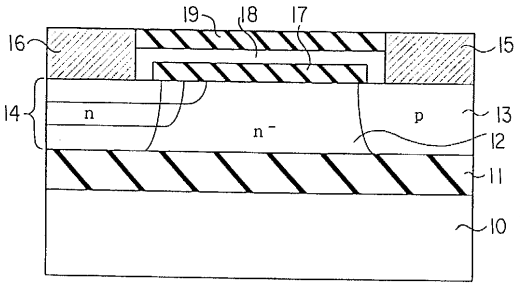
【図６】



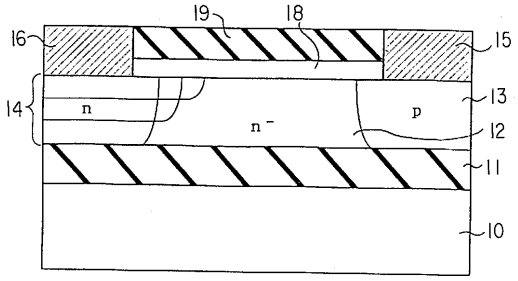
【図７】



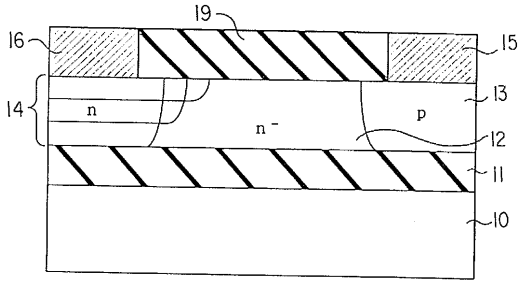
【図８】



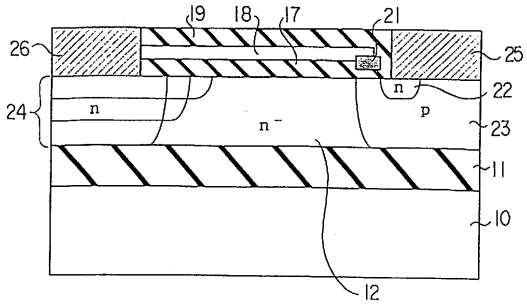
【図９】



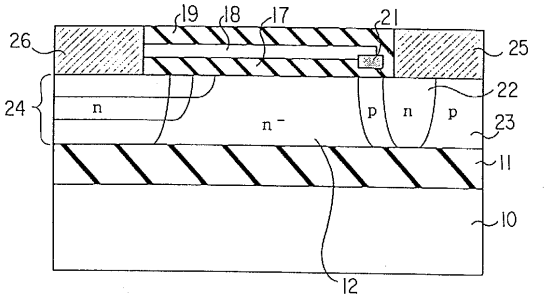
【図１０】



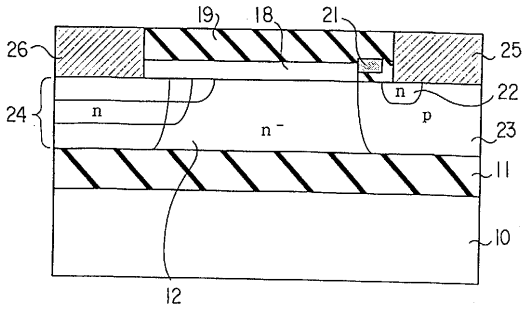
【図１１】



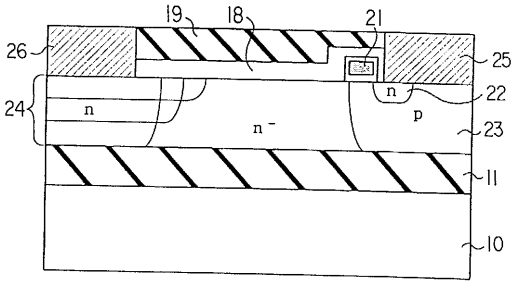
【図１２】



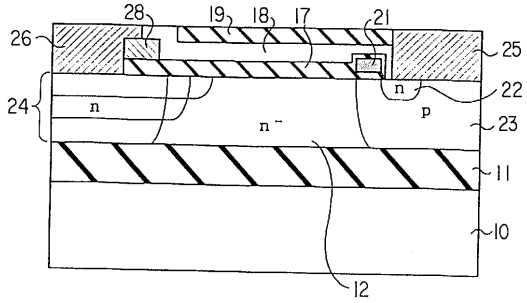
【図１３】



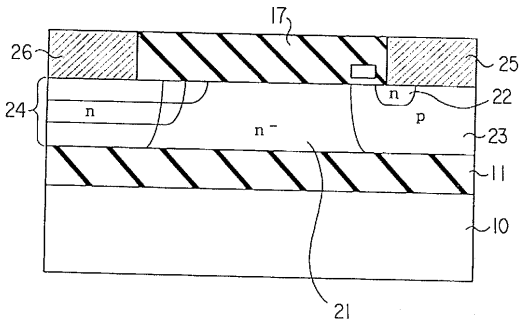
【図１４】



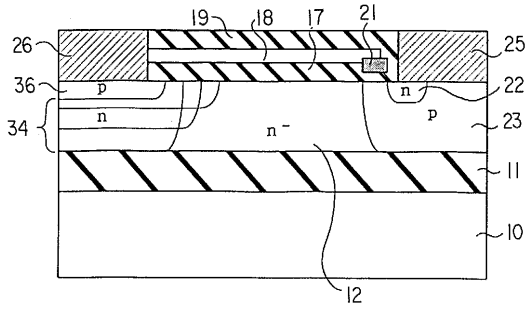
【図１５】



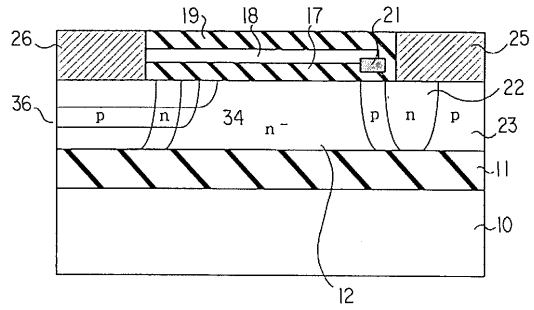
【図１６】



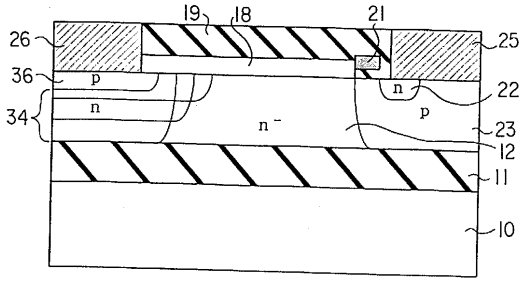
【図１７】



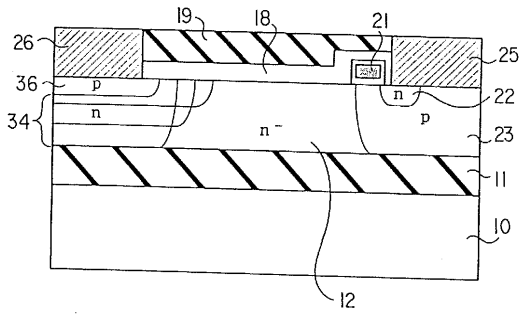
【図１８】



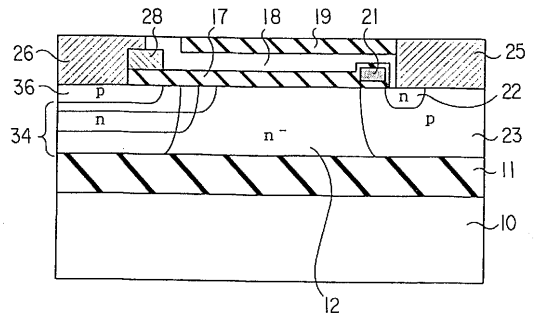
【図１９】



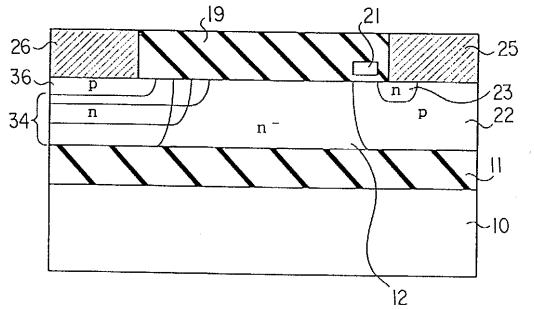
【図２０】



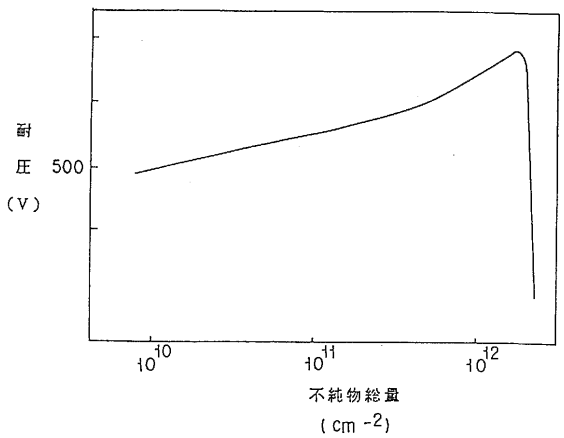
【図２１】



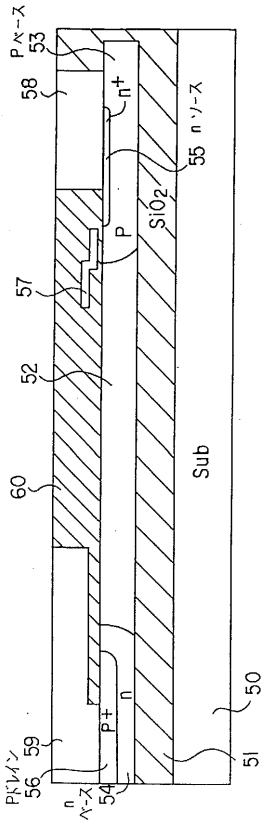
【図２２】



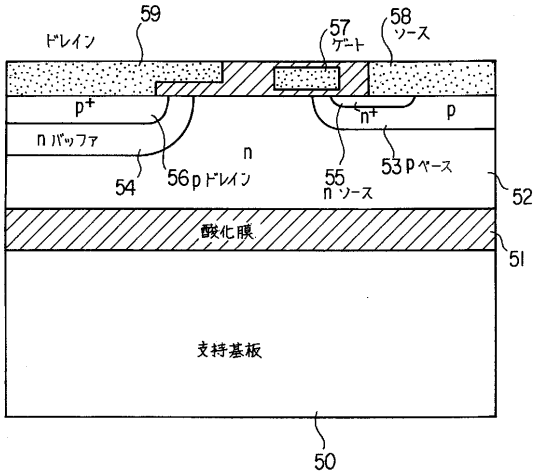
【図２３】



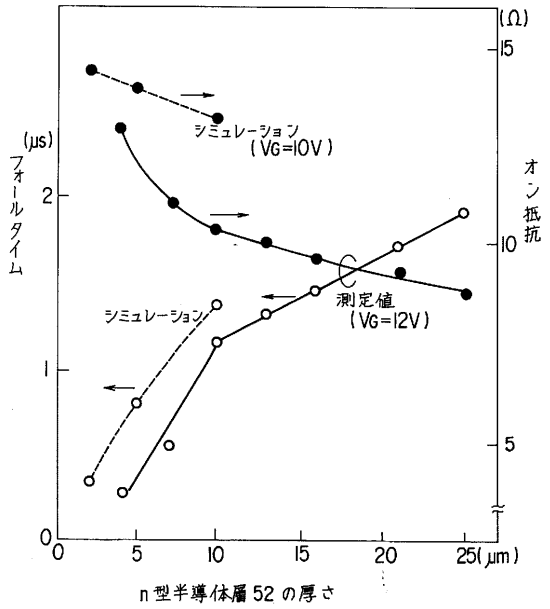
【図２４】



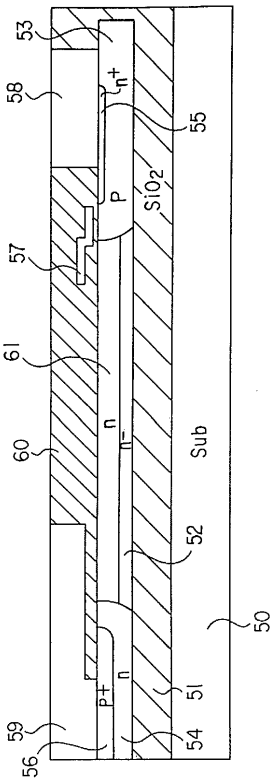
【図２５】



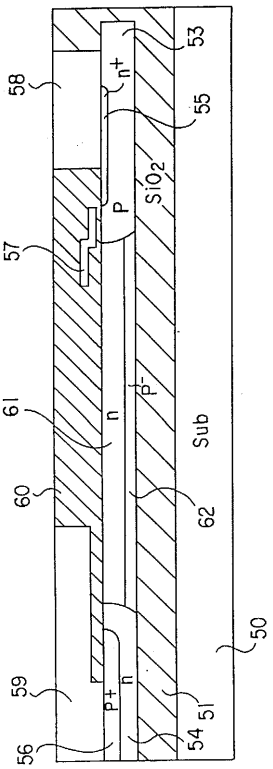
【図２６】



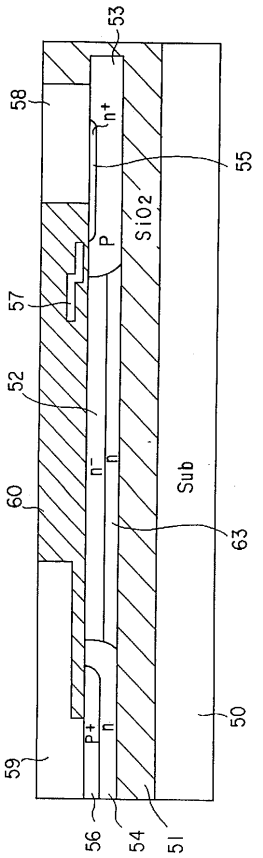
【図２７】



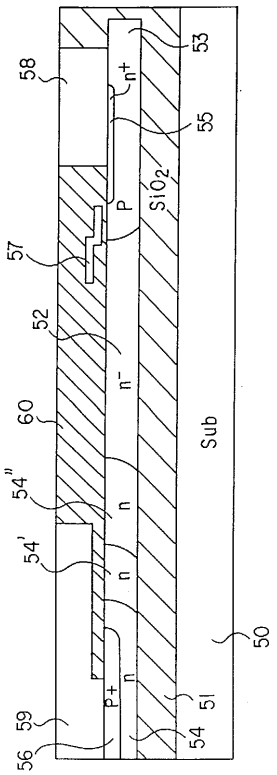
【図２８】



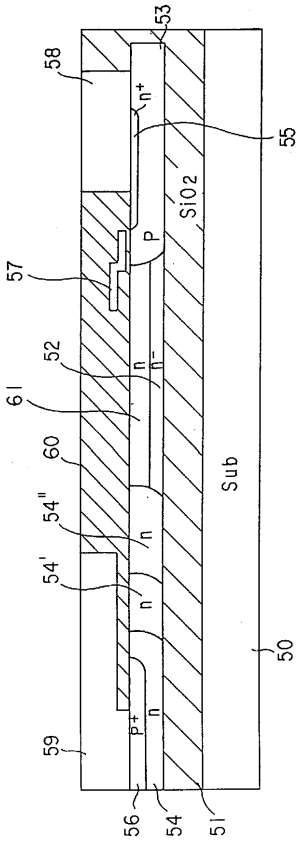
【図２９】



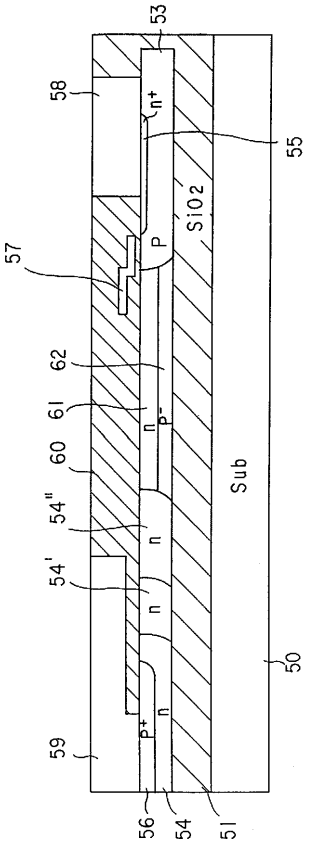
【図３０】



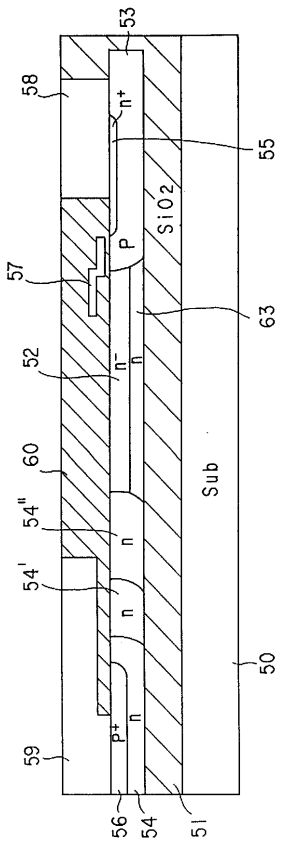
【図３１】



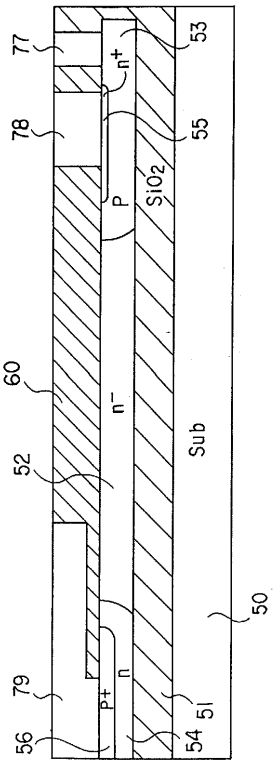
【図３２】



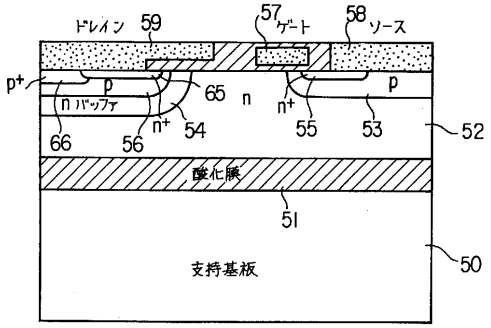
【図３３】



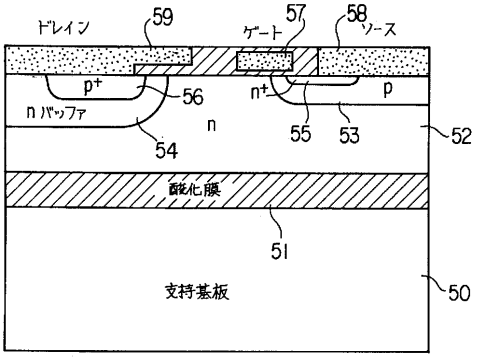
【図３４】



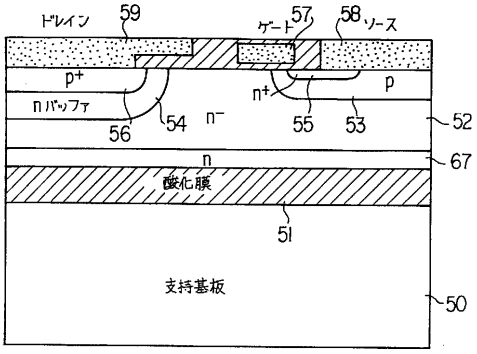
【図３５】



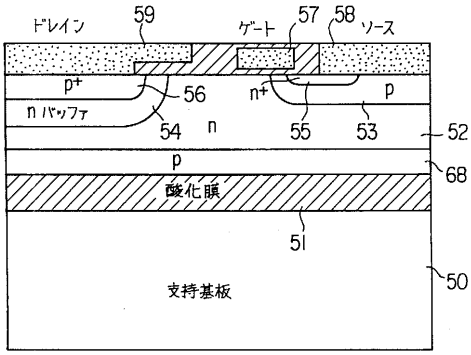
【図３６】



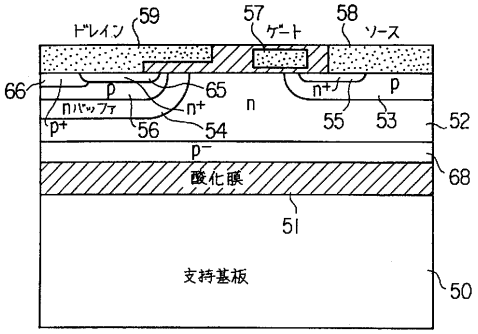
【図３７】



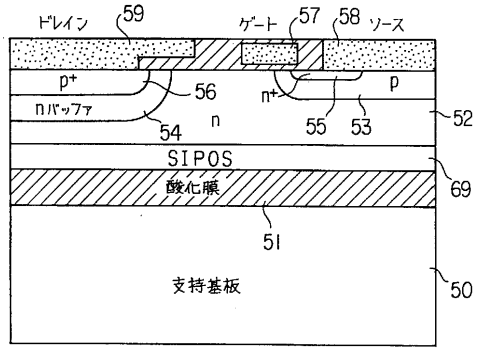
【図３８】



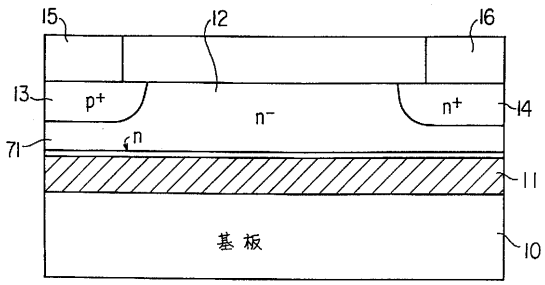
【図３９】



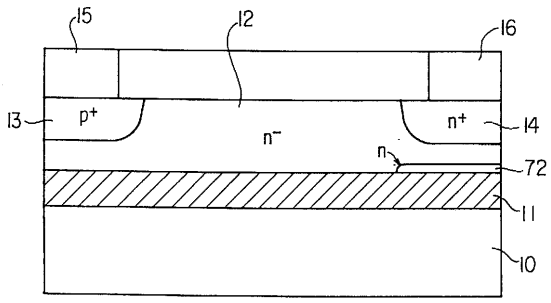
【図４０】



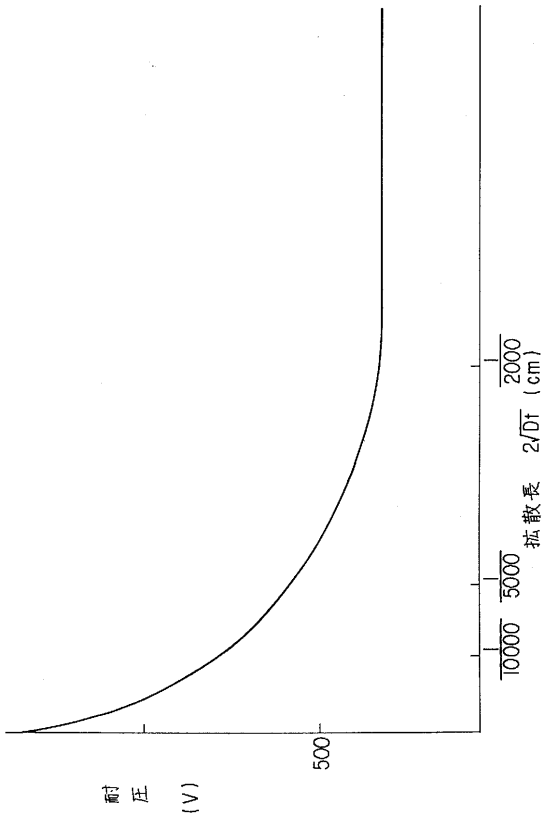
【図４１】



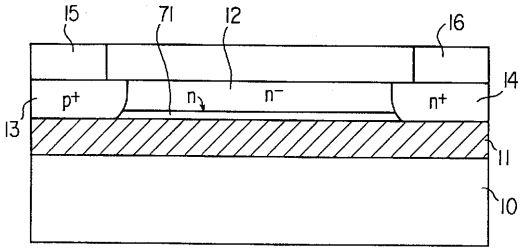
【図４２】



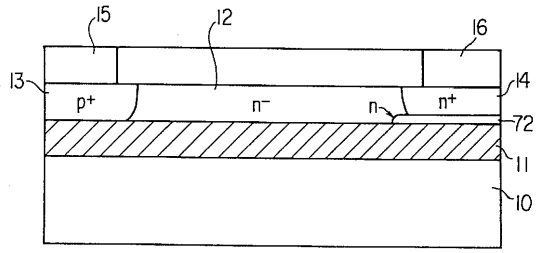
【図４３】



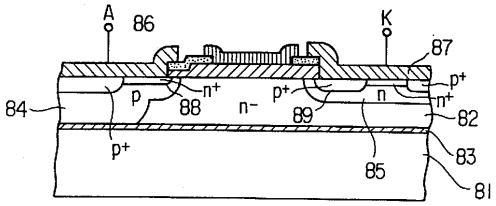
【図４４】



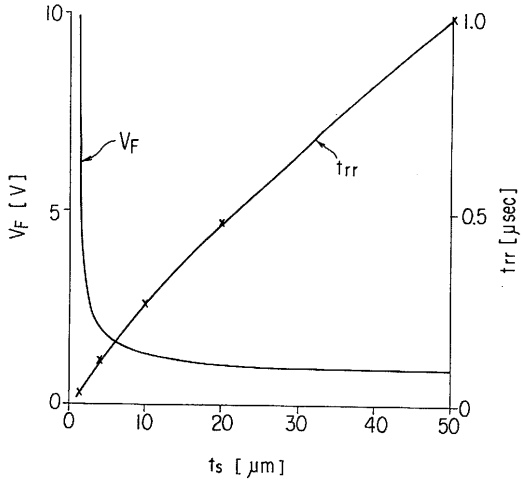
【図４５】



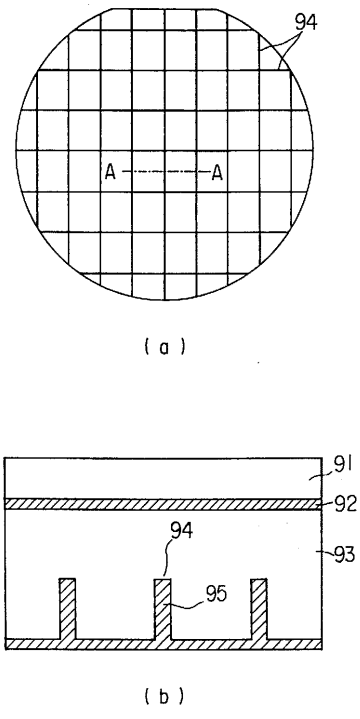
【図４６】



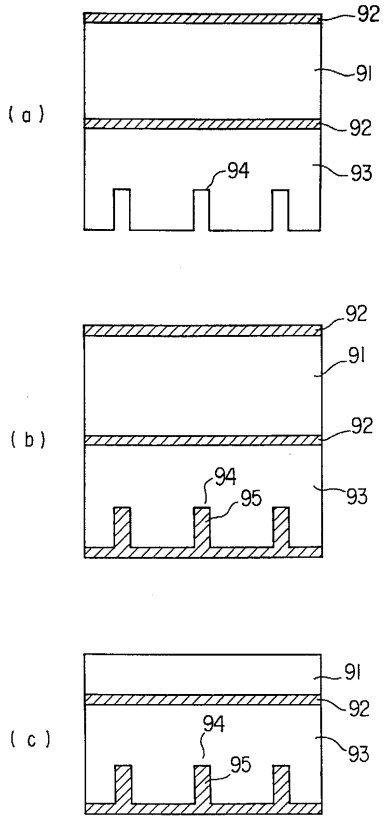
【図４７】



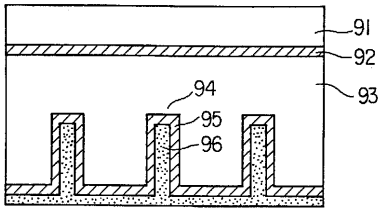
【図４８】



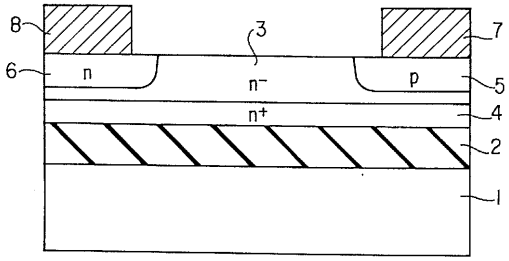
【図４９】



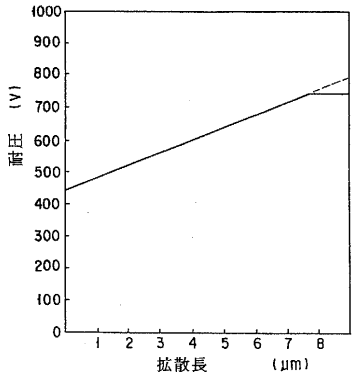
【図５０】



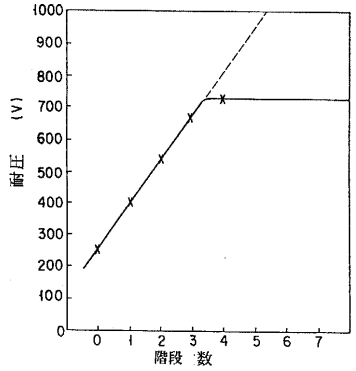
【図５１】



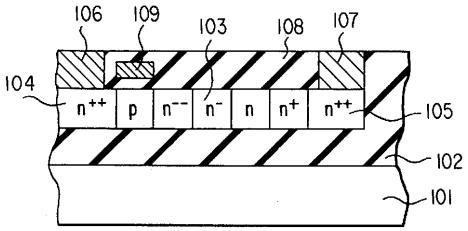
【図５２】



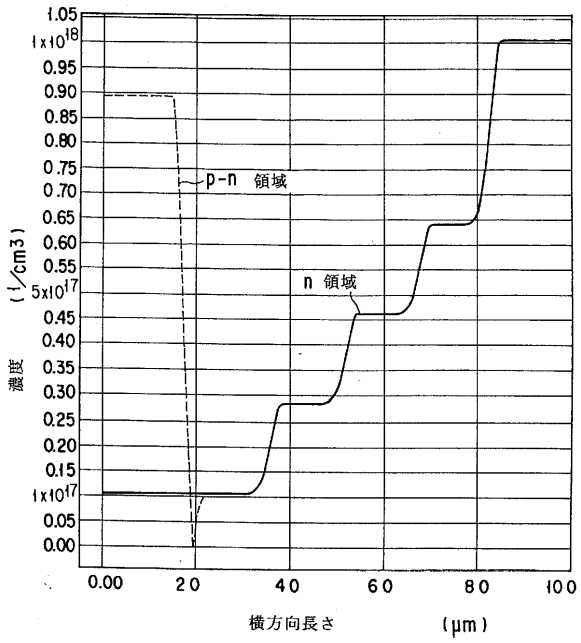
【図５３】



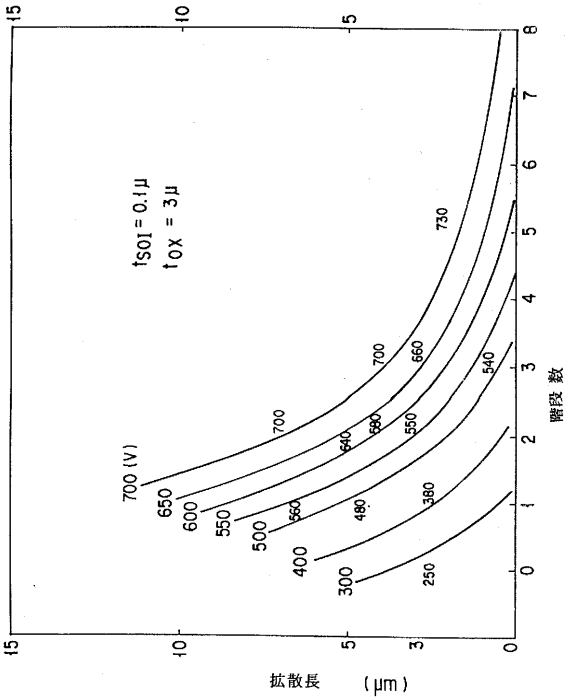
【図５４】



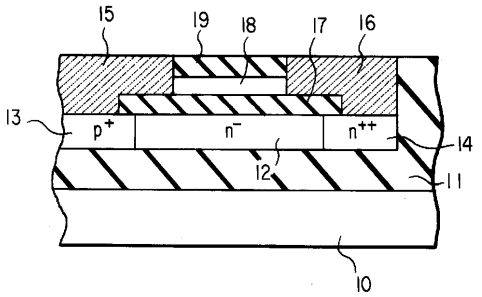
【図５５】



【図５６】


t_{SOI} = 0.1μ
t_{OX} = 3μ
700 (V)
650
600
550
500
400
300
700
730
660
540
580
550
640
560
480
380
250
階段数
拡散長 (μm)

【図５７】


15
19
18
17
16
13
p+
n−
n++
14
12
11
10

フロントページの続き

(72)発明者　山口　好広
神奈川県川崎市幸区小向東芝町１番地　株式会社東芝研究開発センター内
(72)発明者　大村　一郎
神奈川県川崎市幸区小向東芝町１番地　株式会社東芝研究開発センター内
(72)発明者　舟木　英之
神奈川県川崎市幸区小向東芝町１番地　株式会社東芝研究開発センター内

審査官　宮崎　園子

(56)参考文献　特開平０３－１１６８７７（ＪＰ，Ａ）
特開平０２－０１６７５１（ＪＰ，Ａ）
特開平０１－１０３８５１（ＪＰ，Ａ）
特開平０２－１８６６７５（ＪＰ，Ａ）
特開平０１－１３８７５９（ＪＰ，Ａ）
特開昭６３－２０９１６１（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.，ＤＢ名)
H01L 29/861