

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号
特許第3882953号
(P3882953)

(45) 発行日 平成19年2月21日(2007.2.21)

(24) 登録日 平成18年11月24日(2006.11.24)

(51) Int.Cl.

G 1 1 B 20/14 (2006.01)
H 0 3 M 7/40 (2006.01)

F I
G 1 1 B 20/14 3 4 1 A
H 0 3 M 7/40

請求項の数 16 (全 34 頁)

(21) 出願番号	特願平9-37365	(73) 特許権者	000002185
(22) 出願日	平成9年2月21日(1997.2.21)		ソニー株式会社
(65) 公開番号	特開平10-162514		東京都品川区北品川6丁目7番35号
(43) 公開日	平成10年6月19日(1998.6.19)	(74) 代理人	100082131
審査請求日	平成15年10月31日(2003.10.31)		弁理士 稲本 義雄
(31) 優先権主張番号	特願平8-260667	(72) 発明者	中川 俊之
(32) 優先日	平成8年10月1日(1996.10.1)		東京都品川区北品川6丁目7番35号 ソ
(33) 優先権主張国	日本国(JP)		ニー株式会社内
		(72) 発明者	吉村 俊司
			東京都品川区北品川6丁目7番35号 ソ
			ニー株式会社内
		審査官	深沢 正志
			最終頁に続く

(54) 【発明の名称】 符号復号装置および方法

(57) 【特許請求の範囲】

【請求項1】

2個のシンボルにより構成される符号系列の同一の前記シンボル間に連続して配置される他の前記シンボルの長さである連続長が、所定の規定長として予め規定されている符号であって、所定の伝送路を介して伝送された伝送符号を復号する符号復号装置であって、

前記伝送符号の同一の前記シンボルの連続長が、前記規定に違反している違反長の長さであることを検出する違反長検出手段と、

前記違反長のシンボルにより構成される違反ビット列の前のビット列のパターンと後のビット列のパターンのうち、前記違反ビット列の前のビット列または後のビット列の前記連続長が前記規定長となるビット列のパターンを検出するパターン検出手段と、

前記パターン検出手段により、前記違反ビット列の前のビット列が、前記規定長の同一のシンボルにより構成されていることが検出されたとき、前記違反ビット列の後のビット列のビットを前記補正位置として指定し、前記違反ビット列の後のビット列が、前記規定長の同一のシンボルにより構成されていることが検出されたとき、前記違反ビット列の前のビット列のビットを前記補正位置として指定する指定手段と、

前記違反長が前記規定長となるように、前記指定手段の指定する補正位置の前記伝送符号のビットを補正する補正手段と

を備えることを特徴とする符号復号装置。

【請求項2】

前記伝送路を介して伝送されてきた信号を少なくとも1つの基準レベルと比較して、前

記伝送符号を出力する比較手段をさらに備える

ことを特徴とする請求項 1 に記載の符号復号装置。

【請求項 3】

前記伝送符号は、所定の記録媒体から再生された符号である

ことを特徴とする請求項 1 に記載の符号復号装置。

【請求項 4】

前記指定手段により指定された補正位置を、次に指定手段により指定されるまでの間、一時的に記憶する記憶手段をさらに備える

ことを特徴とする請求項 1 に記載の符号復号装置。

【請求項 5】

前記違反長検出手段により前記違反長が検出され、かつ、前記パターン検出手段により、前記違反ビット列の前のパターンまたは後のビット列のパターンが、前記違反ビット列の後または前のビットを補正位置として指定するパターンではないことが検出されたとき、前記指定手段は、直前の前記違反長の検出時の補正位置に対応して今回の補正位置を指定する

ことを特徴とする請求項 1 に記載の符号復号装置。

【請求項 6】

前記違反長検出手段により前記違反長が検出され、かつ、前記パターン検出手段により、前記違反ビット列の前のパターンまたは後のビット列のパターンが、前記違反ビット列の後または前のビットを補正位置として指定するパターンではないことが検出されたとき、前記指定手段は、前記違反ビット列の前または後のビットのうち、予め指定されている方を前記補正位置として指定する

ことを特徴とする請求項 1 に記載の符号復号装置。

【請求項 7】

前記補正手段は、前記指定手段により指定された前記補正位置の前記ビットの論理レベルを反転させることにより前記補正を行う

ことを特徴とする請求項 1 に記載の符号復号装置。

【請求項 8】

前記シンボルは、“1”と“0”であり、

前記規定長は、前記符号系列の“1”と“1”の間に連続して配置される“0”の最小連続長が d である符号を NRZI 変調した後の、同一のシンボルの最小連続長 d' ($= d + 1$ ($d = 1$)) であり、

前記違反長検出手段は、チャンネルビットのビット列の同一のシンボルの連続長が ($d' - 1$) である連続長を前記違反長として検出し、

前記補正手段は、前記違反ビット列を含むビット列を、前記同一のシンボルの連続長が d' となるように補正する

ことを特徴とする請求項 1 に記載の符号復号装置。

【請求項 9】

前記指定手段は、前記違反長の直前の 1 個のビット、または直後の 1 個のビットのうちの少なくとも一方を、前記補正位置として指定する

ことを特徴とする請求項 8 に記載の符号復号装置。

【請求項 10】

前記シンボルは、“1”と“0”であり、

前記規定長は、前記符号系列の“1”と“1”の間に連続して配置される“0”の最大連続長が k である符号を NRZI 変調した後の、同一のシンボルの最大連続長 k' ($= k + 1$) であり、

前記違反長検出手段は、チャンネルビットのビット列の同一のシンボルの連続長が ($k' + 1$) である連続長を前記違反長として検出し、

前記補正手段は、前記違反ビット列を含むビット列を、前記同一のシンボルの連続長が k' となるように補正する

10

20

30

40

50

ことを特徴とする請求項 1 に記載の符号復号装置。

【請求項 1 1】

前記指定手段は、前記違反長の最前の 1 個のビット、または最後の 1 個のビットのうちの少なくとも一方を、前記補正位置として指定する

ことを特徴とする請求項 1 0 に記載の符号復号装置。

【請求項 1 2】

前記シンボルは、" 1 " と " 0 " であり、

前記規定長は、前記符号系列の " 1 " と " 1 " の間に連続して配置される " 0 " の最小連続長が d である符号の、" 0 " の連続長 d ($d \geq 1$) であり、

前記違反長検出手段は、エッジデータからなる前記伝送符号から、チャンネルビットのビット列の同一のシンボルの連続長が ($d - 1$) である連続長を前記違反長として検出し、

前記補正手段は、前記違反ビット列を含むビット列を、前記同一のシンボルの連続長が d となるように補正する

ことを特徴とする請求項 1 に記載の符号復号装置。

【請求項 1 3】

前記指定手段は、前記違反長の最前の 1 個のビットとその直前の 1 個のビット、または前記違反長の最後の 1 個のビットとその直後の 1 個のビットのうちの少なくとも一方を、前記補正位置として指定する

ことを特徴とする請求項 1 2 に記載の符号復号装置。

【請求項 1 4】

前記シンボルは、" 1 " と " 0 " であり、

前記規定長は、前記符号系列の " 1 " と " 1 " の間に連続して配置される " 0 " の最大連続長が k である符号の、" 0 " の連続長 k であり、

前記違反長検出手段は、エッジデータからなる前記伝送符号から、チャンネルビットのビット列の同一のシンボルの連続長が ($k + 1$) である連続長を前記違反長として検出し、

前記補正手段は、前記違反ビット列を含むビット列を、前記同一のシンボルの連続長が k となるように補正する

ことを特徴とする請求項 1 に記載の符号復号装置。

【請求項 1 5】

前記指定手段は、前記違反長の最前の 1 個のビットとその直後の 1 個のビット、または前記違反長の最後の 1 個のビットとその直前の 1 個のビットのうちの少なくとも一方を、前記補正位置として指定する

ことを特徴とする請求項 1 4 に記載の符号復号装置。

【請求項 1 6】

2 個のシンボルにより構成される符号系列の同一の前記シンボル間に連続して配置される他の前記シンボルの長さである連続長が、所定の規定長として予め規定されている符号であって、所定の伝送路を介して伝送された伝送符号を復号する符号復号方法であって、

前記伝送符号の同一の前記シンボルの連続長が、前記規定に違反している違反長の長さであることを検出する違反長検出ステップと、

前記違反長のシンボルにより構成される違反ビット列の前のビット列のパターンと後のビット列のパターンのうち、前記違反ビット列の前のビット列または後のビット列の前記連続長が前記規定長となるビット列のパターンを検出するパターン検出ステップと、

前記パターン検出ステップにおいて、前記違反ビット列の前のビット列が、前記規定長の同一のシンボルにより構成されていることが検出されたとき、前記違反ビット列の後のビット列のビットを前記補正位置として指定し、前記違反ビット列の後のビット列が、前記規定長の同一のシンボルにより構成されていることが検出されたとき、前記違反ビット列の前のビット列のビットを前記補正位置として指定する指定ステップと、

前記違反長が前記規定長となるように、前記指定ステップの指定する補正位置の前記伝送符号のビットを補正する補正ステップと

を備えることを特徴とする符号復号方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、RLL (Run Length Limited) 符号を用いて情報を記録した記録媒体から読み出した再生 R F 信号を、少なくとも 1 つの基準レベルに基づいて復号して、チャネルビットデータを出力する符号復号装置および方法に関し、特にチャネルビットデータ中に同一シンボルの最小連続長または最大連続長の条件を満足しない箇所がある場合は、付加された情報に基づいてビットエラーである確率の高いビットを選定し、選定したビットを補正して、同一シンボルの最小連続長または最大連続長の条件を満足するチャネルビットデータを出力するようにした符号復号装置および方法に関する。

10

【0002】

【従来の技術】

データを所定の伝送路に伝送したり、例えば磁気ディスク、光ディスク、光磁気ディスク等の記録媒体に記録する際に、伝送や記録に適するようにデータの変調が行われる。このような変調方法の 1 つとしてブロック符号が知られている。このブロック符号は、データ列を $m \times i$ ビットからなる単位（以下データ語という）にブロック化し、このデータ語を適当な符号則に従って $n \times i$ ビットからなる符号語に変換するものである。そしてこのブロック符号は、 $i = 1$ のときには固定長符号となり、また i が複数個選べるとき、すなわち i を 2 以上で、最大の i である $i_{\max} = r$ としたときには可変長符号となる。このブロック符号化された符号は可変長符号 ($d, k; m, n; r$) と表される。ここで i は拘束長であり、 r は最大拘束長である。また、 d と k は、それぞれ符号系列内の一方のシンボルである " 1 " と " 1 " の間に連続して配置される他方のシンボルである " 0 " の最小連続個数と最大連続個数である。

20

【0003】

具体例としてコンパクトディスク (C D) の変調方式を説明する。コンパクトディスクでは、EFM (Eight to Fourteen Modulation) が用いられている。8 ビットのデータ語は 14 ビットの符号語 (チャネルビット) へパターン変換された後に、E F M 変調後の直流成分を低減させるための 3 ビットのマージンビットが付加され、さらに N R Z I 変調されてディスク上に記録されている。この場合、符号系列内の " 1 " と " 1 " の間に連続して配置される " 0 " の最小連続個数 (規定長) が 2、" 0 " の最大連続個数 (規定長) が 10 の条件を満足するように、8 ビットから 14 ビットへの変換、ならびに、マージンビットの付加が行われる。従って、この E F M 変調による可変長符号 ($d, k; m, n; r$) のパラメータは、(2, 10; 8, 17; 1) となる。チャネルビット列 (記録波形列) のビット間隔を T とすると、最小反転間隔 T_{\min} (規定長) は、3 (= 2 + 1) T となる。また、最大反転間隔 T_{\max} (規定長) は、11 (= 10 + 1) T となる。さらに、データ列のデータ間隔を T_{data} とすると、検出窓幅 T_w は、 $(m/n) \times T_{data}$ で表わされ、その値は 0.47 (= 8 / 17) T_{data} となる。

30

【0004】

また、E F M の N R Z I 変調後の同一シンボルの最小連続長 d' は 3 (= $d + 1 = 2 + 1$) となり、N R Z I 変調後の同一シンボルの最大連続長 k' は 11 (= $k + 1 = 10 + 1$) となる。

40

【0005】

前記コンパクトディスクにおいて、ビットを線速方向に縮小すれば記録密度を高くすることができる。この場合、最小反転間隔 T_{\min} に対応した最小ビットの長さが短くなる。この最小ビットがこれを読み出すレーザービームのスポットサイズよりも小さくなり過ぎると、ビットの検出が困難になり、エラー発生の原因となる。

【0006】

さらに、ディスクの再生において、ディスクの再生面に対してスキューが加わるとエラーレートが悪化する。ディスクのスキューは、ディスクと再生用のレーザービームの光軸の傾きが、ディスクの進行方向に平行な面内のタンジェンシャル (tangential) 方向と、垂

50

直な面内のラジアル (radial) 方向に分けられる。このうちの特にタンジェンシャル方向にディスクのスキューが発生すると、比較的早めにエラーレートに悪影響が現れる。従って、このようなディスクのスキューは、システムの設計に当り、エラーレートに対するマージンを減少させる要因となる。

【 0 0 0 7 】

また、同一シンボルの連続の長さの誤りの分布を、スキューのそれぞれの方向に対して調べたところ、タンジェンシャル方向のスキューに起因するエラーは、主に同一シンボルの連続長が短い場合に発生していること、すなわち、 $T_{min}(d')$ の長さが $T_{min}-1(d'-1)$ の長さに復号されるために、エラーレートが悪化することがわかった。例えば、EFM変調方式においては、タンジェンシャル方向にスキューが発生した場合、記録波形列のビット間隔を T とすると、最小反転間隔 T_{min} である $3T$ (規定長)がさらに短い間隔 $2T$ (規定に違反する違反長)として復号されることによるエラーの発生が多いことになる。

【 0 0 0 8 】

一方、光ディスクにおいては、その製造においてディスクのアシンメトリのマージンがある程度許されており、センターレベルに対して再生波形が上下非対称になる場合も考慮する必要がある。

【 0 0 0 9 】

従来より、エラーレートの悪化を信号処理により補正する方法として、ビタビ復号法が知られている。ビタビ復号法は、符号誤りを小さくして幾何学的距離の最も短いパスを探索する最尤復号法の1つで、可能性のないパスを捨てることにより、確からしい値の探索を簡略化して復号する方法である。さらに、ビタビ復号法は、その内部に最小反転間隔 T_{min} を補償するアルゴリズムを付加することができる。

【 0 0 1 0 】

しかしながら、ビタビ復号法は、その回路が複雑でハードウェアの規模が大きくなるという欠点を有している。また、ビタビ復号法で復号を行うには、アシンメトリを取り除く必要があり、光ディスクのようなアシンメトリの許容される系では、アシンメトリに対する最適化が必要となり、回路がさらに複雑になる。

【 0 0 1 1 】

そこで、本出願人は、例えば特願平8-22530号において、より簡単な回路でエラーレートの悪化を信号処理により補正する方法として、Run-Detector法を提案した。

【 0 0 1 2 】

図24は、この先の提案における符号復号装置の構成例を示している。図24において、波形等化回路1は入力されたアナログ信号の波形を整形する。PLL回路2は整形されたアナログ波形をもとにビットクロックを生成する。A/D変換回路3は入力されたアナログ信号を所定の分解能でデジタル信号に変換する。A/D変換されたデジタルデータは、コンパレータ4でセンター(ゼロ)レベルを基準として1または0のビット列(2値化データ)に変換される。

【 0 0 1 3 】

違反長検出回路5は規定長としての最小反転間隔 T_{min} より短い間隔(違反長)があったときこれを検出する。例えば (d, k) 符号がEFM変調符号であれば、記録波形列のビット間隔を T とすると、 T_{min} である $3T$ (規定長)を誤って $2T$ (違反長)のビット列(2値化データ)に変換された部分が検出されることになる。次に補正位置検出回路6では、違反長が検出された位置をもとに、違反長に対応する違反ビット列の直前のビットを補正するか、直後のビットを補正するかを判定する。すなわち、違反長 $2T$ を有する違反ビット列の直前と直後のビットにおけるA/D変換回路3の出力する信号のレベルの大きさが比較され、ゼロレベルに近い大きさの信号に対応するビットが誤っているビットとして補正位置に指定される。そして補正処理回路7では、チャンネルビット列における補正位置として指定されたビットの補正を行い、補正された後のチャンネルビット列データを出力する。

10

20

30

40

50

【 0 0 1 4 】

【 発明が解決しようとする課題 】

しかしながら、図 2 4 に示した先の提案においては、装置内に A / D 変換回路 3 を設け、再生信号のレベル（振幅方向の情報）を用いることにより、補正を行うようにしている。従って、例えば、データストレージ機器のように、A / D 変換回路が基本的に不要なシステムにおいては、補正のために、A / D 変換回路を設けなければならず、構成が複雑となり、コスト高となる課題があった。

【 0 0 1 5 】

本発明はこのような状況に鑑みてなされたものであり、A / D 変換回路等の付加回路を用いずに、より簡単な構成で、エラーレートの悪化した信号を、信号処理により補正するよう

10

【 0 0 1 6 】

【 課題を解決するための手段 】

請求項 1 に記載の符号復号装置は、伝送符号の同一のシンボルの連続長が、規定に違反している違反長の長さであることを検出する違反長検出手段と、違反長のシンボルにより構成される違反ビット列の前のビット列のパターンと後のビット列のパターンのうち、違反ビット列の前のビット列または後のビット列の連続長が規定長となるビット列のパターンを検出するパターン検出手段と、パターン検出手段により、違反ビット列の前のビット列が、規定長の同一のシンボルにより構成されていることが検出されたとき、違反ビット列の後のビット列のビットを補正位置として指定し、違反ビット列の後のビット列が、規定長の同一のシンボルにより構成されていることが検出されたとき、違反ビット列の前のビット列のビットを補正位置として指定する指定手段と、違反長が規定長となるように、指定手段の指定する補正位置の伝送符号のビットを補正する補正手段とを備えることを特徴とする。

20

【 0 0 1 7 】

請求項 1 6 に記載の符号復号方法は、伝送符号の同一のシンボルの連続長が、規定に違反している違反長の長さであることを検出する違反長検出ステップと、違反長のシンボルにより構成される違反ビット列の前のビット列のパターンと後のビット列のパターンのうち、違反ビット列の前のビット列または後のビット列の連続長が規定長となるビット列のパターンを検出するパターン検出ステップと、パターン検出ステップにおいて、違反ビット列の前のビット列が、規定長の同一のシンボルにより構成されていることが検出されたとき、違反ビット列の後のビット列のビットを補正位置として指定し、違反ビット列の後のビット列が、規定長の同一のシンボルにより構成されていることが検出されたとき、違反ビット列の前のビット列のビットを補正位置として指定する指定ステップと、違反長が規定長となるように、指定ステップの指定する補正位置の伝送符号のビットを補正する補正ステップとを備えることを特徴とする。

30

【 0 0 1 8 】

請求項 1 に記載の符号復号装置および請求項 1 6 に記載の符号復号方法においては、伝送符号の同一のシンボルの連続長が、違反長の長さであることが検出されると、その違反長が規定長となるように、所定の補正位置のビットの補正が行われる。この補正位置は、違反ビット列の前のビット列が、規定長の同一のシンボルにより構成されていることが検出されたとき、違反ビット列の後のビット列のビットが補正位置として指定され、違反ビット列の後のビット列が、規定長の同一のシンボルにより構成されていることが検出されたとき、違反ビット列の前のビット列のビットが補正位置として指定される。

40

【 0 0 1 9 】

【 発明の実施の形態 】

以下、この発明の実施の形態について添付図面に基づいて説明する。なお、記録媒体として光ディスクを用い、記録符号としては、連続する " 1 " の間に入る " 0 " の最小連続長（最小連続個数）（規定長）d が 2 で、かつ連続する " 1 " の間に入る " 0 " の最大連続長（最大連続個数）（規定長）k が 1 0 である 2 値レベルの（d , k）記録符号を用い、

50

この2値レベルの(d, k)記録符号がNRZI変調によって記録された光ディスクから、NRZI変調されたチャンネルビットデータ列を再生する装置を代表例として、発明の実施の形態を説明する。ここで、(d, k)記録符号は、エッジを表す符号となり、NRZI変調後のチャンネルビット列は、ビットの形に相当するレベルを表す符号になる。また、NRZI変調後の同一シンボルの最小連続長(規定長)d'は3(=d+1=2+1)であり、同一シンボルの最大連続長(規定長)k'は11(=k+1=10+1)である。

【0020】

図1は、この発明に係る符号復号装置の構成を示すブロック図である。図1において、波形等化回路1には、符号系列内の"1"と"1"の間に連続して配置される"0"の最小連続長がdである記録符号をNRZI変調した後の、同一のシンボルの最小連続長がd' (=d+1)(d-1)である記録符号が記録された、図示せぬ光ディスク(記録媒体)から読み出された再生RF信号が入力されるようになされている。波形等化回路1は、入力された再生RF信号を波形等化した後、PLL回路2とコンパレータ4に出力している。PLL回路2は、入力された波形等化後のRF信号からビットクロックを生成し、コンパレータ4の他、各部に出力するようになされている。コンパレータ4(比較手段)は、PLL回路2より入力されたビットクロックに対応して、波形等化回路1より入力された波形等化後のRF信号を、所定の基準レベルと比較し、RF信号のレベルが基準レベルより大きいとき、論理1を、基準レベルより小さいとき、論理0を、復号判定結果(2値化データ)としてそれぞれ出力するようになされている。

【0021】

コンパレータ4により2値化されたデータは、縦属接続された複数のレジスタ(図5を参照して後述する)により構成されるメモリ12に供給され、記憶されるようになされている。メモリ12より読み出されたデータは、補正処理回路7、違反長検出回路5、パターン検出回路11、および補正位置検出回路6に供給されている。違反長検出回路5(違反長検出手段)は、メモリ12より読み出されたデータに2Tおよび1Tの違反長(違反ビット列)が存在するとき、これを検出し、検出信号を、補正位置検出回路6に出力している。パターン検出回路11(パターン検出手段)は、メモリ12より読み出された2値化データのパターンを検出し、その検出結果に対応するフラグを補正位置検出回路6に出力している。

【0022】

パターン検出回路11は、メモリ12より読み出された2値化データから、チャンネルビット列のビット間隔をTとすると、(3T-2T-xT)または(xT-2T-3T)(x4)のパターンを検出する。すなわち、2Tの連続長(違反長)を有するビット列の前に、3Tの連続長を有するビット列が存在し、かつ、その後に、xTの連続長が存在するとき、または、2Tの連続長(違反長)のビット列の前にxTの連続長が存在し、かつ、その後に3Tの連続長のビット列が存在するとき、それぞれ後方または前方のビット列を補正ビット列として指定するフラグを出力する。

【0023】

メモリ6Aを内蔵する補正位置検出回路6(指定手段)は、違反長検出回路5とパターン検出回路11の出力の供給を受け、メモリ12より読み出された2値化データのビットの補正位置に対応する信号(補正位置データ)を生成し、補正処理回路7に出力している。補正処理回路7(補正手段)は、メモリ12より読み出された2値化データのうち、補正位置検出回路6により指定される補正位置のビットを補正し、補正後のデータをチャンネルクロックに同期して出力するようになされている。

【0024】

次に図2のフローチャート、並びに図3と図4のタイミングチャートを参照して、その動作について説明する。

【0025】

最初にステップS1において、入力されるデータが終了したか否かが判定される。入力データが終了していない場合、ステップS2に進み、データ読み込み処理とコンパレート処

10

20

30

40

50

理が実行される。すなわち、波形等化回路 1 は、図示せぬ光ディスクから再生された、再生 R F 信号の入力を受け、波形等化处理を施した後、コンパレータ 4 と P L L 回路 2 に出力する。P L L 回路 2 は、入力された波形等化回路 1 の出力する R F 信号 (図 3 (A)) に同期したチャネルクロック (図 3 (B)) を生成し、コンパレータ 4 に出力する。コンパレータ 4 は、このチャネルクロックに同期して、波形等化回路 1 より供給される再生 R F 信号 (図 3 (A)) を所定の基準レベル R (例えばゼロレベル) と比較し、R F 信号のレベルが基準レベル R より大きいとき、論理 1 を出力し、小さいとき、論理 0 を出力する (図 3 (C)) 。

【 0 0 2 6 】

次に、ステップ S 3 に進み、データ記憶処理が実行される。すなわち、コンパレータ 4 の出力 (図 3 (C)) は、少なくとも 1 0 チャネルクロック分のデータを保持する (利用可能とする) メモリ 1 2 に供給され、記憶される。

【 0 0 2 7 】

さらにステップ S 4 に進み、メモリ 1 2 に記憶されたビット列中に 2 T (違反長) の長さの連続長があるか否かが判定される。すなわち、違反長検出回路 5 は、メモリ 1 2 に記憶されたデータを読み出し、2 T の違反長の有無を判定する。2 T の違反長 (図 3 (G)) が検出されたとき、違反長検出回路 5 は、検出信号を、補正位置検出回路 6 に出力する。

【 0 0 2 8 】

いまの場合、規定されている最小連続長 (規定値) は 3 T であるから、それより短い 2 T の連続長は、規定に違反している違反長となる。本来、このような違反長のデータは存在しないはずであり、このような違反長のビット列を有する違反ビット列が存在するということは、エラーが発生したことを意味する。そこで、この場合においては、エラーを補正する処理を行うのであるが、補正を行うビットを指定する処理が、ステップ S 5 乃至 S 9 において行われる。

【 0 0 2 9 】

ステップ S 4 において、2 T の違反長が検出されたとき、ステップ S 5 に進み、パターン検出回路 1 1 は、 $3 T - 2 T - x T$ ($x = 4$) のパターンがあるか否かを判定する。すなわち、違反長検出回路 5 で検出された違反長 2 T を有する違反ビット列の、時間的に前側のビット列の連続長が 3 T であり、後ろ側の連続長が 4 T か、それ以上の長さのパターンの有無を判定する。図 3 の例の場合、符号が $3 T - 2 T - 4 T$ の連続長のパターンを有するため、これがパターン検出回路 1 1 で検出される (図 3 (E)) 。このとき、ステップ S 6 に進み、パターン検出回路 1 1 は、違反ビット列の後ろ側のビット列 (4 T の連続長を有するビット列) に対応してフラグ (図 3 (F)) を補正位置検出回路 6 に出力する。すなわち、違反ビット列の直後のビット列を補正ビット列として指定するフラグを、補正位置検出回路 6 に出力する。

【 0 0 3 0 】

一方、ステップ S 5 において、 $3 T - 2 T - x T$ ($x = 4$) のパターンが検出されなかったと判定された場合、ステップ S 7 に進み、 $x T$ ($x = 4$) - 2 T - 3 T のパターンが存在するか否かが、パターン検出回路 1 1 により検出される。パターン検出回路 1 1 は、違反長検出回路 5 で検出された 2 T の違反長を有する違反ビット列の時間的に前に 4 T 以上の連続長を有するビット列が存在し、かつ、後ろ側に連続長が 3 T であるビット列が存在するパターンが検出された場合、ステップ S 8 において、違反ビット列の前側のビット列 ($x T$ の連続長を有するビット列) に対応して、フラグを補正位置検出回路 6 に出力する。すなわち、違反ビット列の直前のビット列を補正ビット列として指定するフラグを補正位置検出回路 6 に出力する。

【 0 0 3 1 】

なお、パターン検出回路 1 1 により検出するパターンを、 $3 T - 2 T - x T$, $x T - 2 T - 3 T$ としたのは、タンジェンシャルスキュー発生時、このエラーのパターンが最も多く発生するからである。

【 0 0 3 2 】

10

20

30

40

50

ステップ S 6 または S 8 において、フラグが設定されたとき、補正位置検出回路 6 は、メモリ 1 2 に記憶されているビット列データを読み出し、フラグに対応するビット列のビットのうち、違反ビット列に最も近いビットに対応して " 1 " の補正位置を表す補正位置データ (図 3 (H)) を生成し、補正処理回路 7 に出力する。すなわち、図 3 に示すように、違反ビット列の後ろ側のビット列が、補正ビット列として指定された場合、そのビット列の最初のビット (違反ビット列の直後のビット) が補正位置として指定される (図 3 (H)) 。これに対して、違反ビット列の前側のビット列が補正ビット列として指定されたとき、そのビット列の最後のビット (違反ビット列の直前のビット) が、補正位置として指定される。

【 0 0 3 3 】

ステップ S 6 または S 8 において、このようにしてフラグが生成されたとき、次にステップ S 1 0 に進み、ステップ S 4 で違反長検出回路 5 により検出された違反長 2 T を規定長 3 T に補正する処理が、補正処理回路 7 において行われる。すなわち、補正処理回路 7 は、メモリ 1 2 より読み出されたデータ (図 3 (I)) と、補正位置検出回路 6 より供給された補正位置データ (図 3 (H)) の排他的論理和を演算し、その演算結果 (図 3 (J)) を、補正後のデータとする。補正位置データが論理 0 であるとき、メモリ 1 2 より読み出されたデータは、実質的にそのままとされる (補正されない) 。これに対して、補正位置データが論理 1 であるとき、メモリ 1 2 より読み出されたデータが、実質的に反転される。図 3 の例においては、2 T の違反長の違反ビット列の直後の 4 T の連続長のビット列のうちの最初のビットが、論理 1 から論理 0 に反転される。このため、3 T - 2 T - 4 T のパターンが、3 T - 3 T - 3 T のパターンに補正されることになる。

【 0 0 3 4 】

ステップ S 1 0 の補正処理が行われた後、ステップ S 1 1 に進み、補正位置検出回路 6 は、内蔵するメモリ 6 A に、パターン検出回路 1 1 より供給を受けたフラグを記憶させる。そして、補正位置検出回路 6 は、違反長検出回路 5 により違反長が検出された場合において、パターン検出回路 1 1 よりフラグが供給されない場合においては、メモリ 6 A に記憶されているフラグ (直前の違反長検出時におけるフラグ) に対応する補正位置データを生成し、補正処理回路 7 に出力する。

【 0 0 3 5 】

すなわち、ステップ S 4 において、2 T の違反長が検出されたが、ステップ S 5 において、3 T - 2 T - x T のパターンが検出されず、かつ、ステップ S 7 において、x T - 2 T - 3 T のパターンも検出されないと判定された場合、パターン検出回路 1 1 はフラグを出力しない。このときステップ S 9 に進み、補正位置検出回路 6 は、内蔵するメモリ 6 A に記憶されているフラグに対応して補正位置データを生成する。例えば、直前のフラグが後方のビット列を補正ビット列として指定している場合には、後方のビット列を補正ビット列として指定するフラグが入力されたものとして補正位置データを生成し、また、そのフラグが違反ビット列の前方のビット列を補正ビット列として指定するフラグである場合においては、前方のビット列を補正ビット列として補正位置データを生成する。そして、そのフラグに対応する補正位置データが、補正位置検出回路 6 から補正処理回路 7 に出力される。

【 0 0 3 6 】

そして、補正処理回路 7 においては、ステップ S 1 0 において、その補正位置データに対応する補正処理が行われる。さらにステップ S 1 1 において、ステップ S 9 で使用されたフラグが、再びメモリ 6 A に記憶される。

【 0 0 3 7 】

なお、ステップ S 9 では、予め定められている方のフラグを常に出力するようにしてもよい。

【 0 0 3 8 】

図 4 のタイミングチャートはこの場合の例を表している。この例のビット列は、4 T - 2 T - 4 T のパターン (図 4 (C)) を有している。このようなパターンは、ステップ S 5

10

20

30

40

50

、S 7 のいずれにおいても検出されないので、このときパターン検出回路 1 1 はフラグを出力しない。しかしながら、違反長検出回路 5 は、2 T (図 4 (G)) の違反長を検出している。このような場合、補正位置検出回路 6 は、メモリ 6 A に記憶されているフラグに対応して、補正位置データ (図 4 (H)) を生成し、補正処理回路 7 に出力する。図 4 の例の場合、違反ビット列の直後のビットが補正位置として指定されている。

【 0 0 3 9 】

補正処理回路 7 は、メモリ 1 2 より読み出されたデータ (図 4 (I)) と、補正位置検出回路 6 より供給された補正位置データ (図 4 (H)) との排他的論理和を演算し、その演算結果を補正データとする (図 4 (J)) 。

【 0 0 4 0 】

一方、ステップ S 4 において、2 T の違反長が検出されなかったと判定された場合、ステップ S 1 2 に進み、違反長検出回路 5 は、1 T の違反長が存在するか否かを判定する。違反長検出回路 5 は、1 T の違反長を検出した場合、その検出結果を補正位置検出回路 6 とパターン検出回路 1 1 に出力する。1 T の違反長が検出されたとき、パターン検出回路 1 1 は、ステップ S 1 3 において、違反ビット列の前側と後ろ側の両方のビット列を、補正ビット列とするフラグを生成し、補正位置検出回路 6 に出力する。補正位置検出回路 6 は、このとき、1 T の違反ビット列の直前のビット列と直後のビット列の両方を補正位置として指定する補正位置データを生成し、補正処理回路 7 に出力する。補正処理回路 7 は、ステップ S 1 4 において、補正処理を実行する。これにより、補正ビット列の直前のビットと直後のビットの両方が論理 0 に反転される。

【 0 0 4 1 】

すなわち、このように違反長が 2 T よりさらに悪化した 1 T になった場合においては、違反ビット列の前後のパターンに拘らず、直ちに、その前後のビットを補正し、連続長が 3 T となるように補正する。

【 0 0 4 2 】

ステップ S 1 2 において、1 T の違反長が検出されなかったと判定された場合、ステップ S 1 5 に進み、データ出力処理が行われる。すなわち、この場合においては、実際にはエラーが発生していたとしても、補正処理回路 7 において、実質的に補正処理が行われず、メモリ 1 2 より読み出されたデータが、そのまま出力される。また、ステップ S 1 1 またはステップ S 1 4 の処理の次に、ステップ S 1 5 に進み、データ出力処理が行われる場合においては、2 T または 1 T の違反長を、規定長 3 T に補正したデータが、補正処理回路 7 から出力される。

【 0 0 4 3 】

次にステップ S 1 6 に進み、データ順送り処理が、メモリ 1 2 において行われる。すなわち、新たに入力される 1 チャネルクロック分のデータのために、データの順送り処理が行われる。そしてステップ S 1 に戻り、再生データが終了すると判定されるまで、同様の処理が繰り返し実行される。

【 0 0 4 4 】

図 5 は、メモリ 1 2 と違反長検出回路 5 の構成例を表している。図 5 に示すように、メモリ 1 2 においては、9 個のレジスタ 1 2 - 1 乃至 1 2 - 9 が縦属接続されている。これらのレジスタ 1 2 - 1 乃至 1 2 - 9 が、入力された 1 ビットのデータを順次チャネルクロックに同期して後段に転送するので、このメモリ 1 2 に合計 1 0 ビットのデータ d t [0] 乃至 d t [9] が保持される (利用可能な状態とされる) (図 3 (D) 、図 4 (D)) 。

【 0 0 4 5 】

違反長検出回路 5 は、排他的論理和回路 5 - 1 , 5 - 2 , 5 - 4 と、アンド回路 5 - 3 , 5 - 5 により構成されている。排他的論理和回路 5 - 1 は、レジスタ 1 2 - 6 の入出力のデータ d t [5] と d t [6] の排他的論理和を演算し、演算結果をアンド回路 5 - 3 に出力している。また、排他的論理和回路 5 - 2 は、レジスタ 1 2 - 4 の入出力のデータ d t [3] と d t [4] の排他的論理和を演算し、演算結果をアンド回路 5 - 3 に出力している。この排他的論理和回路 5 - 1 , 5 - 2 とアンド回路 5 - 3 により、違反長 2 T が検

10

20

30

40

50

出されるようになされている。

【0046】

また、レジスタ12-5の入出力のデータd t [4]とd t [5]の排他的論理和が、排他的論理和回路5-4により演算され、演算結果がアンド回路5-5に供給されている。アンド回路5-5の他方の入力には、排他的論理和回路5-2の出力が供給されている。排他的論理和回路5-2, 5-4とアンド回路5-5により、違反長1 Tが検出されるようになされている。

【0047】

排他的論理和回路5-2は、データd t [3]とd t [4]の一方が0であり他方が1であるときだけ、論理1を出力する。同様に、排他的論理和回路5-1は、データd t [5]とd t [6]の一方が論理1であり他方が論理0であるときにおいてのみ、論理1を出力する。従って、アンド回路5-3の出力は、d t [6], d t [5], d t [4], d t [3]が、" 0 1 1 0 "または" 1 0 0 1 "であるときに論理1を出力する。" 0 1 0 1 "や" 1 0 1 0 "の場合にも、アンド回路5-3の出力は論理1となるが、規定上、このようなビット列は存在しないことになっている。従って、排他的論理和回路5-1, 5-2とアンド回路5-3により、2 Tの違反長を検出することができる。

【0048】

同様に、アンド回路5-5は、データd t [5], d t [4], d t [3]が、" 1 0 1 "または" 0 1 0 "のときにおいてのみ、論理1を出力する。これにより、1 Tの違反長が検出されることになる。

【0049】

図6は、パターン検出回路11の構成例を示している。この構成例においては、アンド回路11-1が、データd t [0]乃至d t [3]の論理積を演算し、演算結果をオア回路11-7に入力している。同様に、データd t [0]乃至d t [3]を、それぞれインバータ11-2乃至11-5で反転したデータの論理積をアンド回路11-6が演算し、オア回路11-7に出力している。従って、オア回路11-7は、データd t [3], d t [2], d t [1], d t [0]が、" 1 1 1 1 "であるか、または" 0 0 0 0 "であるとき、論理1を出力する。

【0050】

アンド回路11-9は、データd t [9]をインバータ11-8で反転したデータと、データd t [8], d t [7], d t [6]の論理積を演算し、オア回路11-10に出力している。また、アンド回路11-15は、データd t [6], d t [7], d t [8]の論理を、インバータ11-11, 11-12, 11-13で、それぞれ反転した結果と、インバータ11-8の出力をインバータ11-14で反転したデータ(すなわちデータd t [9]と同一のデータ)の論理積を演算し、演算結果をオア回路11-10に出力している。従って、オア回路11-10は、データd t [9], d t [8], d t [7], d t [6]が、" 0 1 1 1 "または" 1 0 0 0 "であるとき、論理1を出力する。

【0051】

図6の実施の形態の場合、アンド回路11-16には、図5の違反長検出回路5のアンド回路5-3の出力する2 T検出信号も入力されている。アンド回路11-16は、オア回路11-7、オア回路11-10、およびアンド回路5-3の出力の論理積を演算している。すなわち、アンド回路11-16の出力は、データd t [9]乃至d t [0]が、" 0 1 1 1 0 0 1 1 1 1 "であるとき、または、" 1 0 0 0 1 1 0 0 0 0 "であるとき、論理1を出力する。従って、アンド回路11-16は、3 T - 2 T - x T (x = 4)のパターンが検出されたとき、論理1(違反ビット列の後のビット列を補正ビット列として指定するフラグ)を出力することになる。

【0052】

一方、アンド回路11-22は、データd t [0]をインバータ11-21で反転したデータと、データd t [3], d t [2], d t [1]の論理積を演算し、演算結果をオア回路11-23に出力している。アンド回路11-25は、データd t [1], d t [2

10

20

30

40

50

], dt[3]を、インバータ11-3, 11-4, 11-5で反転したデータと、インバータ11-2の出力をインバータ11-24で反転したデータ(すなわちデータdt[0]と同一のデータ)の論理積を演算し、演算結果をオア回路11-23に出力している。従って、オア回路11-7は、データdt[3], dt[2], dt[1], dt[0]が、"1110"または"0001"であるとき、論理1を出力する。

【0053】

アンド回路11-26は、データdt[9]乃至dt[6]の論理積を演算し、演算結果をオア回路11-27に出力している。これらのデータdt[6]乃至dt[9]は、インバータ11-11, 11-12, 11-13, 11-28により、それぞれ反転された後、アンド回路11-29に入力されている。アンド回路11-29は、これらの入力の論理積を演算し、演算結果をオア回路11-27に出力している。従って、オア回路11-27は、データdt[9], dt[8], dt[7], dt[6]が、"1111"または"0000"であるとき、論理1を出力する。

10

【0054】

アンド回路11-30には、アンド回路11-16と同様に、図5の違反長検出回路5のアンド回路5-3の出力する2T検出信号が入力されている。アンド回路11-30は、オア回路11-23の出力、オア回路11-27の出力、およびアンド回路5-3の出力の論理積を演算している。従って、アンド回路11-30は、データdt[9]乃至dt[0]が、"1111001110"または"00001110001"のとき、すなわち、xT-2T-3T(x=4)のパターンを検出したとき、論理1(違反ビット列の前のビット列を補正ビット列として指定するフラグ)を出力することになる。

20

【0055】

図6にはまた、補正位置検出回路6内のメモリ6A(記憶手段)の構成例が示されている。この実施の形態においては、ラッチ6A-1またはラッチ6A-2が、3T-2T-xTまたはxT-2T-3Tが検出された区間において、それぞれアンド回路11-16またはアンド回路11-30の出力する信号をラッチする。オア回路6A-3は、アンド回路11-16とアンド回路11-30の出力の論理和を演算し、ラッチクロックとしてラッチ6A-1とラッチ6A-2に出力している。こうすることによって、ラッチ6A-1の出力信号はフラグ後方を指示する前情報記憶信号となり、ラッチ6A-2の出力信号はフラグ前方を指示する前情報記憶信号となる。

30

【0056】

3T-2T-xTが検出されたときは、ラッチ6A-1の出力は論理1となり、次のクロックからは論理1を出力する。またこのときラッチ6A-2の出力は論理0となっている。ラッチ6A-1の出力はフラグ後方指示信号となる。また、xT-2T-3Tが検出されたとき、ラッチ6A-2の出力は論理1となり、次のクロックからは論理1を出力する。このときラッチ6A-1の出力は論理0となっている。ラッチ6A-2の出力はフラグ前方指示信号となる。ラッチ6A-1とラッチ6A-2の出力は互いに背反な関係となる。

【0057】

2T検出時でも上記パターン以外の時には、ラッチ6A-1とラッチ6A-2は、ともにラッチされていないので、論理レベルは変化しない。すなわち、前情報としてどちらかのフラグ方向が記憶されていることになる。この結果、ラッチ6A-1とラッチ6A-2を用いれば、予め定められているパターン以外の2Tの補正が、直前に行われた補正方向を用いて行われることになる。

40

【0058】

図7は、補正位置検出回路6と補正処理回路7の構成例を表している。この実施の形態においては、排他的論理和回路6-3の一方の入力に、メモリ12のレジスタ12-4の出力するデータdt[4]が入力されている。アンド回路6-15は、違反長検出回路5のアンド回路5-3が出力する2Tの検出信号と、ラッチ6A-1が出力するフラグ後方指示信号の論理積を演算している。オア回路6-1は、アンド回路6-15の出力と、違反

50

長検出回路 5 のアンド回路 5 - 5 が出力する 1 T の検出信号（違反ビット列の後のビット列を補正ビット列として指定するフラグ）の論理和を演算している。オア回路 6 - 1 の出力はレジスタ 6 - 2 を介して排他的論理和回路 6 - 3 の他方の入力に供給されている。

【 0 0 5 9 】

排他的論理和回路 6 - 3 の出力は、レジスタ 6 - 4 を介して排他的論理和回路 6 - 5 の一方に入力され、排他的論理和回路 6 - 5 の他方の入力には、違反長検出回路 5 のアンド回路 5 - 5 が出力する 1 T 検出信号（違反ビット列の前のビット列を補正ビット列として指定するフラグ）が入力されている。

【 0 0 6 0 】

排他的論理和回路 6 - 5 の出力は、2 段のレジスタ 6 - 6 , 6 - 7 を介して排他的論理和回路 6 - 8 の一方の入力に入力されている。違反長検出回路 5 のアンド回路 5 - 3 が出力する 2 T の検出信号と、ラッチ 6 A - 2 が出力するフラグ前方指示信号の論理積がアンド回路 6 - 1 6 により演算され、この演算結果が、レジスタ 6 - 1 0 を介して排他的論理和回路 6 - 8 の他方の入力に入力されている。排他的論理和回路 6 - 8 の出力は、レジスタ 6 - 9 を介して出力されるようになされている。

10

【 0 0 6 1 】

図 8 は、レジスタ 6 - 2 にオア回路 6 - 1 の出力が保持されるタイミングを表している。すなわち、例えば、アンド回路 1 1 - 1 6 により、3 T - 2 T - x T のパターンが検出されたとすると、アンド回路 5 - 3 は、そのパターンの中央に含まれる 2 T の検出信号を出力する。ラッチ 6 A - 1 は、アンド回路 1 1 - 1 6 の出力する 3 T - 2 T - x T の検出信号に同期して、高レベルの信号をラッチし、出力する。これに対して、ラッチ 6 A - 2 は、アンド回路 1 1 - 3 0 が、x T - 2 T - 3 T の検出信号を出力していないので、3 T - 2 T - x T の検出信号のエッジに同期して、低レベルの信号をラッチし、出力する。

20

【 0 0 6 2 】

アンド回路 6 - 1 5 は、ラッチ 6 A - 1 の出力と、アンド回路 5 - 3 の出力する 2 T の検出信号の論理積を演算するので、その演算結果が、オア回路 6 - 1 を介して、レジスタ 6 - 2 に供給される。しかしながら、レジスタ 6 - 2 は、クロック C L K の立ち上がりエッジに同期して動作するので、このアンド回路 6 - 1 5 の出力は、そのレベルが高レベルに反転した直後に発生するクロック C L K の立ち上がりエッジに同期して、保持される。

【 0 0 6 3 】

次に、図 9 を参照して、より具体的なその動作について説明する。上述したように、データ d t [6] 乃至 d t [3] が、" 1 0 0 1 " または " 0 1 1 0 " であるとき、データ d t [5] , d t [4] が違反長 2 T ((d ' - 1) = 2) として検出される (図 9 (A) または (B)) 。そして、この違反ビット列の時間的に前のデータ d t [9] 乃至 d t [6] が、" 0 1 1 1 " または " 1 0 0 0 " であるとき、3 T (d ' = 3) の連続長が検出され、違反ビット列の後のデータ d t [3] 乃至 d t [0] が、" 1 1 1 1 " または " 0 0 0 0 " であるとき、短くとも 4 T ((d ' + 1) = 4) の連続長が検出される。そしてこのとき、3 T - 2 T - 4 T のパターン検出信号が出力される (図 9 (A)) 。

30

【 0 0 6 4 】

3 T - 2 T - 4 T のパターン検出信号が出力されたとき、ラッチ 6 A - 1 を介して、アンド回路 6 - 1 5 から信号が出力される。そしてこの信号がオア回路 6 - 1 を介してレジスタ 6 - 2 に出力されたとき、レジスタ 1 2 - 4 からデータ d t [4] が出力され、排他的論理和回路 6 - 3 を介してレジスタ 6 - 4 にデータ d t o u t [4] として供給されている。このときレジスタ 6 - 4 は、直前に供給されていたデータ d t o u t [5] を排他的論理和回路 6 - 5 を介してレジスタ 6 - 6 に出力し、レジスタ 6 - 6 は、データ d t o u t [6] を出力し、レジスタ 6 - 7 は、データ d t o u t [7] を排他的論理和回路 6 - 8 を介してレジスタ 6 - 9 に出力し、レジスタ 6 - 9 は、データ d t o u t [8] を出力している。

40

【 0 0 6 5 】

この状態において、次のクロックが入力されると、メモリ 1 2 のレジスタ 1 2 - 4 は、次

50

のデータ $d_t[3]$ を保持し、出力する。また、レジスタ 6 - 2 は、 $3T - 2T - xT$ の検出信号を出力する。その結果、排他的論理和回路 6 - 3 により、データ $d_t[3]$ が反転され、データ $d_{out}[3]$ としてレジスタ 6 - 4 に供給される。

【0066】

そして以後、クロックが供給されるごとに、レジスタ 6 - 4 乃至 6 - 9 に保持されたデータが、順次、後段に出力される。このようにして、違反長 $2T$ の直後の 1 ビット ($d_t[3]$) の論理が反転されて補正処理が行われ、補正後のデータがレジスタ 6 - 9 から出力される。すなわち、図 9 (A) に示すように、データ "0111001111" または "1000110000" が入力されたとき、データ "0111000111" または "1000111000" が出力される。

10

【0067】

一方、違反ビット列の前方のデータ $d_t[9]$ 乃至 $d_t[6]$ が、"1111" または "0000" であるとき、短くとも $4T$ ($(d' + 1) = 4$) の連続長が検出され、違反ビット列の後方のデータ $d_t[3]$ 乃至 $d_t[0]$ が、"1110" または "0001" であるとき、 $3T$ ($d' = 3$) の連続長が検出される。そしてこのとき、 $4T - 2T - 3T$ のパターン検出信号が出力される (図 9 (B))。

【0068】

この $4T - 2T - 3T$ のパターン検出信号が出力されたとき、ラッチ 6A - 2 を介して、アンド回路 6 - 16 から信号が出力される。そしてこの信号がレジスタ 6 - 10 に供給されているとき、レジスタ 6 - 7 は、データ $d_{out}[7]$ を出力している。従って、次のクロック供給されたとき、レジスタ 6 - 7 は、データ $d_{out}[6]$ を保持、出力し、レジスタ 6 - 10 は、 $4T - 2T - 3T$ のパターン検出信号を出力する。その結果、排他的論理和回路 6 - 8 が、レジスタ 6 - 7 から供給されるデータ $d_{out}[6]$ の論理を反転し、レジスタ 6 - 9 に出力する。このように、この場合、データ $d_t[6]$ の論理が反転されて補正処理が行われる。すなわち、図 9 (B) に示すように、データ "1111001110" または "0000110001" が入力されたとき、データ "1110001110" または "0001110001" が出力される。

20

【0069】

また、データ $d_t[5]$ 乃至 $d_t[3]$ のビット列が、"101" または "010" であるとき、データ $d_t[4]$ が $1T$ ($(d' - 2) = 1$) の違反長のビット列として検出される (図 9 (C))。違反長 $1T$ の検出信号が、オア回路 6 - 1 と排他的論理和回路 6 - 5 に入力されたとき、レジスタ 6 - 4 は、データ $d_{out}[5]$ を出力し、レジスタ 12 - 4 は、データ $d_t[4]$ を出力している。従って、レジスタ 6 - 4 の出力するデータ $d_{out}[5]$ は、その論理が排他的論理和回路 6 - 5 により反転され、レジスタ 6 - 6 に供給される。

30

【0070】

そして、次のクロックが入力されると、レジスタ 6 - 6 は、論理の反転されたデータ $d_{out}[5]$ を保持し、後段のレジスタ 6 - 7 に出力する。また、このとき、レジスタ 6 - 2 はオア回路 6 - 1 より入力されていた $1T$ の検出信号を保持し、排他的論理和回路 6 - 3 に出力する。

40

【0071】

さらに、レジスタ 6 - 4 は、データ $d_{out}[5]$ を出力している状態において、次のクロックが入力されると、排他的論理和回路 6 - 3 を介してレジスタ 12 - 4 より供給されているデータ $d_t[4]$ をデータ $d_{out}[4]$ として保持し、排他的論理和回路 6 - 5 を介してレジスタ 6 - 6 に出力する。

【0072】

そしてこのとき、レジスタ 12 - 4 は、次のデータ $d_t[3]$ を保持し、排他的論理和回路 6 - 3 の一方の入力に供給するとともに、レジスタ 6 - 2 は、 $1T$ の違反検出信号を排他的論理和回路 6 - 3 に出力する。従って、排他的論理和回路 6 - 3 は、このとき、データ $d_t[3]$ の論理を反転し、データ $d_{out}[3]$ としてレジスタ 6 - 4 に供給する

50

。従って、さらに次のクロックが入力されると、この論理の反転されたデータ $d t o u t [3]$ がレジスタ 6 - 4 に保持され、排他的論理和回路 6 - 5 を介してレジスタ 6 - 6 に供給される。

【 0 0 7 3 】

各レジスタに保持されたデータは、クロックが供給されるごとに、順次、後段に転送される。このようにして、この場合、データ $d t [3]$, $d t [5]$ の論理が反転され、補正処理が行われる。すなわち、図 9 (C) に示すように、データ " 1 1 1 1 1 0 1 1 1 1 " または " 0 0 0 0 0 1 0 0 0 0 " が入力されたとき、データ " 1 1 1 1 0 0 0 1 1 1 " または " 0 0 0 0 1 1 1 0 0 0 " が出力される。

【 0 0 7 4 】

なお、図 9 において、印は補正ビットを示している。

【 0 0 7 5 】

図 1 0 は、補正位置検出回路 6 および補正処理回路 7 の他の構成例を表している。この構成例においては、違反長検出回路 5 のアンド回路 5 - 3 が出力する 2 T の検出信号と、ラッチ 6 A - 1 が出力するフラグ後方指示信号の論理積を演算するアンド回路 6 - 1 5 の出力が、レジスタ 6 - 2 に入力され、その出力がオア回路 6 - 1 の一方の入力に供給されている。オア回路 6 - 1 の他方の入力には、1 T の検出信号がレジスタ 6 - 1 1 を介して入力されている。オア回路 6 - 1 の出力は、排他的論理和回路 6 - 3 の一方に入力され、排他的論理和回路 6 - 3 の他方の入力には、メモリ 1 2 のレジスタ 1 2 - 4 の出力が供給されている。

【 0 0 7 6 】

排他的論理和回路 6 - 3 の出力は、レジスタ 6 - 4 , 6 - 6 を介して、排他的論理和回路 6 - 5 の一方の入力に供給されている。排他的論理和回路 6 - 5 の他方の入力には、レジスタ 6 - 1 1 を介して 1 T の検出信号が入力されている。排他的論理和回路 6 - 5 の出力は、レジスタ 6 - 7 を介して排他的論理和回路 6 - 8 の一方の入力に供給され、排他的論理和回路 6 - 8 の他方の入力には、違反長検出回路 5 のアンド回路 5 - 3 が出力する 2 T の検出信号と、ラッチ 6 A - 2 が出力するフラグ前方指示信号の論理積を演算するアンド回路 6 - 1 6 の出力が、レジスタ 6 - 1 0 を介して、入力されている。排他的論理和回路 6 - 8 の出力は、レジスタ 6 - 9 を介して出力されている。

【 0 0 7 7 】

次に、その動作について説明する。3 T - 2 T - x T のパターン検出信号が出力されたとき、ラッチ 6 A - 1 を介して、アンド回路 6 - 1 5 から信号が出力される。そしてこの信号がレジスタ 6 - 2 に入力されたとき、メモリ 1 2 のレジスタ 1 2 - 4 は、データ $d t [4]$ を出力し、排他的論理和回路 6 - 3 を介してデータ $d t o u t [4]$ として、レジスタ 6 - 4 に供給している。この状態において、次のクロックが入力されると、レジスタ 6 - 2 は、アンド回路 6 - 1 5 の出力する検出信号を保持し、オア回路 6 - 1 を介して排他的論理和回路 6 - 3 の一方の入力に供給する。また、このとき、排他的論理和回路 6 - 3 の他方の入力には、レジスタ 1 2 - 4 により保持された次のデータ $d t [3]$ が入力されている。その結果、排他的論理和回路 6 - 3 は、このデータ $d t [3]$ を、その論理を反転してデータ $d t o u t [3]$ としてレジスタ 6 - 4 に出力する。

【 0 0 7 8 】

そして、次のクロックが入力されると、排他的論理和回路 6 - 3 の出力していたデータ $d t o u t [3]$ が、レジスタ 6 - 4 に保持され、後段のレジスタ 6 - 6 に出力される。このようにして、図 9 (A) に示すような補正処理が行われる。

【 0 0 7 9 】

一方、アンド回路 1 1 - 3 0 より x T - 2 T - 3 T のパターン検出信号が出力されたとき、この信号は、ラッチ 6 A - 2 を介して、アンド回路 6 - 1 6 に出力される。そしてこのときレジスタ 6 - 7 は、データ $d t o u t [7]$ を出力している。そして、次のクロックが入力されたとき、レジスタ 6 - 1 0 は、アンド回路 6 - 1 6 の出力信号を保持し、排他的論理和回路 6 - 8 の一方の入力に供給する。排他的論理和回路 6 - 8 の他方の入力には

10

20

30

40

50

、レジスタ 6 - 7 により保持された、次のデータ $d t o u t [6]$ が入力される。その結果、排他的論理和回路 6 - 8 により、データ $d t o u t [6]$ の論理が反転されて、レジスタ 6 - 9 に出力される。このようにして、図 9 (B) に示すような補正が行われる。

【 0 0 8 0 】

さらに 1 T の検出信号がレジスタ 6 - 1 1 に入力されたとき、レジスタ 6 - 6 は、データ $d t o u t [6]$ を出力している。また、レジスタ 1 2 - 4 は、データ $d t [4]$ を出力している。この状態において、次のクロックが入力されると、レジスタ 6 - 1 1 は、1 T の検出信号を保持し、排他的論理和回路 6 - 5 の一方の入力に供給するとともに、オア回路 6 - 1 を介して排他的論理和回路 6 - 3 の他方の入力に供給する。このとき、レジスタ 6 - 6 は、次のデータ $d t o u t [5]$ を保持し、排他的論理和回路 6 - 5 の他方の入力 10 に供給するので、その論理が反転され、レジスタ 6 - 7 に供給される。また、レジスタ 1 2 - 4 は、次のデータ $d t [3]$ を保持し、出力するので、排他的論理和回路 6 - 3 は、このデータ $d t [3]$ の論理を反転して、データ $d t o u t [3]$ として、レジスタ 6 - 4 に出力する。このようにして、図 9 (C) に示すような補正処理が行われる。

【 0 0 8 1 】

図 1 1 は、補正位置検出回路 6 内のメモリ 6 A の他の構成例を示している。この構成例においては、アンド回路 1 1 - 1 6 の出力する 3 T - 2 T - x T の検出信号がオア回路 6 A - 1 2 の一方の入力に供給されているとともに、インバータ 6 A - 1 3 を介してアンド回路 6 A - 1 5 の 1 つの入力に供給されている。アンド回路 6 A - 1 5 にはまた、アンド回路 1 1 - 3 0 の出力する x T - 2 T - 3 T の検出信号がインバータ 6 A - 1 4 を介して入 20 力されている。さらに、このアンド回路 6 A - 1 5 には、アンド回路 5 - 3 の出力する 2 T 検出信号が入力されているとともに、ラッチ 6 A - 1 1 の出力 $R c 1$ が入力されている。そして、アンド回路 6 A - 1 5 の出力が、オア回路 6 A - 1 2 の他方の入力に供給されている。

【 0 0 8 2 】

オア回路 6 A - 1 2 の出力は、ラッチ 6 A - 1 1 に供給されるとともに、オア回路 6 - 1 の一方の入力に供給されている。オア回路 6 - 1 の他方の入力には、アンド回路 5 - 5 の出力する 1 T 検出信号が入力されている。オア回路 6 - 1 の出力は、レジスタ 6 - 2 を介して図 7 の排他的論理和回路 6 - 3 の一方の入力に供給されるようになされている。

【 0 0 8 3 】

オア回路 6 A - 2 2 の一方の入力には、アンド回路 1 1 - 3 0 の出力する x T - 2 T - 3 T の検出信号が入力されている。この x T - 2 T - 3 T の検出信号はまた、インバータ 6 A - 2 3 を介してアンド回路 6 A - 2 5 に入力されている。アンド回路 6 A - 2 5 にはまた、アンド回路 1 1 - 1 6 の出力する 3 T - 2 T - x T の検出信号がインバータ 6 A - 2 4 を介して入力されている。アンド回路 6 A - 2 5 にはさらに、アンド回路 5 - 3 の出力する 2 T 検出信号とラッチ 6 A - 2 1 の出力 $R c 2$ が入力されている。アンド回路 6 A - 2 5 の出力は、オア回路 6 A - 2 2 の他方の入力に供給されている。オア回路 6 A - 2 2 の出力は、ラッチ 6 A - 2 1 に入力されるとともに、レジスタ 6 - 1 0 を介して図 7 の排 40 他的論理和回路 6 - 8 の一方の入力に供給されている。

【 0 0 8 4 】

次に、その動作について、図 1 2 のタイミングチャートを参照して説明する。例えば、3 T - 2 T - 4 T のパターン、4 T - 2 T - 4 T のパターン、または 4 T - 2 T - 3 T のパターンが所定の間隔で出現したとすると、アンド回路 5 - 3 は、それぞれのパターンの中央の 2 T を検出し、その検出信号を出力する。アンド回路 1 1 - 1 6 は、これらのパターンのうち、3 T - 2 T - x T のパターンが発生したとき、検出信号を出力する。アンド回路 1 1 - 3 0 は、x T - 2 T - 3 T のパターンが発生したとき、検出信号を出力する。

【 0 0 8 5 】

3 T - 2 T - x T の検出信号と、x T - 2 T - 3 T の検出信号がいずれも低レベルであるとき、インバータ 6 A - 1 3 と 6 A - 1 4 の出力は高レベルとなる。従って、ラッチ 6 A - 1 1 が高レベルの出力 $R c 1$ を出力している場合において、アンド回路 5 - 3 が 2 T の 50

検出信号を出力すると、アンド回路 6 A - 1 5 は、高レベルを出力する。

【 0 0 8 6 】

また、アンド回路 1 1 - 1 6 が、3 T - 2 T - x T の検出信号を出力したとき、この検出信号が入力されるので、その間、オア回路 6 A - 1 2 の出力は、高レベルになる。

【 0 0 8 7 】

3 T - 2 T - 4 T のパターン検出時においては、ラッチ 6 A - 2 1 の出力 R c 2 が低レベルであるので、アンド回路 6 A - 2 5 の出力は、2 T が検出された場合にも、低レベルのままとなる。このとき、x T - 2 T - 3 T は検出されないので、オア回路 6 A - 2 2 の出力は、低レベルのままとなる。

【 0 0 8 8 】

ラッチ 6 A - 1 1 とラッチ 6 A - 2 1 には、2 T の検出信号が発生されている期間に発生されたクロック C L K が供給され、その立ち上がりエッジに同期して、入力がラッチされる。従って、ラッチ 6 A - 1 1 では高レベルが、ラッチ 6 A - 2 1 では低レベルが、それぞれラッチされる。

【 0 0 8 9 】

このことは、4 T - 2 T - 4 T のパターンが発生した場合にも同様である。

【 0 0 9 0 】

これに対して、4 T - 2 T - 3 T のパターンがアンド回路 1 1 - 3 0 で検出された場合には、インバータ 6 A - 1 4 の出力が低レベルとなるため、アンド回路 6 A - 1 5、従ってオア回路 6 A - 1 2 の出力は、低レベルになっている。その結果、ラッチ 6 A - 1 1 は、低レベルをラッチし、その出力 R c 1 は、高レベルから低レベルに遷移する。

【 0 0 9 1 】

また、4 T - 2 T - 3 T の検出信号が発生されたとき、オア回路 6 A - 2 2 の出力は高レベルとなるので、ラッチ 6 A - 2 1 は、この高レベルをラッチし、その出力 R c 2 は、低レベルから高レベルに遷移する。

【 0 0 9 2 】

以上の原理は、同一のシンボルの最大連続長が k' として規定されている場合に、 $(k' + 1)$ の連続長のチャネルビットデータを補正する場合にも適用することができる。この場合における処理は、図 1 3 のフローチャートに示すようになる。その基本的な処理は、図 2 における場合と同様であるが、ステップ S 2 4, S 2 5, S 2 7, S 3 0, S 3 2, S 3 4 における処理が、図 2 におけるステップ S 4, S 5, S 7, S 1 0, S 1 2, S 1 4 の処理と異なっている。

【 0 0 9 3 】

すなわち、ステップ S 2 4 においては、 $12T((k' + 1) = 12)$ の違反長が、またステップ S 3 2 においては、 $13T((k' + 2) = 13)$ の違反長が、それぞれ違反長検出回路 5 で検出される。これに対応して、ステップ S 3 0 とステップ S 3 4 においては、補正処理回路 7 により、 $12T$ のデータまたは $13T$ のデータが、 $11T(k' = 11)$ の規定長のデータに補正される。

【 0 0 9 4 】

ステップ S 2 5 と S 2 7 においては、パターン検出回路 1 1 により、 $11T - 12T - xT$ のパターン、または、 $xT - 12T - 11T$ のパターンが検出される。そして、ここにおける x は、10 以下の値とされる。

【 0 0 9 5 】

また、メモリ 1 2 には、 $x = 10$ とするとき、データ $d_t[0]$ 乃至 $d_t[35]$ が利用できるように、少なくとも 34 個のレジスタが設けられる。

【 0 0 9 6 】

図 1 4 は、図 1 3 のフローチャートの違反長検出、パターン検出、および補正の例を表している。図 1 4 (A) に示すように、データ $d_t[24]$ 乃至 $d_t[11]$ が、"1000000000000001" または "0111111111111110" であるとき、データ $d_t[23]$ 乃至 $d_t[12]$ が、 $12T((k' + 1) = 12)$ の違反長として検出さ

10

20

30

40

50

れる。そして、この違反ビット列の前方のデータ $d_t[34]$ 乃至 $d_t[23]$ が、" 1 1 1 1 1 1 1 1 1 1 0 " の否定、または " 0 0 0 0 0 0 0 0 0 0 1 " の否定の出力を取るとき、 $10T((k' - 1) = 10)$ 以下の連続長が検出され、違反ビット列の後方のデータ $d_t[12]$ 乃至 $d_t[0]$ が、" 0 1 1 1 1 1 1 1 1 1 1 0 " または " 1 0 0 0 0 0 0 0 0 0 0 1 " であるとき、 $11T(k' = 11)$ の連続長が検出される。そしてこのとき、 $10T$ 以下 - $12T$ - $11T$ のパターンが検出される。この場合、 $d_t[23]$ の論理が反転されて、補正が行われる。

【0097】

同様に、図14(B)に示すように、違反ビット列の前方のデータ $d_t[35]$ 乃至 $d_t[23]$ が、" 0 1 1 1 1 1 1 1 1 1 1 0 " または " 1 0 0 0 0 0 0 0 0 0 0 1 " であるとき、 $11T(k' = 11)$ の連続長が検出され、違反ビット列の後方のデータ $d_t[12]$ 乃至 $d_t[1]$ が、" 0 1 1 1 1 1 1 1 1 1 1 1 " の否定、または " 1 0 0 0 0 0 0 0 0 0 0 0 " の否定の出力を取るとき、 $10T((k' - 1) = 10)$ 以下の連続長が検出される。そしてこのとき、 $11T$ - $12T$ - $10T$ 以下のパターンが検出される。この場合、 $d_t[12]$ の論理が反転されて、補正が行われる。

【0098】

さらに、図14(C)に示すように、データ $d_t[25]$ 乃至 $d_t[11]$ が、" 1 0 0 0 0 0 0 0 0 0 0 0 1 " または " 0 1 1 1 1 1 1 1 1 1 1 1 0 " であるとき、データ $d_t[24]$ 乃至 $d_t[12]$ が $13T((k' + 2) = 13)$ の違反長として検出される。この場合、 $d_t[24]$ 、 $d_t[12]$ の論理が反転されて、補正が行われる。

【0099】

さらに、上記発明の実施の形態においては、コンパレータ4において、再生RF信号を1つの基準レベルRと比較して"1"と"0"の2値化データに変換するようにしたが、例えば図15に示すように、2つの基準レベルH、Lを設け、再生RF信号のレベルが2つの基準レベルHとLの間の大きさであるとき、論理1を出力するようにし、より大きい方の基準レベルHより大きいとき、またはより小さい方の基準レベルLより小さいとき、論理0を出力することで、再生RF信号を2値化することができる。本明細書においては、この2値化処理を逆NRZI変調と称し、そのデータをエッジデータと称する。そして、これと対比するために、1つの基準レベルRと再生RF信号を比較して得たデータを、レベルデータと称する。なお、エッジデータは、再生RF信号を基準レベルRで2値化した結果を、さらに、1から0、または0から1へ変化するとき1、変化しないとき0に符号変換することでも得ることができる。

【0100】

図2に示す、同一シンボルの連続長が $(d' - 1)$ であるチャンネルビットデータを補正する処理を、コンパレータ4で逆NRZI変調した符号に対して行うときは、図16に示すような処理が行われる。

【0101】

図16に示す処理は、基本的に、図2に示す処理と同様であるが、ステップS42、S44、S45、S47、S52の検出処理、およびステップS50、S54の補正処理が、図2におけるステップS2、S4、S5、S7、S12における検出処理、およびステップS10、S14の補正処理と異なっている。

【0102】

すなわち、図2に示す処理の場合と、図16に示す逆NRZI変調による処理の場合のいずれにおいても、ステップS4、S12またはステップS44、S52における違反長は、 $2T$ または $1T$ と規定され、ステップS5、S7またはステップS45、S47におけるパターンは、 $3T - 2T - xT$ または $xT - 2T - 3T$ と表される($x = 4$)。しかしながら、図2の処理における $2T$ 、 $1T$ の検出は、 $(d' - 1) = 2$ 、 $(d' - 2) = 1$ の検出となるのに対し、図16の $2T$ の検出は、 $(d - 1) = 1$ 、 $(d - 2) = 0$ の検出となる。

【0103】

10

20

30

40

50

また、図2の処理における $3T - 2T - xT$ 、または $xT - 2T - 3T$ のパターン検出は、 $(d' = 3) - ((d' - 1) = 2) - ((d' + (x - 3)) = 3 + (x - 3))$ または $((d' + (x - 3)) = 3 + (x - 3)) - ((d' - 1) = 2) - (d' = 3)$ の検出となるのに対して、図16のパターン検出は、 $(d = 2) - ((d - 1) = 1) - ((d + (x - 3)) = 2 + (x - 3))$ または $((d + (x - 3)) = 2 + (x - 3)) - ((d - 1) = 1) - (d = 2)$ の検出となる。

【0104】

さらに図2のステップS10、S14における違反長 $2T$ 、 $1T$ の規定長 $3T$ への補正は、 $(d' - 1) = 2$ 、 $(d' - 2) = 1$ の $d' = 3$ への補正であるが、図16のステップS50、S54における違反長 $2T$ 、 $1T$ の規定長 $3T$ への補正は、 $(d - 1) = 1$ 、 $(d - 2) = 0$ の $d = 2$ への補正となる。

10

【0105】

ステップS44、S52における違反長 $2T$ 、 $1T$ の検出は、図17に示す違反長検出回路5により、次のように行われる。

【0106】

すなわち、違反長検出回路5においては、データ $dt[3]$ 、 $dt[5]$ と、インバータ5-11によりデータ $dt[4]$ を反転したデータの論理積が、アンド回路5-12により演算される。アンド回路5-12は、データ $dt[5]$ 、 $dt[3]$ が論理1であり、かつ、データ $dt[4]$ が論理0であるとき、すなわち、データ $dt[5]$ 、 $dt[4]$ 、 $dt[3]$ が"101"であるとき論理1を $2T$ 検出信号として出力する（なお、レジスタ12-4の出力はアンド回路5-12でモニタしないようにしても、 $2T$ の違反長を検出することが可能である）。また、アンド回路5-13は、データ $dt[3]$ とデータ $dt[4]$ の論理積を演算し、演算結果を $1T$ 検出信号として出力する。アンド回路5-13の出力は、データ $dt[4]$ 、 $dt[3]$ が"11"であるとき、論理1となる。

20

【0107】

ステップS45とステップS47の $3T - 2T - xT$ または $xT - 2T - 3T$ ($x = 4$)のパターンは、図18に示すパターン検出回路11により検出される。

【0108】

すなわち、このパターン検出回路11においては、アンド回路11-42が、データ $dt[0]$ の論理をインバータ11-41で反転したデータと、データ $dt[3]$ 、 $dt[5]$ 、 $dt[8]$ の論理積を演算している。また、データ $dt[8]$ の論理をインバータ11-43で反転したデータと、データ $dt[0]$ 、 $dt[3]$ 、 $dt[5]$ が、アンド回路11-44に入力されている。アンド回路11-44は、これらの入力の論理積を演算している。

30

【0109】

エラーが発生していない限り、"0"は最小でも2個連続しているので、アンド回路11-42の出力は、データ $dt[8] = dt[5] = dt[3] = 1$ であり、かつ、 $dt[7] = dt[6] = dt[4] = dt[2] = dt[1] = dt[0] = 0$ であるとき、パターン $3T - 2T - xT$ が検出されたものとして、論理1となる。一方、アンド回路11-44は、 $dt[5] = dt[3] = dt[0] = 1$ であり、かつ、 $dt[8] = dt[7] = dt[6] = dt[4] = dt[2] = dt[1] = 0$ のとき、 $xT - 2T - 3T$ のパターンを検出したものとして、論理1を出力する。

40

【0110】

図18にはまた、メモリ6Aの構成例が示されている。この構成例においては、ラッチ6A-41がアンド回路11-42の出力をラッチし、ラッチ6A-42がアンド回路11-44の出力をラッチするようになされている。そして、オア回路6A-43は、アンド回路11-42と11-44の出力の論理和を演算し、その演算結果をラッチ6A-41とラッチ6A-42にクロックとして供給し、そのラッチを制御するようになされている。すなわち、この場合においても、図6のメモリ6Aにおける場合と同様の処理を行うことができる。

50

【 0 1 1 1 】

図 1 9 は、図 1 6 のステップ S 5 0 , S 5 4 において、エッジデータを処理する場合の補正位置検出回路 6 と補正処理回路 7 の構成例を表している。排他的論理和回路 6 - 2 1 には、メモリ 1 2 のレジスタ 1 2 - 3 より出力されたデータ d t [3] が、データ d t o u t [3] として入力されている。排他的論理和回路 6 - 2 1 の他方の入力には、パターン検出回路 1 1 のアンド回路 1 1 - 4 2 が出力する 3 T - 2 T - x T のパターン検出信号をラッチ 6 A - 4 1 でラッチした信号と、アンド回路 5 - 1 2 からの 2 T 検出信号との論理積を演算するアンド回路 6 A - 4 4 からの出力信号、または図 1 7 の違反長検出回路 5 のアンド回路 5 - 1 3 が出力する 1 T 検出信号が、オア回路 6 - 2 2 とレジスタ 6 - 2 3 を介して入力されている。排他的論理和回路 6 - 2 1 の出力は、レジスタ 6 - 2 4 に入力され、レジスタ 6 - 2 4 の出力は、排他的論理和回路 6 - 2 5 に入力されている。排他的論理和回路 6 - 2 5 の他方の入力には、レジスタ 6 - 2 3 の出力が供給されている。

10

【 0 1 1 2 】

排他的論理和回路 6 - 2 5 の出力は、レジスタ 6 - 2 6 に、レジスタ 6 - 2 6 の出力はレジスタ 6 - 2 7 に、レジスタ 6 - 2 7 の出力は排他的論理和回路 6 - 2 8 に、それぞれ入力されている。排他的論理和回路 6 - 2 8 の他方の入力には、オア回路 6 - 3 0 の出力が、レジスタ 6 - 3 1 を介して供給されている。

【 0 1 1 3 】

オア回路 6 - 3 0 の一方の入力には、パターン検出回路 1 1 のアンド回路 1 1 - 4 4 が出力する x T - 2 T - 3 T のパターン検出信号をラッチ 6 A - 4 2 でラッチした信号と、アンド回路 5 - 1 2 からの 2 T 検出信号との論理積を演算するアンド回路 6 A - 4 5 からの出力信号が供給されており、他方の入力には、図 1 7 の違反長検出回路 5 のアンド回路 5 - 1 3 が出力する 1 T 検出信号が、レジスタ 6 - 2 9 を介して供給されている。

20

【 0 1 1 4 】

排他的論理和回路 6 - 2 8 の出力は、レジスタ 6 - 3 2 に入力され、レジスタ 6 - 3 2 の出力が排他的論理和回路 6 - 3 3 に入力されている。排他的論理和回路 6 - 3 3 の他方の入力には、レジスタ 6 - 3 1 の出力が供給されている。排他的論理和回路 6 - 3 3 の出力は、レジスタ 6 - 3 4 を介して出力されるようになっている。

【 0 1 1 5 】

次に、その動作について説明する。アンド回路 1 1 - 4 2 より 3 T - 2 T - x T のパターン検出信号が出力されたとき、ラッチ 6 A - 4 1 とアンド回路 6 A - 4 4 を介して検出信号が出力される。そして、オア回路 6 - 2 2 を介してレジスタ 6 - 2 3 に入力されたとき、メモリ 1 2 のレジスタ 1 2 - 3 は、データ d t [3] を出力している。従って、データ d t [3] が排他的論理和回路 6 - 2 1 を介してデータ d t o u t [3] として、レジスタ 6 - 2 4 に供給されている。そしてこのとき、レジスタ 6 - 2 4 は、データ d t o u t [4] を保持しており、このデータを排他的論理和回路 6 - 2 5 を介してレジスタ 6 - 2 6 に出力している。レジスタ 6 - 2 6 と 6 - 2 7 は、それぞれデータ d t o u t [5] または d t o u t [6] を出力している。また、レジスタ 6 - 3 2 と 6 - 3 4 は、それぞれデータ d t o u t [7] と d t o u t [8] を出力している。

30

【 0 1 1 6 】

このような状態においてクロックが入力されると、各レジスタには前段のレジスタからのデータが転送される。すなわち、メモリ 1 2 のレジスタ 1 2 - 3 は、データ d t [2] を保持、出力し、このデータ d t [2] は排他的論理和回路 6 - 2 1 に出力され、レジスタ 6 - 2 4 は、それまで供給されていたデータ d t o u t [3] を保持し、排他的論理和回路 6 - 2 5 に出力する。また、レジスタ 6 - 2 3 は、オア回路 6 - 2 2 より供給されていた後ろフラグ検出信号を排他的論理和回路 6 - 2 1 と 6 - 2 5 に出力する。その結果、排他的論理和回路 6 - 2 1 は、レジスタ 1 2 - 3 より供給されるデータ d t [2] を、その論理を反転してデータ d t o u t [2] として、レジスタ 6 - 2 4 に出力する。また、排他的論理和回路 6 - 2 5 は、レジスタ 6 - 2 4 から出力されているデータ d t o u t [3] の論理を反転してレジスタ 6 - 2 6 に出力する。

40

50

【0117】

次のクロックが入力されると、レジスタ6-26は、それまで供給されていたデータd t [3] の論理を反転したデータd t o u t [3] を保持し、レジスタ6-27に出力する。また、レジスタ6-24は、それまで供給されていたデータd t [2] の論理を反転したデータd t o u t [2] を保持し、排他的論理和回路6-25を介してレジスタ6-26に出力する。

【0118】

これらのデータは、以後、クロックが入力されるごとに、順次、後段のレジスタに転送され、出力される。このようにして、3 T - 2 T - x T のパターンが検出されたとき、データd t [3] , d t [2] の論理が反転されて、補正処理が行われる。

10

【0119】

また、パターン検出回路11のアンド回路11-44が、x T - 2 T - 3 T のパターン検出信号を出力し、この検出信号を、ラッチ6A-42とアンド回路6A-45、さらにオア回路6-30を介してレジスタ6-31に出力したとき、レジスタ6-27には、データd t [6] がデータd t o u t [6] として保持され、出力されている。レジスタ6-32は、データd t o u t [7] を保持し、出力している。

【0120】

このような状態においてクロックが入力されると、レジスタ6-27は、それまでレジスタ6-26から供給されていたデータd t o u t [5] を保持し、排他的論理和回路6-28に出力する。また、レジスタ6-31は、それまでオア回路6-30より供給されていた前フラグ検出信号を保持し、排他的論理和回路6-28と排他的論理和回路6-33に出力する。レジスタ6-32は、それまで供給されていたデータd t o u t [6] を保持し、排他的論理和回路6-33に出力する。

20

【0121】

従って、排他的論理和回路6-28は、レジスタ6-27より供給されるデータd t o u t [5] の論理を反転して、レジスタ6-32に供給する。また、排他的論理和回路6-33は、レジスタ6-32に保持され、出力されたデータd t o u t [6] を、その論理を反転して、レジスタ6-34に出力する。これらのデータは、次のクロックが入力されると、それぞれ後段のレジスタに、順次、転送される。このようにして、x T - 2 T - 3 T のパターンが検出されたとき、データd t [6] , d t [5] の論理が反転されて補正処理が行われる。

30

【0122】

一方、図17の違反長検出回路5のアンド回路5-13が、1 T の検出信号を出力し、オア回路6-22を介してレジスタ6-23に供給されるとともに、レジスタ6-29に供給したとき、メモリ12のレジスタ12-3は、データd t [3] を保持し、排他的論理和回路6-21に出力している。レジスタ6-24は、データd t o u t [4] を保持し、出力している。同様に、レジスタ6-27は、データd t o u t [6] を保持し、レジスタ6-32は、データd t o u t [7] を保持している。

【0123】

このような状態において、次にクロックが入力されると、レジスタ6-23は、オア回路6-22が出力していた1 T の検出信号を保持し、排他的論理和回路6-21と6-25に出力する。また、このとき、排他的論理和回路6-21には、レジスタ12-3から、データd t [2] が供給される。さらに、レジスタ6-24は、それまで供給されていたデータd t o u t [3] を保持し、排他的論理和回路6-25に出力する。従って、排他的論理和回路6-21は、データd t [2] の論理を反転して、レジスタ6-24に出力し、排他的論理和回路6-25は、レジスタ6-24から供給されているデータd t o u t [3] の論理を反転して、レジスタ6-26に出力する。

40

【0124】

同様に、レジスタ6-29が、アンド回路5-13より供給される1 T の検出信号を保持し、オア回路6-30を介してレジスタ6-31に出力したとき、レジスタ6-27は、

50

それまで供給されていたデータ $d t o u t [5]$ を出力し、レジスタ 6 - 3 2 は、それまで供給されていたデータ $d t o u t [6]$ を保持し、出力する。

【 0 1 2 5 】

このような状態において、さらに次のクロックが入力されると、すでに論理が反転されて入力されているデータ $d t o u t [3]$ が、レジスタ 6 - 2 6 に保持され、出力されるとともに、レジスタ 6 - 2 4 にデータ $d t o u t [2]$ が保持され、出力される。また、このとき、レジスタ 6 - 3 1 が、オア回路 6 - 3 0 より供給されていた 1 T の検出信号を、排他的論理和回路 6 - 2 8 と 6 - 3 3 に出力する。従って、排他的論理和回路 6 - 2 8 は、レジスタ 6 - 2 7 より供給されるデータ $d t o u t [4]$ の論理を反転して、レジスタ 6 - 3 2 に出力する。また、排他的論理和回路 6 - 3 3 は、レジスタ 6 - 3 2 より供給されるデータ $d t o u t [5]$ の論理を反転して、レジスタ 6 - 3 4 に出力する。

10

【 0 1 2 6 】

これらのレジスタに保持されたデータは、その後クロックが入力されるごとに、順次、後段のレジスタに伝送される。このようにして、1 T の違反長が検出された場合においては、データ $d t [5]$ 乃至 $d t [2]$ の論理が反転されて補正処理が行われる。

【 0 1 2 7 】

図 2 0 は、エッジデータを処理する補正位置検出回路 6 と補正処理回路 7 の他の構成例を示している。この例においては、パターン検出回路 1 1 のアンド回路 1 1 - 4 2 が出力する 3 T - 2 T - x T の検出信号が、ラッチ 6 A - 4 1 を介してアンド回路 6 A - 4 4 に入力され 2 T 検出信号と論理積されるようになされている。アンド回路 6 A - 4 4 の出力は、レジスタ 6 - 2 3 を介してオア回路 6 - 2 2 の一方の入力に供給されている。オア回路 6 - 2 2 の他方の入力には、1 T の検出信号がレジスタ 6 - 3 5 を介して入力されている。オア回路 6 - 2 2 の出力は、排他的論理和回路 6 - 2 1 と 6 - 2 5 の一方の入力にそれぞれ供給されている。排他的論理和回路 6 - 2 1 の他方の入力には、メモリ 1 2 のレジスタ 1 2 - 3 の出力が供給されている。

20

【 0 1 2 8 】

排他的論理和回路 6 - 2 1 の出力は、レジスタ 6 - 2 4 を介して排他的論理和回路 6 - 2 5 の他方の入力に供給されている。排他的論理和回路 6 - 2 5 の出力は、レジスタ 6 - 2 6 , 6 - 2 7 を介して、排他的論理和回路 6 - 2 8 の一方の入力に供給されている。

【 0 1 2 9 】

排他的論理和回路 6 - 2 8 の他方の入力には、パターン検出回路 1 1 のアンド回路 1 1 - 4 4 が出力する x T - 2 T - 3 T の検出信号をラッチ 6 A - 4 2 でラッチした信号と、アンド回路 5 - 1 2 からの 2 T 検出信号との論理積をアンド回路 6 A - 4 5 で演算した結果が、レジスタ 6 - 3 6 とオア回路 6 - 3 0 を介して入力されている。また、1 T の検出信号がレジスタ 6 - 3 5 , 6 - 2 9 とオア回路 6 - 3 0 を介して排他的論理和回路 6 - 2 8 の他方の入力に入力されている。

30

【 0 1 3 0 】

排他的論理和回路 6 - 2 8 の出力は、レジスタ 6 - 3 2 を介して排他的論理和回路 6 - 3 3 の一方の入力に供給されており、排他的論理和回路 6 - 3 3 の他方の入力には、オア回路 6 - 3 0 の出力が供給されている。排他的論理和回路 6 - 3 3 の出力は、レジスタ 6 - 3 4 を介して出力されている。

40

【 0 1 3 1 】

次に、その動作について説明する。パターン検出回路 1 1 のアンド回路 1 1 - 4 2 が、3 T - 2 T - x T の検出信号を出力したとき、ラッチ 6 A - 4 1 によるそのラッチ信号が、アンド回路 5 - 1 2 からの 2 T 検出信号と、アンド回路 6 A - 4 4 で論理積演算される。その演算結果は、レジスタ 6 - 2 3 に保持された後、さらにオア回路 6 - 2 2 を介して排他的論理和回路 6 - 2 1 と 6 - 2 5 に供給される。このとき、排他的論理和回路 6 - 2 1 の他方の入力には、レジスタ 1 2 - 3 からデータ $d t [2]$ が入力されているので、排他的論理和回路 6 - 2 1 は、その論理を反転して、データ $d t o u t [2]$ として、レジスタ 6 - 2 4 に出力する。また、このとき、レジスタ 6 - 2 4 は、データ $d t o u t [3]$

50

を排他的論理和回路 6 - 2 5 の他方の入力に供給しているので、排他的論理和回路 6 - 2 5 は、このデータ $dtout[3]$ の論理を反転して、レジスタ 6 - 2 6 に出力する。このようにして、 $3T - 2T - xT$ のパターンが検出されたとき、 $dt[3]$ 、 $dt[2]$ の論理が反転され、補正処理が行われる。

【0132】

一方、パターン検出回路 1 1 のアンド回路 1 1 - 4 4 が、 $xT - 2T - 3T$ のパターン検出信号を出力すると、ラッチ 6 A - 4 2 でこれがラッチされ、アンド回路 5 - 1 2 からの $2T$ 検出信号と、アンド回路 6 A - 4 5 で論理積される。この論理積がレジスタ 6 - 3 6 とオア回路 6 - 3 0 を介して排他的論理和回路 6 - 2 8 と 6 - 3 3 に入力されたとき、レジスタ 6 - 2 7 は、データ $dtout[5]$ を保持し、レジスタ 6 - 3 2 は、データ $dtout[6]$ を保持している。従って、排他的論理和回路 6 - 2 8 は、データ $dtout[5]$ の論理を反転してレジスタ 6 - 3 2 に出力し、排他的論理和回路 6 - 3 3 は、データ $dtout[6]$ を、その論理を反転してレジスタ 6 - 3 4 に出力する。このように、 $xT - 2T - 3T$ のパターンが検出された場合には、データ $dt[6]$ 、 $dt[5]$ の論理が反転されて補正処理が行われる。

10

【0133】

さらに、 $1T$ の検出信号が、レジスタ 6 - 3 5 に保持され、オア回路 6 - 2 2 を介して排他的論理和回路 6 - 2 1 と 6 - 2 5 に入力されたとき、レジスタ 1 2 - 3 は、データ $dt[2]$ を保持し、レジスタ 6 - 2 4 は、データ $dtout[3]$ を保持している。従って、排他的論理和回路 6 - 2 1 は、データ $dtout[2]$ の論理を反転して、レジスタ 6 - 2 4 に出力し、排他的論理和回路 6 - 2 5 は、データ $dtout[3]$ の論理を反転して、レジスタ 6 - 2 6 に出力する。

20

【0134】

そして、次のクロックが入力されると、レジスタ 6 - 2 9 は、レジスタ 6 - 3 5 より供給されている $1T$ の検出信号を保持し、オア回路 6 - 3 0 を介して、排他的論理和回路 6 - 2 8 と 6 - 3 3 に出力する。このとき、レジスタ 6 - 2 7 は、データ $dtout[4]$ を保持し、レジスタ 6 - 3 2 は、データ $dtout[5]$ を保持している。従って、排他的論理和回路 6 - 2 8 は、データ $dtout[4]$ の論理を反転して、レジスタ 6 - 3 2 に出力し、排他的論理和回路 6 - 3 3 は、データ $dtout[5]$ の論理を反転して、レジスタ 6 - 3 4 に出力する。このようにして、 $1T$ の検出信号が検出されたとき、データ $dt[5]$ 乃至 $dt[2]$ の論理が反転されて補正処理が行われる。

30

【0135】

図 2 1 は、図 1 6 のフローチャートにおける違反長検出、パターン検出、および補正処理の例を表している。図 2 1 (A) に示すように、データ $dt[5]$ 乃至 $dt[3]$ が "101" であるとき、データ $dt[4]$ が違反長 $2T$ ($(d-1)=1$) として検出される。そして、この違反ビット列の前方のデータ $dt[8]$ 乃至 $dt[5]$ が "1001" であるとき、 $3T$ ($d=2$) の連続長が検出され、また、データ $dt[3]$ 乃至 $dt[0]$ が "1000" であるとき、短くとも $4T$ ($(d+1)=3$) の連続長が検出される。これにより、 $3T - 2T - 4T$ のパターンが検出される。この場合、 $dt[3]$ 、 $dt[2]$ の論理が反転されて、補正が行われる。

40

【0136】

また、図 2 1 (B) に示すように、データ $dt[8]$ 乃至 $dt[5]$ が "0001" であるとき、短くとも $4T$ ($(d+1)=3$) の連続長が検出され、また、データ $dt[3]$ 乃至 $dt[0]$ が "1001" であるとき、 $3T$ ($d=2$) の連続長が検出される。従って、このとき、 $4T - 2T - 3T$ のパターンが検出される。この場合、 $dt[6]$ 、 $dt[5]$ の論理が反転されて、補正が行われる。

【0137】

さらに、図 2 1 (C) に示すように、データ $dt[4] = dt[3] = 1$ であるとき、 $1T$ ($(d-2)=0$) の違反長が検出される。この場合、 $dt[5]$ 、 $dt[4]$ 、 $dt[3]$ 、 $dt[2]$ の論理が反転されて、補正が行われる。

50

【 0 1 3 8 】

コンパレータ 4 により逆 N R Z I 変調を行った場合において、同一シンボルの最大連続長が k より大きい ($k + 1$) であるチャネルビットデータを補正する場合の処理は、図 2 2 のフローチャートに示すようになる。

【 0 1 3 9 】

その基本的処理は、図 1 3 に示した場合と同様であるが、ステップ S 6 4 , S 6 5 , S 6 7 , S 7 2 , における検出処理、およびステップ S 7 0 , S 7 4 の補正処理が、図 1 3 におけるステップ S 2 4 , S 2 5 , S 2 7 , S 3 2 における検出処理、およびステップ S 3 0 , S 3 4 の補正処理と異なっている。

【 0 1 4 0 】

すなわち、図 2 2 の処理の場合、データが逆 N R Z I 変調されているため、ステップ S 6 4 , S 7 2 における 1 2 T , 1 3 T の違反長の検出処理が、 $(k + 1) = 1 1$ または $(k + 2) = 1 2$ の検出処理として行われる。ステップ S 6 5 , S 6 7 における 1 1 T - 1 2 T - x T のパターンまたは x T - 1 2 T - 1 1 T のパターンの検出処理は、 $(k = 1 0) - ((k + 1) = 1 1) - ((k - (x - 9)) = 1 0 - (x - 9))$ 、または $((k - (x - 9)) = 1 0 - (x - 9)) - ((k + 1) = 1 1) - (k = 1 0)$ の検出処理とされる。ステップ S 7 0 , S 7 4 における補正は、 $(k + 1) = 1 1$, $(k + 2) = 1 2$ の $k = 1 0$ への補正となる。

【 0 1 4 1 】

すなわち、図 1 6 の処理を図 2 の処理と比較して説明した場合と同様に、エッジデータを処理する場合には、違反長またはパターンの検出対象となるビットが、レベルデータを処理する場合に較べて、1 ビット分少なくなる。

【 0 1 4 2 】

図 2 3 は、図 2 2 のフローチャートにおける違反長とパターンの検出、および補正の例を表している。図 2 3 (A) に示すように、データ d t [2 3] 乃至 d t [1 1] が " 1 0 0 0 0 0 0 0 0 0 0 1 " であるとき、データ d t [2 2] 乃至 d t [1 2] が 1 2 T ($(k + 1) = 1 1$) の違反長として検出される。また、この違反長の前方のデータ d t [3 3] 乃至 d t [2 3] が、" 0 0 0 0 0 0 0 0 0 0 1 " 以外であるとき、1 0 T ($(k - 1) = 9$) 以下の連続長が検出され、違反長の後方のデータ d t [1 1] 乃至 d t [0] が、" 1 0 0 0 0 0 0 0 0 0 0 1 " であるとき、1 1 T ($k = 1 0$) の連続長が検出される。すなわち、これにより、1 0 T 以下 - 1 2 T - 1 1 T のパターンが検出される。この場合、d t [2 2] , d t [2 3] の論理が反転されて、補正が行われる。

【 0 1 4 3 】

また、図 2 3 (B) に示すように、1 2 T の違反長の前方のデータ d t [3 4] 乃至 d t [2 3] が " 1 0 0 0 0 0 0 0 0 0 0 1 " であるとき、1 1 T ($k = 1 0$) の連続長が検出され、違反長の後方のデータ d t [1 1] 乃至 d t [1] が " 1 0 0 0 0 0 0 0 0 0 0 0 " 以外であるとき、1 0 T ($(k - 1) = 9$) 以下の連続長が検出される。従って、これにより、1 1 T - 1 2 T - 1 0 T 以下のパターンが検出される。この場合、d t [1 2] , d t [1 1] の論理が反転されて、補正が行われる。

【 0 1 4 4 】

さらに、図 2 3 (C) に示すように、データ d t [2 4] 乃至 d t [1 1] が " 1 0 0 0 0 0 0 0 0 0 0 0 1 " であるとき、1 3 T ($(k + 2) = 1 2$) の違反長が検出される。この場合、d t [2 4] , d t [2 3] と d t [1 2] , d t [1 1] の論理が反転されて、補正が行われる。

【 0 1 4 5 】

なお、最小ラン d = 2 であり、最小連続長が 3 T の可変長符号には、E F M 変調方式の他、例えば E F M プラス変調方式、R L L (2 - 7) 方式などがある。

【 0 1 4 6 】

次に、図 2 のフローチャートに基づいて行ったテストの結果について説明する。スキューがゼロの時はエラーがゼロであった光ディスクを再生し、その再生 R F 信号を、所定の基

10

20

30

40

50

準レベルで2値化したものをオリジナルのデータと比較して、タンジェンシャル方向にスキューを加えていったとき発生するエラーを観察した。

【0147】

補正処理回路7を設けない場合、タンジェンシャルスキュー角度を約0.47度としたとき、テストを行った装置での誤り訂正可能な最大のビットエラーレートとなった。このタンジェンシャルスキュー角度が約0.47度の時、エラーは約100個発生し、そのエラーは全て3Tを2Tに誤ったものであった。スキュー角度をさらに増やしていくと、例えば3Tが1Tとなるエラーなど、それ以外のパターンのエラーが多数発生した。タンジェンシャルスキュー角度が、約0.66度になると、PLLをロックするのが困難になった。

10

【0148】

エラー改善の効果をエラー減少の割合で示すと、次のようになる。すなわち、従来の補正処理回路7を設けない場合のエラーの数である100個に対するパーセントで表すと、図2による1T, 2Tエラー補正を行った場合、タンジェンシャルスキュー角度が+0.47度のとき、エラーは2%に減った。また-0.47度の角度ではエラーは1%に減った。タンジェンシャルスキュー角度が+0.66度の場合においては、エラーは47%に減り、-0.66度の角度では49%に減った。このように、本発明の方法によりエラーは著しく減少し、スキューマージンが従来の場合よりも大きくなった。

【0149】

なお、図7、図19、図20の例では、メモリ12に、比較のためのデータ $d_t[i]$ を保持し、補正処理回路7に、出力のために、データ $d_t[i]$ とは別のデータ $d_{tout}[i]$ を保持するようにした。これはデータの比較と補正を1箇所の2Tに対し1回のみ行うようにするためであるが、保持するデータを $d_t[i]$ のみにし、比較と出力を同一の $d_t[i]$ で行うようにすることもできる。この場合、例えば3T-2T-3T-3T-4Tのパターンのデータが入力され、さらに補正位置指定が後ろであったとき、このデータは、3T-3T-2T-3T-4Tのパターンに変換され、次に、3T-3T-3T-2T-4Tのパターンに変換され、さらに3T-3T-3T-3T-3Tのパターンに変換されて、出力される。このような伝搬したエラーの発生は、タンジェンシャルスキューの大きいとき実際に起こりうる。

20

【0150】

また、補正処理におけるビットの論理の反転は、ビットシフトの操作により行うこともできる。例えば図14(A)の $d_t[23]$ は、データ $d_t[24]$ とビットを入れ替えることでその論理を反転するようにしてもよい。要は、実質的に論理が反転すればよいのであって、その手段、方法は、任意である。

30

【0151】

また、この発明に係る符号復号装置の記録媒体は、光ディスクだけでなく、(d, k)符号を用いて記録された光磁気ディスク等の各種のディスクとすることができる。

【0152】

さらに、この発明に係る符号復号装置は、スキューマージンの確保だけでなく、線記録密度の向上に伴う最小反転間隔 T_{min} の読み取りエラーの低減にも有効である。記録媒体は、一種の伝送路と考えることができるから、結局、本発明は、所定の伝送路から伝送されてきた伝送信号を復号する場合に適用することができることになる。

40

【0153】

【発明の効果】

以上の如く、請求項1に記載の符号復号装置および請求項16に記載の符号復号方法によれば、違反ビット列の前のビット列が規定長を有するとき、違反ビット列の後のビット列のビットを補正するようにし、違反ビット列の後のビット列が規定長を有するとき、違反ビット列の前のビット列のビットを補正するようにしているので、A/D変換回路を設けることなく、迅速かつ確実に、エラー補正処理を行うことができ、もって、低コストの装置でビットエラーレートを向上させることが可能となる。特に記録媒体のタンジェンシ

50

ャルスキューに対応して発生するエラーを、簡単な構成で、確実に補正することができる。

【0154】

請求項2に記載の符号復号装置によれば、基準レベルと比較して、伝送符号を出力するようにしたので、補正処理すべき伝送符号を、簡単かつ確実に、生成することができる。

【0155】

請求項3に記載の符号復号装置によれば、記録媒体から再生された符号を伝送符号とするようにしたので、特に、記録媒体に対するスキーマージンやデフォーカスのマージンを増やすことが可能となる。

【0159】

請求項4に記載の符号復号装置によれば、補正位置を一時的に記憶するようにしたので、補正位置をより確実に指定することが可能となる。

【0160】

請求項5に記載の符号復号装置によれば、直前の違反長の検出時の補正位置に対応して補正位置を指定するようにしたので、所定のパターンが検出されない場合においても、補正処理を確実に実行することが可能となる。

【0161】

請求項6に記載の符号復号装置によれば、予め指定されている補正位置を補正位置として指定するようにしたので、所定のパターンが検出されない場合においても、確実に補正を実行することが可能となる。

【0162】

請求項7に記載の符号復号装置によれば、論理レベルを反転させることで補正をするようにしたので、簡単かつ確実に、補正を行うことが可能となる。

【0163】

請求項8に記載の符号復号装置によれば、同一のシンボルの連続長が $(d' - 1)$ である連続長を違反長として検出し、連続長が d' となるように補正するようにしたので、最小連続長に対するエラーを、確実に補正することができる。

【0164】

請求項9に記載の符号復号装置によれば、違反長の直前または直後のビットを補正するようにしたので、最小連続長に対するエラーを、簡単かつ確実に補正することができる。

【0165】

請求項10に記載の符号復号装置によれば、 $(k' + 1)$ の連続長を違反長として検出し、連続長が k' となるように補正するようにしたので、最大連続長が k' である符号に対するエラーを確実に補正することができる。

【0166】

請求項11に記載の符号復号装置によれば、違反長の最前または最後のビットを補正するようにしたので、最大連続長に対するエラーを、簡単かつ確実に補正することができる。

【0167】

請求項12に記載の符号復号装置によれば、逆NRZI変調した後の伝送符号から、違反長を検出し、同一のシンボルの連続長が d となるように補正するようにしたので、エッジデータからなる伝送符号を、確実に補正することが可能となる。

【0168】

請求項13に記載の符号復号装置によれば、違反長の最前のビットとその前のビット、または、最後のビットとその後のビットを補正するようにしたので、最大連続長に対するエラーを、確実に補正することができる。

【0169】

請求項14に記載の符号復号装置によれば、エッジデータからなる伝送符号から、 $(k + 1)$ の連続長を違反長として検出し、連続長が k となるように補正するようにしたので、最大連続長が k である符号をNRZI変調した場合のエラーを、確実に補正することが

10

20

30

40

50

可能となる。

【0170】

請求項15に記載の符号復号装置によれば、違反長の最前のビットとその後のビット、または、最後のビットとその前のビットを補正するようにしたので、最大連続長に対するエラーを、確実に補正することができる。

【図面の簡単な説明】

【図1】 本発明の符号復号装置の構成例を示すブロック図である。

【図2】 図1の実施の形態における最小連続長に対する補正動作を説明するフローチャートである。

【図3】 図1の実施の形態の動作を説明するタイミングチャートである。

10

【図4】 図1の実施の形態の他の動作を説明するタイミングチャートである。

【図5】 図1のメモリと違反長検出回路の構成例を示すブロック図である。

【図6】 図1のメモリとパターン検出回路の構成例を示すブロック図である。

【図7】 図1の補正位置検出回路と補正処理回路の構成例を示すブロック図である。

【図8】 図7の構成例の動作を説明するタイミングチャートである。

【図9】 図2のフローチャートの処理を説明する図である。

【図10】 図1の補正位置検出回路と補正処理回路の他の構成例を示すブロック図である。

【図11】 図1の補正位置検出回路のメモリの構成例を示すブロック図である。

【図12】 図11の構成例の動作を説明するタイミングチャートである。

20

【図13】 図1の実施の形態における最大連続長に対する補正動作を説明するフローチャートである。

【図14】 図13のフローチャートの処理を説明する図である。

【図15】 エッジデータを検出するコンパレータの動作を説明する図である。

【図16】 図1の実施の形態における逆NRZI変調時の最小連続長に対する補正動作を説明するフローチャートである。

【図17】 図1の違反長検出回路の他の構成例を示すブロック図である。

【図18】 図1のパターン検出回路の他の構成例を示すブロック図である。

【図19】 図1の補正位置検出回路と補正処理回路の他の構成例を示すブロック図である。

30

【図20】 図1の補正位置検出回路と補正処理回路のさらに他の構成例を示すブロック図である。

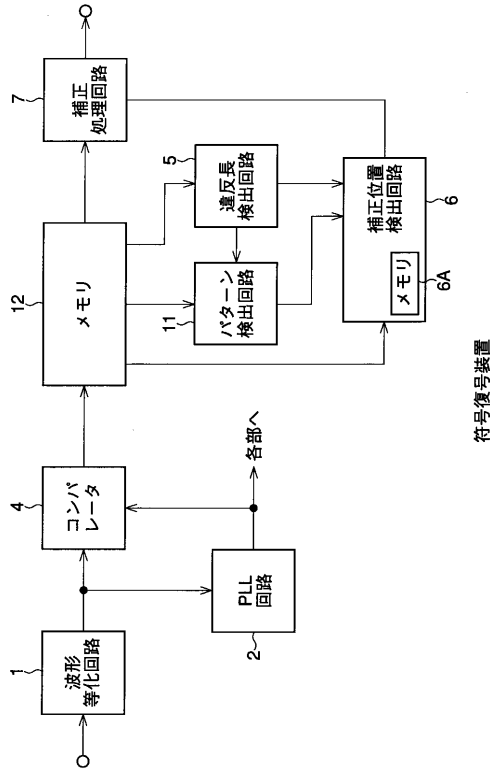
【図21】 図16のフローチャートの処理を説明する図である。

【図22】 図1の実施の形態における逆NRZI変調時の最大連続長に対する補正動作を説明するフローチャートである。

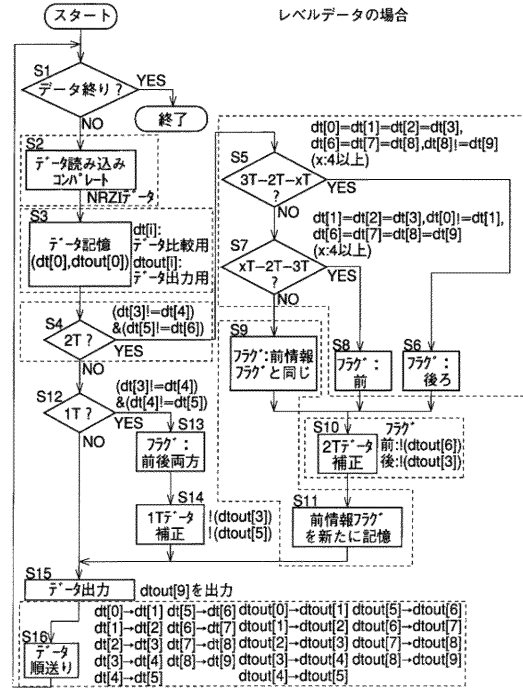
【図23】 図22のフローチャートの処理を説明する図である。

【図24】 従来の符号復号装置の構成例を示すブロック図である。

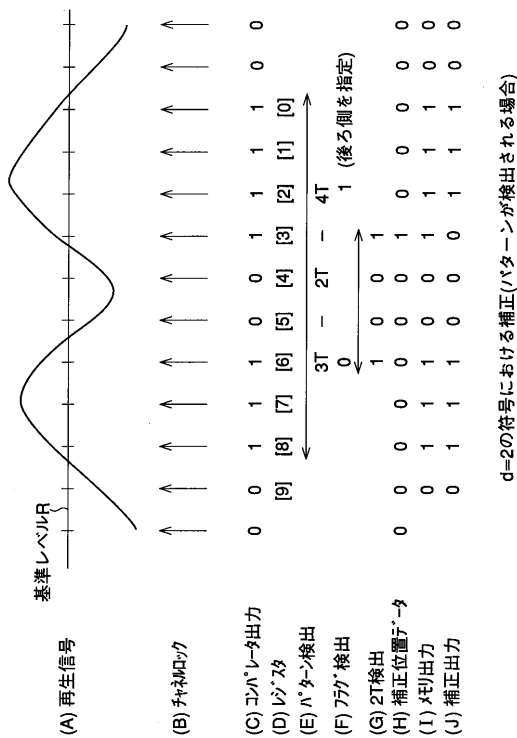
【 図 1 】



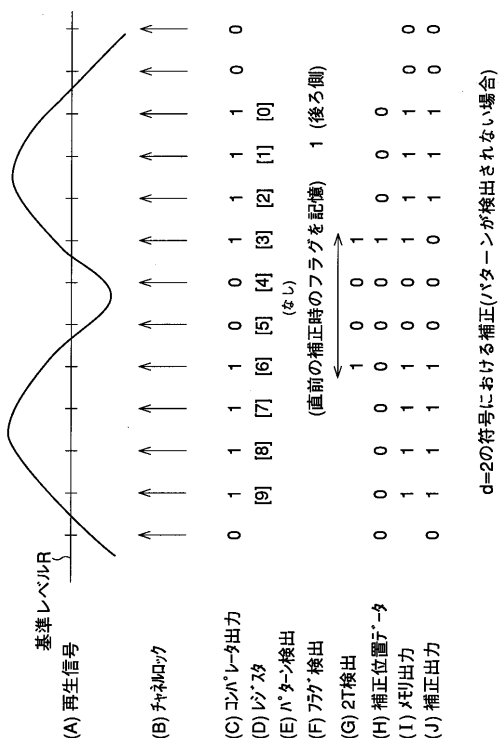
【圖 2】



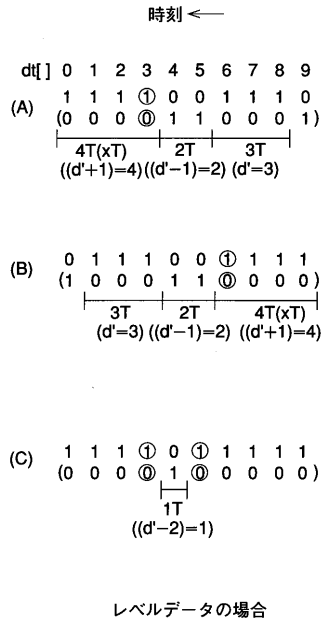
【 図 3 】



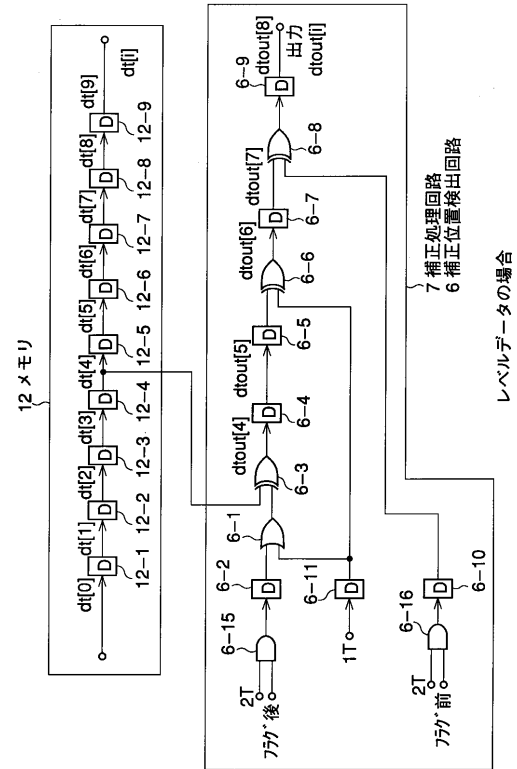
【 図 4 】



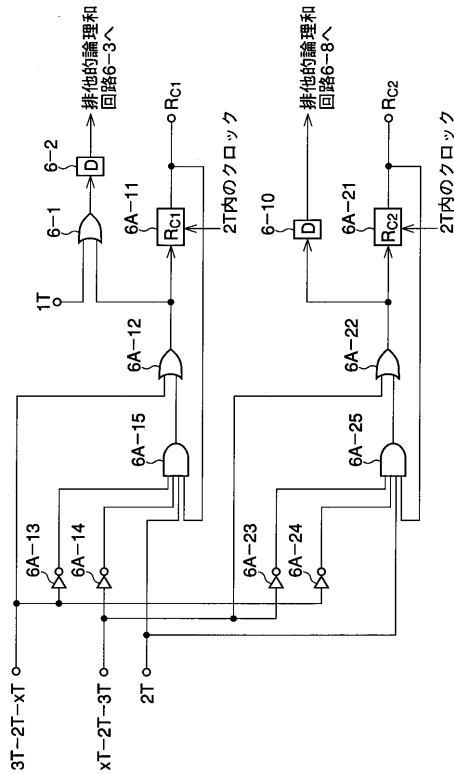
【図 9】



【図 10】

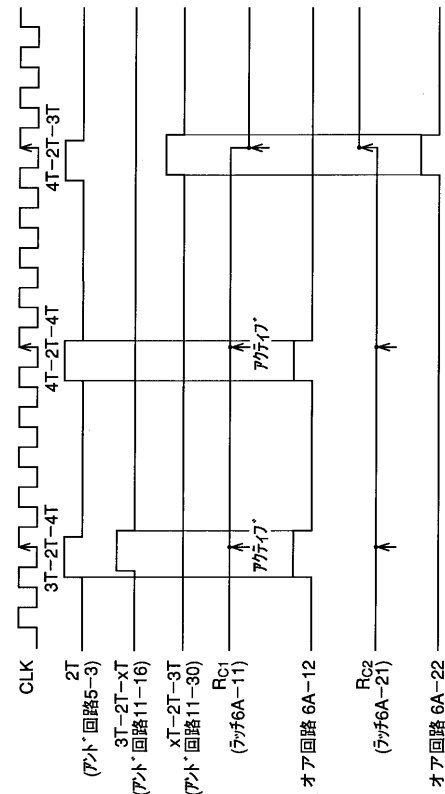


【図 11】

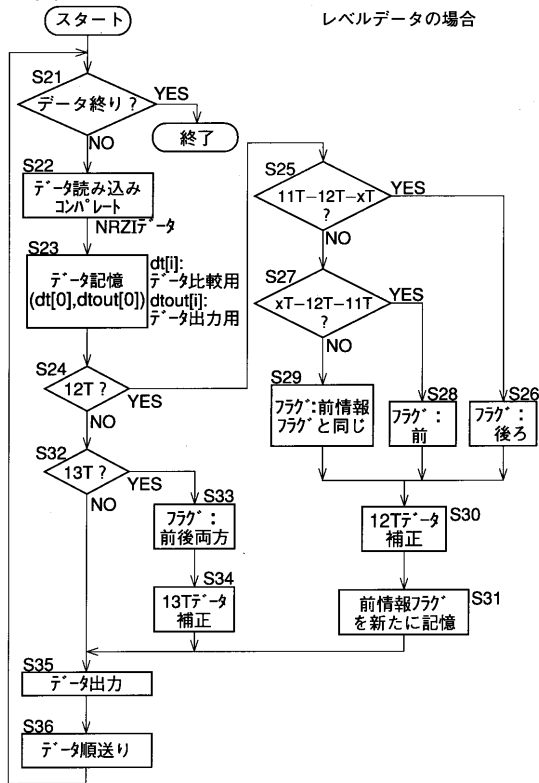


メモリ 6A

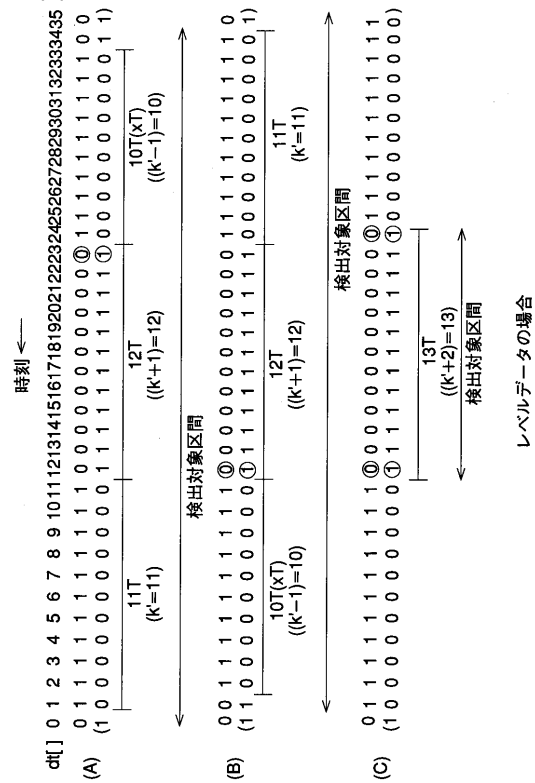
【図 12】



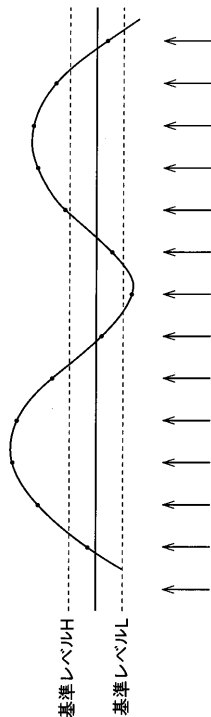
レベルデータの場合



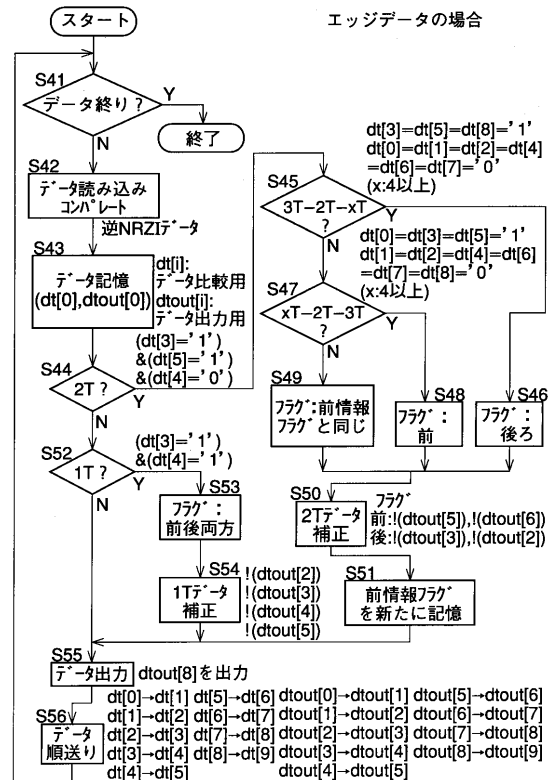
【 図 1 4 】



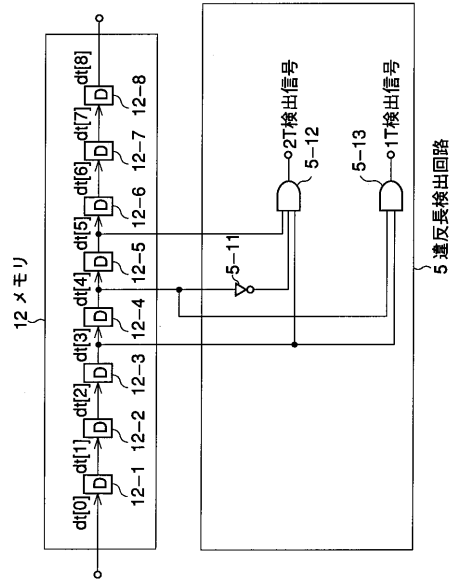
【 図 1 5 】



【 図 1 6 】

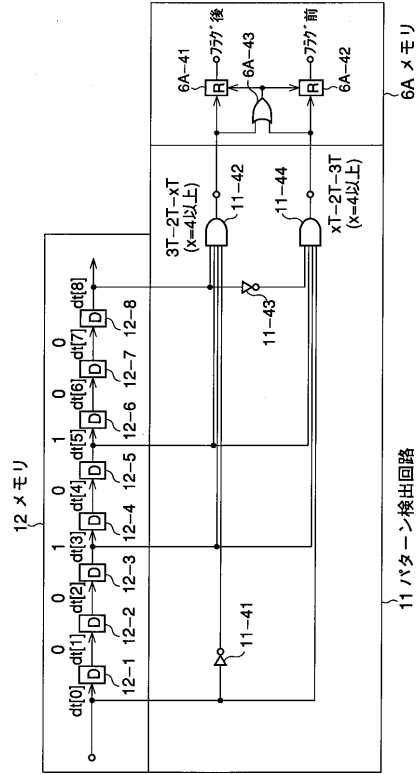


【図 17】



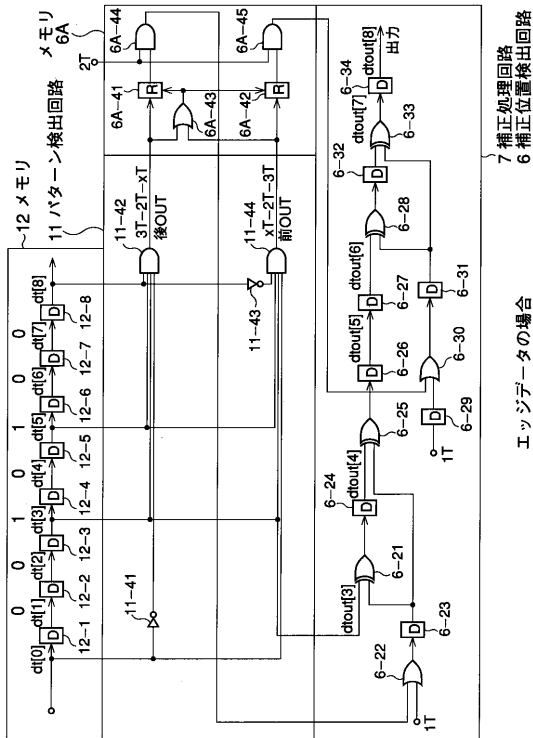
エッジデータの場合

【図 18】



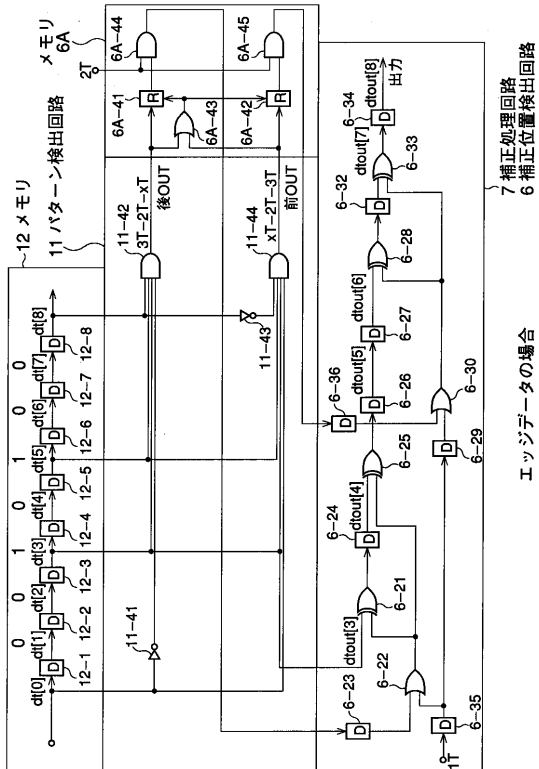
エッジデータの場合

【図 19】



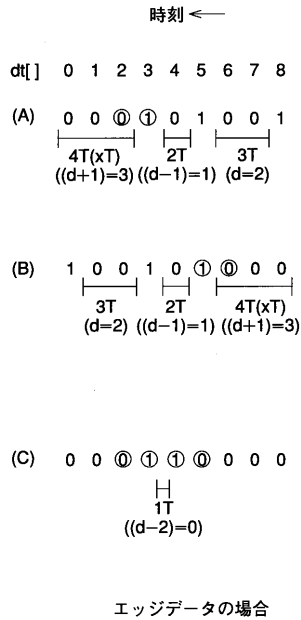
エッジデータの場合

【図 20】

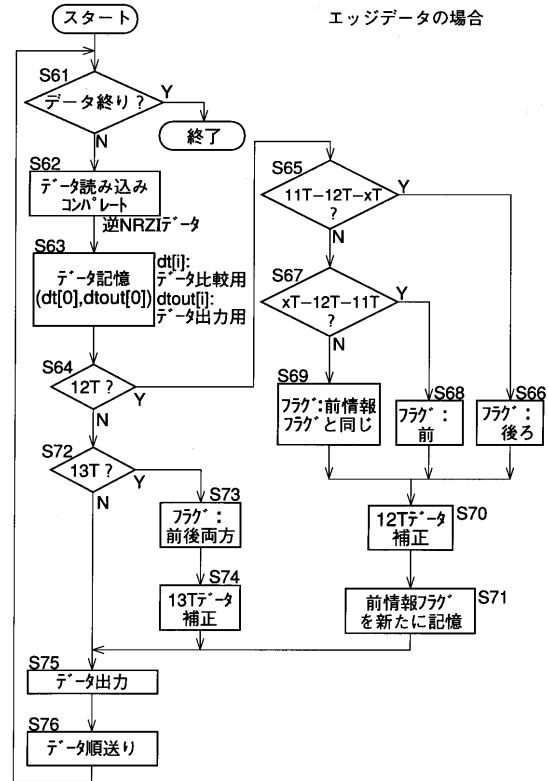


エッジデータの場合

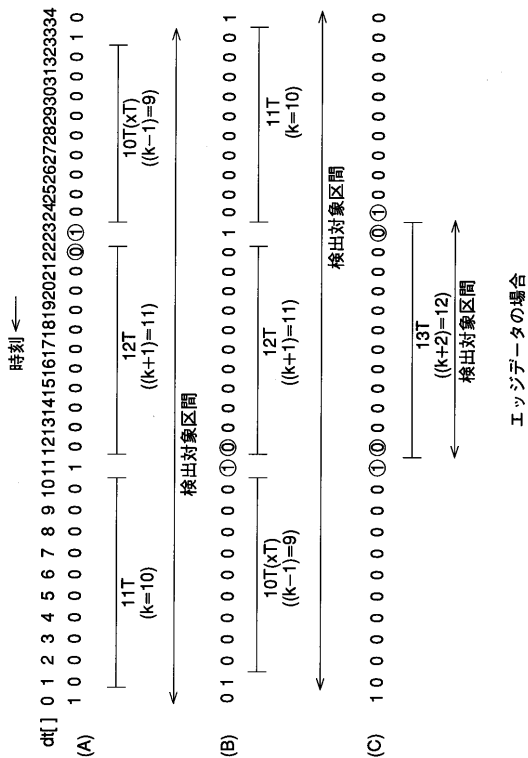
【図 2 1】



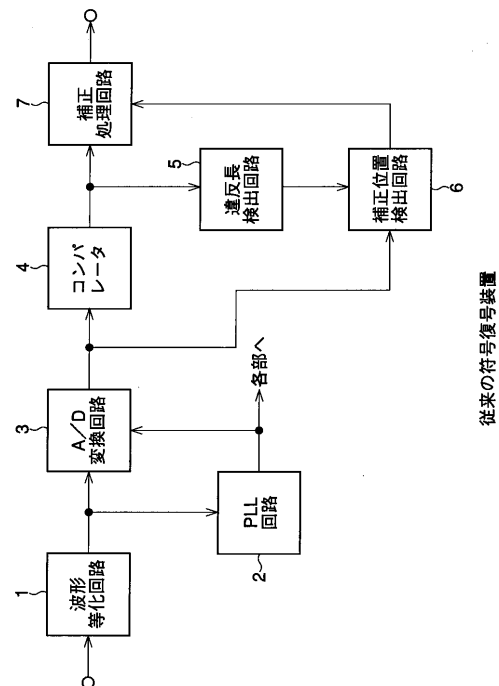
【図 2 2】



【図 2 3】



【図 2 4】



フロントページの続き

- (56)参考文献 特開昭63-181171(JP,A)
特開平06-309807(JP,A)
特開平06-243593(JP,A)
特開平04-038681(JP,A)
特開平06-318929(JP,A)
特開平06-275027(JP,A)

(58)調査した分野(Int.Cl., DB名)

G11B 20/14

G11B 20/18