



①9



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA

①1 Número de publicación: **2 290 634**

⑤1 Int. Cl.:
H04B 1/707 (2006.01)
H03M 13/27 (2006.01)

①2

TRADUCCIÓN DE PATENTE EUROPEA

T3

⑧6 Número de solicitud europea: **04253298 .6**
⑧6 Fecha de presentación : **03.06.2004**
⑧7 Número de publicación de la solicitud: **1603247**
⑧7 Fecha de publicación de la solicitud: **07.12.2005**

⑤4 Título: **Recuperación de una corriente de datos.**

④5 Fecha de publicación de la mención BOPI:
16.02.2008

④5 Fecha de la publicación del folleto de la patente:
16.02.2008

⑦3 Titular/es: **TTPCOM Limited**
Motorola Ttpcom Product Group
Melbourn Science Park Melbourn
Royston, Hertfordshire SG8 6HQ, GB

⑦2 Inventor/es: **Valadon, Cyril Gregoire Fabrice**

⑦4 Agente: **Ungría López, Javier**

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín europeo de patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre concesión de Patentes Europeas).

DESCRIPCIÓN

Recuperación de una corriente de datos.

5 La presente invención se refiere a un método y un procesador para la recuperación de datos. Más particularmente, la invención se refiere a un método para la recuperación en un receptor de datos que se han intercalado y enviado por un transmisor.

10 Los sistemas de comunicación sin hilos hacen uso de las técnicas de reordenación de bits, también conocidas como de intercalación, para mejorar el funcionamiento del enlace de transmisión. Si la señal recibida se ha afectado por una secuencia o un impulso de símbolos erróneos, el uso de un mecanismo de intercalación difunde estos errores a través de todo la corriente de datos recibidos y de este modo hace más fácil para el receptor recuperar satisfactoriamente la información transmitida. En el receptor se requiere redistribuir los bits, de acuerdo con su orden original de modo que pueda realizarse correctamente el procesamiento adicional de los datos.

15 En un mecanismo de intercalación, en un transmisor, la secuencia de bits a transmitir $x_1, x_2, \dots, x_N$ se intercala/reordena de acuerdo con la permutación γ de modo que se transmite la secuencia $x_{\gamma(1)}, x_{\gamma(2)}, \dots, x_{\gamma(N)}$. En el receptor, en primer lugar se requiere estimar la secuencia de los símbolos transmitidos después del intercalado. Una vez que se ha obtenido esta secuencia $\hat{x}_{\gamma(1)}, \hat{x}_{\gamma(2)}, \dots, \hat{x}_{\gamma(N)}$, se necesita eliminar la permutación que se ha introducido por el transmisor. Para reordenar la secuencia intercalada recibida y obtener la estimación de la secuencia de información transmitida $\hat{x}_1, \hat{x}_2, \dots, \hat{x}_N$ se necesita almacenar la secuencia completa en memoria.

20 Los sistemas de comunicaciones que proporcionan servicios multimedia necesitan ser capaces de combinar/multiplexar corrientes de datos procedentes de diferentes fuentes de servicios (por ejemplo una posible fuente puede estar asociada con una señal de voz y una segunda fuente podría corresponder a paquetes de datos). El receptor necesita entonces separar estas corrientes de datos diferentes de modo que puedan procesarse adecuadamente.

25 En un Sistema de Telecomunicaciones Móvil Universal (UMTS), las corrientes de datos de información de diferentes canales de transporte (TrCH) se codifican y se combinan juntos por el transmisor para transmitirse usando varios canales físicos (PhCH). Pueden usarse diferentes canales de transporte para transmitir los diferentes tipos de información.

30 La información de cada TrCH se intercala en primer lugar con respecto a ella misma antes de que todos los TrCH se combinen/multiplexen juntos. Cuando se han multiplexado los TrCH, pueden añadirse los bits DTX (transmisión discontinua) a la corriente de datos multiplexado. Los bits DTX se añaden a la corriente de datos a transmitir cuando el número de bits de la combinación de los TrCH es menor que el número de bits disponible en los canales físicos (PhCH) para la transmisión. Estos bits se envían por el transmisor con una potencia de cero para reducir los niveles de interferencia para los otros usuarios en el sistema. Por lo tanto, no proporcionan al receptor ninguna información útil sobre los datos transmitidos y pueden eliminarse de la cadena de procesamiento. Los datos multiplexados se intercalan a continuación de acuerdo con una intercalación secundaria con una permutación particular.

35 El receptor debe ser capaz de eliminar ambas etapas de intercalación y de separar los bits DTX de la corriente de datos.

40 Un receptor convencional funciona como sigue:

Etapas 1

45 Estima $\hat{v}(1), \hat{v}(2), \dots, \hat{v}(P)$ de la secuencia de bits transmitidos por el transmisor. Se reciben $v(1), v(2), \dots, v(P)$ y se almacenan en el almacenamiento.

Etapas 2

50 Usando los valores $\hat{v}(1), \hat{v}(2), \dots, \hat{v}(P)$ almacenados en el almacenamiento, puede eliminarse el efecto de reordenamiento de los bits introducido por la permutación. La secuencia resultante $\hat{u}(1), \hat{u}(2), \dots, \hat{u}(P)$ de las estimaciones de la secuencia transmitida $u(1), u(2), \dots, u(P)$ se almacenan en un almacenamiento. Obsérvese que se necesita que este almacenamiento sea diferente del usado en la primera etapa y que este almacenamiento contendrá la versión recibida de los bits DTX enviados por el transmisor.

Etapas 3

55 A continuación el receptor debe procesar los datos correspondientes a cada canal de transporte sucesivamente. En primer lugar el receptor irá a través de la sección en el almacenamiento definida en la etapa 2 correspondiente al primer TrCH y eliminará la reordenación de bits introducida por el transmisor. Los bits reordenados de cada TrCH se almacenan a continuación en un tercer almacenamiento de memoria. Los bits DTX se eliminan durante esta etapa de procesamiento. Obsérvese que este almacenamiento final necesita ser lo suficientemente grande para almacenar

la corriente de datos recibido de los diferentes canales transportados por las diferentes tramas que cubren un TTI entero. Obsérvese también, que este tercer almacenamiento de memoria esta compartido entre los diferentes TrCH. Este procedimiento es necesario repetirlo por cada trama recibida (es decir, cada 10 ms en un sistema UMTS).

5 Cuando se usan múltiples esquemas de intercalación como se ha descrito anteriormente los receptores convencionales requieren un espacio de memoria separado para cada etapa de reordenación de bits. Esto supone una memoria muy grande. En el documento US6624767 y en el documento W0 02/30000, se describen receptores convencionales tal como estos, es decir aquellos que requieren una memoria separada para cada etapa.

10 Un objeto de la presente invención es reducir la cantidad de espacio de memoria requerido por un esquema de intercalación múltiple.

De acuerdo con un primer aspecto de la presente invención se proporciona un método para recuperar una pluralidad de corrientes de datos individuales desde una corriente de datos compuesta, la corriente de datos compuesta que se ha formado añadiendo los primeros bits de la transmisión discontinua (DTX), una primera reordenación de bits de las corrientes de datos individuales con respecto a ellos mismos, combinando las corrientes de datos individuales y una segunda reordenación de bits de las corrientes de datos individuales combinados para formar la corriente de datos compuesta, comprendiendo el método:

20 para una posición de bit actual en la corriente de datos compuesta realizar las etapas de:

(a) aplicar la inversa de la segunda reordenación de bits;

25 (b) identificar a qué corriente de datos individual pertenece el bit actual;

(c) determinar si el bit actual es un primer bit de transmisión discontinua (DTX), y si el bit actual es un primer bit de la transmisión discontinua (DTX), descartar el bit actual sin escribirlo en memoria;

30 (d) almacenar el bit actual en un espacio de memoria asignado a la corriente de datos individual identificado en el que el bit actual está posicionado dentro del espacio de la memoria de acuerdo con la primera reordenación de bits; y

realizar las etapas de (a) hasta (d) para cada posición de bit en la corriente de datos compuesta.

35 Los bits DTX secundarios pueden añadirse a la corriente de datos después de combinar los datos individuales. Los bits secundarios DTX pueden eliminarse entonces de la corriente de datos entre las etapas (b) y (c).

De acuerdo con un segundo aspecto de la presente invención se proporciona un procesador para recuperar una pluralidad de corrientes de datos individuales a partir de la corriente de datos compuesta, habiéndose formado la corriente de datos compuesta añadiendo los primeros bits de transmisión discontinua (DTX) a las corrientes de datos individuales, una primera reordenación de bits de las corrientes de datos individuales con respecto a ellos mismos, combinando las corrientes de datos individuales y una segunda reordenación de bits de las corrientes de datos individuales combinados para formar la corriente de datos compuesta, estando dispuesto el procesador:

45 por una posición del bit actual en la corriente de datos compuesta, para realizar las etapas de:

(a) aplicar la inversa del segundo reordenamiento de bits;

(b) identificar a qué corriente de datos individual pertenece el bit actual;

50 (c) determinar si el bit actual es un primer bit de transmisión discontinua (DTX), y si el bit actual es un primer bit de una transmisión discontinua (DTX), descartar el bit actual sin escribirlo en memoria;

(d) almacenar el bit actual en un espacio de memoria asignado a la corriente de datos individual identificado en el que el bit actual está posicionado dentro del espacio de la memoria de acuerdo con la primera reordenación de bits; y

55 realizar las etapas de (a) hasta (d) para cada posición de bit en la corriente de datos compuesta.

La invención puede incluir también un receptor que incluye un procesador como se ha definido anteriormente.

60 Ahora se describirá un ejemplo de procesador y un proceso de acuerdo con la invención con referencia a los dibujos que se acompañan, en los que:

La Figura 1 muestra el procesamiento de datos en un transmisor.

65 La Figura 2 muestra con más detalle el procesamiento de datos en el transmisor.

La Figura 3 es un esquemático de las componentes de un receptor.

ES 2 290 634 T3

La Figura 4 muestra la organización de la memoria en el receptor.

La Figura 5 muestra la inserción de los primeros bits de la DTX.

5 La Figura 6 presenta gráficamente un algoritmo usado en el receptor.

La Figura 7 es un esquemático del proceso en el receptor.

10 La Figura 1 describe las diferentes etapas de formación de la señal realizadas por una estación base (o Nodo B) en las normativas UMTS. Los corrientes de datos de información de varios canales de transporte diferentes (TrCH) 1, 2,...M se codifican y se combinan juntos para transmitirse usando varios canales físicos (PhCH). Pueden usarse canales de transporte diferentes para transmitir diferentes tipos de información.

15 Los datos a transmitir en cada TrCH pasan a través de una serie de etapas antes de que se multiplexen juntos todos los TrCH. En la etapa 11, se adjunta un CRC (Comprobación de Redundancia Cíclica) a los bits de datos en cada canal. En la etapa 12 tiene lugar la concatenación/segmentación de bloques de código TrBk. La codificación de canal y la igualación de tasa tienen lugar en las etapas 13 y 14 respectivamente. En la etapa 15 pueden añadirse a los datos los primeros bits DTX, esto se explica con más detalle más adelante. A continuación se intercalan los datos en cada TrCH en la etapa 16 y en la etapa 17 se segmentan en tramas de radio.

20 Los datos de cada TrCH 1, 2,... se combinan/multiplexan en la etapa 18 antes de la inserción del segundo bit de la DTX en la etapa 19. Los datos se segmentan a continuación en varios canales físicos en la etapa 20. Estos datos se intercalan a continuación en la etapa 21 antes de que se efectúe el mapeo sobre los canales físicos, etapa 22. Los datos se transmiten a continuación sobre los PhCH 3 y 4.

25 Las etapas de procesamiento hasta la etapa 17 “segmentación en tramas de radio” e incluyendo ésta, se realizan independientemente para los diferentes TrCH. La tasa a la que se realizan estas etapas de procesamiento puede variar con los diferentes canales de transporte. Por ejemplo, en el UMTS estos procesos pueden repetirse cada 10, 20, 40 u 80 ms dependiendo del tipo de información que se está transfiriendo. La tasa a la cual se procesa la información de los diferentes TrCH se denomina Intervalo de Tiempo de Transporte (TTI). Las etapas de procesamiento desde la etapa 30 18 “multiplexación de los TrCH” e incluyendo ésta se realizan regularmente (cada trama de 10 ms) y operan sobre la corriente de datos agregado desde todos los TrCH.

35 En la Figura 1 puede verse que la formación de la señal incluye dos etapas de reordenamiento de bits “primera intercalación” (etapa 16) y “segunda intercalación” (etapa 21) así como una etapa de procesamiento dirigida a combinar los elementos de datos codificados de los diferentes TrCH en una corriente de datos único “multiplexación de TrCH” (etapa 18). En el lado del receptor, se requiere que se realicen las etapas de la inversa del reordenamiento de bits y combinación. El reordenamiento de bits se elimina por la des-intercalación de los datos recibidos. Se requiere una etapa de des-multiplexación para recuperar separadamente los datos asociados con cada TrCH desde la corriente 40 de datos combinado.

La Figura 2 muestra, con más detalle, las diferentes etapas realizadas sobre la señal a transmitir de intercalación y multiplexación de TrCH. Para ilustrarlo, se han seleccionado dos TrCH con TTI de 10 ms y 40 ms respectivamente. Para mejorar la claridad, se asume que la secuencia de datos se transmite sobre un canal físico único y como resultado se ha omitido la etapa 20 “segmentación del canal físico”, aunque pueden usarse múltiples PhCH.

45 Para TrCH_i (i = índice del canal), los datos 30 consisten de N bits $h_i(1), h_i(2), \dots, h_i(N_i)$, donde h son los bits de datos. Estos datos se intercalan (etapa 16) en varias tramas 31 cada una de las cuales consta de K bits. La trama intercalada 31 contiene los datos:

50

$$q1(3), q1(7), \dots, q1(K1+2)$$

55 para la tercera trama del primer canal de transporte.

En la etapa 18 las tramas de cada TrCH se multiplexan juntas. Siguiendo la etapa 18 de multiplexación de TrCH, en la etapa 19 pueden añadirse los bits DTX secundarios 35. Estos bits se añaden a la corriente de datos a transmitir cuando el número de bits de la combinación de los TrCH es menor que el número de bits disponibles en los PhCH. El corriente de datos resultante 32 se representa como:

60

$$u(1), u(2), \dots, u(P)$$

65 P es igual al número de bits que se transmiten sobre el canal físico. Como bits DTX secundarios pueden incluirse en la corriente de datos:

$$\sum_i^M K(i) \leq P$$

ES 2 290 634 T3

donde M es el número total de TrCH que se multiplexan. K(i) corresponde al número de bits del canal de transporte con índice i transmitidos durante una trama sobre el canal físico.

En la etapa 21, la segunda etapa de intercalado, se aplica una permutación T a la secuencia de datos. T es una función biyectiva que opera desde el espacio de los números enteros {1,..., P} al espacio de los números enteros {1,..., P}. (Su inversa se denomina como T^{-1}). La secuencia resultante 33:

$$v(1), v(2), \dots, v(P)$$

10

se transmite sobre el PhCH.

La Figura 3 presenta esquemáticamente las componentes de un receptor 100 usado en el UMTS. Los datos intercalados ($v(1), v(2), \dots, v(P)$) enviados por el transmisor se reciben por una antena 110, que está conectada a un filtro de RF 101. La señal eléctrica del filtro de RF 101 se convierte a una señal banda base usando una frecuencia de referencia proporcionada por un oscilador local (OL) 103 y los mezcladores 102. La señal analógica resultante se convierte a continuación a una señal digital usando los filtros banda base (BB) 104 y los convertidores de analógico a digital (ADC) 105. El bloque de desmodulación 106 incluye un receptor rastrillo (rake) 107, una unidad de des-intercalación 108 y un decodificador de canal/unidad de comprobación de CRC 109. La señal digital se pasa al receptor rastrillo 107. Las decisiones software desde el receptor rastrillo 107 se pasan a continuación al módulo 108 que contiene un procesador dispuesto para operar como se ha definido anteriormente. El módulo 108 des-intercala las señal intercalada recibida del transmisor. La señal se pasa a continuación al módulo 109 que decodifica cada canal de transporte y completa la comprobación de CRC.

Ahora se describirá el procesamiento realizado por el módulo 108 del receptor 100 para la recepción de una trama de datos.

Etapa 1

Para la estimación del k-ésimo recibido de los datos transmitidos sobre el PhCH, $\hat{v}(k)$ ($1 \leq k \leq P$), se calcula la permutación inversa de la posición del bit actual $T^{-1}(k)$. Como estas computaciones serán las mismas para cada trama, podrían almacenarse en lugar de generarse sobre la marcha. Además las estimaciones de los datos recibidos pueden procesarse una por una tal como se reciben en lugar de almacenarse hasta que se haya recibido una trama completa.

35

Etapa 2

A continuación se realiza la siguiente computación para identificar a qué canal de transporte pertenece la estimación del dato actual:

40

índiceTrCH = 1

45

últimaPosiciónTrCH = K(1)

desviaciónMemoriaTti = $T^{-1}(K)$

Mientras (índiceTrCH $\leq$ M) y ($T^{-1}(K) >$ últimaPosiciónTrCH)

50

índiceTrCH = índiceTrCH + 1

desviaciónMemoriaTti = desviaciónMemoriaTti -

últimaPosiciónTrCH

55

últimaPosiciónTrCH = últimaPosiciónTrCH + K(índiceTrCH)

fin

60

Al final de esta computación, es posible determinar si la estimación del dato que se está procesando es un segundo bit de la DTX o no. Si $T^{-1}(K) >$ últimaPosiciónTrCH la estimación del dato actual es un segundo bit de la DTX. En este caso, la muestra se descarta y no se realiza un procesamiento adicional con la misma. Obsérvese que esas muestras se descartan antes de que se almacenen en memoria. Por el contrario, la presencia de esos segundos bits de la DTX no incrementa los requerimientos de memoria del receptor. Si la muestra que se está procesando no corresponde con un bit segundo de la DTX, entonces sí necesita almacenarse.

65

Etapa 3

Usando las computaciones realizadas durante la etapa 2, es sabido que la muestra que se está procesando pertenece al TrCH cuyo índice es igual a índiceTrCH. Por el contrario, las computaciones realizadas en la etapa 2 permiten la eliminación simultánea de la reordenación de bits introducida por la segunda etapa de intercalación, la identificación y eliminación de los segundos bits de la DTX y la identificación del canal de transporte al que pertenece la muestra. Una vez que se ha identificado la identidad del canal de transporte de la muestra actual, se almacena la muestra en el espacio de memoria asignada al canal de transporte determinado. Obsérvese que este espacio de memoria será del mismo tamaño que la memoria utilizada en un receptor convencional para la tercera operación. Este espacio de memoria se denomina memoria TTI.

La posición en la que se localizará la muestra dentro del espacio de memoria asignado al TrCH determinado puede adaptarse al esquema de intercalación específico primero que se está usando por los sistemas de comunicación. Por ejemplo, en el UMTS donde la etapa del primer reordenamiento de bits se basa en un algoritmo de intercalado de bloques, las muestras que pertenecen a la misma trama de radio pueden ponerse en espacios consecutivos. Por ejemplo, para TrCH_i, los bits de la primera trama se pondrán en localizaciones con índices que varían desde 1 hasta K(i), las muestras de la segunda trama se localizarán desde K(i) + 1 hasta 2*K(i), etc..

La Figura 4 ilustra la reordenación de bits realizada por la primera etapa de intercalación definida en el UMTS para un TrCH con un TTI de 40 ms y describe una disposición posible en el receptor 100 para almacenar los datos en la memoria TTI 40. Como se ha descrito anteriormente, los datos 30 están intercalados dentro de varias tramas, mostradas en la Figura 4 como 31a, 31b, 31c y 31d. Estas tramas se transmiten a continuación al receptor 100 (ilustrado con las líneas discontinuas). Los bits de cada trama se almacenan en las localizaciones particulares 40a, 40b, 40c, y 40d en la memoria 40. Obsérvese que esta es sólo una de varias organizaciones de memoria posibles. Sería posible, por ejemplo, diseñar una disposición de memoria del almacenamiento TTI que tuviese en cuenta cualquier permutación inter-columna introducida por el transmisor.

El efecto de la primera etapa de reordenación de bits se eliminará a continuación cuando las muestras de datos se leen desde la memoria TTI para el procesamiento adicional (por ejemplo igualación de tasas en el UMTS).

El sistema puede extenderse para arreglárselas eficazmente con las variaciones en el modo en que está hecho el primer procesamiento de intercalación. Por ejemplo, en el UMTS los bits de la DTX pueden introducirse también durante la primera etapa de intercalación. Esta etapa de procesamiento, denominada primera inserción de bit de la DTX, permite el control del número de bits DTX a insertar a través de todo el TTI. La inserción del primer bit de la DTX se representa en la Figura 5.

Las referencias similares en la Figura 5 corresponden con las referencias en la Figura 2. El número de primeros bits de la DTX 41 y 42 insertados para cada TrCH pueden variar con cada trama. El número total de bits a través de todo el TTI asociado con el TrCH *i* es igual a N(i). El número de bits, excluyendo los primeros bits de la DTX, a transmitir por el TrCH_i durante una trama particular es igual a K(i, f). El número de primeros bits de la DTX introducidos en la trama *f* en la corriente de datos de TrCH_i es igual a:

$$\left\lceil \frac{N(i)}{F(i)} \right\rceil - k(i, f) \text{ Este número se denominará como } D(i, f).$$

De forma similar al procesamiento realizado por los segundos bits de la DTX 35, la invención permite que se eliminen los bits primeros de la DTX 41 y 42 antes de haya ninguna necesidad de almacenarlos. Cuando están presentes los primeros bits de la DTX 41 y 42 en la corriente de datos formado, la etapa 2 de la invención puede modificarse como sigue:

Etapa 2

```

índiceTrCH = 1
5  últimaPosiciónTrCH = K(1, f)
   últimaPosiciónTrCHConDtx = K(1, f) + D(1, f)
   desviaciónMemoriaTti = T-1(K)
10  Mientras (índiceTrCH <= M) y (T-1(K) > últimaPosiciónTrCHConDtx)
    índiceTrCH = índiceTrCH + 1
    desviaciónMemoriaTti = desviaciónMemoriaTti –
15      últimaPosiciónTrCHConDtx
    últimaPosiciónTrCH = últimaPosiciónTrCH
    + K (índiceTrCH, f)
20    + D (índiceTrCH -1, f)
    últimaPosiciónTrCHConDtx = últimaPosiciónTrCHConDtx
25      + K (índiceTrCH, f)
      + D (índiceTrCH, f)
   fin
30  si (T-1(K) > últimaPosiciónTrCHConDtx)
    descartar segunda muestra de DTX
   en caso contrario
35     si (T-1(K) > últimaPosiciónTrCH)
        descartar primera muestra de DTX
     fin
40  fin

```

Este algoritmo se muestra gráficamente en la Figura 6. En la etapa 60 se inicializan las variables usadas para las computaciones. Estas variables incluyen el índice del canal de transporte que se comprobará en primer lugar así como la posición en la trama del último bit recibido para este TrCH determinado (esto incluye los primeros bits de la DTX) y la posición del último bit útil para este TrCH (esto excluye los primeros bits de la DTX). La localización en la memoria TTI en la que se escribirá el bit actual se inicializará también (a menos que el bit se encuentre posteriormente que es un bit DTX). La etapa 61 comprueba (1) que el bit actual no pertenece al TrCH que se está comprobando y (2) que el TrCH actual no es el último TrCH a comprobar. Si ambas condiciones son ciertas, se actualizan las diferentes variables en la etapa 62 de modo que puede comprobarse el próximo TrCH. La localización de la memoria TTI para el bit actual se actualiza también.

Si al menos una de las condiciones es falsa, se realizan las computaciones de la etapa 63 para decidir si la muestra actual es un segundo bit de la DTX. Si se encuentra que es un segundo bit de la DTX, entonces se descarta el bit sin escribirlo en la memoria. Si, sin embargo, el bit no es un segundo bit de la DTX, se realizan las computaciones de la etapa 64 para decidir si el bit es un primer bit de la DTX. Si se encuentra que es un primer bit de la DTX, el bit actual se descarta sin escribirlo en memoria. Si, sin embargo, el bit no es un primer bit de la DTX, el bit se escribe en la memoria TTI. El valor de la variable índiceTrCH indica a que TrCH pertenece este bit. Y la variable desviaciónMemoriaTti indica la localización del bit actual en la sección de la memoria TTI asignada al TrCH numerado con el índiceTrCH.

La Figura 7 muestra una visión general del proceso que se ha descrito anteriormente. La permutación inversa $T^{-1}(K)$ se calcula en 200, que corresponde con la etapa 1 descrita anteriormente. En 201, el receptor identifica a qué TrCH pertenece la muestra actual y también identifica cualesquiera bits primeros y segundos de la DTX. Los bits primero y segundo de la DTX se eliminan en 203 y 202 respectivamente. 201, 202 y 203 corresponden a la etapa 2 descrita anteriormente.

ES 2 290 634 T3

En 204 se escribe cada muestra de datos en la memoria TTI 40. Como se muestra esquemáticamente en 205, los datos correspondientes a cada TrCH se almacenan en una localización particular de la memoria TTI. La información almacenada en la memoria TTI puede leerse a continuación en 206 que tiene el efecto de eliminar la primera etapa de reordenamiento de bits como se ha descrito anteriormente.

5

10

15

20

25

30

35

40

45

50

55

60

65

REIVINDICACIONES

1. Un método para recuperar una pluralidad de corrientes de datos individuales (1, 2,...M) desde una corriente de datos compuesta (33), habiéndose formado la corriente de datos compuesta añadiendo los primeros bits (15) de la transmisión discontinua (DTX) a las corrientes de datos individuales, una primera reordenación de bits (16) de las corrientes de datos individuales con respecto a ellos mismos, combinando (18) las corrientes de datos individuales y una segunda reordenación de bits (21) de las corrientes de datos individuales combinados para formar la corriente de datos compuesta, comprendiendo el método:

para la posición de bit actual en la corriente de datos compuesta (33) realizar las etapas de:

(a) aplicar (200) la inversa de la segunda reordenación de bits;

(b) identificar (201) a qué corriente de datos individual pertenece el bit actual;

(c) determinar si el bit actual es un bit primero de la transmisión discontinua (DTX), y si el bit actual es un bit primero de la transmisión discontinua (DTX), descartar (203) el bit actual sin escribirlo en la memoria (40);

(d) almacenar el bit actual en un espacio de memoria (40) asignado a la corriente de datos individual identificado en el que está posicionado el bit actual dentro del espacio de memoria de acuerdo con la primera reordenación de bits; y

realizar las etapas desde (a) hasta (d) para cada posición de bit en la corriente de datos compuesta (33).

2. Un método de acuerdo con la reivindicación 1, en el que se añaden los bits secundarios de transmisión discontinua (DTX) (19) a la corriente de datos después de combinar las corrientes de datos individuales.

3. Un método de acuerdo con la reivindicación 2, comprendiendo además la etapa en la que los bits secundarios de la transmisión discontinua (DTX) se eliminan de la corriente de datos entre las etapas (b) y (c).

4. Un procesador para recuperar una pluralidad de corrientes de datos individuales (1, 2,..., M) desde una corriente de datos compuesta (33), habiéndose formado la corriente de datos compuesta añadiendo (15) los bits primeros de la transmisión discontinua (DTX) a las corrientes de datos individuales, una primera reordenación de bits (21) de las corrientes de datos individuales con respecto a ellos mismos, combinando las corrientes de datos individuales y una segunda reordenación de bits de las corrientes de datos individuales para formar la corriente de datos compuesta, estando dispuesto el procesador:

para la posición de bit actual en la corriente de datos compuesta (33), para realizar las etapas de:

(a) aplicar (200) la inversa de la segunda reordenación de bits;

(b) identificar (201) a qué corriente de datos individual pertenece el bit actual;

(c) determinar si el bit actual es un bit primero de la transmisión discontinua (DTX), y si el bit actual es un bit primero de la transmisión discontinua (DTX), descartar (203) el bit actual sin escribirlo en la memoria (40);

(d) almacenar (204) el bit actual en el espacio de memoria (40) asignado a la corriente de datos individual identificado en el que está posicionado el bit actual dentro del espacio de memoria de acuerdo con la primera reordenación de bits; y

realizar las etapas desde (a) hasta (d) para cada posición de bit en la corriente de datos compuesta.

5. Un procesador de acuerdo con la reivindicación 4, en el que los bits secundarios de la transmisión discontinua (DTX) se añaden (19) a la corriente de datos después de combinar las corrientes de datos individuales.

6. Un procesador de acuerdo con la reivindicación 5, dispuesto además para comprender una etapa en la que los bits secundarios de la transmisión discontinua (DTX) se eliminan de la corriente de datos entre las etapas (b) y (c).

7. Un receptor de radio que incluye un procesador de acuerdo con cualquiera de las reivindicaciones 4 a 6.

8. Un microteléfono de un teléfono celular que incluye un receptor de acuerdo con la reivindicación 7.

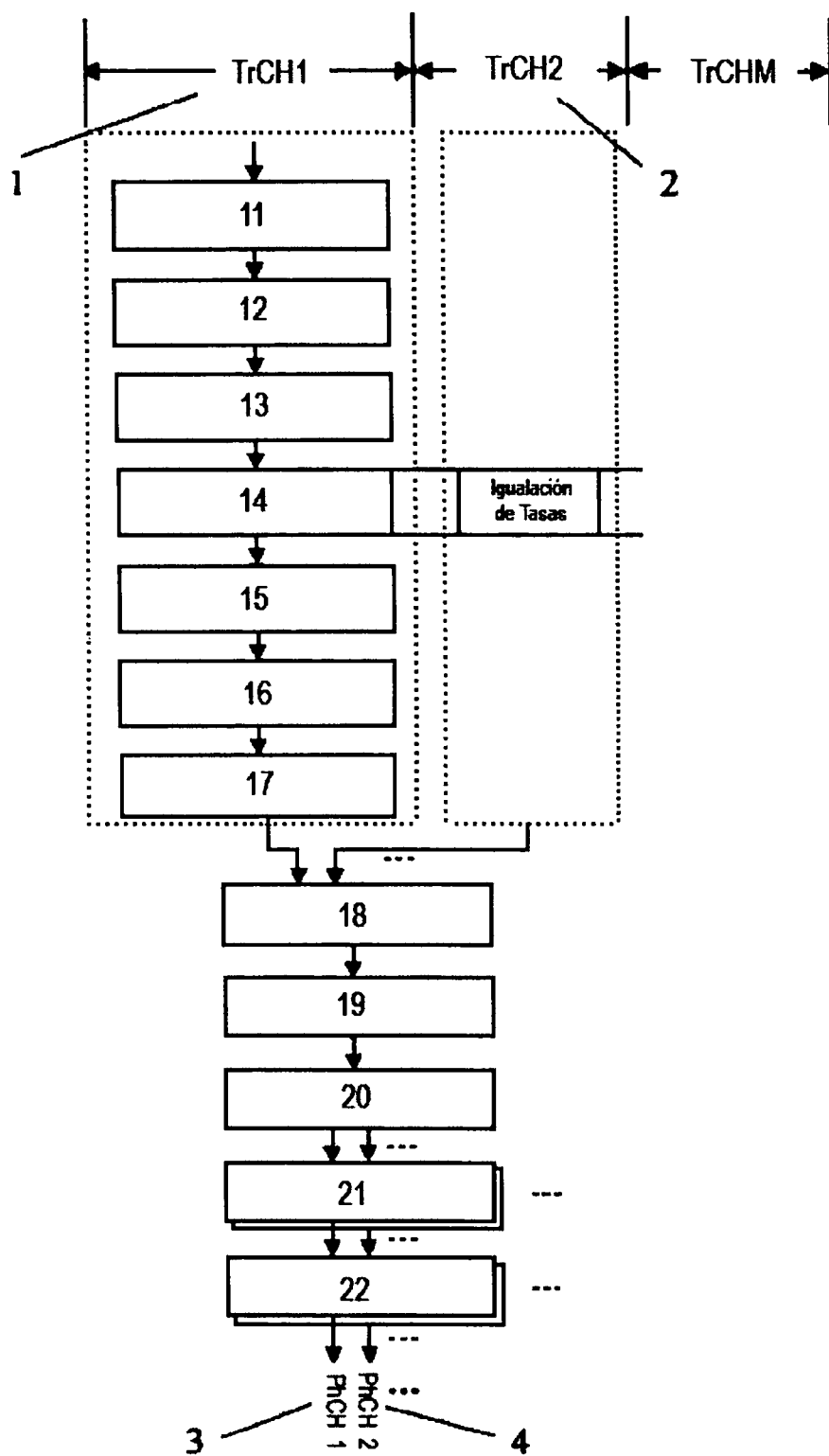


Figura 1

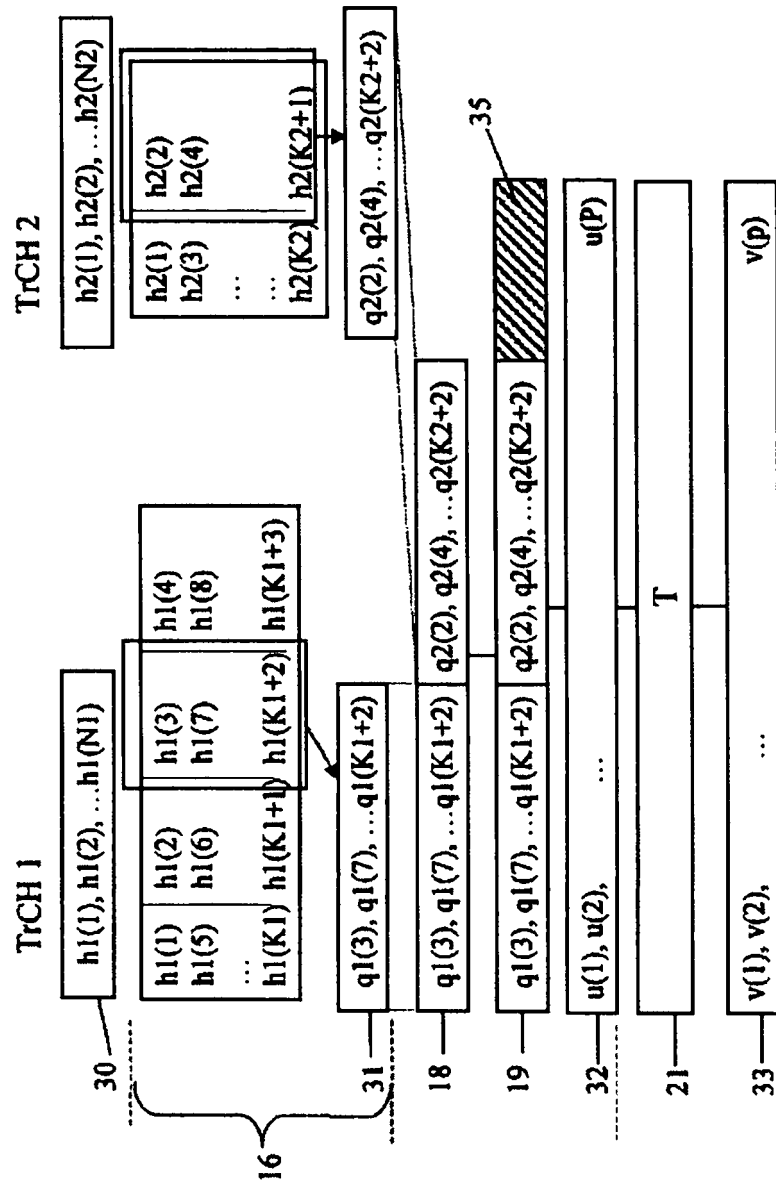
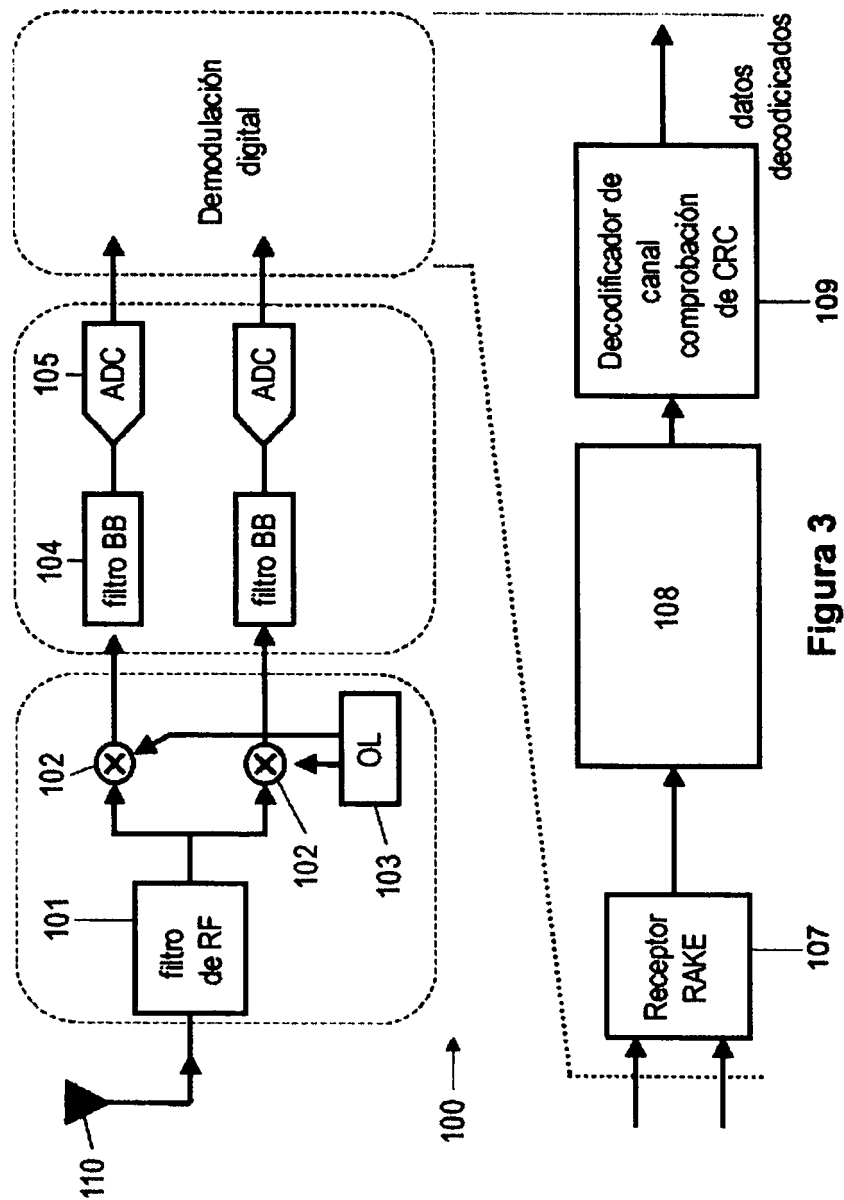
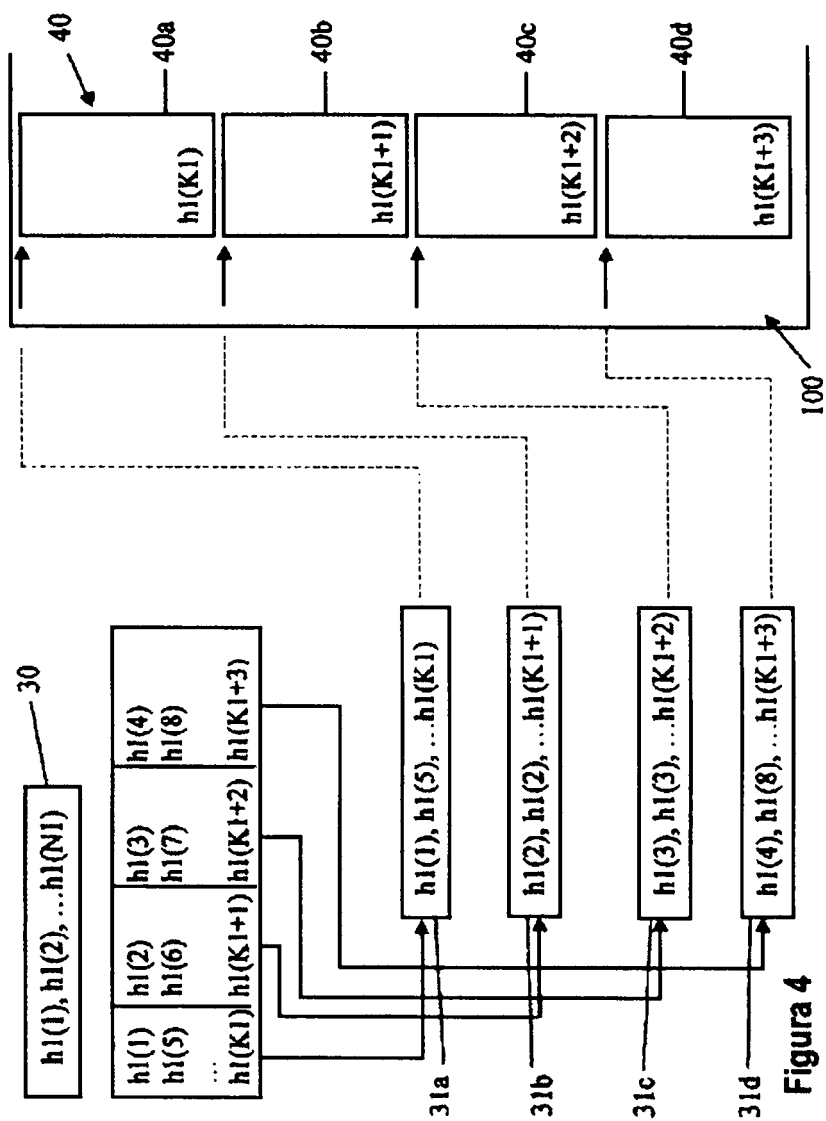


Figura 2





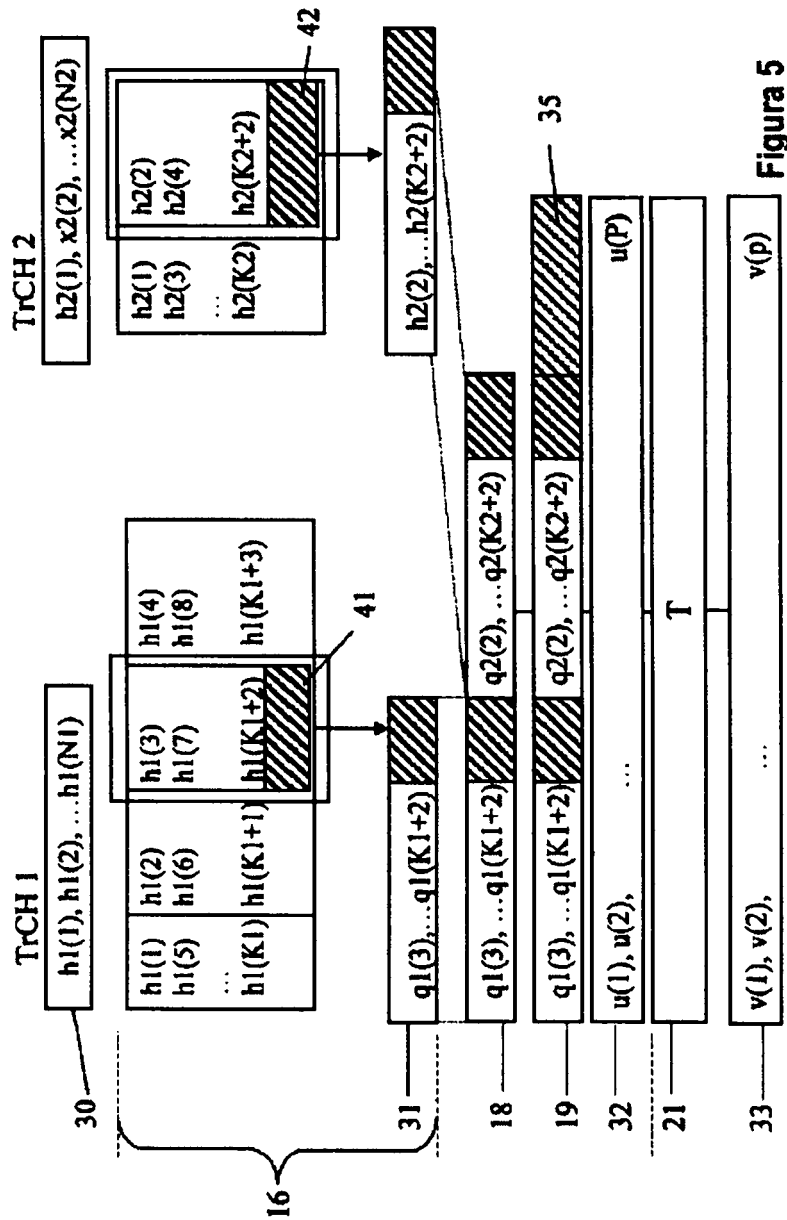


Figura 5

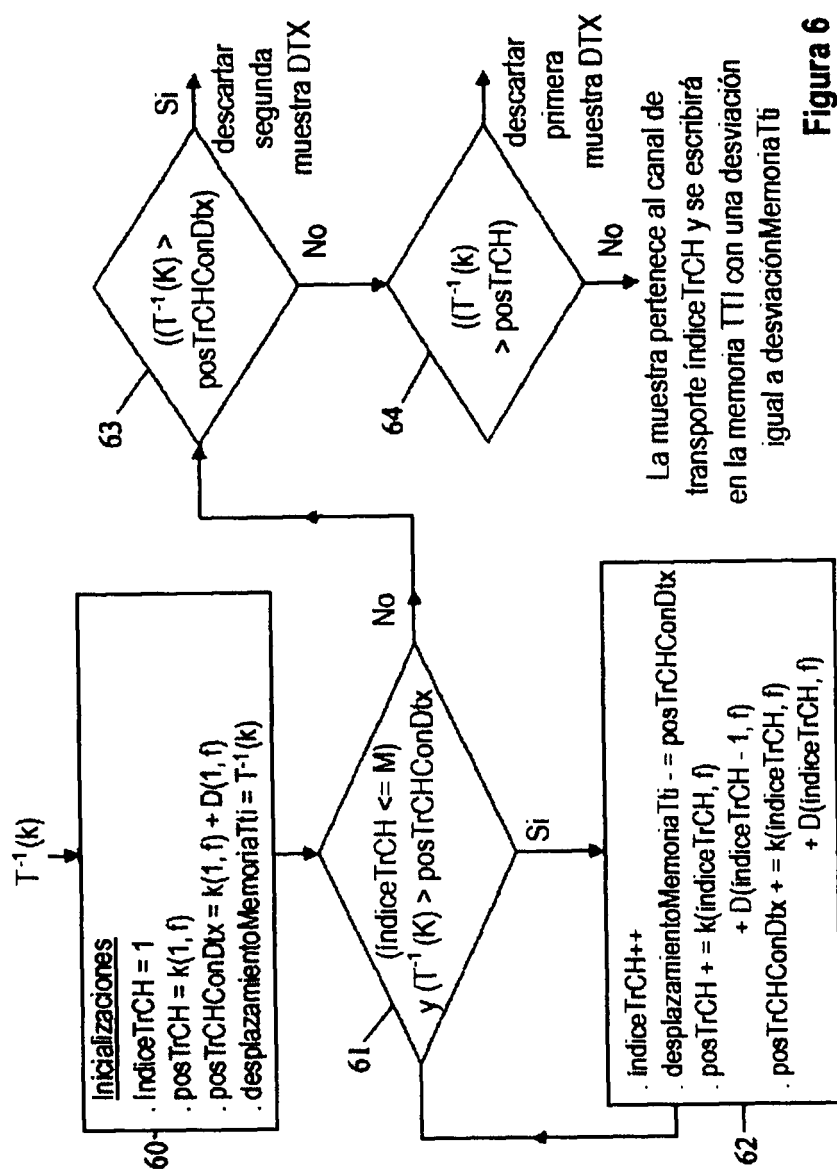


Figura 6

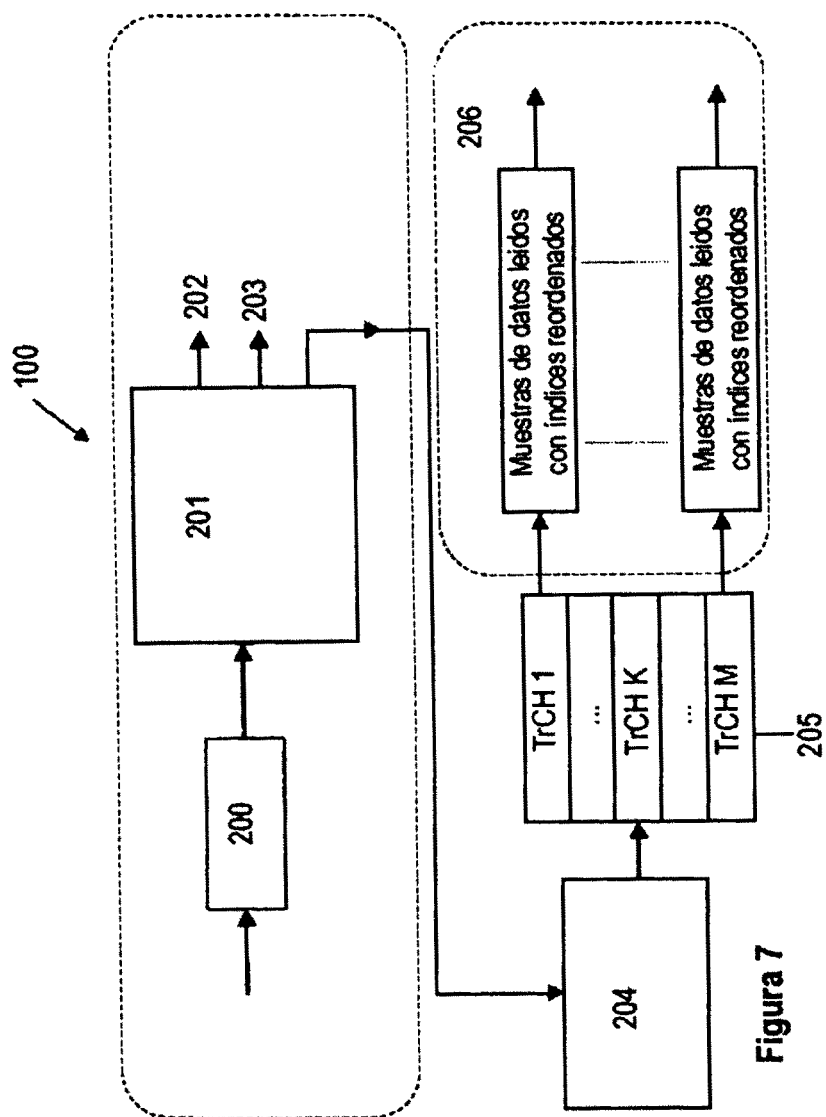


Figura 7