

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5465919号
(P5465919)

(45) 発行日 平成26年4月9日(2014.4.9)

(24) 登録日 平成26年1月31日(2014.1.31)

(51) Int.Cl.

F 1

G 11 C 11/4094 (2006.01)

G 11 C 11/34 353 F

G 11 C 11/4074 (2006.01)

G 11 C 11/34 354 F

請求項の数 10 (全 19 頁)

(21) 出願番号 特願2009-117889 (P2009-117889)
 (22) 出願日 平成21年5月14日 (2009.5.14)
 (65) 公開番号 特開2010-267328 (P2010-267328A)
 (43) 公開日 平成22年11月25日 (2010.11.25)
 審査請求日 平成24年2月20日 (2012.2.20)

前置審査

(73) 特許権者 302062931
 ルネサスエレクトロニクス株式会社
 神奈川県川崎市中原区下沼部1753番地
 (74) 代理人 100103894
 弁理士 家入 健
 (72) 発明者 高橋 弘行
 神奈川県川崎市中原区下沼部1753番地
 N E C エレクトロニクス株式会社内
 (72) 発明者 福士 哲夫
 神奈川県川崎市中原区下沼部1753番地
 N E C エレクトロニクス株式会社内
 審査官 堀田 和義

最終頁に続く

(54) 【発明の名称】半導体集積装置

(57) 【特許請求の範囲】

【請求項 1】

半導体記憶回路と、前記半導体記憶回路を制御する周辺回路とを有する半導体集積装置であって、

前記周辺回路は、ゲート酸化膜の耐圧が第1の電圧である第1のトランジスタを有し、前記半導体記憶回路は、

ゲート酸化膜の耐圧が第2の電圧であるゲートトランジスタを有するメモリセルと、いずれか一方に、前記ゲートトランジスタが接続されるビット線対と、

前記第1の電圧よりも高い前記第2の電圧が用いられる活性化信号に応じて前記ビット線対を所定の電圧にプリチャージするプリチャージ回路と、

前記ビット線対間の電位差を前記第1の電圧で増幅するセンスアンプと、を有し、

前記プリチャージ回路と前記センスアンプとを含むセンスアンプ領域を構成するトランジスタは、前記第1のトランジスタと実質的に同じ耐圧を有し、前記センスアンプ領域は前記周辺回路とビット線延伸方向に連続して設けられ、

前記第2の電圧は、前記ゲートトランジスタを活性化するワード信号に用いられる電圧である

半導体集積装置。

【請求項 2】

前記ワード信号を駆動する第1のドライバアンプと、前記プリチャージ回路の活性化信

10

20

号を駆動する第 2 のドライバアンプを有し、

前記第 1 、第 2 のドライバアンプの電源端子は、それぞれ前記第 2 の電圧を供給する電圧供給端子と接続される

請求項 1 に記載の半導体集積装置。

【請求項 3】

前記第 1 および第 2 のドライバアンプを含むドライバ領域の境界は、前記メモリセルを含むセルアレイ領域と前記センスアンプ領域の境界と接している

請求項 2 に記載の半導体集積装置。

【請求項 4】

前記ピット線対のプリチャージ電圧は、前記第 1 の電圧の実質的に 1 / 2 の電圧である
請求項 1 ~ 3 のいずれか 1 項に記載の半導体集積装置。 10

【請求項 5】

前記第 1 の電圧が 1 . 0 V 以下である請求項 1 ~ 4 のいずれか一項に記載の半導体集積装置。

【請求項 6】

前記第 2 の電圧が 1 . 5 V 以下である請求項 1 ~ 5 のいずれか一項に記載の半導体集積装置。

【請求項 7】

前記ワード信号の活性化タイミングと、前記プリチャージ回路の活性化信号の活性化タイミングが異なる請求項 1 ~ 6 のいずれか一項に記載の半導体集積装置。 20

【請求項 8】

電源電圧で駆動される第 1 の酸化膜厚の第 1 のトランジスタを有するセンスアンプと、
前記電源電圧よりも高い第 1 電圧で駆動され前記第 1 の酸化膜厚よりも厚い第 2 の酸化膜厚のゲートトランジスタを有するメモリセルと、

そのいずれか一方に前記メモリセルが結合するピット線対と、

前記ピット線対を前記メモリセルのアクセス前後に接地電圧よりも高い所定電圧に設定するプリチャージ回路とを備える半導体記憶回路と、

前記半導体記憶回路を制御し、前記第 1 の酸化膜厚の第 1 のトランジスタで構成される周辺回路と、

を有し、 30

前記プリチャージ回路を構成するトランジスタは、前記第 1 電圧で駆動され、前記プリチャージ回路は前記第 1 の酸化膜厚の第 1 のトランジスタで構成され、

前記プリチャージ回路と前記センスアンプとを含むセンスアンプ領域を構成するトランジスタは、前記周辺回路を構成するトランジスタとピット線延伸方向に連続して設けられる

半導体集積装置。

【請求項 9】

前記半導体集積装置はワンチップ化されており、

前記周辺回路は、前記半導体記憶回路のアドレスデコーダを含むロジック回路である
請求項 1 ~ 8 のいずれか一項に記載の半導体集積装置。 40

【請求項 10】

前記メモリセルのゲートトランジスタに接続されるワード線にワード信号を印加する第 1 のドライバアンプと、前記プリチャージ回路のプリチャージ制御線に活性化信号を印加する第 2 のドライバアンプとをさらに有し、

前記第 1 のドライバアンプの低電位側の電源端子には、前記第 2 のドライバアンプの低電位側の電源端子に供給される電圧よりも低い電圧が供給される請求項 1 または 8 に記載の半導体集積装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体集積装置に関するものである。

【背景技術】

【0002】

従来の半導体記憶回路1を図12に示す。図12に示すように、半導体記憶回路1は、セルアレイ領域2と、センスアンプ領域3と、ドライバ領域4とを有する。

【0003】

セルアレイ領域2は、複数のメモリセルCELL(CELL1、CELL2、...)を有している。

【0004】

各メモリセルは、ビット線対D、DBのいずれかに接続される。各メモリセルには、ゲートトランジスタTrと、セル容量Ccel1とを有している。ゲートトランジスタTrは、ドレインもしくはソースの一方がビット線D、DBの一方、ドレインもしくはソースの他方がセル容量Ccel1と接続される。このゲートトランジスタTrとセル容量Ccel1との接続点がセルノードとなる。セル容量Ccel1のセルノードと反対側の端子は、HVDD端子に接続される。HVDD端子は、1/2VDD(VDD:電源電圧)の電圧が供給されている。また、ゲートトランジスタTrは、ゲートがワード線WL(WL1、WL2、...)と接続される。

【0005】

センスアンプ領域3は、センスアンプSA1と、プリチャージ回路PDLU1とを有する。

20

【0006】

センスアンプSA1は、PMOSトランジスタTP11、TP12と、NMOSトランジスタTN11、TN12とを有する。PMOSトランジスタTP11とNMOSトランジスタTN11は、センスアンプ制御線SAP、SAN間で直列に接続される。また、PMOSトランジスタTP12とNMOSトランジスタTN12も、センスアンプ制御線SAP、SAN間で直列に接続される。PMOSトランジスタTP11とNMOSトランジスタTN11の接続ノードA1は、ビット線D及びPMOSトランジスタTP12とNMOSトランジスタTN12のゲートに接続される。また、PMOSトランジスタTP12とNMOSトランジスタTN12の接続ノードA2は、ビット線DB及びPMOSトランジスタTP11とNMOSトランジスタTN11のゲートに接続される。

30

【0007】

プリチャージ回路PDLU1は、NMOSトランジスタTN21、TN22、TN23を有する。NMOSトランジスタTN21は、ビット線対D、DB間に接続される。NMOSトランジスタTN22がHVDD端子とビット線D、NMOSトランジスタTN23がHVDD端子とビット線DBに接続される。NMOSトランジスタTN21、TN22、TN23のゲートには、プリチャージ制御線PDLが接続される。なお、便宜上、符号「WL」「SAP」「SAN」「PDL」は、配線名を示すと同時に、その配線に印加される信号名を示すものとする。

【0008】

ドライバ領域4は、ドライバアンプAMP1、AMP2、...を有する。更に、ドライバアンプAMP11、AMP12、AMP20を有する。アンプAMP1、AMP2、...は、それぞれワード線WL1、WL2、...にワード信号WL1、WL2、...を印加する。ドライバアンプAMP1、AMP2、...の電源電圧は、VPP電源10から供給される。VPP電源10が供給する電圧VPPは、電源電圧VDDより高電位である。

40

【0009】

ドライバアンプAMP11、AMP12は、制御信号SEに応じて、それぞれセンスアンプ制御線SAP、SANにセンスアンプ信号SAP、SANを印加する。アンプAMP11の電源電圧は、VDD電源20から供給される。VDD電源20は、電源電圧VDDを供給する。なお、ドライバアンプAMP12は、制御信号SEに応じて、センスアンプ

50

制御線 S A N に接地電圧 G N D を供給する。

【 0 0 1 0 】

ドライバアンプ A M P 2 0 は、プリチャージ制御線 P D L にプリチャージ制御信号 P D L を印加する。ドライバアンプ A M P 2 0 の電源電圧は、V P D L 電源 3 0 から供給される。V P D L 電源 3 0 が供給する電圧 V P D L は、電源電圧 V D D より高電位である。電圧 V P D L を電源電圧 V D D より高くする理由には、以下のようなものがある。まず、上述のようにビット線対 D、D B のプリチャージ電圧が 1 / 2 V D D である。このため、仮にハイレベルのプリチャージ制御信号 P D L の電位を電源電圧 V D D とした場合、ゲート - ドレイン（もしくはソース）間の電位差が 1 / 2 V D D 程度となる。このため、N M O S トランジスタ T N 2 1 ~ T N 2 3 が素早く、且つ、十分に活性化できない可能性がある。特に、この現象は、電源電圧 V D D の低電圧化が進むと顕著になる。このため、プリチャージ回路の動作速度を上げるためにも、電源電圧 V D D よりも高電位（例えば、V D D + 0 . 5 V 程度）の電圧を N M O S トランジスタ T N 2 1 ~ T N 2 3 のゲートにかける必要がある。10

【 0 0 1 1 】

ここで、通常の電源電圧 V D D の範囲の耐圧を有するゲート酸化膜厚のトランジスタを薄膜トランジスタと称し、その薄膜トランジスタのゲート酸化膜厚よりも厚いゲート酸化膜を備えるトランジスタを厚膜トランジスタと称す。従来の半導体記憶回路 1 では、図 1 2 に示すように、構成するトランジスタに厚膜トランジスタが用いられる。このような厚膜トランジスタは、比較的高電圧（例えば、1 . 5 V 以上）の耐圧特性を有する。但し、トランジスタのゲート酸化膜が厚いほど大きなチャンネル長が必要となるため、厚膜トランジスタは、レイアウト面積を大きくとる問題を有する。20

【 0 0 1 2 】

図 1 3 に半導体記憶回路 1 の動作を説明するタイミングチャートを示す。但し、本例は、ハイレベルの情報を保持するメモリセル C E L L 1 が選択され、その情報がビット線に読み出される場合を示している。また、ビット線対 D、D B は、1 / 2 V D D でプリチャージされているものとする。

【 0 0 1 3 】

図 1 3 に示すように、時刻 t 1 にワード信号 W L 1 が立ち上がり、電圧 V P P となる。このとき、メモリセル C E L L 1 にハイレベルの情報が保持されているため、ビット線 D の電位が僅かに上昇する。時刻 t 2 に制御信号 S E がハイレベルとなり、センスアンプ制御信号 S A P が電源電圧 V D D 、センスアンプ制御信号 S A N が接地電圧 G N D となる。このため、センスアンプ S A 1 がセンス動作を開始し、ビット線対 D、D B の電位差を電源電圧 V D D 、接地電圧 G N D に増幅する。そして、この増幅されたビット線対 D、D B の電位差が外部回路に読み出される。30

【 0 0 1 4 】

その後、時刻 t 3 では、ワード信号 W L 1 が接地電圧 G N D に立ち下がる。このため、メモリセル C E L L 1 のセルノードとビット線 D とが電気的に遮断される。更に、制御信号 S E も接地電圧 G N D に立ち下がる。このため、センスアンプ S A 1 がセンス動作を停止する。そして、時刻 t 4 に、プリチャージ制御信号 P D L が電圧 V P D L に立ち上がり、ビット線対 D、D B が再び 1 / 2 V D D にプリチャージされる。以上が、従来の半導体記憶回路 1 の動作の説明である。40

【 0 0 1 5 】

ここで、近年、システム L S I 等、半導体集積装置の高集積化、高性能化が要求されている。このため、高速動作可能なように半導体集積装置の製造プロセスの微細化が進み、それに伴い電源電圧の低電位化も進んでいる。このようなシステム L S I では、ロジック回路と D R A M 等の記憶回路が混載される。よって、上述したような半導体記憶回路 1 のような回路も高速動作するロジック回路と共にワンチップ化される。このため、半導体記憶回路 1 も高速化、高集積化が要求され、チップ面積の削減及び高速化のため、構成するトランジスタのゲート酸化膜の薄膜化が進んでいる。50

【0016】

ここで、センスアンプSA1を構成するNMOSトランジスタTP11、TP12、TN11、TN12には、最大でも電源電圧VDD程度の耐圧しか要求されない。このため、NMOSトランジスタTP11、TP12、TN11、TN12には、低電位化された電源電圧用の低耐圧の薄膜トランジスタを用いることができる。しかし、上述したように、メモリセルのゲートトランジスタTrのゲートには高電位のVPPが印加される。このような、ゲートトランジスタTrには、ゲート酸化膜の薄膜化が難しく、相対的にゲート酸化膜が厚い厚膜トランジスタを使用しなければならない。

【0017】

また、このような半導体記憶回路1を組み込んだシステムLSIでは、上述したように半導体記憶回路1の周辺回路としてロジック回路を有する。このロジック回路は、半導体記憶回路1が保持するデータを利用して論理処理を行う。このようなロジック回路は、高速動作が要求され、システムLSIのような半導体集積装置内でも最も薄膜化されたトランジスタが用いられる。このシステムLSIのように、1つの半導体集積装置内でゲート酸化膜の厚みが異なるトランジスタが用いられている例として、特許文献1のような技術がある。

10

【先行技術文献】

【特許文献】

【0018】

【特許文献1】特開2001-15704号公報

20

【発明の概要】

【発明が解決しようとする課題】

【0019】

特許文献1の技術では、メモリセルのセルトランジスタに厚膜トランジスタを用い、プリチャージ用MOSトランジスタ、センスアンプにロジック回路でも使用されている薄膜トランジスタを用いている。また、特許文献1には、このような薄膜のプリチャージ用MOSトランジスタに、高電圧が印加されないと記載されている。しかし、プリチャージ回路に用いられるトランジスタに、半導体記憶回路1のような電源電圧より高い電圧がかかるなければ、プリチャージ回路の動作速度を上げることができない。このため、特許文献1の技術により構成される半導体集積装置では、高速動作に限界が生じる問題がある。

30

【課題を解決するための手段】

【0020】

本発明は、半導体記憶回路と、前記半導体記憶回路の周辺回路とを有する半導体集積装置であって、前記周辺回路は、ゲート酸化膜の耐圧が第1の電圧である第1のトランジスタを有し、前記半導体記憶回路は、いずれか一方に、メモリセルのゲートトランジスタが接続されるビット線対と、前記第1のトランジスタと実質的に同じ耐圧のトランジスタで構成され、活性化信号に応じて前記ビット線対を所定の電圧にプリチャージするプリチャージ回路と、を有し、前記プリチャージ回路の活性化信号に前記第1の電圧よりも高い第2の電圧が用いられる半導体集積装置である。

40

【0021】

本発明にかかる半導体集積装置は、プリチャージ回路に、ロジック回路等の周辺回路で使用され、耐圧が第1の電圧の第1のトランジスタと実質的に同じ耐圧のトランジスタを用いている。このプリチャージ回路の活性化信号に第1の電圧より高い第2の電圧を用いており、プリチャージ回路の高速化を行っている。

【発明の効果】

【0022】

本発明にかかる半導体集積装置は、高速動作が可能になる。

【図面の簡単な説明】

【0023】

【図1】実施の形態1にかかる半導体集積装置である。

50

【図2】実施の形態1にかかる半導体記憶回路である。

【図3】実施の形態1にかかる半導体記憶回路の動作を示すタイミングチャートである。

【図4】実施の形態1にかかるプリチャージ回路を構成する薄膜トランジスタのゲート-ドレイン電圧の関係を示す模式図である。

【図5】実施の形態1にかかるプリチャージ回路を構成する薄膜トランジスタのゲート-ドレイン電圧の関係を示す模式図である。

【図6】従来技術と実施の形態1にかかる半導体記憶回路との相違点を示す表である。

【図7】実施の形態2にかかる半導体記憶回路である。

【図8】実施の形態2にかかる半導体記憶回路の動作を示すタイミングチャートである。

【図9】実施の形態2にかかるプリチャージ回路を構成する薄膜トランジスタのゲート-ドレイン電圧の関係を示す模式図である。 10

【図10】実施の形態2にかかるプリチャージ回路を構成する薄膜トランジスタのゲート-ドレイン電圧の関係を示す模式図である。

【図11】従来技術と実施の形態1、2にかかる半導体記憶回路との相違点を示す表である。

【図12】従来の半導体記憶回路である。

【図13】従来の半導体記憶回路の動作を示すタイミングチャートである。

【発明を実施するための形態】

【0024】

発明の実施の形態1

20

【0025】

以下、本発明を適用した具体的な実施の形態1について、図面を参照しながら詳細に説明する。この実施の形態1は、本発明をシステムLSI等の半導体集積装置100に、適用したものである。半導体集積装置100のシステムLSIチップの模式図を図1に示す。図1に示すように、半導体集積装置100は、半導体記憶回路101と、ロジック回路105とを有する。

【0026】

ロジック回路105には、半導体集積装置100のCPU等の制御回路、及び、半導体記憶回路101のアドレスデコーダ等、ロジック動作を行う論理ゲートが集積されている。ここで、システムLSIのような半導体集積装置100には高性能化が要求される。このため、ロジック回路105を構成する論理ゲートによるロジック動作も高速動作が求められる。よって、ロジック回路105では、論理ゲートが可能な限り高速動作できるように、論理ゲートを構成するトランジスタの製造プロセスの微細化を進められる。この微細化では、トランジスタのゲート酸化膜の薄膜化が行われる。このため、このロジック回路105を構成するトランジスタが半導体集積装置100内でも最も微細化され、薄膜化が進められる。

【0027】

また、このゲート酸化膜の薄膜化に伴い、トランジスタの耐圧も当然低下する。よって、論理ゲートの動作電圧も低化させなければならず、電源電圧VDDの低化も進められる。このため、ロジック回路105の電源電圧VDDは、例えば1.0V以下となるように低電圧化されている。

【0028】

以後、特に断らない限り、本実施の形態1での電源電圧VDDは、このロジック回路105で利用される低電圧化された電源電圧（例えば1.0V以下）であるものとする。更に、ロジック回路105で使用されるような、低電圧化された電源電圧VDD程度の耐圧を有するゲート酸化膜を備えるトランジスタを薄膜トランジスタと称するものとする。一方、電源電圧VDDより高電位の電圧の耐圧を有するトランジスタは、上述した薄膜トランジスタよりもゲート酸化膜を厚くする必要がある。このため、このようなトランジスタを厚膜トランジスタと称するものとする。

【0029】

30

40

50

半導体記憶回路 101 は、半導体集積装置 100 の組み込み D R A M である。半導体記憶回路 101 は、ロジック回路 105 で処理されるデータ等が保持される。図 1 に示すように、半導体記憶回路 101 は、セルアレイ領域 102 と、センスアンプ領域 103 と、ドライバ領域 104 とを有する。このような半導体記憶回路 101 の回路構成の一例を図 2 に示す。但し、本実施の形態 1 では、図が煩雑になるのを避けるため、図 2 に示す半導体記憶回路 101 は 1 つのビット線対からなる D R A M 回路として記載する。なお、半導体記憶回路 101 は、更に複数のビット線対と、そのビット線対に接続されるメモリセル、センスアンプ、プリチャージ回路等を有する構成としてもかまわない。また、半導体記憶回路 101 は、D R A M に限らず S R A M 等であってもよい。

【0030】

10

セルアレイ領域 102 は、複数のメモリセル C E L L (C E L L 101, C E L L 102, . . .) を有している。

【0031】

各メモリセルは、ビット線対 D、D B のどちらかに接続される。各メモリセルには、ゲートトランジスタ T r と、セル容量 C c e l l とを有している。ゲートトランジスタ T r は、ドレインもしくはソースの一方がビット線 D、D B の一方、ドレインもしくはソースの他方がセル容量 C c e l l と接続される。このゲートトランジスタ T r とセル容量 C c e l l との接続点がセルノードとなる。セル容量 C c e l l のセルノードと反対側の端子は、H V D D 端子に接続される。H V D D 端子は、1 / 2 V D D (V D D : 電源電圧) の電圧が供給されている。また、各ゲートトランジスタ T r は、ゲートがワード線 W L (W L 101, W L 102, . . .) と接続される。なお、便宜上、符号「 W L 101 」「 W L 102 」 . . . は、ワード線名を示すと同時に、そのワード線に印加されるワード信号名を示すものとする。

20

【0032】

例えば、ワード信号 W L 101 がハイレベルとなると、メモリセル C E L L 101 のゲートトランジスタがオン状態となり、セルノードとビット線 D とが電気的に接続される。また、ワード信号 W L 102 がハイレベルとなると、メモリセル C E L L 102 のゲートトランジスタがオン状態となり、セルノードとビット線 D とが電気的に接続される。なお、ワード信号 W L 101, W L 102, . . . のうち 1 つが選択され、ハイレベルとなると、その他のワード線は、全てロウレベルとなる。よって、選択されたあるワード信号線のワード信号がハイレベルとなると、このワード信号線に接続されているメモリセルが保持する情報がビット線に読み出される。それ以外のメモリセルは非選択となる。なお、後述するが、ハイレベル時の各ワード信号は、電源電圧 V D D よりも高電位の V P P となる。これは、ゲートトランジスタの活性化速度の高速化と、オン抵抗を小さくするためである。よって、各ゲートトランジスタ T r には、高耐圧が要求されるため、厚膜トランジスタで構成される。

30

【0033】

センスアンプ領域 103 は、センスアンプ S A 101 と、プリチャージ回路 P D L U 101 とを有する。

【0034】

40

センスアンプ S A 101 は、P M O S トランジスタ T P 111, T P 112 と、N M O S トランジスタ T N 111, T N 112 とを有する。P M O S トランジスタ T P 111 と N M O S トランジスタ T N 111 は、センスアンプ制御線 S A P, S A N 間で直列に接続される。また、P M O S トランジスタ T P 112 と N M O S トランジスタ T N 112 も、センスアンプ制御線 S A P, S A N 間で直列に接続される。P M O S トランジスタ T P 111 と N M O S トランジスタ T N 111 の接続ノード A 1 は、ビット線 D 及び P M O S トランジスタ T P 112 と N M O S トランジスタ T N 112 のゲートに接続される。また、P M O S トランジスタ T P 112 と N M O S トランジスタ T N 112 の接続ノード A 2 は、ビット線 D B 及び P M O S トランジスタ T P 111 と N M O S トランジスタ T N 111 のゲートに接続される。なお、便宜上、符号「 S A P 」「 S A N 」は、センスアンプ制御

50

線名を示すと同時に、そのセンスアンプ制御線に印加されるセンスアンプ制御信号名を示すものとする。なお、後述するが、制御信号 S E がハイレベル時のセンスアンプ制御信号 S A P は電源電圧 V D D 、センスアンプ制御信号 S A N は接地電圧 G N D となる。よって、PMOSトランジスタ T P 1 1 1 、 T P 1 1 2 と、NMOSトランジスタ T N 1 1 1 、 T N 1 1 2 は、ゲート - ドレイン（もしくはソース）間の電圧は、最大でも電源電圧 V D D 程度となる。このため、低電圧化した電源電圧 V D D に対する耐圧程度の薄膜トランジスタで構成される。

【 0 0 3 5 】

プリチャージ回路 P D L U 1 0 1 は、NMOSトランジスタ T N 1 2 1 、 T N 1 2 2 、 T N 1 2 3 を有する。NMOSトランジスタ T N 1 2 1 は、ビット線対 D 、 D B 間に接続される。NMOSトランジスタ T N 1 2 2 が H V D D 端子とビット線 D 、 NMOSトランジスタ T N 1 2 3 が H V D D 端子とビット線 D B に接続される。NMOSトランジスタ T N 1 2 1 、 T N 1 2 2 、 T N 1 2 3 のゲートには、プリチャージ制御線 P D L が接続される。なお、便宜上、符号「 P D L 」は、プリチャージ制御線名を示すと同時に、そのプリチャージ制御線に印加されるプリチャージ制御信号名を示すものとする。

【 0 0 3 6 】

ドライバ領域 1 0 4 は、ドライバアンプ A M P 1 0 1 、 A M P 1 0 2 、 . . . を有する。更に、ドライバアンプ A M P 1 1 1 、 A M P 1 1 2 、 A M P 1 2 0 を有する。

【 0 0 3 7 】

ドライバアンプ A M P 1 0 1 、 A M P 1 0 2 、 . . . は、それぞれワード線 W L 1 0 1 、 W L 1 0 2 、 . . . にワード信号 W L 1 0 1 、 W L 1 0 2 、 . . . を印加する。ドライバアンプ A M P 1 0 1 、 A M P 1 0 2 、 . . . の高電位側の電源電圧は、 V P P 電源 1 1 0 から供給される。よって、ドライバアンプ A M P 1 0 1 、 A M P 1 0 2 、 . . . の高電位側の電源端子が端子 1 3 0 に接続される。また、低電位側の電源電圧は接地端子 G N D に接続される。 V P P 電源 1 1 0 が供給する電圧 V P P は、電源電圧 V D D より高電位である。例えば、電源電圧 V D D の 1 . 5 倍程度であるとする。このことから、電源電圧 V D D が 1 . 0 V の場合、 1 . 5 V 程度となり、電源電圧 V D D が 0 . 8 V の場合、 1 . 2 V 程度となる。

【 0 0 3 8 】

ドライバアンプ A M P 1 1 1 、 A M P 1 1 2 は、制御信号 S E に応じて、それぞれセンスアンプ制御線 S A P 、 S A N にセンスアンプ制御信号 S A P 、 S A N を印加する。アンプ A M P 1 1 1 の電源電圧は、 V D D 電源 1 2 0 から供給される。 V D D 電源 1 2 0 は、電源電圧 V D D を供給する。なお、ドライバアンプ A M P 1 1 2 は、制御信号 S E に応じて、センスアンプ制御線 S A N に接地電圧 G N D を供給する。

【 0 0 3 9 】

ドライバアンプ A M P 1 2 0 は、プリチャージ制御線 P D L にプリチャージ制御信号 P D L を印加する。ドライバアンプ A M P 1 0 3 の高電位側の電源電圧は、 V P P 電源 1 1 0 から供給される。よって、ハイレベルのプリチャージ制御信号 P D L の電位は V P P となる。ドライバアンプ A M P 1 2 0 の電源端子は、ドライバアンプ A M P 1 0 1 、 A M P 1 0 2 、 . . . と同様、端子 1 3 0 に接続される。また、低電位側の電源電圧は接地端子 G N D に接続される。よって、ロウレベルのプリチャージ制御信号 P D L の電位は接地電位 G N D となる。なお、便宜上、符号「 V D D 」、「 G N D 」は、電源電圧、接地電圧を示すと同時に、それぞれの端子名を示すものとする。

【 0 0 4 0 】

図 3 に半導体記憶回路 1 0 1 の動作を説明するタイミングチャートを示す。但し、本例は、ハイレベルの情報を保持するメモリセル C E L L 1 0 1 が選択され、その情報がビット線 D に読み出される場合を示している。また、時刻 t 1 以前のビット線対 D 、 D B は、 1 / 2 V D D でプリチャージされているものとする。

【 0 0 4 1 】

図 3 に示すように、時刻 t 1 にワード信号 W L 1 0 1 が立ち上がり、接地電圧 G N D か

10

20

30

40

50

ら電圧VPPとなる。よって、メモリセルCELL101のゲートトランジスタがオンし、セルノードとビット線Dが電気的に接続される。セルノードは、ハイレベルのデータを保持しており、電荷がビット線Dに流出する。このため、セルノードの電位は低下するが、ビット線Dの電位は僅かに上昇する。

【0042】

次に、時刻t2に制御信号SEがハイレベルとなる。このため、センスアンプ制御信号SAPが電源電圧VDD、センスアンプ制御信号SANが接地電圧GNDとなる。よって、センスアンプSA101がセンス動作を開始する。そして、センスアンプSA101は、上述した僅かに開いたビット線対D、DB間の電位差を電源電圧VDD、接地電圧GNDに増幅する。なお、この増幅されたビット線対D、DBの電位差は、外部回路によりハイレベルのデータとして半導体記憶回路101の読み出しデータとして読み出され、ロジック回路105のデータ処理等に利用される。また、メモリセルCELL101のセルノードの電位も上昇する。

10

【0043】

その後、時刻t3では、ワード信号WL101及び制御信号SEが接地電圧GNDに立ち下がる。このため、メモリセルCELL101のゲートトランジスタがオフし、メモリセルCELL101のセルノードとビット線Dとが電気的に遮断される。また、センスアンプSA101がセンス動作を停止する。

【0044】

そして、時刻t4に、プリチャージ制御信号PDLが接地電圧GNDから電圧VPPに立ち上がる。このため、プリチャージ回路PDLU101のNMOSトランジスタTN121、TN122、TN123がオンする。よって、ビット線対D、DBがイコライジング及び1/2VDDに充電され、再び1/2VDDにプリチャージされる。以上が、半導体記憶回路101の動作の説明である。

20

【0045】

ここで、電源電圧VDDよりも高電位のVPPが、電源電圧VDDの耐圧しか有さない薄膜トランジスタのNMOSトランジスタTN121、TN122、TN123のゲートとドレイン（もしくはソース）間に印加されている。このため、NMOSトランジスタTN121、TN122、TN123が絶縁破壊されることが考えられる。ここで、NMOSトランジスタTN121、TN122、TN123のゲートとドレイン（もしくはソース）間の電圧の関係を、プリチャージ制御信号PDLがハイレベル、ロウレベルの場合に分けて図4(a)(b)、図5(a)(b)の模式図に示す。なお、図4(a)(b)の模式図には、NMOSトランジスタTN121、図5(a)(b)には、NMOSトランジスタTN122の模式図を例に示す。

30

【0046】

まず、図4(a)に示すように、プリチャージ制御信号PDLがロウレベルでは、プリチャージ制御線PDLに接地電圧GNDが印加される。なお、このプリチャージ制御信号PDLがロウレベルの期間は、図3の時刻t1～t3の期間に相当する。このため、ビット線Dに最大電圧として電源電圧VDD、ビット線DBに最低電圧として接地電圧GNDが印加される。よって、NMOSトランジスタTN121のゲートとドレイン（もしくはソース）間の電圧は、最大で電源電圧VDD程度となる。

40

【0047】

また、図4(b)に示すように、プリチャージ制御信号PDLがハイレベルでは、プリチャージ制御線PDLに電圧VPPが印加される。なお、このプリチャージ制御信号PDLがハイレベルの期間は、図3の時刻t4以降の期間に相当する。このとき、ビット線対D、DBは、1/2VDDにプリチャージされる。このため、NMOSトランジスタTN121のドレイン（もしくはソース）には、1/2VDDが印加されており、ゲートに電圧VPPが印加されても、(VPP - 1/2VDD)の電位差しかゲートとドレイン（もしくはソース）間にかかるない。

【0048】

50

以上、図4(a)(b)からわかるように、例えば、電源電圧VDDが1.0V、電圧VPPが1.5Vである場合、NMOSトランジスタTN121のゲートとドレイン(もしくはソース)間にかかる電圧は、最大でも1.0V程度である。このため、電源電圧VDD程度の耐圧を有する薄膜トランジスタをプリチャージ回路PDLU101に用いてもトランジスタの絶縁破壊が発生しない。更に、ワード信号WL101が活性化するタイミングと、プリチャージ制御信号PDLが活性化するタイミングは、図3からわかるように重なる期間がほとんどない。このため、VPP電源110の充放電ピーク電流の発生期間が重なることがない。

【0049】

次に、図5(a)に示すように、プリチャージ制御信号PDLがロウレベルでは、プリチャージ制御線PDLに接地電圧GNDが印加される。このため、ビット線Dに最大電圧として電源電圧VDD、HVD端子には、1/2VDDが印加される。よって、NMOSトランジスタTN122のゲートとドレイン(もしくはソース)間の電圧は、最大で電源電圧VDD程度となる。

【0050】

また、図5(b)に示すように、プリチャージ制御信号PDLがハイレベルでは、プリチャージ制御線PDLに電圧VPPが印加される。このとき、ビット線Dは、1/2VDDにプリチャージされる。このため、NMOSトランジスタTN122のドレイン(もしくはソース)には、1/2VDDが印加されており、ゲートに電圧VPPが印加されても、(VPP - 1/2VDD)の電位差しかゲートとドレイン(もしくはソース)間にかかるない。

【0051】

以上、図5(a)(b)からわかるように、例えば、電源電圧VDDが1.0Vで、電圧VPPが1.5Vである場合、NMOSトランジスタTN122のゲートとドレイン(もしくはソース)間にかかる電圧は、最大でも1.0Vとなり、NMOSトランジスタTN121と同様、電源電圧VDDに対応する耐圧を有する薄膜トランジスタを用いることができる。これは、NMOSトランジスタTN123に対しても同様である。

【0052】

以上のことを踏まえ、図6に、従来の半導体記憶回路1、特許文献1の技術、実施の形態1の半導体記憶回路101の関係をまとめた表を示す。まず、従来の半導体記憶回路1は、電源電圧VDDが高い電圧(1.0Vより高い)である。電圧VPP、VPDLは、電源電圧VDDを昇圧してVPP電源10、VPDL電源30から供給される。このため、メモリセルのゲートトランジスタ、センスアンプのトランジスタ、プリチャージ回路のトランジスタが全て高耐圧の厚膜トランジスタを用いる。プリチャージ回路のトランジスタが厚膜トランジスタであるなら、昇圧された電圧VPDLによりプリチャージ回路の高速化が可能である。しかし、厚膜トランジスタは、レイアウト面積を削減することができない。このため、回路規模の低減化、回路動作の高速化が難しくなる。

【0053】

また、仮に製造プロセスの微細化が進み、低電圧化した電源電圧VDD程度の耐圧しか要求されないセンスアンプSA101のトランジスタの薄膜化が行えても、プリチャージ回路のトランジスタのゲート酸化膜の薄膜化を進めることができない。よって、いずれセンスアンプSA101のピッチに、プリチャージ回路PDLU101のピッチが収まらなくなる可能性があり、問題となる。

【0054】

製造プロセスの微細化、電源電圧VDDの低電圧化(例えば1.0V程度)が進み、半導体集積装置を構成するトランジスタに低耐圧の薄膜トランジスタが利用されるようになる。このため、特許文献1の技術では、メモリセルのゲートトランジスタには高耐圧の厚膜トランジスタが使用されるが、センスアンプのトランジスタ、プリチャージ回路のトランジスタには、ロジック回路に使用される低耐圧の薄膜トランジスタを使用している。このため、半導体記憶回路1のようなセンスアンプのピッチに、プリチャージ回路ピッチが

10

20

30

40

50

収まらなくなるような問題は解決される。しかし、特許文献1の技術では、プリチャージ回路のトランジスタに高電圧がかからないため、プリチャージ回路の動作速度の高速化に限界があった。

【0055】

このため、本実施の形態1の半導体記憶回路101では、プリチャージ回路を構成するトランジスタに低電圧化した電源電圧VDD程度の耐圧を有する薄膜トランジスタを使用しつつ、電源電圧VDDよりも高電位のワード信号を生成する電圧VPPをプリチャージ制御信号PDLにも利用している。この電圧VPPは、電源電圧VDDが低電圧化されることにより低電圧化されてきている。これらVDD、VPPがある程度以下（例えば、VDDが1.0V以下、VPPが1.5V以下）となると、図4(a)(b)、図5(a)(b)で説明したように、電源電圧VDD程度の耐圧を有する薄膜トランジスタが絶縁破壊を起こさずに使用できる。よって、ゲート酸化膜の絶縁破壊を起こさず、電源電圧VDDより高電位のVPPをプリチャージ制御信号PDLに使用し、プリチャージ回路の動作速度の高速化が可能となる。

【0056】

更に、この電圧VPPは、図2に示すように、VPP電源110が端子130からドライバアンプAMP101、AMP102、…、及びドライバアンプAMP120に供給する。このため、半導体記憶回路1のようにVPDL電源30を設ける必要がなく、VPP電源110のみでよい。このため、半導体記憶回路101では、半導体記憶回路1と比較して電源を1つ減らすことができ、回路規模の削減が可能となる。

【0057】

また、半導体記憶回路1では、VPP電源10とVPDL電源30が別であったため、電源配線網の分離が必要であり、チップの配線層を増加しなければならなかつた。更に、この配線網同士のクロストーク防止のためのデカップリング容量等も必要であった。しかし、本実施の形態1の半導体記憶回路101では、VPP電源110のみであるため、上述した2重の配線層やデカップリング容量が不要なく、このことも回路規模の削減に寄与する。

【0058】

また、上述したように、VPP電源110の充放電ピーク電流の発生期間が重なることがないため、特にVPP電源110の電源強化を行う必要がなく回路規模の増加要因もない。このため、回路設計も容易となり、設計期間の短縮、設計ミスの低減、設計コストの削減等も可能となる。

【0059】

発明の実施の形態2

【0060】

以下、本発明を適用した具体的な実施の形態2について、図面を参照しながら詳細に説明する。本実施の形態2は、実施の形態1と同様、本発明をシステムLSI等の半導体集積装置に適用したものである。本実施の形態2の半導体集積装置200は、実施の形態1の半導体記憶回路部分の構成が異なる。この実施の形態2の半導体記憶回路を半導体記憶回路201とする。つまり、本実施の形態2の半導体集積装置200は、図1の半導体集積装置100の半導体記憶回路101を、半導体記憶回路201に置き換えた構成となる。

半導体集積装置200は、半導体記憶回路201と、ロジック回路105とを有する。半導体記憶回路201は、実施の形態1と同様、システムLSIの組み込みDRAMである。また、本実施の形態2では、半導体記憶回路201の周辺回路であるロジック回路105を構成するトランジスタの薄膜化、低電源電圧化が、実施の形態1より更に進んだ状態（例えば、VDD=0.8V以下）を想定している。

【0061】

図7に本実施の形態2にかかる半導体記憶回路201の構成を示す。図7に示すように、半導体記憶回路201は、セルアレイ領域202と、センスアンプ領域103と、ドラ

10

20

30

40

50

イバ領域204とを有する。なお、図7に示された符号のうち、図2と同じ符号を付した構成は、図2と同じか又は類似の構成を示している。実施の形態1と異なるのは、セルアレイ領域202と、ドライバ領域204である。本実施の形態2ではその相違点を重点的に説明し、その他実施の形態1と同様の構成部分の説明は省略する。

【0062】

セルアレイ領域202は、複数のメモリセルCELL(CELL201、CELL202、・・・)を有している。各メモリセルは、実施の形態1と同様、ビット線対D、DBが接続される。各メモリセルには、ゲートトランジスタTrと、セル容量Cellとを有している。ここで、本実施の形態2のメモリセルが実施の形態1と異なるのは、ゲートトランジスタTrが、ロジック回路105と同様の薄膜トランジスタで構成されている点である。このため、セルアレイ領域202の回路規模を削減することができる。他の構成は、実施の形態1と同様である。

10

【0063】

ドライバ領域204は、ドライバアンプAMP201、AMP202、・・・を有する。更に、ドライバアンプAMP111、AMP112、AMP120を有する。ドライバアンプAMP201、AMP202、・・・は、ワード信号WL201、WL202、・・・を生成する。このワード信号WL201、WL202、・・・に応じて、メモリセルCELL201、CELL202、・・・のゲートトランジスタTrが活性化する。ここで、本実施の形態2のメモリセルが実施の形態1と異なるのは、ドライバアンプAMP201、AMP202、・・・の高電位側の電源電圧にVPP電源110から供給される電圧VPP-L、低電位側の電源電圧にVKK電源140から供給される電圧VKKを使用している点である。よって、選択ワード信号(ハイレベル)の電位が電圧VPP-L、非選択ワード信号(ロウレベル)の電位が電圧VKKとなる。

20

【0064】

上述したように、電源電圧VDDを実施の形態1よりも低電圧化しており、自ずと電圧VPPも低電圧化される。また、メモリセルのゲートトランジスタTrが薄膜トランジスタとなっており、実施の形態1よりゲート酸化膜が薄膜化している。このため、VPP電源110は、ゲートトランジスタTrの絶縁破壊を防止するため、実施の形態1の電圧VPPよりも低電圧化した電圧VPP-Lを供給する。例えば、電圧VPP-Lは、電源電圧VDDが0.8Vの場合、その1.5倍程度の1.2V程度が考えられる。なお、この場合、電源電圧VDDよりも高い電圧が、薄膜トランジスタのゲートトランジスタTrにかかることになる。しかし、半導体記憶回路201は、微細化により高速動作が可能となり、選択メモリセルのゲートトランジスタTrにハイレベルのワード信号が印加される期間も短い。また、複数あるメモリセルCELL101、CELL102、・・・において、常に同じメモリセルが選択される確率は非常に低い。更に、VPP-Lが1.2V程度まで低電圧化している。これらのことから、電源電圧VDDよりも高い電圧VPP-Lが、薄膜トランジスタのゲートトランジスタTrにかかる絶縁破壊が起こる可能性は非常に低く、薄膜化したゲートトランジスタTrを本実施の形態2のように用いても問題がない。

30

【0065】

一方、VKK電源140が供給する電圧VKKは、接地電圧GNDより低い負電圧である。例えば、VKK電源140が供給する電圧VKKとして、-0.3V以下の電圧がある。この電圧VKKが、端子230を経てドライバアンプAMP201、AMP202、・・・の低電位側電源端子に供給される。このため、非選択のワード線の電位をネガティブ化することができる。このネガティブ化により、VPP電源110の供給する電圧VPP-Lを更に低下させることができる。例えば、VPP電源110の供給する電圧VPP-Lを1.0V程度に低下させることができる。このため、セルアレイ領域202における各メモリセルのゲートトランジスタTrの更なる薄膜化を行うことができる。また、ゲートトランジスタTrの絶縁破壊の可能性をより一層低下させることができる。なお、同時にゲートトランジスタTrのバックゲート電圧のネガティブ化を行ってもよい。

40

50

【0066】

図8に半導体記憶回路201の動作を説明するタイミングチャートを示す。但し、本例は、ハイレベルの情報を保持するメモリセルCELL201が選択され、その情報がビット線Dに読み出される場合を示している。また、時刻t1以前のビット線対D、DBは、1/2VDDでプリチャージされているものとする。なお、電源電圧VDDを0.8V、電圧VPPを1.0V、電圧VKKを-0.3Vとする。

【0067】

図8に示すように、時刻t1にワード信号WL201が立ち上がり、電圧VKKから電圧VPPとなる。よって、メモリセルCELL201のゲートトランジスタがオンし、セルノードとビット線Dが電気的に接続される。セルノードは、ハイレベルのデータを保持しており、電荷がビット線Dに流出する。このため、セルノードの電位は低下するが、ビット線Dの電位は僅かに上昇する。

10

【0068】

次に、時刻t2に制御信号SEがハイレベルとなる。このため、センスアンプ制御信号SAPが電源電圧VDD、センスアンプ制御信号SANが接地電圧GNDとなる。よって、センスアンプSA101がセンス動作を開始する。そして、センスアンプSA101は、上述した僅かに開いたビット線対D、DB間の電位差を電源電圧VDD、接地電圧GNDに増幅する。なお、この増幅されたビット線対D、DBの電位差は、外部回路によりハイレベルのデータとして半導体記憶回路201の読み出しデータとして読み出され、ロジック回路105のデータ処理等に利用される。また、メモリセルCELL201のセルノードの電位も上昇する。

20

【0069】

その後、時刻t3では、ワード信号WL201が電圧VKK、制御信号SEが接地電圧GNDに立ち下がる。このため、メモリセルCELL201のゲートトランジスタがオフし、メモリセルCELL201のセルノードとビット線Dとが電気的に遮断される。また、センスアンプSA101がセンス動作を停止する。

【0070】

そして、時刻t4に、プリチャージ制御信号PDLが接地電圧GNDから電圧VPPに立ち上がる。このため、プリチャージ回路PDLU101のNMOSトランジスタTN121、TN122、TN123がオンする。よって、ビット線対D、DBが平滑化及び1/2VDDに充電され、再び1/2VDDにプリチャージされる。以上が、半導体記憶回路201の動作の説明である。

30

【0071】

ここで、NMOSトランジスタTN121、TN122、TN123のゲートとドレイン（もしくはソース）間の電圧の関係を、プリチャージ制御信号PDLがロウレベルのときを図9(a)、図10(a)、プリチャージ制御信号PDLがハイレベルのときを図9(b)、図10(b)に分けて模式図に示す。これら模式図からもわかるように、実施の形態1と同様、NMOSトランジスタTN121、TN122、TN123のゲートとドレイン（もしくはソース）間の電圧は、最大でも電源電圧VDD以下となる。なお、本例ではビット線対のプリチャージ電圧が1/2VDD(0.4V)であるため、図9(b)、図10(b)からもわかるように、プリチャージ制御信号PDLがハイレベル時のゲートとドレイン（もしくはソース）間電圧が0.6Vである。このため、プリチャージ電圧を0.2Vに低下させた場合であっても、ゲートとドレイン（もしくはソース）間電圧が電源電圧VDD以下に收めることができる。よって、ビット線対D、DBのプリチャージ電圧を1/2VDD以下にすることも可能である。

40

【0072】

図11に、従来の半導体記憶回路1、特許文献1の技術、実施の形態1の半導体記憶回路101、半導体記憶回路201の関係をまとめた表を示す。本表は、図6の表に半導体記憶回路201の関係を追加している。図11に示すように、半導体記憶回路201は、メモリセルのゲートトランジスタ、センスアンプのトランジスタ、プリチャージ回路のト

50

ランジスタが全て低耐圧の薄膜トランジスタを用いる。そして、ゲートトランジスタTr、プリチャージ回路のトランジスタのゲートにかかる最大電圧もV_{PPL} (< V_{PP}) となっている。

【0073】

以上、実施の形態2の半導体記憶回路201では、メモリセルのゲートトランジスタTr、センスアンプSA101、プリチャージ回路PDLU101のトランジスタの全てを、微細化、低電源電圧化されたロジック回路105と同じ薄膜トランジスタで構成する。このことは、LSIチップを製造する際、トランジスタのゲート酸化膜を厚膜もしくは薄膜に分けて製造する必要がなくなり、製造工程の簡略化が可能となる。また、製造工程の簡略化に伴う製造コストの削減や期間の短縮化が可能となる。また、実施の形態2の半導体記憶回路201では、ワード信号のネガティブ化等を行い、電圧V_{PP}の低電圧化を行っている。このような構成であっても、実施の形態1と同様、電源電圧V_{DD}程度の耐性を有する薄膜トランジスタをプリチャージ回路で使用し、プリチャージ制御信号PDLにワード信号で使用される電圧V_{PP}を利用できる。この実施の形態2では、セルアレイ領域202の回路規模の削減が可能である。また、V_{PP}電源110の供給電圧を更に低電圧化することが可能であり、プリチャージ回路のトランジスタのゲート酸化膜を更に薄膜化してトランジスタサイズの縮小を行うことができる。また、電源電圧の低下により、消費電力の削減も可能となる。その他の効果は実施の形態1と同様である。

10

【0074】

なお、本発明は上記実施の形態に限られたものでなく、趣旨を逸脱しない範囲で適宜変更することが可能である。例えば、上述したセンスアンプの回路構成は、一般的な電源電圧で駆動するタイプを記載したが、もちろんこれに限られるわけではなく、様々なセンスアンプのバリエーションが適用可能であることはいうまでもない。一例として、センスアンプの電源に、降圧した電源を用いてもよい。更に、動作開始時のみ、その降圧した電源より高い電圧（例えば、降圧前の電源電圧）を使用するオーバードライブタイプの回路構成を用いてもよい。あるいは、降圧しない電源を用いて、動作開始時のオーバードライブ時の非常に短い期間のみ、前述した電源電圧よりも少し高い電圧で動作させてもよい。

20

【符号の説明】

【0075】

100、200 半導体集積装置
 101、201 半導体記憶回路
 102 セルアレイ領域
 103 センスアンプ領域
 104 ドライバ領域
 105 ロジック回路
 110 V_{PP}電源
 120 V_{DD}電源
 240 V_{KK}電源
 CELL101、CELL102、CELL201、CELL202 メモリセル

30

Tr ゲートトランジスタ

40

Ccell セル容量

D、DB ビット線対

SA101 センスアンプ

PDLU プリチャージ回路

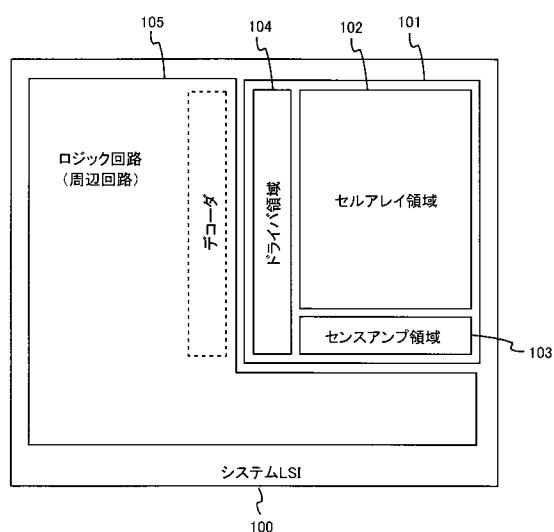
TP111、TP112 PMOSトランジスタ

TN111、TN112、TN121～TN123 NMOSトランジスタ

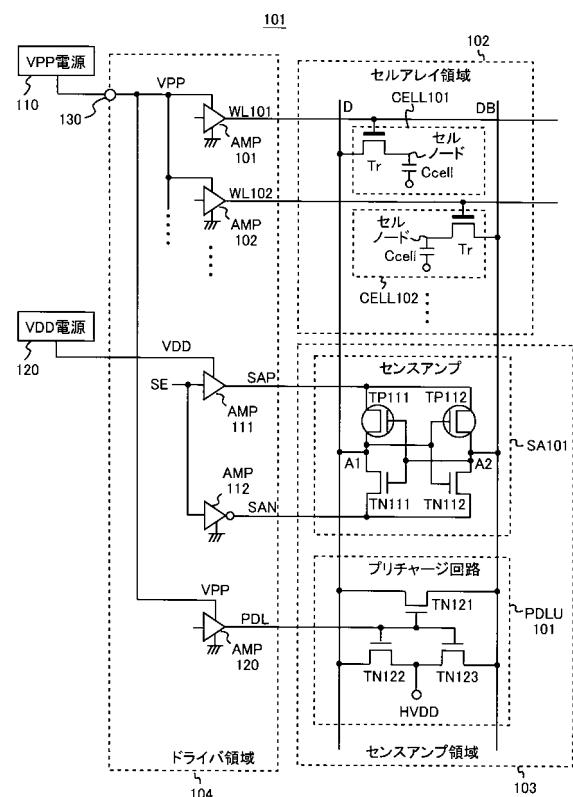
AMP101、AMP102、AMP111、AMP112、AMP120、AMP20

1、AMP202 ドライバアンプ

【図1】



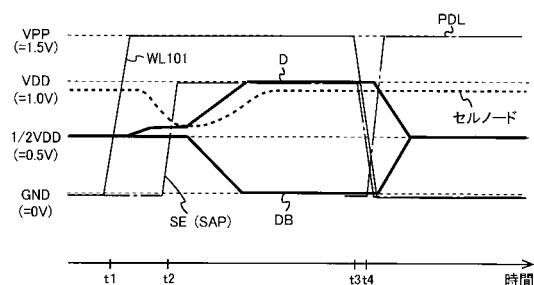
【図2】



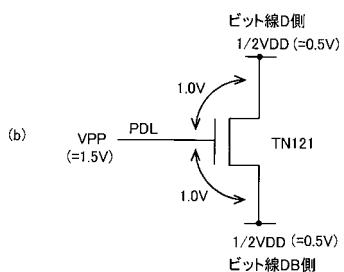
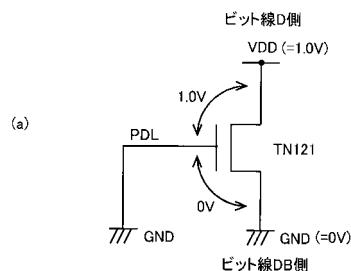
□ :薄膜トランジスタ(P型)

□ :薄膜トランジスタ(N型)

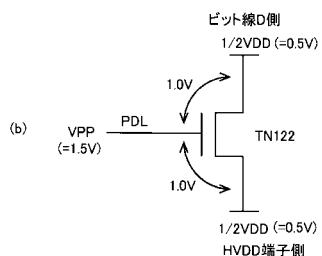
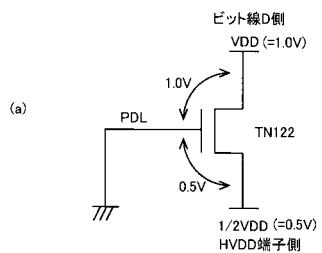
【図3】



【図4】



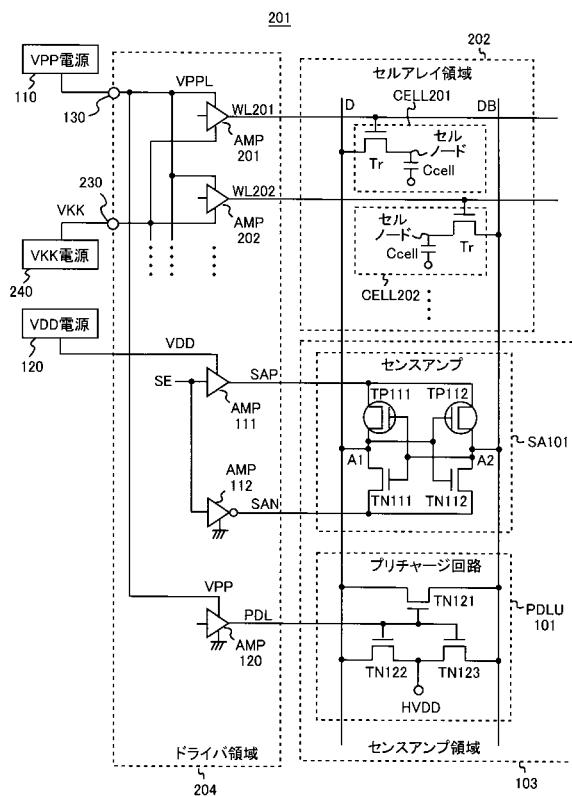
【図5】



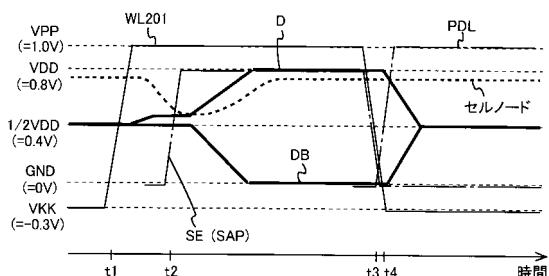
【図6】

半導体記憶回路1 (従来技術)		特許文書で 実現可能な技術		半導体記憶回路100 (本発明の形態1)	
トランジスタ の種類	最大 ゲート電圧	トランジスタ の種類	最大 ゲート電圧	トランジスタ の種類	最大 ゲート電圧
メモリセルの ゲートトランジスタ	VPP	厚膜 トランジスタ	VPP	厚膜 トランジスタ	VPP
センスアンプの トランジスタ	VDD	薄膜 トランジスタ	VDD	薄膜 トランジスタ	VDD
プリチャージ回路の トランジスタ	VPPD	薄膜 トランジスタ	VPPD	薄膜 トランジスタ	VPP

【図7】

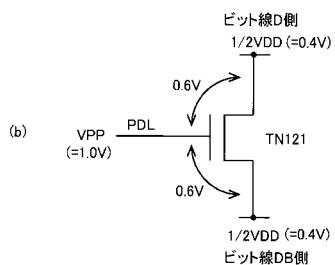
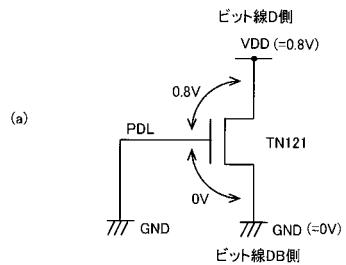


【図8】

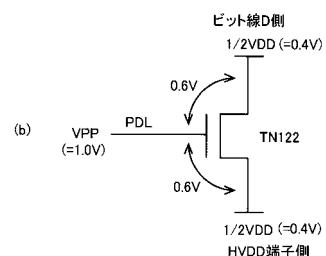
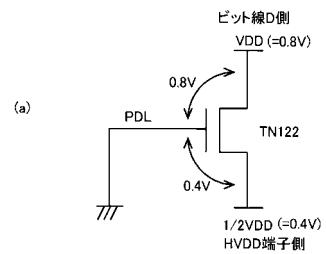


□ : 薄膜トランジスタ(P型)
□ : 薄膜トランジスタ(N型)

【図9】



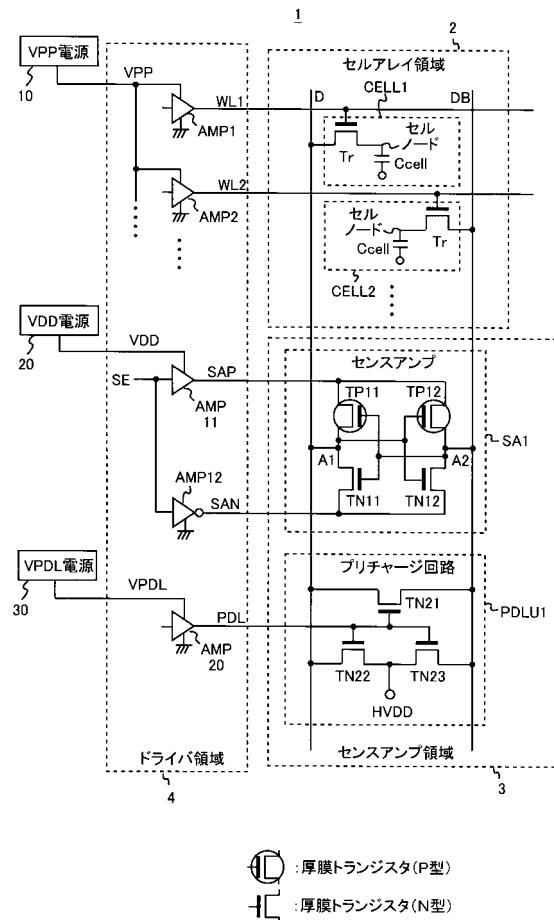
【図10】



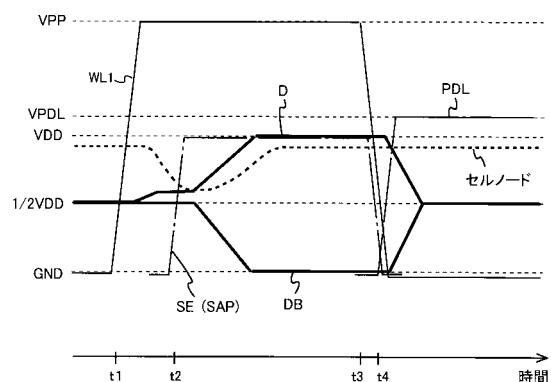
【図11】

半導体記憶回路1 (従来技術)		特許文献1 の技術		半導体記憶回路100 (実施の形態1)		半導体記憶回路200 (実施の形態2)	
トランジスタ の種類	最大 ゲート電圧	トランジスタ の種類	最大 ゲート電圧	トランジスタ の種類	最大 ゲート電圧	トランジスタ の種類	最大 ゲート電圧
メモリセルの ゲートトランジスタ	VPP	厚膜 トランジスタ	VPP	厚膜 トランジスタ	VPP	薄膜 トランジスタ	VPP
センスアンプの トランジスタ	VDD	厚膜 トランジスタ	VDD	薄膜 トランジスタ	VDD	薄膜 トランジスタ	VDD
プリチャージ回路の トランジスタ	VPDL	厚膜 トランジスタ	VPDL	薄膜 トランジスタ	VDD	薄膜 トランジスタ	VPP

【図12】



【図 1 3】



フロントページの続き

(56)参考文献 特開2004-87074(JP,A)
特開2006-31881(JP,A)
特開2001-15704(JP,A)
特開平7-130175(JP,A)

(58)調査した分野(Int.Cl., DB名)

G 11 C 11/4094