

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 2 区分

【発行日】平成29年6月15日 (2017.6.15)

【公開番号】特開2015-216176(P2015-216176A)

【公開日】平成27年12月3日 (2015.12.3)

【年通号数】公開・登録公報2015-075

【出願番号】特願2014-97110(P2014-97110)

【国際特許分類】

H 0 1 L 29/78 (2006.01)

H 0 1 L 21/336 (2006.01)

H 0 1 L 27/146 (2006.01)

H 0 1 L 21/8234 (2006.01)

H 0 1 L 27/06 (2006.01)

H 0 1 L 21/8238 (2006.01)

H 0 1 L 27/092 (2006.01)

【 F I 】

H 0 1 L 29/78 3 0 1 F

H 0 1 L 27/14 A

H 0 1 L 27/06 1 0 2 A

H 0 1 L 27/08 3 2 1 A

【手続補正書】

【提出日】平成29年4月28日 (2017.4.28)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

M O S トランジスタを含む半導体装置の製造方法であって、
 半導体基板の上の絶縁膜の上に前記 M O S トランジスタのゲート電極を形成する工程と、
 前記半導体基板に前記 M O S トランジスタの第 1 の拡散領域を形成する工程と、
 前記半導体基板の上に前記ゲート電極の側面を覆うサイドスペーサを形成する工程と、
 前記半導体基板に前記 M O S トランジスタの第 2 の拡散領域を形成する工程と、
 をこの順に含み、
 前記第 1 の拡散領域を形成する工程は、
 前記半導体基板の上に第 1 のレジストパターンを形成する工程と、
 前記第 1 のレジストパターンをマスクとして前記半導体基板にイオン注入を行う工程と、
 前記第 1 のレジストパターンを除去する第 1 の除去工程と、を含み、
 前記第 2 の拡散領域を形成する工程は、
 前記半導体基板の上に第 2 のレジストパターンを形成する工程と、
 前記第 2 のレジストパターンをマスクとして前記半導体基板にイオン注入を行う工程と、
 前記第 2 のレジストパターンを除去する第 2 の除去工程と、
 を含み、
 前記第 1 の除去工程は、前記第 1 のレジストパターンと前記絶縁膜との間に保護膜が位置
 した状態で行われ、前記第 2 の除去工程は、前記サイドスペーサと前記絶縁膜との間に前
 記保護膜が位置した状態で行われる
 ことを特徴とする半導体装置の製造方法。

【請求項 2】

前記保護膜は、前記ゲート電極を形成する工程において、前記絶縁膜の上に形成されたゲート電極材料層がパターニングされるとともに、少なくとも、前記ゲート電極の側面と、前記絶縁膜のうち前記ゲート電極と前記半導体基板との間から延在した部分とを覆うように形成されることを特徴とする請求項 1 に記載の半導体装置の製造方法。

【請求項 3】

前記第 2 の拡散領域を形成する工程は、前記サイドスペーサと前記第 1 の拡散領域との間に前記保護膜および前記絶縁膜が位置した状態で行われることを特徴とする請求項 1 又は 2 に記載の半導体装置の製造方法。

【請求項 4】

前記第 1 の除去工程では、 O_2 ガスを使用して前記第 1 のレジストパターンに対してアッシングを行うことを特徴とする請求項 1 乃至 3 のいずれか 1 項に記載の半導体装置の製造方法。

【請求項 5】

前記第 1 の拡散領域を形成する工程における前記イオン注入は、 $1 \times 10^{14} \text{ atoms/cm}^2$ から $5 \times 10^{14} \text{ atoms/cm}^2$ の範囲のドーズ量で行われることを特徴とする請求項 1 乃至 4 のいずれか 1 項に記載の半導体装置の製造方法。

【請求項 6】

前記第 2 の除去工程では、前記第 2 のレジストパターンに対してアッシングを行った後、前記第 2 のレジストパターンの残渣を洗浄により除去することを特徴とする請求項 1 乃至 5 のいずれか 1 項に記載の半導体装置の製造方法。

【請求項 7】

前記第 2 の除去工程では、前記第 2 のレジストパターンの残渣をアンモニア過水洗浄またはフッ酸系の洗浄により除去することを特徴とする請求項 1 乃至 6 のいずれか 1 項に記載の半導体装置の製造方法。

【請求項 8】

前記第 1 の除去工程では、前記第 1 のレジストパターンに対してアッシングを行った後、前記第 1 のレジストパターンの残渣を硫酸過水洗浄により除去することを特徴とする請求項 1 乃至 7 のいずれか 1 項に記載の半導体装置の製造方法。

【請求項 9】

前記第 2 の拡散領域を形成する工程における前記イオン注入は、 $1 \times 10^{15} \text{ atoms/cm}^2$ から $6 \times 10^{15} \text{ atoms/cm}^2$ の範囲のドーズ量で行われることを特徴とする請求項 1 乃至 8 のいずれか 1 項に記載の半導体装置の製造方法。

【請求項 10】

前記半導体装置は、画素部と周辺回路部とを含む固体撮像装置であり、前記 MOS トランジスタは前記周辺回路部を構成することを特徴とする請求項 1 乃至 9 のいずれか 1 項に記載の半導体装置の製造方法。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0007

【補正方法】変更

【補正の内容】

【0007】

本発明の 1 つの側面は、MOS トランジスタを含む半導体装置の製造方法に係り、前記製造方法は、半導体基板の上の絶縁膜の上に前記 MOS トランジスタのゲート電極を形成する工程と、前記半導体基板に前記 MOS トランジスタの第 1 の拡散領域を形成する工程と、前記半導体基板の上に前記ゲート電極の側面を覆うサイドスペーサを形成する工程と、前記半導体基板に前記 MOS トランジスタの第 2 の拡散領域を形成する工程と、をこの順に含み、前記第 1 の拡散領域を形成する工程は、前記半導体基板の上に第 1 のレジストパターンを形成する工程と、前記第 1 のレジストパターンをマスクとして前記半導

体基板にイオン注入を行う工程と、前記第 1 のレジストパターンを除去する第 1 の除去工程と、を含み、前記第 2 の拡散領域を形成する工程は、前記半導体基板の上に第 2 のレジストパターンを形成する工程と、前記第 2 のレジストパターンをマスクとして前記半導体基板にイオン注入を行う工程と、前記第 2 のレジストパターンを除去する第 2 の除去工程と、を含み、前記第 1 の除去工程は、前記第 1 のレジストパターンと前記絶縁膜との間に保護膜が位置した状態で行われ、記第 2 の除去工程は、前記サイドスペーサと前記絶縁膜との間に前記保護膜が位置した状態で行われる。