(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2018-0011549
(43) 공개일자 2018년02월02일

(51) 국제특허분류(Int. Cl.)
H01L 27/115 (2017.01) *H01L 29/66* (2006.01)
H01L 29/792 (2006.01)
(52) CPC특허분류
H01L 27/11521 (2013.01)
H01L 27/11514 (2013.01)
(21) 출원번호 10-2016-0094019
(22) 출원일자 2016년07월25일
심사청구일자 없음

(71) 출원인
에스케이하이닉스 주식회사
경기도 이천시 부발읍 경충대로 2091
서강대학교산학협력단
서울특별시 마포구 백범로 35 (신수동, 서강대학교)
(72) 발명자
최우영
서울특별시 마포구 신수로 15, 102동 403호(현석동, 강변힐스테이트)
(74) 대리인
김권석

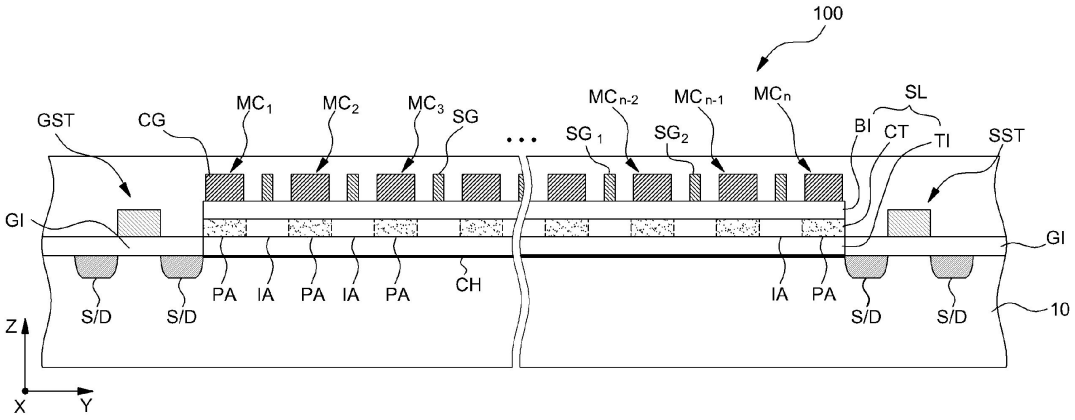
전체 청구항 수 : 총 19 항

(54) 발명의 명칭 **비휘발성 메모리 소자 및 이의 제조 방법**

(57) 요 약

본 발명은 비휘발성 메모리 소자 및 이의 제조 방법에 관한 것이다. 본 발명의 일 실시예에 따르면, 채널층; 상기 채널층 상의 정보 저장층; 상기 정보 저장층 상에 배치되고 서로 이격된 복수의 제어 게이트들; 및 상기 복수의 제어 게이트들 중 인접하는 제어 게이트들 사이에 배치되는 적어도 하나 이상의 서브 게이트를 포함하는 비휘발성 메모리 소자가 제공될 수 있다.

대 표 도



(52) CPC특허분류
H01L 27/11524 (2013.01)
H01L 29/66833 (2013.01)
H01L 29/792 (2013.01)

명 세 서

청구범위

청구항 1

채널층;

상기 채널층 상의 정보 저장층;

상기 정보 저장층 상에 배치되고 서로 이격된 복수의 제어 게이트들; 및

상기 복수의 제어 게이트들 중 인접하는 제어 게이트들 사이에 배치되는 적어도 하나 이상의 서브 게이트를 포함하는 비휘발성 메모리 소자.

청구항 2

제 1 항에 있어서,

프로그램 동작시 상기 적어도 하나 이상의 서브 게이트 중 선택된 제어 게이트에 인접하는 서브 게이트는 상기 선택된 제어 게이트에 인가되는 프로그램 전압과 반대 극성의 전압이 인가되는 비휘발성 메모리 소자.

청구항 3

제 2 항에 있어서,

프로그램 동작시 비선택된 서브 게이트는 플로팅되거나, 인히비트 전압이 인가되는 비휘발성 메모리 소자.

청구항 4

제 1 항에 있어서,

상기 적어도 하나 이상의 서브 게이트의 폭(W_1)은 상기 인접하는 제어 게이트 사이의 거리(W_2)와의 비(W_1/W_2)가 0.1 내지 1의 범위 내인 비휘발성 메모리 소자.

청구항 5

제 1 항에 있어서,

상기 적어도 하나의 서브 게이트는 상기 복수의 제어 게이트들과 동일한 도전체로 형성되는 비휘발성 메모리 소자.

청구항 6

제 1 항에 있어서,

상기 적어도 하나의 서브 게이트는 도핑된 폴리실리콘, 텅스텐(W), 코발트(Co), 니켈(Ni), 파라듐(Pd), 백금(Pt), 티타늄(Ti), 탄탈륨(Ta), 몰리브데늄(Mo), 루테늄(Ru), 어븀(Er), 이의 도전성 실리콘화물, 이의 도전성 질화물, 및 이의 도전성 산화물 중 어느 하나 또는 이의 혼합물을 포함하는 비휘발성 메모리 소자.

청구항 7

제 1 항에 있어서,

상기 정보 저장층은,

상기 채널층과 접하는 터널링 절연막;

상기 복수의 제어 게이트들과 접하는 블로킹 절연막; 및

상기 터널링 절연막과 상기 블록킹 절연막 사이의 전하 트랩 저장층을 포함하는 비휘발성 메모리 소자.

청구항 8

제 1 항에 있어서,

상기 채널층은 상기 비휘발성 메모리 소자가 형성되는 기판의 주면과 수직 방향으로 연장된 비휘발성 메모리 소자.

청구항 9

제 1 항에 있어서,

상기 정보 저장층은 상기 복수의 제어 게이트들이 공유하는 비휘발성 메모리 소자.

청구항 10

제 1 항에 있어서,

상기 비휘발성 메모리 소자는 SMArT, BiCS(Bit Cost Scalable technology), P-Bics (Piped-Bics), VRAT(Vertical-Recess-Array-Transistor) 또는 TCAT(Terabit Cell Array Transistor) 구조를 갖는 비휘발성 메모리 소자.

청구항 11

각각 직렬 연결된 복수의 메모리 셀들을 포함하는 메모리 셀 스트링들;

상기 복수의 메모리 셀들 각각의 제어 게이트에 연결되는 워드라인들;

상기 워드라인들 중 인접하는 워드라인들 사이에 배치되는 서브 워드라인들;

상기 메모리 셀 스트링들 각각의 일 단부에 연결되는 비트라인들;

상기 워드라인들 및 서브 워드라인들을 통해 상기 복수의 메모리 셀들에 전기적으로 연결되는 행 디코더; 및

상기 비트라인들을 통해 메모리 셀 스트링들에 전기적으로 연결되는 열 디코더를 포함하는 비휘발성 메모리 소자.

청구항 12

제 11 항에 있어서,

상기 서브 워드라인들의 개수는 상기 워드라인들의 총 개수 대비 1 개 더 작은 비휘발성 메모리 소자.

청구항 13

제 11 항에 있어서,

프로그램 동작시 상기 서브 워드라인들 중 선택된 워드라인에 인접하는 서브 워드라인들에는 상기 선택된 워드라인에 인가되는 프로그램 전압과 반대 극성의 전압이 인가되는 비휘발성 메모리 소자.

청구항 14

제 11 항에 있어서,

프로그램 동작시 비선택된 서브 워드라인은 접지되거나 인히비트 전압이 인가되는 비휘발성 메모리 소자.

청구항 15

기판 상에 절연막을 형성하는 단계;

상기 절연막 상에 도전막을 형성하는 단계;

상기 절연막을 형성하는 단계와 상기 도전막을 형성하는 단계를 교번하여 반복 수행하고, 반복 적층되는 도전막은 제어 게이트를 형성하기 위한 제 1도전막 및 상기 제 1 도전막들 사이에 배치되는 서브 게이트를 형성하기 위한 제 2 도전막을 포함하는 적층 구조를 형성하는 단계;

상기 절연층을 형성하는 단계와 상기 도전층들을 형성하는 단계를 교번하여 반복 적층하여 적층 구조를 형성하는 단계;

상기 적층 구조를 깊이 방향으로 연속적으로 패터닝하여 상기 기판에 수직한 관통 홀들을 형성하는 단계;

상기 관통 홀들의 측벽 상에 정보 저장층을 형성하는 단계; 및

상기 관통 홀들 내의 상기 정보 저장층에 의해 한정된 홈 영역 내에 채널층을 포함하는 반도체 기둥을 형성하는 단계를 포함하는 비휘발성 메모리 소자의 제조 방법.

청구항 16

제 15 항에 있어서,

상기 제 1 도전막 및 상기 제 2 도전막은 동일한 도전체로 형성되는 비휘발성 메모리 소자의 제조 방법.

청구항 17

제 15 항에 있어서,

상기 제 2 도전막은 도핑된 폴리실리콘, 텅스텐(W), 코발트(Co), 니켈(Ni), 파라듐(Pd), 백금(Pt), 티타늄(Ti), 탄탈륨(Ta), 몰리브데늄(Mo), 루테늄(Ru), 어븀(Er), 이의 도전성 실리콘화물, 이의 도전성 질화물, 및 이의 도전성 산화물 중 어느 하나 또는 이의 혼합물을 포함하는 비휘발성 메모리 소자의 제조 방법.

청구항 18

제 15 항에 있어서,

상기 제 2 도전막의 두께(W_1)는 상기 제 2 도전막과 인접하는 상기 제 1 도전막과의 거리의 비(W_1/W_2)가 0.1 내지 1의 범위 내인 비휘발성 메모리 소자의 제조 방법.

청구항 19

제 15 항에 있어서,

상기 정보 저장층은,

상기 채널층과 접하는 터널링 절연층;

상기 제어 게이트과 접하는 블로킹 절연층; 및

상기 터널링 절연층과 상기 블록킹 절연층 사이의 전하 트랩 저장층을 포함하는 비휘발성 메모리 소자의 제조 방법.

발명의 설명

기 술 분 야

[0001] 본 발명은 반도체 기술에 관한 것으로서, 더욱 상세하게는, 비휘발성 메모리 소자 및 이의 제조 방법에 관한 것이다.

배 경 기 술

[0002] 최근, 디지털 카메라, 태블릿 컴퓨터, 및 스마트폰과 같은 휴대용 디지털 응용 기기들의 수요가 증가하면서 비휘발성 메모리 소자의 시장이 급속히 팽창하고 있다. 비휘발성 메모리 소자의 예로서, ROM(read only memory), PROM (programmable ROM), EPROM (erasable PROM), EEPROM (electrically EPROM) 및 플래시 메모리 소자가 있다. 이들 중 플래시 메모리 소자는 NAND 플래시 메모리 소자를 중심으로 상기 디지털 응용 기기들의 소형화 및 고성능화를 가능하게 한 대표적인 비휘발성 메모리 소자이다.

[0003] 상기 플래시 메모리 소자 중 전하 트랩형 플래시 메모리 소자는 메모리 셀 내의 전하 트랩 저장층 내로 터널링 또는 핫 일렉트론 주입에 의해 저장된 전하를 지속적으로 유지하거나 이를 제거함으로써 정보의 프로그램 및 소거 동작을 수행한다. 이 경우, 프로그램된 메모리 셀에 저장된 전하가 시간이 흐름에 따라 소실되면, 프로그램

된 셀의 문턱 전압이 감소하여 소거된 것으로 판단됨으로써 읽기 오류가 초래될 수 있다. 따라서, 상기 플래시 메모리 소자의 신뢰성을 확보하기 위해서는, 우수한 데이터 리텐션(data retention) 특성이 요구된다.

[0004] 최근 플래시 메모리 소자와 같은 비휘발성 메모리 소자의 고집적화 및 고용량화에 대한 요구가 지속됨에 따라 메모리 셀 크기의 축소가 지속되고 멀티레벨 메모리 소자에 대한 요구가 증대되고 있다. 이와 같은 메모리 셀의 스케일링과, 나아가 신뢰성을 갖는 멀티 레벨 메모리 소자의 구현을 위해서는 상기 전하 트랩 저장층의 프로그램 전하가 인접 메모리 셀 측으로 스프레딩됨으로써 초래되는 문턱 전압의 변화에 따른 데이터 리텐션 특성의 열화를 개선하여야 한다. 또한, 상기 플래시 메모리 소자에서 프로그램, 소거 또는 온도 사이클링을 통해 전하 트랩 저장층의 인접 셀들 사이의 영역으로 이동하거나 누적되는 상기 프로그램 전하들은 메모리 셀의 프로그램-소거 사이클링을 열화시키고, 전하 트랩이 없는 메모리 셀 대비 상대적으로 ISPP (incremental step pulse programming) 동작도 열화시킬 수 있다.

발명의 내용

해결하려는 과제

[0005] 본 발명이 이루고자 하는 기술적 과제는, 지속적인 고집적화 및 고용량화 또는 멀티 레벨 프로그램에 대응하여 메모리 셀들 사이의 전하 트랩의 누적을 최소화하여 데이터 리텐션 특성을 강화하고, 신뢰성 있는 프로그램-소거 사이클링 특성을 갖는 비휘발성 메모리 소자를 제공하는 것이다.

[0006] 또한, 본 발명이 이루고자 하는 기술적 과제는, 전술한 이점을 갖는 비휘발성 메모리 소자의 제조 방법을 제공하는 것이다.

과제의 해결 수단

[0007] 상기 기술적 과제를 해결하기 위한 본 발명의 일 실시예에 따른 비휘발성 메모리 소자는, 채널층; 상기 채널층 상의 정보 저장층; 상기 정보 저장층 상에 배치되고 서로 이격된 복수의 제어 게이트들; 및 상기 복수의 제어 게이트들 중 인접하는 제어 게이트들 사이에 배치되는 적어도 하나 이상의 서브 게이트를 포함한다.

[0008] 일 실시예에서, 프로그램 동작시 상기 적어도 하나 이상의 서브 게이트 중 선택된 제어 게이트에 인접하는 서브 게이트는 상기 선택된 제어 게이트에 인가되는 프로그램 전압과 반대 극성의 전압이 인가될 수 있다. 또한, 프로그램 동작시 비선택된 서브 게이트는 플로팅되거나, 인히비트 전압이 인가될 수 있다.

[0009] 일 실시예에서, 상기 적어도 하나 이상의 서브 게이트의 폭(W_1)은 상기 인접하는 제어 게이트 사이의 거리(W_2)와의 비(W_1/W_2)가 0.1 내지 1의 범위 내일 수 있다. 상기 적어도 하나의 서브 게이트는 상기 복수의 제어 게이트들과 동일한 도전체로 형성될 수 있다.

[0010] 상기 적어도 하나의 서브 게이트는 도핑된 폴리실리콘, 텅스텐(W), 코발트(Co), 니켈(Ni), 파라듐(Pd), 백금(Pt), 티타늄(Ti), 탄탈륨(Ta), 몰리브데늄(Mo), 루테늄(Ru), 어븀(Er), 이의 도전성 실리콘화물, 이의 도전성 질화물, 및 이의 도전성 산화물 중 어느 하나 또는 이의 혼합물을 포함할 수 있다. 상기 정보 저장층은, 상기 채널층과 접하는 터널링 절연막; 상기 복수의 제어 게이트들과 접하는 블로킹 절연막; 및 상기 터널링 절연막과 상기 블록킹 절연막 사이의 전하 트랩 저장층을 포함할 수 있다.

[0011] 상기 채널층은 상기 비휘발성 메모리 소자가 형성되는 기판의 주면과 수직 방향으로 연장될 수 있다. 상기 정보 저장층은 상기 복수의 제어 게이트들이 공유할 수 있다. 상기 비휘발성 메모리 소자는 SMArT, BiCS(Bit Cost Scalable technology), P-Bics (Piped-Bics), VRAT(Vertical-Recess-Array-Transistor) 또는 TCAT(Terabit Cell Array Transistor) 구조를 가질 수 있다.

[0012] 상기 기술적 과제를 해결하기 위한 본 발명의 다른 실시예에 따른 비휘발성 메모리 소자는 각각 직렬 연결된 복수의 메모리 셀들을 포함하는 메모리 셀 스트링들; 상기 복수의 메모리 셀들 각각의 제어 게이트에 연결되는 워드라인들; 상기 워드라인들 중 인접하는 워드라인들 사이에 배치되는 서브 워드라인들; 상기 메모리 셀 스트링들 각각의 일 단부에 연결되는 비트라인들; 상기 워드라인들 및 서브 워드라인들을 통해 상기 복수의 메모리 셀들에 전기적으로 연결되는 행 디코더; 및 상기 비트라인들을 통해 메모리 셀 스트링들에 전기적으로 연결되는 열 디코더를 포함한다.

[0013] 상기 서브 워드라인들의 개수는 상기 워드라인들의 총 개수 대비 1 개 더 작을 수 있다. 프로그램 동작시 상기 서브 워드라인들 중 선택된 워드라인에 인접하는 서브 워드라인들에는 상기 선택된 워드라인에 인가되는 프로그

램 전압과 반대 극성의 전압이 인가될 수 있다. 프로그램 동작시 비선택된 서브 워드라인은 접지되거나 인히비트 전압이 인가될 수 있다.

[0015] 상기 다른 기술적 과제를 해결하기 위한 본 발명의 일 실시예에 따른 비휘발성 메모리 소자의 제조 방법은, 기판 상에 절연막을 형성하는 단계; 상기 절연막 상에 도전막을 형성하는 단계; 상기 절연막을 형성하는 단계와 상기 도전막을 형성하는 단계를 교번하여 반복 수행하고, 반복 적층되는 도전막은 제어 게이트를 형성하기 위한 제 1도전막 및 상기 제 1 도전막들 사이에 배치되는 서브 게이트를 형성하기 위한 제 2 도전막을 포함하는 적층 구조를 형성하는 단계; 상기 절연층을 형성하는 단계와 상기 도전층들을 형성하는 단계를 교번하여 반복 적층하여 적층 구조를 형성하는 단계; 상기 적층 구조를 깊이 방향으로 연속적으로 패터닝하여 상기 기판에 수직한 관통 홀들을 형성하는 단계; 상기 관통 홀들의 측벽 상에 정보 저장층을 형성하는 단계; 및 상기 관통 홀들 내의 상기 정보 저장층에 의해 한정된 홈 영역 내에 채널층을 포함하는 반도체 기둥을 형성하는 단계를 포함한다.

[0016] 상기 제 1 도전막 및 상기 제 2 도전막은 동일한 도전체로 형성될 수 있다. 상기 제 2 도전막은 도핑된 폴리실리콘, 텅스텐(W), 코발트(Co), 니켈(Ni), 파라듐(Pd), 백금(Pt), 티타늄(Ti), 탄탈륨(Ta), 몰리브데늄(Mo), 루테늄(Ru), 어븀(Er), 이의 도전성 실리콘화물, 이의 도전성 질화물, 및 이의 도전성 산화물 중 어느 하나 또는 이의 혼합물을 포함할 수 있다. 상기 제 2 도전막의 두께(W_1)는 상기 제 2 도전막과 인접하는 상기 제 1 도전막과의 거리의 비(W_1/W_2)가 0.1 내지 1의 범위 내일 수 있다. 상기 정보 저장층은, 상기 채널층과 접하는 터널링 절연층; 상기 제어 게이트과 접하는 블로킹 절연층; 및 상기 터널링 절연층과 상기 블록킹 절연층 사이의 전하 트랩 저장층을 포함할 수 있다.

발명의 효과

[0017] 본 발명의 실시예에 따르면, 선택된 메모리 셀의 프로그래밍 동작시 선택된 제어 게이트와 인접하는 비선택된 제어 게이트 사이에 배치되는 적어도 하나 이상의 서브 게이트에 의해, 상기 선택된 제어 게이트의 측벽으로부터 채널층으로 분산되는 프린징 필드의 크기와 분산 정도를 억제하여, 정보 저장층의 메모리 셀간 영역으로의 프로그램 전하의 터널링을 억제함으로써 이로 인한 트랩된 전하의 누적을 최소화하여 데이터 리텐션 특성을 강화하고, 신뢰성 있는 프로그램-소거 사이클링 특성을 갖는 비휘발성 메모리 소자가 제공될 수 있다.

[0018] 또한, 본 발명의 다른 실시예에 따르면, 전술한 이점을 갖는 비휘발성 메모리 소자를 용이하게 제조할 수 있는 비휘발성 메모리 소자의 제조 방법이 제공될 수 있다.

도면의 간단한 설명

[0019] 도 1은 본 발명의 일 실시예에 따른 비휘발성 메모리 소자를 나타내는 블록도이다.

도 2는 본 발명의 실시예에 따른 비휘발성 메모리 소자의 메모리 셀 구조를 나타내는 단면도들이다.

도 3a 및 도 3b는 각각 본 발명의 일 실시예에 따른 서브 게이트를 갖는 비휘발성 메모리 셀의 프로그램 동작시의 전기장의 분포 및 그에 따른 전하 트랩 저장층에 트랩된 프로그램 전하들의 분포 상태를 모식적으로 나타내는 도면들이다.

도 4a 및 도 4b는 각각 서브 게이트가 없는 종래의 비휘발성 메모리 셀의 프로그램 동작 시의 전기장의 분포 및 그에 따른 전하 트랩 저장층에 트랩된 프로그램 전하들의 분포 상태를 모식적으로 나타내는 도면들이다.

도 5a는 본 발명의 일 실시예에 따른 수직형 채널층을 갖는 3 차원 비휘발성 메모리 소자를 도시하는 사시도이며, 도 5b는 3 차원 비휘발성 메모리 소자의 선 b-b'를 따라 절취한 메모리 스트링의 단면도이다.

도 6a 내지 도 6g는 본 발명의 일 실시예에 따른 3 차원 비휘발성 메모리 소자의 제조 방법을 순차대로 설명하는 단면도들이다.

도 7은 본 발명의 일 실시예에 따른 메모리 시스템을 도시하는 블록도이다.

도 8은 본 발명의 일 실시예에 따른 고상 디스크(이하, SSD)를 포함하는 저장 장치를 도시하는 블록도이다.

도 9는 본 발명의 다른 실시예에 따른 메모리 시스템을 도시하는 블록도이다.

도 10은 본 발명의 다른 실시예에 따른 데이터 저장 장치를 도시하는 블록도이다.

도 11은 본 발명의 일 실시예에 따른 플래시 메모리 소자 및 이를 포함하는 컴퓨팅 시스템을 도시하는 블록도이다.

발명을 실시하기 위한 구체적인 내용

[0020] 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예를 상세히 설명하기로 한다.

[0021] 본 발명의 실시예들은 당해 기술 분야에서 통상의 지식을 가진 자에게 본 발명을 더욱 완전하게 설명하기 위하여 제공되는 것이며, 하기 실시예는 여러 가지 다른 형태로 변형될 수 있으며, 본 발명의 범위가 하기 실시예에 한정되는 것은 아니다. 오히려, 이들 실시예는 본 개시를 더욱 충실하고 완전하게 하고, 당업자에게 본 발명의 사상을 완전하게 전달하기 위하여 제공되는 것이다.

[0022] 도면에서 동일 부호는 동일한 요소를 지칭한다. 또한, 본 명세서에서 사용된 바와 같이, 용어 "및/또는"은 해당 열거된 항목 중 어느 하나 및 하나 이상의 모든 조합을 포함한다.

[0023] 본 명세서에서 사용된 용어는 실시예를 설명하기 위하여 사용되며, 본 발명의 범위를 제한하기 위한 것이 아니다. 또한, 본 명세서에서 단수로 기재되어 있다 하더라도, 문맥상 단수를 분명히 지적하는 것이 아니라면, 복수의 형태를 포함할 수 있다. 또한, 본 명세서에서 사용되는 "포함한다(comprise)" 및/또는 "포함하는(comprising)"이란 용어는 언급한 형상들, 숫자, 단계, 동작, 부재, 요소 및/또는 이들 그룹의 존재를 특정하는 것이며, 다른 형상, 숫자, 동작, 부재, 요소 및/또는 그룹들의 존재 또는 부가를 배제하는 것이 아니다.

[0024] 본 명세서에서 기판 또는 다른 층 "상에(on)" 형성된 층에 대한 언급은 상기 기판 또는 다른 층의 바로 위에 형성된 층을 지칭하거나, 상기 기판 또는 다른 층 상에 형성된 중간 층 또는 중간 층들 상에 형성된 층을 지칭할 수도 있다. 또한, 당해 기술 분야에서 숙련된 자들에게 있어서, 다른 형상에 "인접하여(adjacent)" 배치된 구조 또는 형상은 상기 인접하는 형상에 중첩되거나 하부에 배치되는 부분을 가질 수도 있다.

[0025] 본 명세서에서, "아래로(below)", "위로(above)", "상부의(upper)", "하부의(lower)", "수평의(horizontal)" 또는 "수직의(vertical)"와 같은 상대적 용어들은, 도면들 상에 도시된 바와 같이, 일 구성 부재, 층 또는 영역들이 다른 구성 부재, 층 또는 영역과 갖는 관계를 기술하기 위하여 사용될 수 있다. 이들 용어들은 도면들에 표시된 방향뿐만 아니라 소자의 다른 방향들도 포괄하는 것임을 이해하여야 한다.

[0026] 이하에서, 본 발명의 실시예들은 본 발명의 이상적인 실시예들(및 중간 구조들)을 개략적으로 도시하는 단면도들을 참조하여 설명될 것이다. 이들 도면들에 있어서, 예를 들면, 부재들의 크기와 형상은 설명의 편의와 명확성을 위하여 과장될 수 있으며, 실제 구현시, 도시된 형상의 변형들이 예상될 수 있다. 따라서, 본 발명의 실시예는 본 명세서에 도시된 영역의 특정 형상에 제한된 것으로 해석되어서는 아니 된다. 또한, 도면의 부재들의 참조 부호는 도면 전체에 걸쳐 동일한 부재를 지칭한다.

[0028] 도 1은 본 발명의 일 실시예에 따른 비휘발성 메모리 소자(100)를 나타내는 블록도이다.

[0029] 도 1을 참조하면, 비휘발성 메모리 소자(100)는 복수의 메모리 셀들(MC11, MC12,…, MCmn)을 포함하는 메모리 셀 어레이(110), 행 디코더(120), 판독/기입 회로(130), 및 열 디코더(140)를 포함할 수 있다. 메모리 셀 어레이(110)는 워드라인들(WL1, WL2,…, Wn-1, WLn), 선택 라인들(SSL), 및 접지 라인(GSL)을 통해 행 디코더(120)에 연결될 수 있다. 비트라인들(BL1, BL2, BL3,…, BLn)은 상기 모드 선택 트랜지스터들의 일 단부들에 연결될 수 있다. 또한, 메모리 셀 어레이(110)는 비트라인들(BL1, BL2, BL3,…, BLm)을 통해 판독/기입 회로(130)에 연결될 수 있다.

[0030] 비휘발성 메모리 소자(100)가 낸드 플래시 메모리 소자인 경우, 메모리 셀 어레이(110)는 복수의 메모리 셀들, 예를 들면, MC11, MC12,…, MC1n-1, MC1n 이 직렬 연결된 메모리 셀 스트링들(160)을 포함할 수 있다. 메모리 셀 스트링들(160)의 일단에는 스트링 선택을 위한 스트링 선택 트랜지스터(SST) 및 스트링 선택 트랜지스터(SST)의 구동을 위한 스트링 선택 라인(SSL)이 결합될 수 있다. 스트링 선택 트랜지스터(SST)와 스트링 선택 라인(SSL)은 3 차원 비휘발성 메모리 소자의 스트링 선택 방식에 따라 2 개 이상일 수도 있다. 또한, 스트링 선택 트랜지스터(SST)도 메모리 셀의 트렌지스터와 같이 비휘발성 메모리 트랜지스터일 수 있다.

[0031] 메모리 스트링들(16)의 타단에는 접지 선택 트랜지스터(GST) 및 접지 선택 트랜지스터(GST)의 구동을 위한 접지 선택 라인(GSL)이 연결될 수 있다. 일부 실시예에서, 접지 선택 트랜지스터(GST) 및 접지 선택 트랜지스터(GST)도 3 차원 비휘발성 메모리 소자의 스트링 선택 방식에 따라 2 개 이상일 수 있다. 스트링 선택 트랜지스

터(SST)와 접지 선택 트랜지스터(GST)는 서로 반대로 호칭되거나 어느 하나의 용어로 또는 선택 트랜지스터로 통칭될 수도 있으며, 본 발명이 이러한 용어에 의해 한정되어서는 아니된다. 또한, 스트링 선택 트랜지스터(SST), 및 접지 선택 트랜지스터(GST)는 도시된 MOS 트랜지스터에 한정되는 것은 아니며, 특정 상태 값에 따른 문턱 전압 값을 이용하여 스트링 선택이 가능하도록 비휘발성 메모리 셀 구조를 가질 수 있다.

[0032] 일부 실시예에서, 접지 선택 트랜지스터(GST)의 일 단부는 공통 소스 라인(CSL)에 전기적으로 연결될 수 있다. 스트링 선택 트랜지스터(SST)의 일 단부는 각각 비트라인들(BL1, BL2, BL3,…, BLm)에 각각 연결될 수 있다. 워드라인들(WL1, WL2,…, WLn)은 열 방향을 따라 배열된 메모리 셀들의 제어 게이트들에 각각 연결될 수 있다.

[0033] 인접하는 워드라인들(WL1, WL2,…, WLi,…, WLn)의 사이에는 하나 이상의 서브 워드라인(SWL1, SWL2,…, SWLn-1)이 배치될 수 있다. 서브 워드라인들(SWL1, SWL2,…, SWLn-1)은 워드라인들(WL1, WL2,…, WLi,…, WLn)과 같이 행 디코더(120)에 의해 제어될 수 있다. 서브 워드라인들(SWL1, SWL2,…, SWLn-1)은 메모리 셀들(MC11, MC12,…, MCmn)이 공유하는 채널(CH)에 결합되어 후술하는 것과 같이 선택된 메모리 셀의 프로그램 동작시 선택된 제어 게이트(CG)의 측면으로부터 유래하는 프린징 필드(fringing field)에 의한 메모리 셀 사이 영역에서 프로그램 전하가 축적되는 것을 제한하는 역할을 한다. 일 실시예에서, 서브 워드라인들(SWL1, SWL2,…, SWLn-1)의 개수는 워드라인들(WL1, WL2,…, WLn)의 총 개수 대비 1 개 더 작을 수 있다.

[0034] 각각의 워드라인들(WL1, WL2,…, WLn)에 제어 게이트 전극(CG)이 결합되는 행 방향의 복수의 메모리 셀들, 예를 들면, 제 1 행의 메모리 셀들, 즉 MC11, MC21, MC31,…, MCm1은 논리적 페이지를 구성하며, 상기 논리적 페이지들의 수는 메모리 셀의 저장 용량에 의해 결정될 수 있다. 예를 들면, 저장 레벨에 따라, 메모리 셀당 1 bit를 저장하는 싱글 레벨 셀 메모리, 메모리 셀당 2 bits를 저장하는 멀티 레벨 셀(MLC) 메모리 소자, 메모리 셀당 3 bits를 저장하는 8LC 메모리 소자, 그리고, 메모리 셀당 4 bits를 저장하는 16LC 메모리 소자가 제공될 수 있다.

[0035] 메모리 셀 어레이(110)의 복수의 메모리 셀들(MC11, MC12,…, MCmn)은 기판의 주면에 평행한 2 차원, 또는 상기 기판의 주면에 대해 수직한 채널층(CH)을 갖거나, 상기 기판의 주면에 평행한 채널층(CH)이 2 회 이상 적층된 수평 적층형 3 차원 어레이 구조를 가질 수 있다.

[0036] 상기 페이지를 구성하는 메모리 셀들, 예를 들면, MC11, MC21, MC31,…, MCm1은 동일한 프로그램 사이클에서 프로그래밍될 수 있다. 예를 들면, 제 1 워드라인(WL1)에 연결되는 각각의 메모리 셀들은 동일한 프로그램 사이클에서 같은 프로그램 상태(또는 타겟 값)로, 또는 서로 다른 프로그램 상태로 프로그래밍될 수 있다. 멀티 레벨 셀의 경우에는 각 셀이 하나의 리스트 시그니피컨트 비트(Least Significant Bit; LBS)와 하나의 모스트 시그니피컨트 비트(Most Significant Bit; MSB)를 저장하므로 4 개의 페이지들을 가질 수도 있다. 이 경우, 짝수 비트라인들 상의 MSB 및 LSB 페이지들과 홀수 비트라인 상의 MSB 및 LSB 페이지들이 제공될 수도 있다.

[0037] 행 디코더(120)는 메모리 블록의 워드라인들 중 어느 하나를 선택할 수 있다. 행 디코더(120)는 선택된 워드라인에 전압 발생기(미도시)로부터의 다양한 워드라인 전압(V_{WL})을 인가한다. 일 실시예에서, 행 디코더(120)는 읽기 동작시 선택된 워드라인(Selected WL)에 읽기 전압(V_{READ})을, 비선택된 워드라인(Unselected WL)에는 패스 전압(V_{PASS})을 인가하는 전계 효과 트랜지스터 모드 방식의 구동을 수행할 수 있다. 프로그램 전압(VPGM) 및 검증 전압(V_{VFY})은 프로그램 동작시 선택된 워드라인에 인가되고, 비선택된 워드라인은 접지되거나 프로그램 인히비트 전압이 인가될 수 있다. 또한 프로그램 동작시, 선택된 워드라인에 인접하는 서브 워드라인들에는 프로그램 전압(V_{PGM})과 반대 극성의 전압(V_{SWL})이 인가될 수 있다.

[0038] 메모리 셀 어레이(110)는 열 디코더(130)를 통해 비트라인들(BL1, BL2, BL3,…, BLm)에 의해 어드레싱될 수 있다. 독출/기록 회로(130_CS)는 열 디코더(130)를 통해 외부로부터 전달되는 데이터를 수신하거나 외부로 데이터를 출력할 수 있다.

[0039] 독출/기록 회로(130_CS)는 페이지 버퍼(미도시)를 포함할 수 있으며, 동작 모드에 따라 감지 증폭기로서 또는 기입 드라이버로서 동작할 수 있다. 그러나, 본 명세서에서, '독출/기록 회로', 또는 '페이지 버퍼'라는 용어는 등가적 의미를 가지며, 이들 용어에 의해 본 발명이 한정되는 것은 아니다. 프로그램 동작시, 독출/기록 회로(130_CS)는 외부 회로로부터 데이터를 수신하여 메모리 셀 어레이(110)의 비트라인으로 프로그램될 데이터에 대응하는 비트라인 전압을 전달한다. 독출 동작시, 독출/기록 회로(130_CS)는 선택된 메모리 셀에 저장된 데이터를 비트라인을 통해서 독출할 수 있으며, 상기 독출된 데이터를 래치하여 외부로 출력할 수 있다.

[0040] 독출/기록 회로(130_CS)는 제어 로직(180)으로부터 전송되는 전송 신호에 응답하여 메모리 셀들의 프로그램 동

작에 수반하는 검증 동작을 수행할 수 있으며, 상기 전송 신호에 응답하여 검증 결과를 복수 회에 걸쳐 페이지 버퍼 신호로서 출력할 수 있다. 일 실시예에서, 독출/기록 회로(130_CS)의 상기 독출 동작은 비트라인 기생 캐패시터를 이용한 전하 적분(charge integration)을 이용할 수 있다.

[0041] 본 발명의 실시예에서, 상기 페이지 단위로 메모리 셀들을 프로그래밍하는 것은, 증분형 펄스 프로그래밍(incremental step pulse programming, ISPP) 알고리듬에 의해 수행될 수 있다. 상기 ISPP 알고리듬에 따른 프로그램 펄스 이후 선택된 메모리 셀의 문턱 전압 V_{THR}이 타겟 전압 V_{TH} 레벨에 도달했는지를 체크하는 검증 알고리즘은 전술한 비트라인을 통해 수행되고, 상기 전류 센싱 회로를 통해 달성될 수 있다. 일 실시예에서, 상기 전류 센싱 회로는 독출/기록 회로(130_CS) 내에 제공될 수 있다.

[0042] 제어 로직(180)은 상기 ISPP 모드에 따라 프로그램-검증 루프들을 실행하여 선택된 메모리 셀을 프로그래밍할 수 있다. 패스/패일 검증 회로(150)는 프로그램 루프 카운트가 증가할 때마다 메모리 셀이 원하는 레벨에 도달하였는지 검증할 수 있다. 메모리 셀이 원하는 문턱 전압, 즉 타겟 값을 가지면 프로그램 패스로 판단하여 상기 메모리 셀에 대한 프로그램 및 프로그램 검증 동작이 종료되지만, 메모리 셀이 원하는 문턱 전압에 도달하지 못하면 프로그램 패일로 판단하여 패스/패일 검증 회로(150)는 카운트 신호(미도시)를 발생시킬 수 있다. 패스/패일 검증 회로(150)은 프로그램 성공 여부를 판단하여 그 결과를 제어 로직(180)에 전달할 수 있다.

[0043] 제어 로직(180)은 명령어(CMD)에 따라, 상기 ISPP 방식에 따른 펄스 프로그램 및 검증 동작을 수행하도록 행 디코더(120), 독출/기록 회로(130_CS), 열디코더(130), 패스/패일 검출기(150), 프로그램 루프 순번 검출기(160), 및/또는 비교기(170)를 제어할 수 있다. 제어 로직(180)은 패스/패일 검출기(150)로부터 전달되는 프로그램 성공 여부(Pass/Fail)를 참조하여 프로그램 동작의 종료 또는 계속 진행 여부를 결정할 수 있다. 패스/패일 검증 회로(150)로부터 프로그램 패일(Fail)의 결과를 수신하는 경우, 제어 로직(180)은 후속 프로그램 루프(Loop)를 진행하도록 V_{PGM} 및 V_{VFY}를 발생시키는 전압 발생기(미도시) 및 페이지 버퍼(130_CS)를 제어할 것이다. 이처럼, 증가하는 프로그램 루프 수에 따라 프로그램을 진행하기 위하여 제어 로직(180)은 프로그램 루프의 순번을 수신할 수 있다. 반대로, 제어 로직(180)이 프로그램 패스(Pass)의 결과를 제공받으면, 선택된 메모리 셀들에 대한 프로그램 동작은 종료하게 될 것이다.

[0044] 다양한 설계들에서, 제어 로직(180)은 메모리 셀 어레이(110)와 동일 칩 내에 집적되거나 다른 칩에 배치될 수 있으며, 본 발명이 이에 제한되는 것은 아니다. 예를 들면, SSD(솔리드 스테이트 드라이브)에서와 같이, 제어 로직(180)은 메모리 셀 어레이(110)와 분리된 별도의 칩인 플래시 트랜슬레이션 레이어(flash translation layer; FTL)에 제공될 수도 있다.

[0045] 또한, 전술한 패스/패일 검증 회로(150), 프로그램 루프 순번 검출기(160) 및 비교기(170)는 제어 로직(180)과 별도로 형성된 것을 예시하고 있지만, 본 발명이 이에 한정된 것은 아니다. 예를 들면, 패스/패일 검증 회로(150), 프로그램 루프 순번 검출기(160) 및 비교기(170) 중 적어도 어느 하나는 제어 로직(180) 내에 소프트웨어 또는 하드웨어적으로 구현될 수도 있을 것이다. 또한, 다른 실시예에서, 패스/패일 검증 회로(150), 프로그램 루프 순번 검출기(160) 및 비교기(170) 중의 적어도 어느 하나는 생략될 수도 있으며, 다른 회로 구성이 추가될 수 있다.

[0047] 도 2는 본 발명의 실시예에 따른 비휘발성 메모리 소자(100)의 메모리 셀 구조를 나타내는 단면도들이다.

[0048] 도 2를 참조하면, 비휘발성 메모리 소자(100)는 기판(10) 상에 형성된 복수의 메모리 셀들(MC_1, MC_2, MC_3,…, MC_{n-1}, MC_n)을 포함한다. 상기 복수의 메모리 셀들(MC_1, MC_2, MC_3,…, MC_{n-1}, MC_n)은 기판(10)의 주면과 평행한 평면 타입의 어레이를 가질 수 있다.

[0049] 비휘발성 메모리 소자(100)가 NAND 플래시 메모리 소자인 경우, 복수의 메모리 셀들(MC_1, MC_2, MC_3,…, MC_{n-1}, MC_n)은 도 2a에 도시된 바와 같이 제 1 방향, 예를 들면 기판(10)의 주면 상에 평행한 y 방향으로 정렬될 수 있다. 각 메모리 셀은 상기 y 방향으로 연장된 채널층(CH) 및 채널층(CH) 상에 채널층(CH)을 따라 연장된 정보 저장층(SL)을 공유하고, 채널층(CH)은 정보 저장층(SL)을 사이에 두고 제어 게이트(CG)에 결합될 수 있다.

[0050] 정보 저장층(SL)은 제 1 절연층(TI)을 사이에 두고 채널층(CH)상에 배치되는 전하 트랩 저장층(CT), 및 전하 트랩 저장층(CT)과 제어 게이트(CG) 사이에 배치되는 제 2 절연층(BI)을 포함할 수 있다. 제 1 절연층(TI)은 터널링 절연층이고, 제 2 절연층(BI)은 블로킹 절연층일 수 있으며, 전하 트랩 저장층(CT)은 전자 또는 홀들의 포

획이 가능한 사이트들을 갖는 절연층일 수 있다.

[0051] 일 실시예에서, 채널층(CH)은 기판(10)과 동일 재료로서 반도체 기판 표면의 활성 영역일 수 있다. 다른 실시예에서, 채널층(CH)은 기판(10)과 별도로 형성된 반도체 구조체일 수도 있다. 예를 들면, 채널층(CH)은 기판(10) 상에 형성된 반도체 박막 또는 반도체 기둥과 같은 반도체 구조체일 수 있다.

[0052] 채널층(CH)은 실리콘 또는 탄소와 같은 단일 성분계 반도체이거나, 실리콘-게르마늄, 실리콘-탄소, 인듐 질화물(InN), 갈륨 비소화물(GaAs), 몰리브덴 실리콘화물($MoSi_2$) 및 갈륨 질소화물(GaN)과 같은 이성분계 또는 $Al_xGa_{1-x}N$, 또는 $In_xAl_yGa_{1-x-y}N$ 과 같은 삼성분계 이상의 화합물 반도체를 포함할 수 있다. 또한, 채널층(CH)은 단결정 또는 다결정 구조를 가질 수 있으며, 본 발명이 이에 제한되는 것은 아니다.

[0053] 일 실시예에서, 채널층(CH)은 전술한 재료의 단일층 구조를 갖거나 전술한 재료들이 2 층 이상 적층된 다층 구조를 가질 수 있다. 또한, 필요에 따라 채널층(CH)은 전하의 이동도를 향상시키기 위해 변형된 격자 구조를 가질 수도 있을 것이다. 채널층(CH)의 형성은 2 차원 평면 구조를 갖는데 한정되지 않으며, 기판(10)의 표면의 소정의 굴곡을 따라 형성된 3차원적 형상을 가질 수 있으며, 이들 구조가 기판(10)의 수직 방향(Z 방향)으로 적어도 2 회 이상 적층되거나 반복되는 구성을 가질 수 있다.

[0054] 일 실시예에서, 기판(10)에는 소오스/드레인 영역(S/D)과 같은 불순물 영역이 형성될 수 있다. 일 실시예에서, 채널층(CH)에는, 도 2a에 도시된 것과 같이 정션프리(junctionfree) NAND 구조를 제공하기 위해 불순물 접합 영역이 생략될 수도 있다. 상기 정션프리 NAND 구조는 제어 게이트들(CG)에 의한 프린징 전계(fringing field)에 의한 전기적 도핑(electrical doping) 효과에 의해 버추얼 소오스/드레인 영역(virtual source/drain region)을 형성할 수 있으며, 이로써 메모리 셀들의 직렬 연결을 완성한다. 다른 실시예에서, 채널층(CH)은 N+ 도전형을 가질 수 있으며, 이에 의해 턴온 전류가 증가된 정션리스(junctionless) NAND 구조가 제공될 수도 있다. 그러나, 이는 예시적일 뿐 본 발명이 이에 한정되는 것은 아니다. 예를 들면, 채널층(CH)은 메모리 셀 트랜지스터들이 증가형(enhanced mode) 모드로 동작되도록 P+ 도전형을 가질 수도 있다.

[0055] 정보 저장층(SL)의 제 1 절연층(TI)은 전자 또는 홀을 채널층(CH)과 전하 트랩 저장층(CT) 사이에서 주입 및 추출 메커니즘에 의해 이를 가로질러 전공 또는 전자와 같은 전하를 전달할 수 있는 적합한 유전체를 포함할 수 있다. 제 1 절연층(TI)은, 예를 들면, 실리콘 산화물(SiO_2)을 포함할 수 있다. 다른 실시예에서, 읽기/프로그램 동작의 반복적 사이클에 의한 제 1 절연층(TI)의 트랩 전하 밀도의 증가 또는 절연 파괴와 같은 열화를 방지 및 개선하기 위해 다른 유전체층 또는 적층 구조가 적용될 수 있다. 또한, 양호한 데이터 리텐션 성능을 유지하면서 소거 동작 시의 속도를 개선하기 위한 조절된 밴드 터널 스택(band engineered tunnel stack)을 위해 적합한 공지의 유전체층이 선택될 수도 있을 것이다. 상기 조절된 밴드 터널 스택은 소거 동작시 전하 트랩 저장층(CT)으로 홀 주입을 활성화하여 소거 속도를 개선하고 그에 따른 사이클링 열화를 방지하도록 설계될 수 있다. 일 실시예에서, 제 1 절연층(TI)은 복수의 메모리 셀들의 하지뿐만 아니라 메모리 스트링 각 단부의 선택 또는 접지 트랜지스터들(GST, SST)까지 연장되어 이들 트랜지스터의 게이트 절연층(GI)으로서 기능할 수도 있다.

[0056] 전하 트랩 저장층(CT)은 높은 프리 트랩 밀도를 갖는 유전층을 포함하 수 있다. 전하 트랩 저장층(CT)은 실리콘 질화물 또는 다른 전하 트랩이 가능한 유전체를 포함할 수 있다. 전하 트랩 저장층(CT)은 채널층(CH)과 유사하게 인접 메모리 셀들로 확장되어 복수의 메모리 셀들(MC_1, MC_2, MC_3,…, MC_{n-1}, MC_n)에 의해 공유되고, 메모리 셀들마다 분리되지 않고 스트링 단위로, 페이지 단위로, 블록 단위, 또는 플레인(plane) 단위로 일체로 형성될 수 있다.

[0057] 상기 일체로 형성된 전하 트랩 저장층(CT)은 제어 게이트들(CG)의 하부에 각각 배치되는 프로그램 영역들(PA)을 포함한다. 프로그램 영역들(PA)은 선택된 제어 게이트(CG)과 채널층(CH) 사이에 인가되는 전계의 방향에 따라 전하의 양자 효과, 예를 들면, 파울러-노드하임 터널링 기구에 의해 전하가 주입 또는 방출되는 것에 의해 각각 정보의 프로그램 또는 소거가 이루어지는 영역이다. 이와 같이, 전하 트랩 저장층(CT)의 프로그램 영역(PA)에 트랩되는 전하에 따른 각 메모리 셀의 문턱 전압 V_{TH}의 변화를 통해 정보가 기록될 수 있다. 프로그램 영역들(PA)의 사이에는 인터 셀 영역(IA)이 존재한다.

[0058] 제 2 절연층(BI)은 전하 트랩 저장층(CT)에 트랩된 전하가 제어 게이트(CG)로 확산되는 것을 방지하는 블로킹 절연층일 수 있다. 제 2 절연층(BI)은, 예를 들면, 실리콘 산화물(SiO_2)을 포함할 수 있다. 그러나, 이는 예시적이며, 데이터 리텐션의 향상을 위하여, 제 2 절연층(BI)은 양호한 등가산화막 두께(EOT)를 가지면서도 막

두께를 증가시킬 수 있는 알루미늄 산화물(Al_2O_3), 이트륨 산화물(Y_2O_3), 실리콘 질화물(Si_3N_4), 탄탈륨 산화물(Ta_2O_5), 란탄 산화물(La_2O_3), 하프늄 산화물(HfO_2), 또는 타이타늄 산화물(TiO_2)과 같은 고유전율 재료를 포함할 수도 있다.

[0059] 제어 게이트들(CG)은, 도 1에 도시된 것과 같이 워드라인들(WL1, WL2,…, WLn)에 각각 결합될 수 있다. 제어 게이트들(CG)을 형성하는 도전체는, 도핑된 폴리실리콘, 텅스텐(W), 코발트(Co), 니켈(Ni), 파라듐(Pd), 백금(Pt), 티타늄(Ti), 탄탈륨(Ta), 몰리브데늄(Mo), 루테늄(Ru), 어븀(Er), 이의 도전성 실리콘화물(예를 들면, 텅스텐실리콘화물(WSi), 티타늄실리콘화물($TiSi_2$), 코발트실리콘화물($CoSi_2$), 니켈실리콘화물(NiSi), 백금실리콘화물($PtSi_2$), 어븀실리콘화물($ErSi_2$) 또는 몰리브데늄실리콘화물($MoSi_2$)), 이의 도전성 질화물(예를 들면, 티타늄 질화물(TiN) 또는 탄탈륨질화물(TaN)), 및 이의 도전성 산화물(예를 들면, 루테늄산화물(RuO_2)) 중 적어도 어느 하나를 포함할 수 있으며, 이들 재료들은 예시적일 뿐 본 발명이 이에 한정되는 것은 아니다.

[0060] 비휘발성 메모리 소자(100)는 인접하는 제어 게이트들(CG) 사이에 적어도 하나 이상의 서브 게이트(SG)를 더 포함한다. 다른 측면에서, 적어도 하나 이상의 제어 게이트(CG)의 양측에 서브 게이트들(SG)이 제공될 수 있다. 예를 들면, 서로 인접하는 제 1 메모리 셀(MC_{n-2})의 제어 게이트(CG)와 제 2 메모리 셀(MC_{n-1})의 제어 게이트(CG) 사이에 서브 게이트(SG_2)가 제공되고, 다른 측면에서, 제 1 메모리 셀(MC_{n-2})의 제어 게이트(CG)의 양측에 서브 게이트들(SG_1, SG_2)이 제공될 수 있다. 일부 실시예에서, 도 2에 도시된 것과 같이 메모리 셀의 스트링의 일단의 처음 메모리 셀(MC_1)과 타단의 마지막 메모리 셀(MC_n)의 양측 중 인접 메모리 셀이 없는 바깥측에는 서브 게이트(SG)가 생략될 수도 있다. 서브 게이트들(SG)은 제어 게이트와 동일한 도전체로 형성될 수 있으며, 본 발명이 이에 한정되는 것은 아니다.

[0062] 도 3a 및 도 3b는 각각 본 발명의 일 실시예에 따른 서브 게이트(SG)를 갖는 비휘발성 메모리 셀의 프로그램 동작 시의 전기장의 분포 및 그에 따른 전하 트랩 저장층(CT)에 트랩된 프로그램 전하들의 분포 상태(PA)를 모식적으로 나타내는 도면이며, 도 4a 및 도 4b는 각각 서브 게이트(SG)가 없는 종래의 비휘발성 메모리 셀의 프로그램 동작 시의 전기장의 분포 및 그에 따른 전하 트랩 저장층(CT)에 트랩된 프로그램 전하들의 분포 상태(PA)를 모식적으로 나타내는 도면이다.

[0063] 도 3a를 참조하면, 메모리 셀들(MC_{m-1}, MC_m, MC_{m+1}) 중 선택된 메모리 셀(MC_m)의 프로그래밍은 도 1의 제어 회로(180)에 의해, 선택된 제어 게이트(CG)에 대하여, 프로그램 루프 순번을 증가시키면서 단계적으로 증가된 프로그램 전압 V_{PGM}, 즉 프로그램 펄스들을 인가하여 프로그래밍하는 증가형 스텝 펄스 프로그램(Incremental Step Pulse Program; ISPP) 알고리즘에 의해 수행될 수 있다. 상기 프로그래밍 동작은, 예를 들면, 셀프-부스팅(self-boosting) 또는 셀프-부스티드 프로그램 인히비트(self-boosted program inhibit)와 같은 선택된 메모리 셀(MC_m)과 선택되지 않은 메모리 셀들(MC_{m-1}, MC_{m+1}) 사이의 전계 강도를 차등화하는 방식으로 이루어질 수 있다. 예를 들면, 상기 프로그래밍 동작으로서, 선택된 메모리 셀(MC_m)의 제어 게이트(CG)에, 예를 들면, 약 15 V 내지 20 V 정도의 프로그램 전압(V_{PGM})이 인가되고, 나머지 비선택된 메모리 셀들(MC_{m-1}, MC_{m+1})에는 원치 않는 프로그래밍을 방지하기 위해, 예를 들면, 8 V 내지 10 V 정도의 소정의 양의 값을 갖는 프로그램 금지 전압($V_{INHIBIT}$)이 인가될 수 있다.

[0064] 일 실시예에서, 기판 전위(V_{SUB})는 접지되고 도 1의 메모리 셀 어레이(110)를 참조하면, 선택된 메모리 셀 MC_m이 속한 스트링의 스트링 선택 트랜지스터(SST)의 게이트 전극과 비트라인은 접지되고, 다른 비트라인들에는 V_{DD} 전압이 인가될 수 있다. 이후, 프로그램 펄스 이후 당해 기술 분야에 잘 알려진 것과 같이 프로그램된 메모리 셀 MC_m이 타겟 값인 문턱 전압에 도달했는지 여부를 판단하는 검증 단계가 수행될 수 있다.

[0065] 상기 프로그래밍 동작 동안, 선택된 메모리 셀(MC_m)의 제어 게이트(CG)의 양 측에 있는 서브 게이트들(또는, 선택된 서브 게이트들이라 함, SG_1, SG_2)에는 제어 게이트(CG)에 인가되는 프로그램 전압(V_{PGM})의 극성과 반대되는 극성의 전압 V_{SG}이 선택된 서브 게이트 라인(도 1의 SWL1,…, SWLn-1 참조)을 통해 인가될 수 있다. 전압 V_{SG}의 크기는 프로그램 전압에 의한 프린징 필드의 크기와 폭을 상쇄시키기 위해 적절히 조절될 수 있다.

[0066] 일 실시예에서, 비선택된 서브 게이트는 전기적으로 플로팅되거나 비선택된 제어 게이트와 유사하게 인히비트 전압이 인가될 수 있다. 프로그래밍 동작 동안, 제어 게이트(CG)의 측벽으로부터 채널층(CH)으로 발산되는 프린징 필드(fringing field; E_{FR})가 존재하지만, 이와 동시에 서브 게이트들(SG1, SG2)에 인가되는 전압 V_{SG}에 의한 반대 방향의 전계(E_{CF})에 의해 프린징 필드(E_{FR})가 상쇄될 수 있다. 그 결과, 제어 게이트(CG)의 프린징 필드(E_{FG})에 의해 채널층(CH)으로부터 메모리 셀들 사이의 전하 트랩 저장층(CT) 영역(또는, 메모리 셀간 영역(도 2의 IA)임)으로 프로그램 전하가 터널링되는 것이 감소 및 억제되며, 이로써, 전하 트랩 저장층(CT)의 프로그램 영역(PC)이 선택된 메모리 셀(MC_m)의 게이트 전극(CG) 아래로 집중될 수 있어, 프로그램 전하의 분포 폭, 즉, 프로그램 영역(PA)의 폭이 축소될 수 있다.

[0067] 일 실시예에서, 서브 게이트들(SG)의 폭(W_1)은 서브 게이트(SG)와 인접하는 제어 게이트(CG) 사이의 거리(W_2)와의 비(W_1/W_2)가 0.1 내지 1의 범위 내일 수 있다. 비(W_1/W_2)가 0.1 보다 작은 경우, 서브 게이트(SG)와 제어 게이트(CG) 사이의 거리(W_2)가 넓어져 반대 방향의 전계(E_{CF})에 의한 제어 게이트(CG)의 프린징 필드(E_{FR})의 상쇄 효과가 작으며, 비(W_1/W_2)가 1 보다 큰 경우, 서브 게이트의 폭(W_1)으로 인한 집적도의 감소 문제가 있다.

[0068] 이와 대조적으로, 도 4a를 참조하면, 종래의 메모리 셀 구조에서 제어 게이트(CG)를 프로그래밍 동작을 위해, 선택된 메모리 셀(MC_m)의 제어 게이트(CG)에 프로그램 전압(V_{PGM})이 인가되고, 다른 인접하는 비선택된 메모리 셀들(MC_{m-1}, MC_{m+1})의 제어 게이트들(CG)에 프로그램 금지 전압($V_{INHEBIT}$)이 인가되고, 채널층(CH)이 접지되면, 제어 게이트(CG)의 측벽을 통해 인접하는 메모리 셀들(MC_{m-1}, MC_{m+1}) 사이를 지나 채널층(CH)으로 프린징 필드(E_{FR})가 그대로 발산되므로, 프린징 필드(E_{FG})의 크기와 분산 폭은, 도 3a의 메모리 셀 구조에 비해 더 크다. 그에 따라, 도 4b를 참조하면, 프린징 필드(E_{FR})에 의한 채널층(CH)으로부터의 프로그램 전하의 터널링이 메모리 셀들 사이의 영역(도 2의 IA 참조)에서도 발생하여, 메모리 셀들 사이의 영역(IA)에도 상당한 프로그램 전하들이 트랩되어 프로그램 영역(PA)의 폭이 도 3a에 도시된 프로그램 영역(PA)에 비해 더 클 수 있다.

[0069] 종래의 메모리 셀 구조에서는, 프로그래밍 동작이 반복될수록, 전하 트랩 저장층(CT)의 메모리 셀간 영역(IA)으로 프로그램 전하들이 점차 누적될 수 있으며, 상기 누적된 프로그램 전하들에 의해 채널층(CH)의, 메모리 셀간 영역(IA)과 중첩되는 영역에서의 저항 증가가 일어날 수 있으며, 그 결과 트랜스컨덕턴스(gm)와 독출 전류의 열화가 발생될 수 있다. 심지어, 유전체인 전하 트랩 저장층(CT)에서는, 유전체 자체의 풀-프렌켈 에미션(Poole-Frenkel emission), 트랩 전자의 터널링에 의한 호핑 전도(hopping conduction) 또는 공간전하제한 전도(space-charge-limited conduction; SCLC)와 같은 다양한 전도 기구에 의해, 트랩된 프로그램 전화들이 프로그램 영역(PA)으로부터 디트랩되어 인접하는 메모리 셀들(MC_{m-1}, MC_{m+1})쪽으로 스프레딩될 수 있다. 이 경우, 프로그램된 메모리 셀 선택된 메모리 셀(MC_m)의 문턱 전압 V_{TH}이 변동되고, 심하면 메모리 셀(MC_m)의 데이터의 소실 또는 읽기 오류가 초래되고 인접된 메모리 셀의 데이터 상태에도 오류를 초래할 수 있다.

[0070] 본 발명의 실시예에 따르면, 제어 게이트 전극의 하지의 채널층(CH)으로 작용하는 전계의 크기는 일정하게 유지하면서 서브 게이트 전극(SG)에 의해 프린징 필드(E_{FG})의 분산을 억제 또는 차단시킴으로써, 전하 트랩 저장층(CT)의 메모리 셀간 영역(IA)에 프로그램 전하가 누적되는 것을 억제하여, 이로 인한 메모리 동작의 열화를 방지하고 데이터 리텐션 성능을 향상시킬 수 있다.

[0072] 도 5a는 본 발명의 일 실시예에 따른 수직형 채널층(CH)을 갖는 3 차원 비휘발성 메모리 소자(200)를 도시하는 사시도이며, 도 5b는 3 차원 비휘발성 메모리 소자(200)의 선 b-b를 따라 절취한 메모리 스트링(STR)의 단면도이다.

[0073] 도 5a 및 도 5b를 참조하면, 본 발명의 일 실시예에 따른 비휘발성 메모리 소자(200)는, 복수의 메모리 스트링들(STR)을 갖는 메모리 셀 어레이를 포함할 수 있다. 상기 메모리 셀 어레이는 복수의 비트라인들(BL1 ~ BL6), 워드라인들(WL_1 ~ WL_n), 상부 선택 라인들(USL), 하부 선택 라인들(LSL) 및 공통 소오스 라인(기판(10)에 형성된 불순물 영역(11)임)을 포함할 수 있다. 상기 복수의 스트링들(STR)은 비트라인들(BL1~BL6)과 공통 소오스 라인(11)에 사이에 연결될 수 있다.

[0074] 메모리 스트링(STR)은, 상부 및 하부 스트링 선택 트랜지스터들(UST, LST; 각각 도 1의 스트링 선태 트랜지스터

(SST) 및 접지 선택 트랜지스터(GST)에 상당함)와, 상부 및 하부 선택 트랜지스터들(UST, LST) 사이에 직렬로 연결된 복수의 메모리 셀들(MC)을 포함할 수 있다. 상부 스트링 선택 트랜지스터들(UST)의 드레인은 비트라인들(BL1 ~ BL6)과 연결되며, 하부 선택 트랜지스터들(LST)의 소오스는 공통 소오스 라인(11)과 연결될 수 있다. 공통 소오스 라인(11)은 하부 선택 트랜지스터들(LST)의 소오스가 공통으로 연결된 배선이다.

[0075] 상부 스트링 선택 트랜지스터(UST)는 상부 선택 라인(USL)과 연결되며, 하부 스트링 선택 트랜지스터(LST)은 하부 선택 라인(LSL)과 연결될 수 있다. 상부 스트링 선택 트랜지스터(UST) 및 하부 스트링 선택 트랜지스터(LST)는 복수 개일 수도 있다. 또한, 이들 스트링 선택 트랜지스터(UST, LST)도 각각 비휘발성 메모리 셀 구조를 가질 수 있으며, 스트링 선택을 위한 소정의 상태 값을 가질 수 있을 것이다. 각각의 메모리 셀들(MC)의 제어 게이트(CG)는 각각 워드라인(WL1 ~ WLn)에 결합될 수 있다.

[0076] 기판(10) 상에는, 스트링 선택 트랜지스터들(UST, LST) 및 메모리 셀 트랜지스터들(MC)이 직렬 연결되도록 수직 방향(Z 축 방향)으로 신장된 채널층(CH)을 제공하기 위한 복수 개의 반도체 기둥들(PL)이 배치될 수 있다. 반도체 기둥들(PL)은 도시된 것과 같이 도전층들(LSL, WL, USL)을 관통하는 것에 한정되는 것은 아니며, 도전층들(LSL, WL, USL)의 측벽의 일부에 접촉하는 방식으로 결합될 수도 있다.

[0077] 반도체 기둥들(PL)은 상기 기판(10)의 불순물 영역(11)과 전기적으로 연결될 수 있다. 반도체 기둥들(PL)은 도 6b에 도시된 것과 같이 내부의 코어가 절연체 기둥(IP)이고 그 측벽을 채널층(CH)이 될 반도체 재료층이 둘러싸는 코어-쉘 구조를 가질 수도 있다. 다른 실시예에서, 반도체 기둥들(PL)은 그 전체가 채널층(CH)을 제공하기 위한 솔리드 타입의 반도체층이거나, 내부가 비어 있는 중공형 반도체 기둥일 수도 있다.

[0078] 일 실시예에서, 반도체 기둥들(PL)의 채널층(CH)에 관하여는, 도 2를 참조하여 개시된 채널층(CH)의 특징들이 모순되지 않는 한 참조될 수 있다. 예를 들면, 반도체 기둥들(PL)은 도 2를 참조하여 전술한 것과 같이, 단결정 또는 다결정의 반도체 재료를 포함할 수 있다. 또한, 상기 반도체 재료는, 실리콘(Si), 게르마늄(Ge), 실리콘-게르마늄 화합물, GaAs 및 InP와 같은 Ⅲ-Ⅴ족 반도체 재료를 포함할 수 있다. 그러나, 이들 재료들은 예시적이며, 본 발명이 이에 제한되는 것은 아니다. 예를 들면, 반도체 기둥들(PL)은 탄소나노튜브 또는 그래핀 또는 금속 산화물과 같은 반도체 재료에 의해서도 채널층(CH)을 제공할 수 있다. 필요에 따라, 채널층(CH)은 N+ 또는 P+ 도전형의 반도체 형성을 위해 불순물 원소가 도핑될 수도 있다.

[0079] 복수의 메모리 셀들이 정의되는 반도체 기둥들(PL)의 측벽 상에는 정보 저장층(SL)이 형성될 수 있다. 정보 저장층(SL)은 채널층(CH)으로부터 제어 게이트(CG) 쪽으로 차례로 제 1 절연층(TI), 전하 트랩 저장층(CT), 및 제 2 절연층(BI)을 포함할 수 있다. 제 1 절연층(TI)은 터널링 절연층이고, 제 2 절연층(BI)은 블로킹 절연층일 수 있다. 이들 유전체들의 적층 구조는 메모리 셀들마다 개별화되지 않고 인접하는 메모리 셀들로 연속 확장됨으로써, 전하 트랩 저장층(CT)은 단일 스트링을 구성하는 복수의 메모리 셀들에 의해 공유될 수 있다. 터널링 절연층(TI)은 반도체 기둥(PL)과 선택 라인 패턴(SLP) 사이로 연장되어 게이트 절연층(GI)으로서 기능할 수도 있다. 또한, 제어 게이트들(CG)의 측벽을 따라 정보 저장층(SL) 중 적어도 일부가 제어 게이트들(CG) 사이의 공간을 채우도록 형성될 수도 있다.

[0080] 제어 게이트(CG)는 도핑된 폴리실리콘, 알루미늄(Al), 구리(Cu), 텅스텐(W), 코발트(Co), 니켈(Ni), 크롬(Cr), 망간(Mn), 파라듐(Pd), 지르코늄(Zr), 금(Au), 백금(Pt), 이리듐(Ir), 티타늄(Ti), 탄탈륨(Ta), 몰리브데늄(Mo), 루테늄(Ru), 로듐(Rh), 바나듐(V), 어븀(Er), 이의 도전성 실리콘화물, 이의 도전성 질화물, 및 이의 도전성 산화물 중 적어도 어느 하나를 포함할 수 있으며, 이들 재료들은 예시적일 뿐 본 발명이 이에 한정되는 것은 아니다.

[0081] 인접하는 제어 게이트들(CG) 사이에 서브 게이트(SG)가 제공된다. 다른 측면에서, 적어도 하나 이상의 제어 게이트(CG)의 양측에 서브 게이트들(SG)이 제공될 수 있다. 서브 게이트(SG)는 제어 게이트(CG)와 동일한 도전성 재료로 형성될 수 있다. 이들 서브 게이트(SG)는 각각 서브 워드라인들(SWL_1, SWL_2,…, SWL_{n-1})에 결합되어 행 디코더(도 1의 120)에 연결될 수 있다.

[0082] 일부 실시예에서, 메모리 셀의 스트링의 일단의 처음 메모리 셀(MC_1)과 타단의 마지막 메모리 셀(MC_n)의 양측 중 인접 메모리 셀이 없는 바깥측에는 서브 게이트(SG)가 생략될 수도 있다. 도시된 실시예에서는, 인접하는 제어 게이트들(CG) 사이에 하나의 서브 게이트(SG)가 제공되지만, 이는 예시적일 뿐 본 발명이 이에 한정되는 것은 아니다. 예를 들면, 제어 게이트들(CG) 사이에 2 이상의 서브 게이트(SG)가 제공될 수도 있으며, 이들 복수의 서브 게이트들(SG)은 제어 게이트들(CG) 사이를 적절히 분할하여 배치될 수 있으며, 선택된 메모리 셀의 프로그램시 서브 게이트들 중 선택된 메모리 셀에 가장 가까운 제 1 서브 게이트는 선택된 메모리 셀의 제어 게이트에

인가되는 프로그램 전압과 반대 극성의 전압으로 바이어스될 수 있고, 선택된 메모리 셀로부터 멀리 떨어진 제 2 서브 게이트는 전기적으로 플로팅되거나 인히비트 전압이 인가될 수 있다.

[0083] 본 발명의 실시예에 따르면, 비휘발성 메모리 소자(200)의 프로그래밍 동작시, 선택된 제어 게이트(CG) 하지의 채널층(CH)으로 작용하는 전계의 크기는 일정하게 유지하면서 게이트 전극(CG)의 측벽을 통해 발산되는 프린징 필드를 서브 게이트(CL)에 의해 감소 또는 소거시켜, 상기 프린징 필드의 크기와 분산 폭을 억제하여 전하 트랩 저장층(CT)의 메모리 셀간 영역(IA)에 누적될 수 있는 프로그램 전하의 트랩을 억제할 수 있으며, 이로써 동작에 따른 열화와 오류를 방지하고 데이터 리텐션 특성을 향상시킬 수 있다.

[0084] 도시한 수직 채널형 3 차원 비휘발성 메모리 소자는, 예시적일 뿐 본 발명이 이에 한정되는 것은 아니라. 예를 들면, 수직 채널형 3 차원 비휘발성 메모리 소자는 당해 기술 분야에서 잘 알려진 바와 같이, 상용화된 본 출원인의 SMArT, BiCS(Bit Cost Scalable technology), P-Bics (Piped-Bics), VRAT(Vertical-Recess-Array-Transistor) 또는 TCAT(Terabit Cell Array Transistor) 구조의 특징들이 다양하게 변형 실시될 수 있다.

[0086] 도 6a 내지 도 6g는 본 발명의 일 실시예에 따른 3 차원 비휘발성 메모리 소자의 제조 방법을 순차대로 설명하는 단면도들이다. 도시된 구성 요소들 중 전술한 구성 요소들과 동일한 참조 부호를 갖는 구성 요소에 관하여는 모순되지 않는 한 전술한 내용이 참조될 수 있다.

[0087] 도 6a를 참조하면, 기판(10)이 제공된다. 기판(10)에는 공통 소스 라인을 형성하기 위한 불순물 영역(11)이 형성될 수 있다. 기판(10) 상에 절연막(IL)과 도전막(ML1, ML2, ML3)을 교번하여 반복 적층하여 적층 구조(LS)를 형성한다. 절연막(IL)은 스트링 선택 트랜지스터들과 메모리 셀 트랜지스터들의 각 제어 게이트들을 서로 전기적으로 분리하기 위한 박막일 수 있다. 도전막들(ML1, ML2, ML3) 중 제 1 도전막(ML1)은 선택 트랜지스터의 게이트 전극(도 5b의 LSL, USL 참조)을 형성하기 위한 박막이고, 제 2 도전막(ML2)은 메모리 셀의 제어 게이트들(도 5b의 CG 참조)을 형성하기 위한 도전막이며, 제 3 도전막(ML3)은 서브 게이트(도 5b의 SG)를 형성하기 위한 박막이다. 이들 절연막(IL)과 도전막 스택(ML1-ML3)의 반복 적층의 회수는 메모리 셀들, 선택 트랜지스터, 및 접지 트랜지스터의 개수를 고려하여 결정될 수 있다. 제 1 및 제 3 도전막(ML1, ML2, ML3)은 물리기상증착, 화학기상증착 또는 원자층 증착과 같은 박막 형성 공정을 통해 형성될 수 있다.

[0088] 일 실시예에서, 제 3 도전막(ML3)의 두께(W_1)는 제 3 도전막(ML3)와 인접하는 제 2 도전막(ML2)과의 거리, 즉 이들 사이의 절연막(IL)의 두께(W_2)와의 비(W_1/W_2)가 0.1 내지 1의 범위 내일 수 있다. 이에 관하여는, 도 3b를 참조하여 설명한, 비(W_1/W_2)에 관한 특징을 참조할 수 있다.

[0089] 도 6b를 참조하면, 이후, 절연막(IL)과 도전막들(ML1-ML3)의 적층 구조(LS)를 깊이 방향(-Z축 방향)으로 연속적으로 패터닝하여 기판(10)에 수직한 관통 홀들(H)을 형성한다. 후속 공정을 통해, 관통 홀들(H)의 각 내부 영역에 메모리 스트링이 형성된다. 따라서, 관통 홀들(H)의 폭(t)은 후속하여 형성될 반도체 기둥(도 6b의 PL 참조)의 폭과 정보 저장층(SL)의 두께를 고려하여 결정될 수 있다. 관통 홀들(H)의 Z 축 방향에 수직한 단면 형상은 원형 또는 타원형일 수 있으며, 본 발명이 이에 제한되는 것은 아니다.

[0090] 도 6c를 참조하면, 이후, 관통 홀들(H)의 측벽 상에 정보 저장막(SL')을 형성한다. 정보 저장막(SL')은 우수한 단차 피복성을 갖는 박막 형성 공정, 예를 들면, 화학기상증착 또는 원자층증착 공정을 통해 형성될 수 있다. 정보 저장막(SL')은, 도 5b에 개시된 것과 같이, 터널링 절연막(TI'), 전하 트랩 저장막(CT'), 및 블로킹 절연막(BI')을 순차 형성함으로써 제공될 수 있다. 정보 저장막(SL')이 관통 홀들(H)을 일부 채움으로써 적층 구조(SL)에 홈 영역(G)이 형성된다.

[0091] 도 6d를 참조하면, 기판(10) 표면 상의 정보 저장막(SL')의 일부가 제거될 수 있다. 정보 저장막(SL')의 기판(10) 주면에 평행한 일부 제거는, 플라즈마를 이용한 이방성 에치백 공정을 통해 수행될 수 있다. 상기 이방성 에치백 공정에 의해, 정보 저장막(SL')의 적층 구조(LS) 상의 부분과 홈 영역(G)의 저부 상의 부분이 제거되어, 기판(10)의 공통 소스 라인(11)을 노출시킬 수 있다. 그 결과, 홈 영역(G)의 측벽을 따라 형성된 정보 저장층(SL)이 제공될 수 있다.

[0092] 도 6e를 참조하면, 정보 저장층(SL)에 의해 한정된 홈 영역(G)내에 기판(10)에 대해 수직 방향(Z축 방향)으로 연장된 채널층(CH)을 포함하는 반도체 기둥(PL)이 형성될 수 있다. 반도체 기둥(PL)의 형상은, 내부의 코어가 절연체 기둥(IP)이고 그 측벽을 채널층(CH)이 둘러싸는 코어-쉘 구조를 가질 수도 있다. 이를 위해, 홈 영역(G)의 측벽 상에 먼저 채널층(CH)이 될 소정 두께의 반도체 재료막을 형성하고, 빈 영역에 절연체(IP)를 채움으

로써 상기 코어-쉘 구조의 반도체 기둥(PL)이 제공될 수 있다. 선택적으로는, 홈 영역(G) 내 전체를 반도체 재료로 채움으로써, 솔리드 타입의 반도체 기둥이 제공될 수도 있다. 채널층(CH)의 저부는 기판(10) 상에 형성된 공통 소오스 라인(11)에 전기적으로 연결될 수 있다.

[0093] 반도체 기둥(PL)의 재료 및 다른 특징과 관련하여서는, 전술한 개시 사항을 참조할 수 있으며, 우수한 단차 피복성(step coverage)을 갖는 화학기상증착 또는 원자층 증착을 통해 형성될 수 있다. 또한, 전술한 것과 같이, 반도체 기둥들(PL)은 Z 축 방향으로 수직 정렬된 것에 한정되지 않고, 공지의 Piped BiCs (P-BicS) 구조와 같은 U자 형상을 가질 수도 있다.

[0094] 도 6f를 참조하면, 반도체 기둥들(PL)이 형성된 적층 구조(LS)에 대하여, 제 1 방향(X 방향) 및 수직 방향(Z 방향)으로 확장된 트렌치 영역(T)를 형성한다. 그 결과, X 방향으로 정렬된 메모리 스트링들에 결합되는 하부 선택 라인(LSL), 상부 선택 라인(USL) 및 워드라인들(WL)이 형성되어 소자 분리가 달성된다.

[0095] 이후, 도 6g을 참조하면, 트렌치 영역(T)을 절연막으로 채워, 소자 분리층(SI)이 제공되고, 소자 분리층(SI)에 의해 제 2 방향(예를 들면, Y 방향)으로 메모리 스트링들 사이의 전기적 분리가 달성된다. 후속하여, 반도체 기둥들(PL)의 채널층(CH)과 접촉하는 비트라인과 같은 배선(미도시)을 형성함으로써, 도 5a에 도시된 것과 같은 3 차원 비휘발성 메모리 소자(200)가 제공될 수 있다.

[0096] 전술한 제조 방법은 예시적인 것으로서 본 발명이 이에 한정되는 것은 아니다. 예를 들면, 도 6a를 참조하면, 메모리 셀들, 선택 트랜지스터, 및 접지 트랜지스터의 개수를 고려하여, 기판 상에 기판(10) 상에 절연막과 희생막을 교번하여 반복 적층할 수 있다. 이때, 희생막은 절연막과 양호한 식각 선택비를 갖는 재료로 형성될 수 있다. 이후, 도 6b에서와 같이, 상기 절연막과 상기 희생막의 적층 구조를 깊이 방향(-Z축 방향)으로 연속적으로 패터닝하여 기판에 수직한 관통 홀들을 형성하고, 상기 관통 홀들의 각 내부 영역에 반도체 기둥(도 6b의 PL 참조)을 형성한다. 상기 반도체 기둥들이 형성된 적층 구조에 대하여, 제 1 방향(X 방향) 및 수직 방향(Z 방향)으로 확장된 제 1 트렌치 영역를 형성하고, 상기 제 1 트렌치 영역을 통해 노출된 절연막 패턴과 희생막 패턴의 적층 구조를 형성할 수 있다. 이후, 상기 희생막 패턴과 절연막 패턴 사이의 식각 선택비를 이용하여 습식 식각에 의해 상기 희생막 패턴만을 선택적으로 제거할 수 있다. 이후, 적층된 절연막 패턴들 사이로 반도체 기둥의 측벽, 즉 채널층(CH)이 노출되는 셀 공간들과 서브 게이트 공간들이 형성될 수 있다. 이후, 노출된 셀 공간들과 서브 게이트 공간들에 우수한 단차 피복성을 갖는 박막 형성 공정을 통하여, 정보 저장막을 형성할 수도 있을 것이다.

[0098] 도 7은 본 발명의 일 실시예에 따른 메모리 시스템(500)을 도시하는 블록도이다.

[0099] 도 7을 참조하면, 메모리 시스템(500)은 메모리 컨트롤러(510) 및 비휘발성 메모리 소자(520)를 포함한다. 메모리 컨트롤러(510)는 비휘발성 메모리 소자(520)에 대해 에러정정코드를 수행할 수 있다. 메모리 컨트롤러(510)는 외부로부터의 명령어와 어드레스를 참조하여 비휘발성 메모리 소자(520)를 제어할 수 있다.

[0100] 메모리 컨트롤러(510)는 호스트로부터 쓰기 요청을 수신하면, 쓰기 요청된 데이터에 대한 에러 정정 인코딩을 수행할 수 있다. 또한, 메모리 컨트롤러(510)는 상기 인코딩된 데이터를 제공된 어드레스에 대응하는 메모리 영역에 프로그램하도록 비휘발성 메모리 소자(520)를 제어할 수 있다. 또한, 메모리 컨트롤러(510)는 읽기 동작시 비휘발성 메모리 소자(520)로부터 출력된 데이터에 대한 에러 정정 디코딩을 수행할 수 있다. 상기 에러 정정 디코딩에 의해서 출력 데이터에 포함되는 에러가 정정될 수 있다. 상기 에러의 검출 및 정정을 수행하기 위하여 메모리 컨트롤러(510)는 에러 정정 블록(515)을 포함할 수 있다.

[0101] 비휘발성 메모리 소자(520)는 메모리 셀 어레이(521) 및 페이지 버퍼(523)를 포함할 수 있다. 메모리 셀 어레이(521)는 싱글 레벨 메모리 셀 또는 2 이상의 비트의 멀티 레벨 메모리 셀의 어레이를 포함할 수 있다. 메모리 컨트롤러(510)는 프로그램 명령을 수신하면, 전술한 실시예들에 따라, 프린징 필드의 분산이 제한되어, 전하 트랩 저장층의 메모리 셀 사이의 영역에 누적되는 프로그램 전하를 감소 또는 억제할 수 있다.

[0103] 도 8은 본 발명의 일 실시예에 따른 고상 디스크(이하, SSD)를 포함하는 저장 장치(1000)를 도시하는 블록도이다.

[0104] 도 8을 참조하면, 저장 장치(1000)는 호스트(1100)와 SSD(1200)를 포함한다. SSD(1200)는 SSD 컨트롤러(1210), 버퍼 메모리(1220), 그리고 비휘발성 메모리 소자(1230)를 포함할 수 있다. SSD 컨트롤러(1210)는 호

스트(1100)와 SSD(1200) 사이의 전기적 및 물리적 연결을 제공한다. 일 실시예에서, SSD 컨트롤러(1210)는 호스트(1100)의 버스 포맷(Bus format)에 대응하여 SSD(1200)와의 인터페이싱을 제공한다. 또한, SSD 컨트롤러(1210)는, 호스트(1100)로부터 제공되는 명령어를 디코딩하고 디코딩된 결과에 따라, 비휘발성 메모리 소자(1230)를 액세스할 수 있다. 호스트(1100)의 버스 포맷(Bus format)의 비제한적 예로서, USB(Universal Serial Bus), SCSI(Small Computer System Interface), PCI express, ATA(Advanced Technology Attachment), PATA(Parallel ATA), SATA(Serial ATA), 및 SAS(Serial Attached SCSI)이 포함될 수 있다.

[0105] 버퍼 메모리(1220)에는 호스트(1100)로부터 제공되는 쓰기 데이터 또는 비휘발성 메모리 소자(1230)로부터 독출된 데이터가 임시 저장될 수 있다. 호스트(1100)의 읽기 요청시에 비휘발성 메모리 소자(1230)에 존재하는 데이터가 캐시되어 있는 경우에는, 버퍼 메모리(1220)는 캐시된 데이터를 직접 호스트(1100)로 제공하는 캐시 기능이 제공될 수 있다. 일반적으로, 호스트(1100)의 버스 포맷(예를 들면, SATA 또는 SAS)에 의한 데이터 전송 속도는 SSD(1200)의 메모리 채널의 전송 속도보다 더 빠를 수 있다. 이 경우, 대용량의 버퍼 메모리(1220)가 제공되어 속도 차이로 발생하는 성능 저하를 최소화할 수 있다. 이를 위한 버퍼 메모리(1220)는 충분한 버퍼링을 제공하기 위해 동기식 DRAM(Synchronous DRAM)일 수 있지만, 이에 한정되는 것은 아니다.

[0106] 비휘발성 메모리 소자(1230)는 SSD(1200)의 저장 매체로서 제공될 수 있다. 예를 들면, 비휘발성 메모리 소자(1230)는 전술한 실시예에 따른 대용량의 저장 능력을 가지는 낸드 플래시 메모리(NAND-type Flash memory)일 수 있다. 또 다른 예에서, 비휘발성 메모리 소자(1230)로서 노어 플래시 메모리, 상변화 메모리, 자성 메모리, 저항 메모리, 강유전체 메모리 또는 이들 중 선택된 이종의 메모리 장치들이 혼용되는 메모리 시스템도 적용될 수 있다.

[0108] 도 9는 본 발명의 다른 실시예에 따른 메모리 시스템(2000)을 도시하는 블록도이다.

[0109] 도 9를 참조하면, 본 발명에 따른 메모리 시스템(2000)은 메모리 컨트롤러(2200) 및 플래시 메모리 소자(2100)를 포함할 수 있다. 플래시 메모리 소자(2100)는 전술한 비휘발성 메모리 소자에 관한 특징들을 포함할 수 있다. 플래시 메모리 소자(2100)는 타깃 상태들을 검증할 때 비정상 속도를 갖는 메모리 셀들을 검출할 수 있어 고속의 신뢰성 있는 프로그램 성능을 가질 수 있다.

[0110] 메모리 컨트롤러(2200)는 플래시 메모리 소자(2100)를 제어하도록 구성될 수 있다. SRAM(2230)은 CPU(2210)의 동작 메모리로서 사용될 수 있다. 호스트 인터페이스(2220)는 메모리 시스템(2000)과 접속되는 호스트의 데이터 교환 프로토콜을 구현할 수 있다. 메모리 컨트롤러(2200)에 구비된 에러 정정 회로(2240)는 플래시 메모리(2100)로부터 독출된 데이터에 포함된 에러를 검출 및 정정할 수 있다. 메모리 인터페이스(2260)는 본 발명의 플래시 메모리(2100)와 인터페이싱할 수 있다. CPU(2210)는 메모리 컨트롤러(2200)의 데이터 교환을 위한 제반 제어 동작을 수행할 수 있다. 본 발명에 따른 메모리 시스템(2000)은 호스트(Host)와의 인터페이싱을 위한 코드 데이터를 저장하는 ROM(미도시됨)을 더 포함할 수 있다.

[0111] 메모리 컨트롤러(2100)는 USB, MMC, PCI-E, SAS, SATA, PATA, SCSI, ESDI, 또는 IDE과 같은 다양한 인터페이스 프로토콜들 중 어느 하나를 통해 외부 회로(예를 들면, 호스트)와 통신하도록 구성될 수 있다. 본 발명에 따른 메모리 시스템(2000)은, 컴퓨터, 휴대용 컴퓨터, UMPC (Ultra Mobile PC), 워크스테이션, 넷북(net-book), PDA, 포터블(portable) 컴퓨터, 웹 타블렛(web tablet), 무선 전화기(wireless phone), 모바일 폰(mobile phone), 스마트폰(smart phone), 디지털 카메라(digital camera), 디지털 음성 녹음기(digital audio recorder), 디지털 음성 재생기(digital audio player), 디지털 영상 녹화기(digital picture recorder), 디지털 영상 재생기(digital picture player), 디지털 동영상 녹화기(digital video recorder), 디지털 동영상 재생기(digital video player), 정보를 무선 환경에서 송수신할 수 있는 장치, 홈 네트워크와 같은 다양한 사용자 장치들에 적용될 수 있다.

[0113] 도 10은 본 발명의 다른 실시예에 따른 데이터 저장 장치(3000)를 도시하는 블록도이다.

[0114] 도 10을 참조하면, 본 발명에 따른 데이터 저장 장치(3000)는 플래시 메모리(3100) 및 플래시 컨트롤러(3200)를 포함할 수 있다. 플래시 컨트롤러(3200)는 데이터 저장 장치(3000)의 외부 회로로부터 수신된 제어 신호들에 기초하여 플래시 메모리(3100)를 제어할 수 있다. 플래시 메모리(3100)의 3 차원 메모리 어레이 구조는, 예를 들면, 채널 적층형 구조, 직선형 BICs 구조(straight-shaped Bit Cost Scalable 구조), 및 파이프형 BICs(pipe-shaped Bit Cost Scalable) 구조일 수 있으며, 상기 구조는 예시적일 뿐 본 발명이 이에 한정되는

것은 아니다.

[0115] 본 발명의 데이터 저장 장치(3000)는 메모리 카드 장치, SSD 장치, 멀티미디어 카드 장치, SD 카드, 메모리 스틱 장치, 하드 디스크 드라이브 장치, 하이브리드 드라이브 장치, 또는 범용 직렬 버스 플래시 장치를 구성할 수 있다. 예를 들면, 본 발명의 데이터 저장 장치(3000)는 디지털, 카메라, 또는 개인 컴퓨터와 같은 전자 장치를 사용하기 위한 표준 또는 규격을 만족하는 메모리 카드일 수 있다.

[0117] 도 11은 본 발명의 일 실시예에 따른 플래시 메모리 소자(4100) 및 이를 포함하는 컴퓨팅 시스템(4000)을 도시하는 블록도이다.

[0118] 도 11을 참조하면, 본 발명에 따른 컴퓨팅 시스템(4000)은 버스(4400)에 전기적으로 연결된 플래시 메모리 소자(4100), 메모리 컨트롤러(4200), 베이스밴드 칩셋(baseband chipset)과 같은 모뎀(4300), 마이크로프로세서(4500), 그리고 사용자 인터페이스(4600)를 포함할 수 있다.

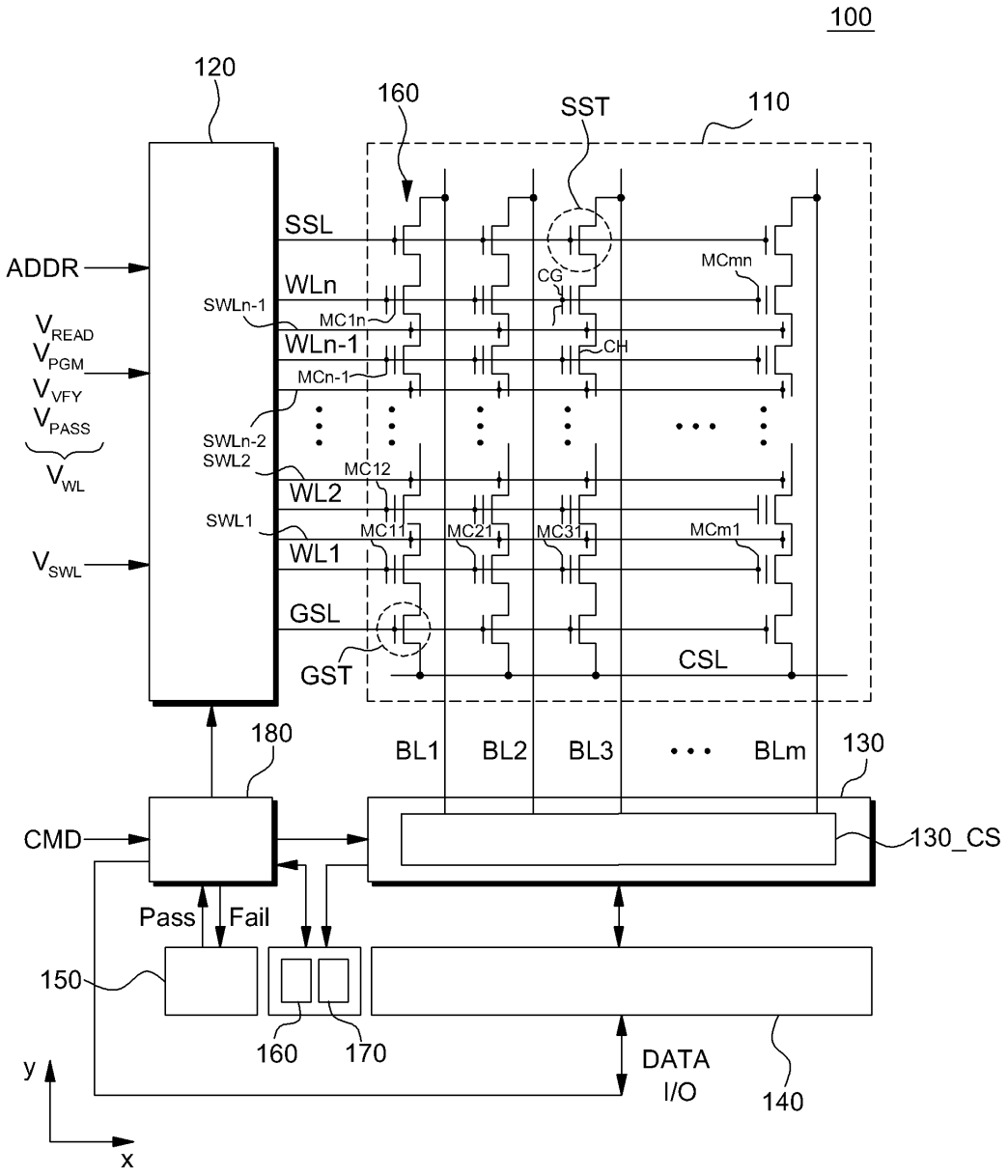
[0119] 도 11에 도시된 플래시 메모리 소자(4100)는 전술한 비휘발성 메모리 소자일 수 있다. 본 발명에 따른 컴퓨팅 시스템(4000)은 모바일 장치일 수 있으며, 이 경우, 컴퓨팅 시스템(4000)의 동작 전압을 공급하기 위한 배터리(4700)가 더 제공될 수 있다. 도시하지는 아니하였지만, 발명에 따른 컴퓨팅 시스템에는 응용 칩셋(application chipset), 카메라 이미지 프로세서(Camera Image Processor: CIS), 또는 모바일 디램이 더 제공될 수 있다. 메모리 컨트롤러(4200) 및 플래시 메모리 장치(4100)는, 예를 들면, 데이터를 저장하는 비휘발성 메모리 소자를 사용하는 SSD(Solid State Drive/Disk)를 구성할 수 있다.

[0120] 본 발명에 따른 불휘발성 메모리 장치 그리고/또는 메모리 컨트롤러는 다양한 형태들의 패키지를 이용하여 실장될 수 있다. 예를 들면, 본 발명에 따른 플래시 메모리 장치 그리고/또는 메모리 컨트롤러는 PoP(Package on Package), Ball grid arrays(BGAs), Chip scale packages(CSPs), Plastic Leaded Chip Carrier(PLCC), Plastic Dual In-Line Package(PDIP), Die in Waffle Pack, Die in Wafer Form, Chip On Board(COB), Ceramic Dual In-Line Package(CERDIP), Plastic Metric Quad Flat Pack(MQFP), Thin Quad Flatpack(TQFP), Small Outline(SOIC), Shrink Small Outline Package(SSOP), Thin Small Outline(TSOP), System In Package(SIP), Multi-Chip Package(MCP), Wafer-level Fabricated Package(WFP), 또는 Wafer-Level Processed Stack Package(WSP)와 같은 패키지들을 이용하여 실장될 수 있다.

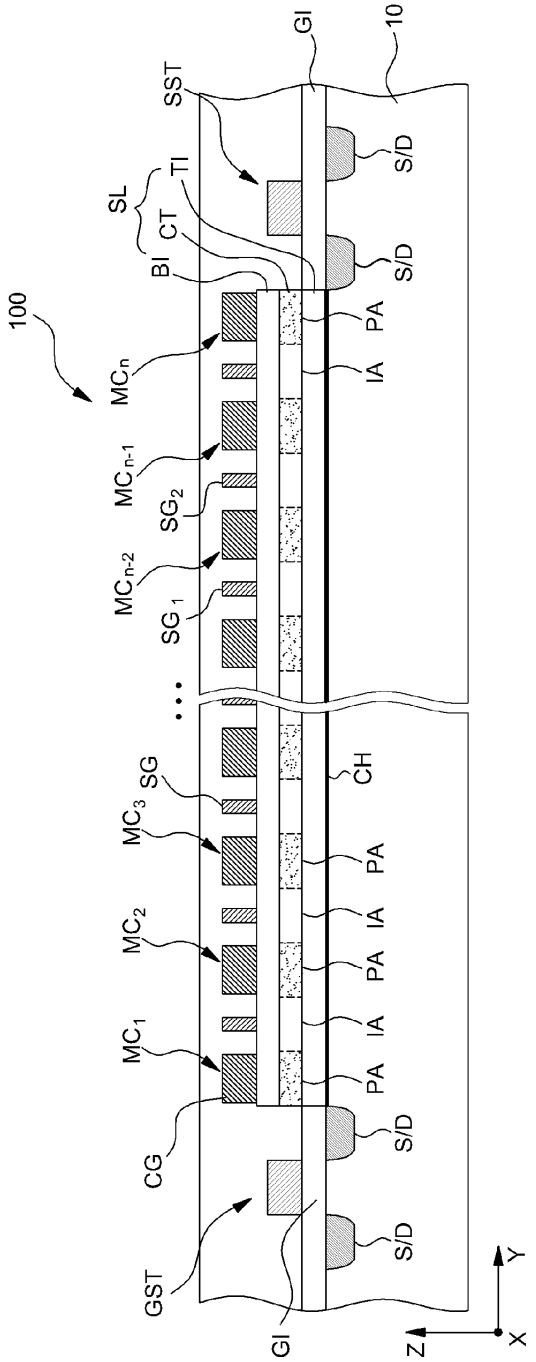
[0122] 이상에서 설명한 본 발명이 전술한 실시예 및 첨부된 도면에 한정되지 않으며, 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 여러가지 치환, 변형 및 변경이 가능하다는 것은, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 있어 명백할 것이다.

도면

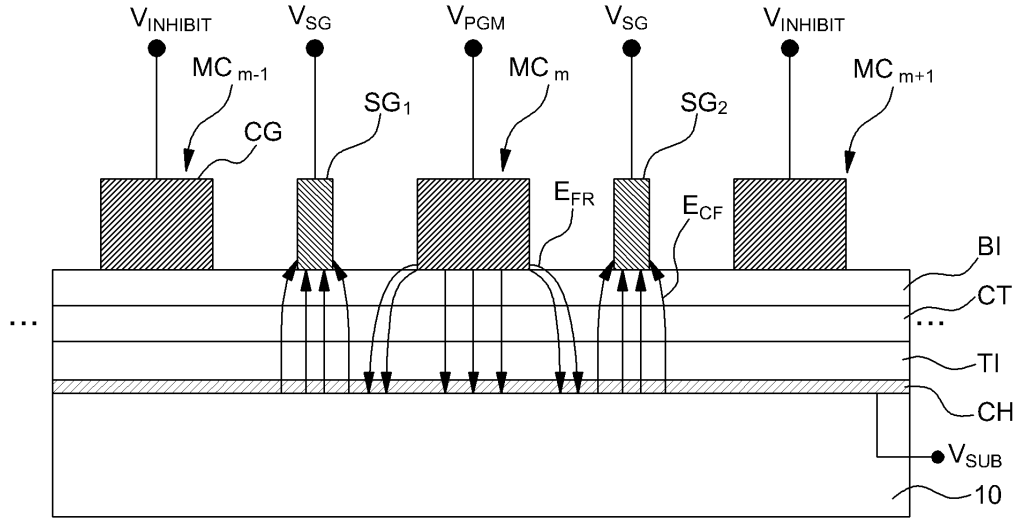
도면1


100
120
160
SST
110
SSL
ADDR
WLn
SWLn-1
MC1n
MCmn
CG
CH
WLn-1
MCn-1
V_{READ}
V_{PGM}
V_{VFY}
V_{PASS}
V_{WL}
SWLn-2
SWL2
MC12
WL2
SWL1
MC11
MC21
MC31
MCm1
WL1
V_{SWL}
GSL
GST
CSL
180
BL1
BL2
BL3
BLm
130
CMD
130_CS
Pass
Fail
150
160
170
DATA
I/O
140
y
x

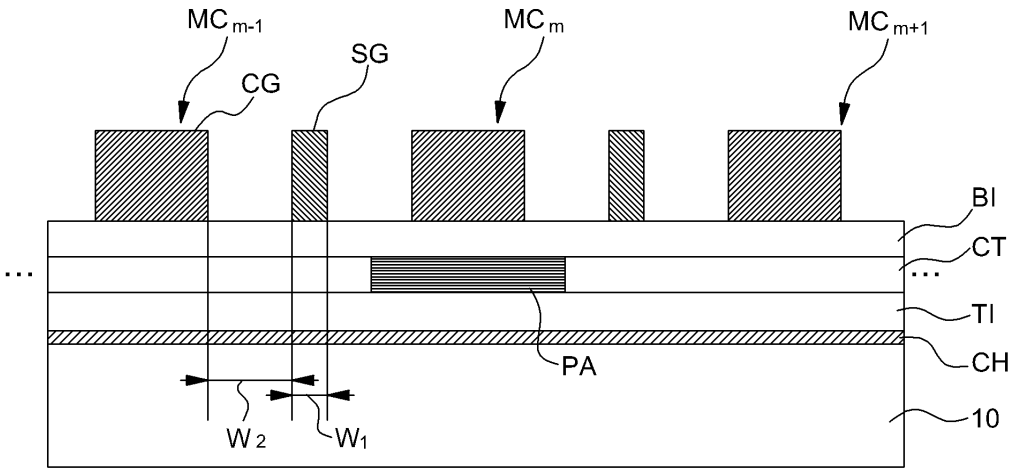
도면2


100
SST
GI
10
SL
TI
CT
BI
S/D
S/D
PA
IA
MCn
MCn-1
SG2
MCn-2
SG1
SG
MC3
MC2
MC1
CG
GST
CH
PA
IA
PA
IA
PA
S/D
S/D
GI
Y
X
Z

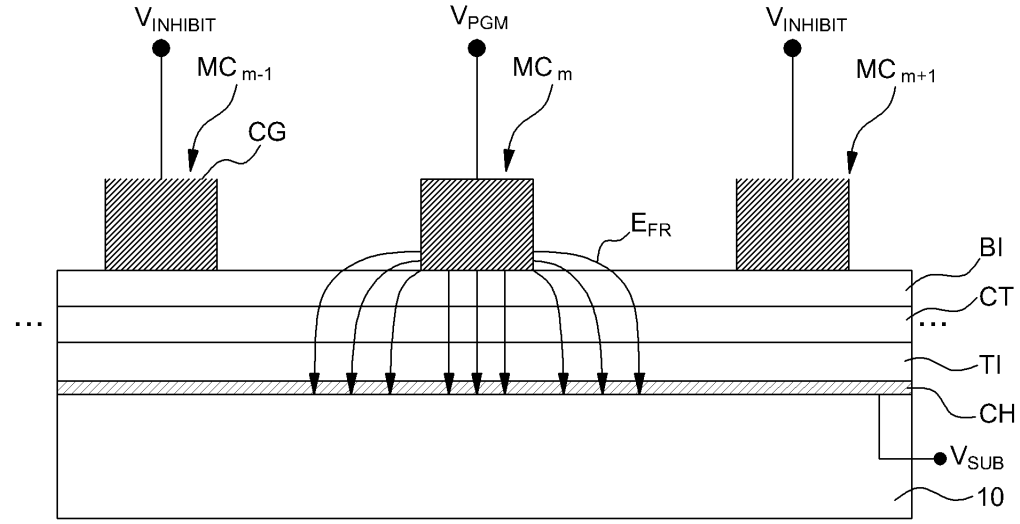
도면3a



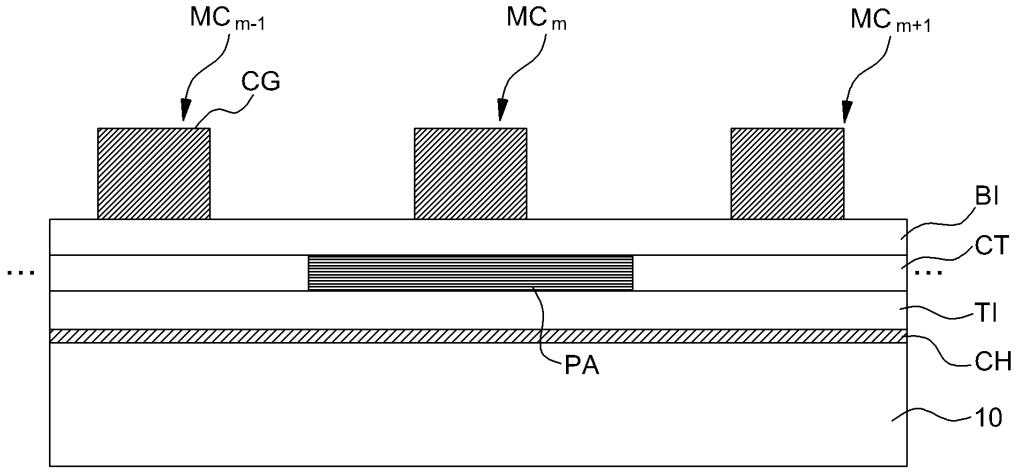
도면3b



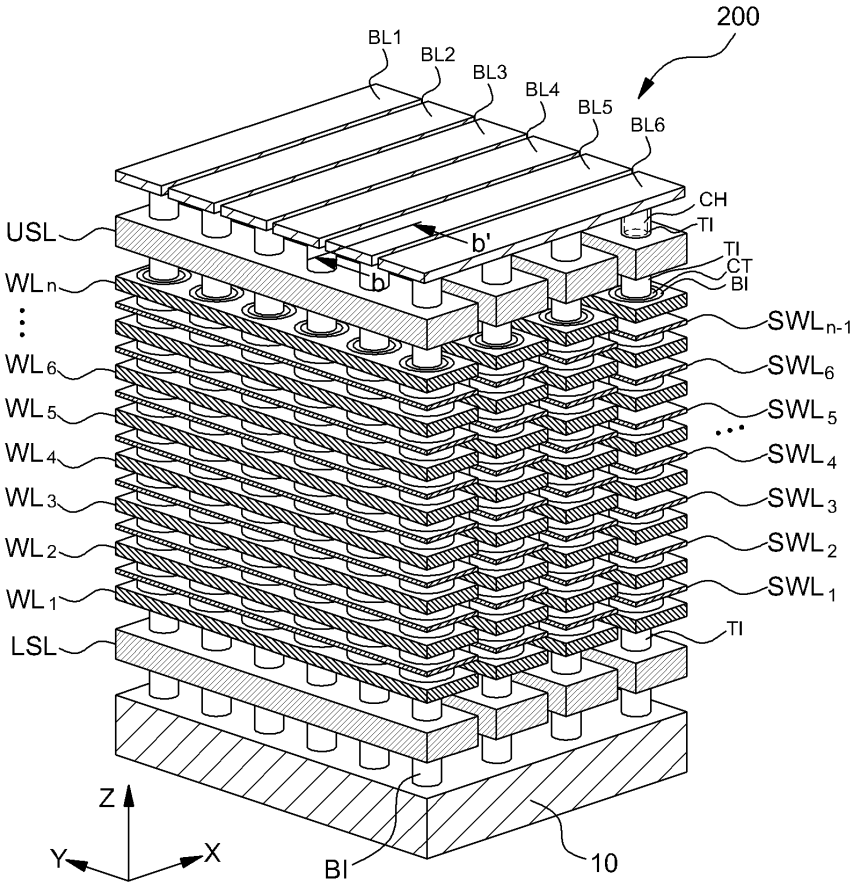
도면4a



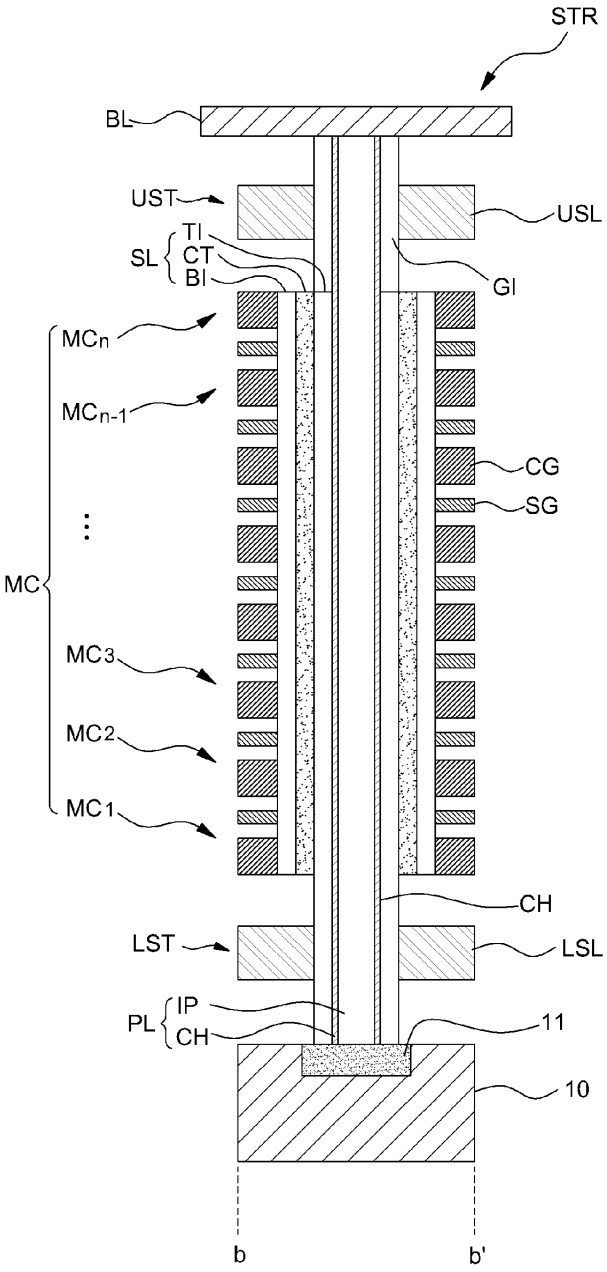
도면4b


MC m-1
MC m
MC m+1
CG
BI
CT
TI
CH
PA
10

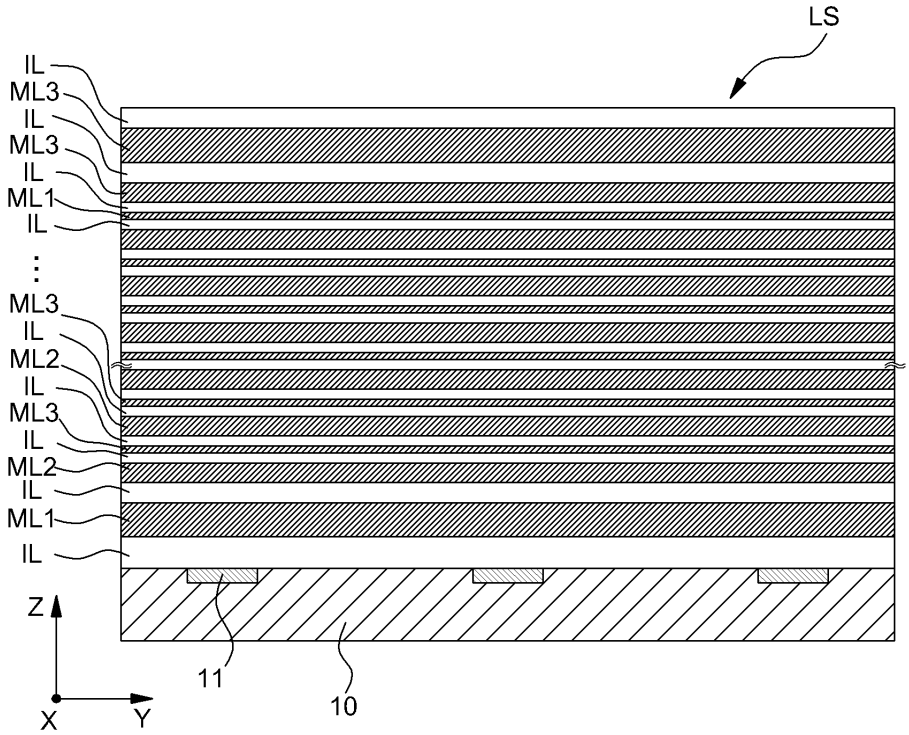
도면5a


200
BL1
BL2
BL3
BL4
BL5
BL6
USL
WL n
WL 6
WL 5
WL 4
WL 3
WL 2
WL 1
LSL
CH
TI
TI
CT
BI
SWL n-1
SWL 6
SWL 5
SWL 4
SWL 3
SWL 2
SWL 1
TI
b
b'
Z
Y
X
BI
10

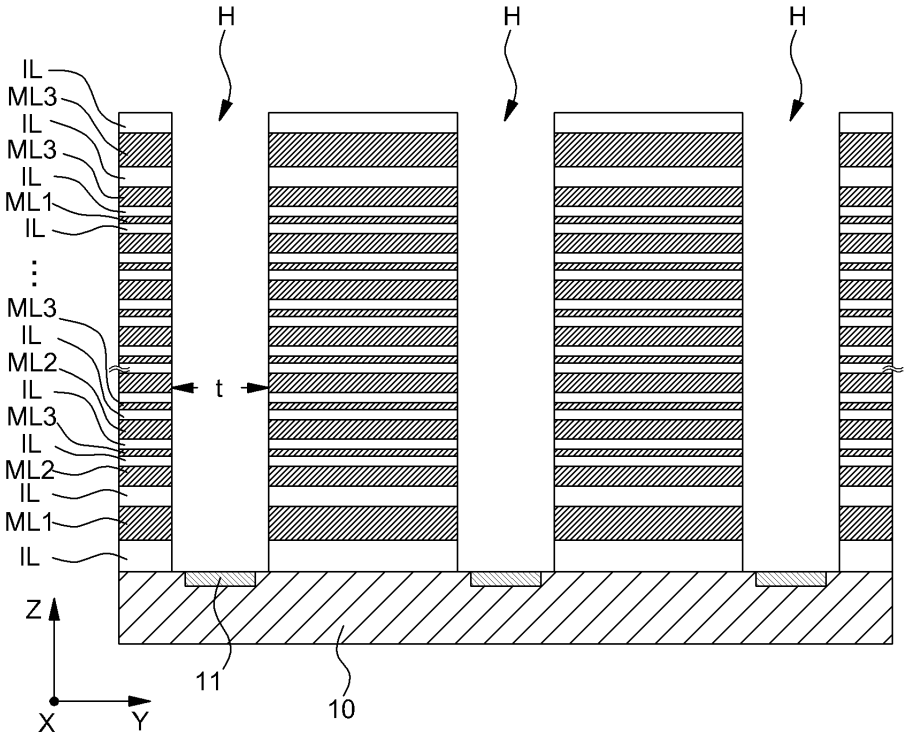
도면5b


STR
BL
UST
USL
SL
TI
CT
BI
GI
MCn
MCn-1
CG
SG
MC
MC3
MC2
MC1
CH
LST
LSL
PL
IP
CH
11
10
b
b'

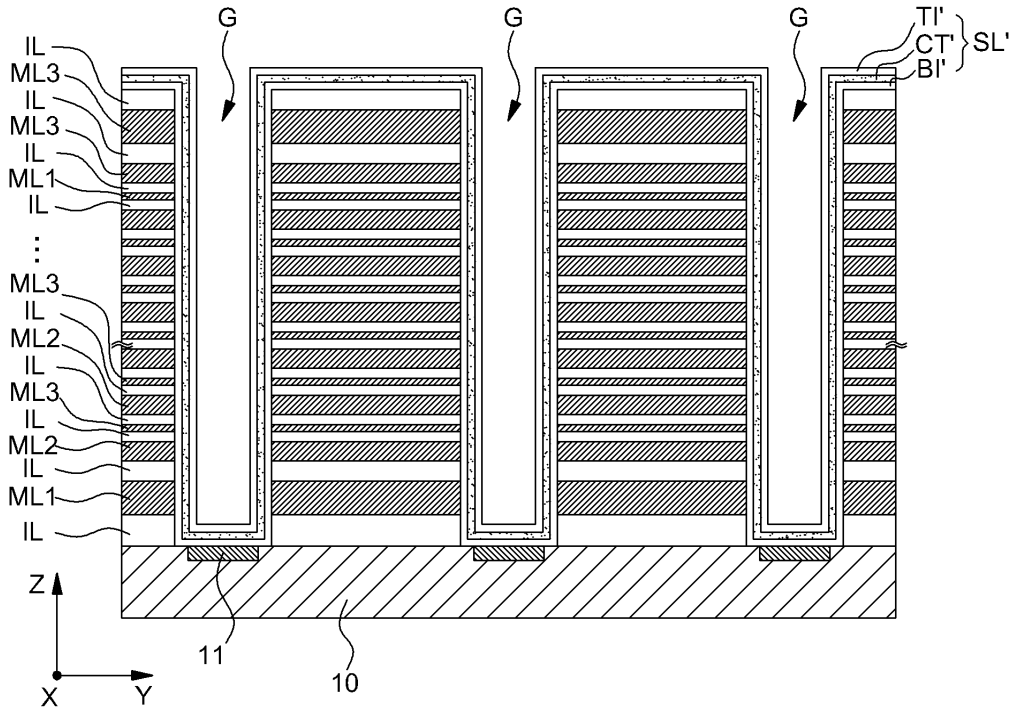
도면6a


LS
IL
ML3
IL
ML3
IL
ML1
IL
ML3
IL
ML2
IL
ML3
IL
ML2
IL
ML1
IL
Z
X
Y
11
10

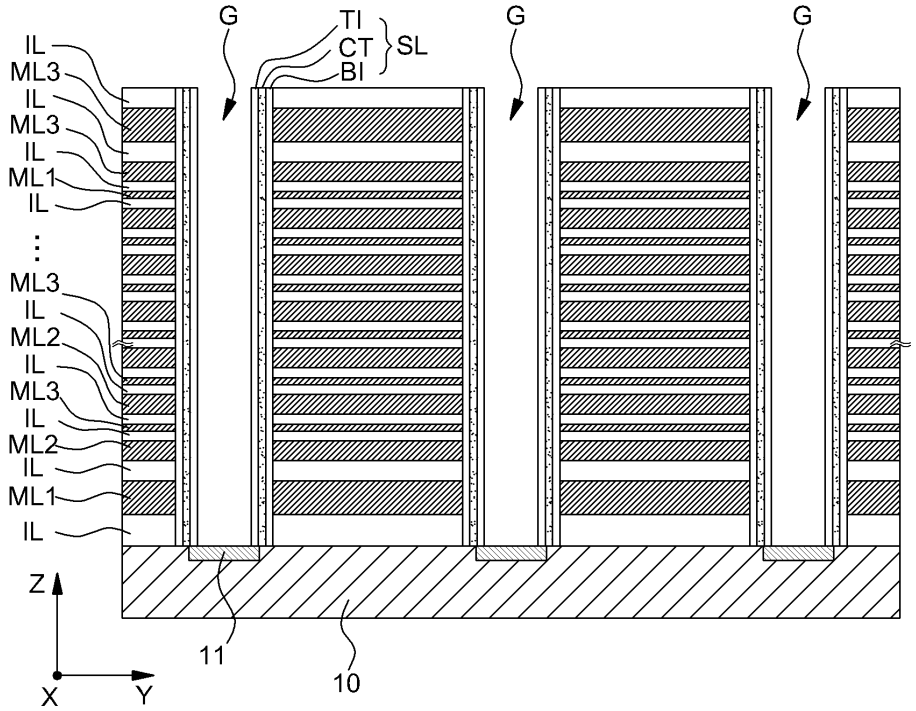
도면6b


H
H
H
IL
ML3
IL
ML3
IL
ML1
IL
ML3
IL
ML2
IL
ML3
IL
ML2
IL
ML1
IL
t
Z
X
Y
11
10

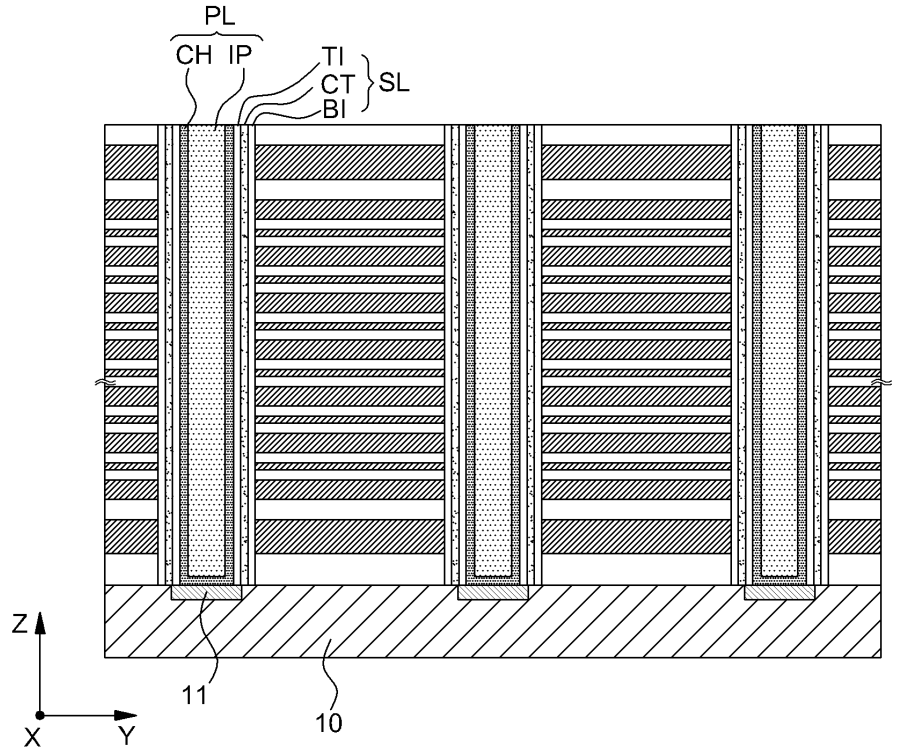
도면6c


G
G
G
TI'
CT'
BI'
SL'
IL
ML3
IL
ML3
IL
ML1
IL
ML3
IL
ML2
IL
ML3
IL
ML2
IL
ML1
IL
Z
X
Y
11
10

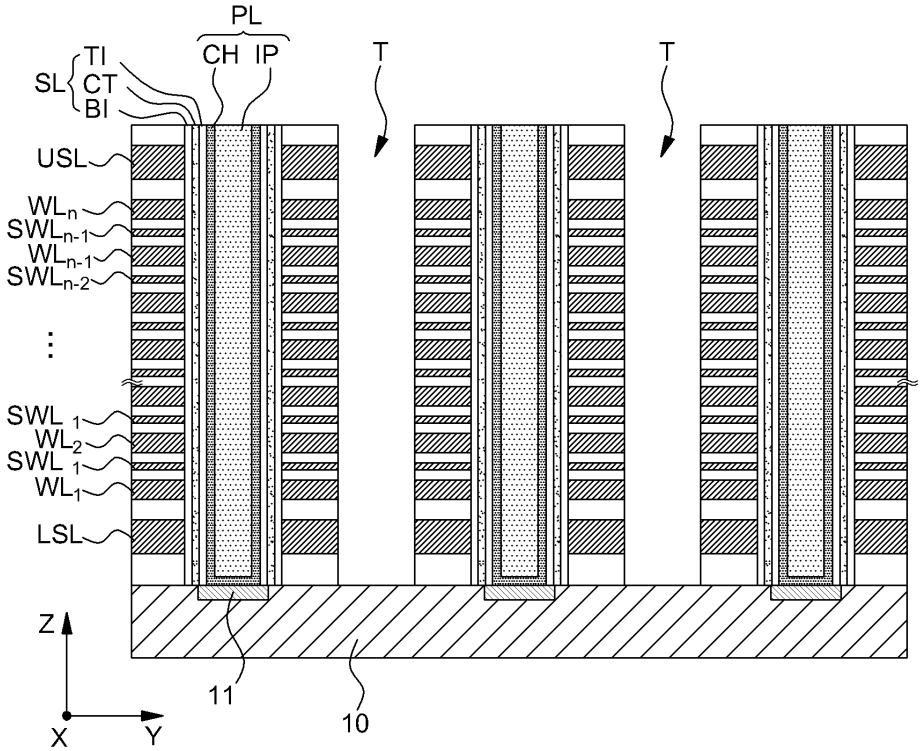
도면6d


G
TI
CT
BI
SL
G
G
IL
ML3
IL
ML3
IL
ML1
IL
ML3
IL
ML2
IL
ML3
IL
ML2
IL
ML1
IL
Z
X
Y
11
10

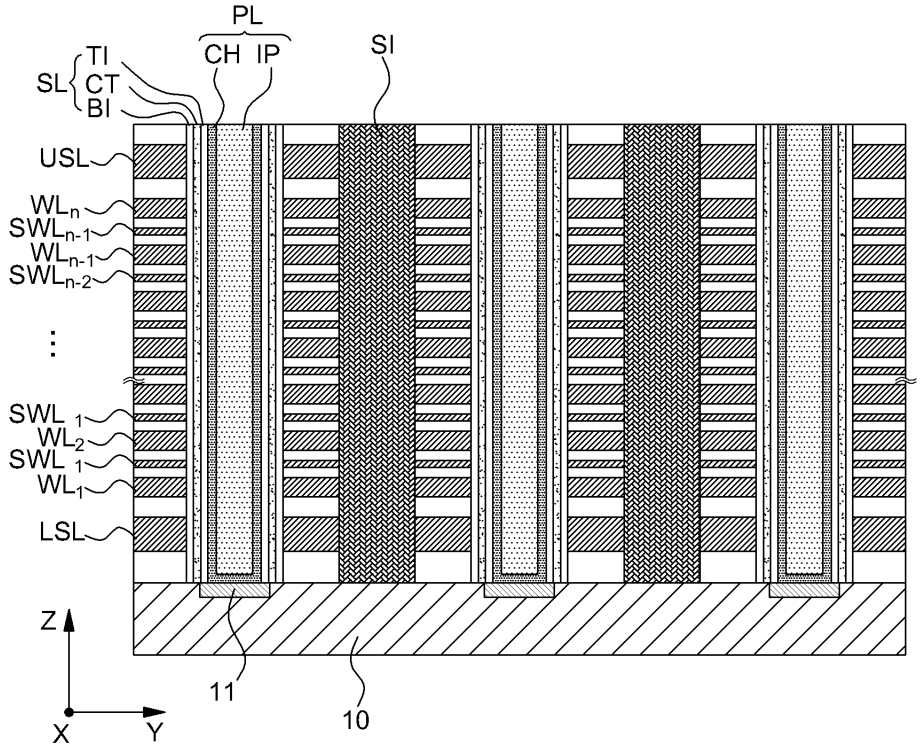
도면6e


PL
CH
IP
TI
CT
BI
SL
Z
X
Y
11
10

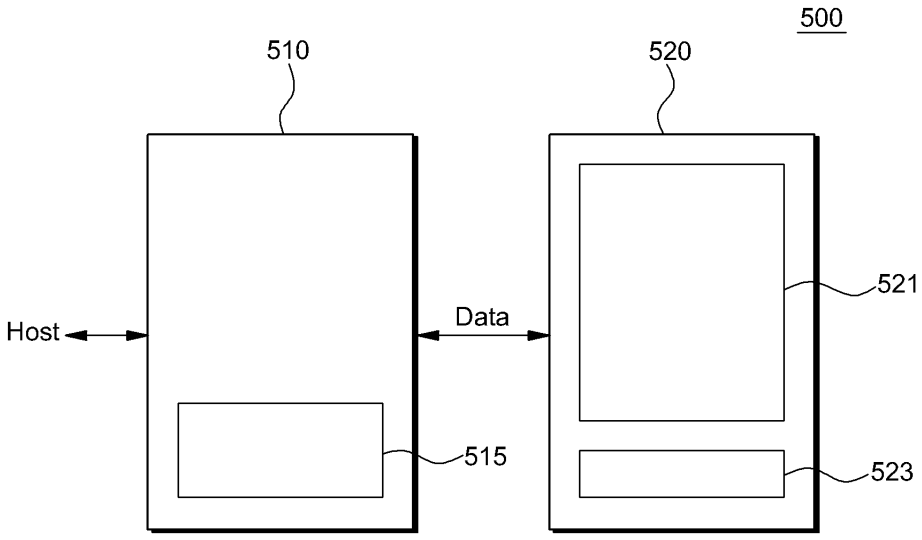
도면6f


PL
CH
IP
TI
CT
BI
SL
T
T
USL
WLn
SWLn-1
WLn-1
SWLn-2
SWL 1
WL2
SWL 1
WL1
LSL
Z
X
Y
11
10

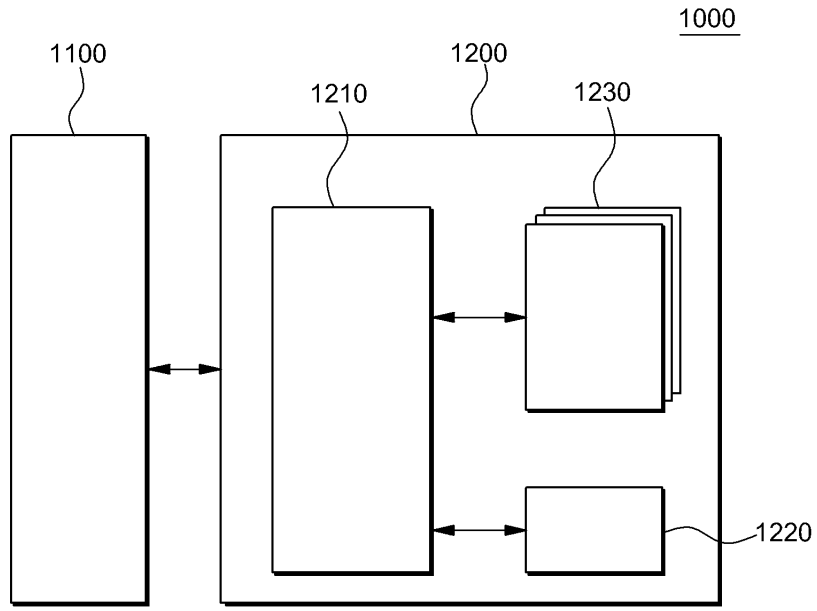
도면6g


PL
CH
IP
SI
SL
TI
CT
BI
USL
WLn
SWLn-1
WLn-1
SWLn-2
SWL 1
WL2
SWL 1
WL1
LSL
Z
X
Y
11
10

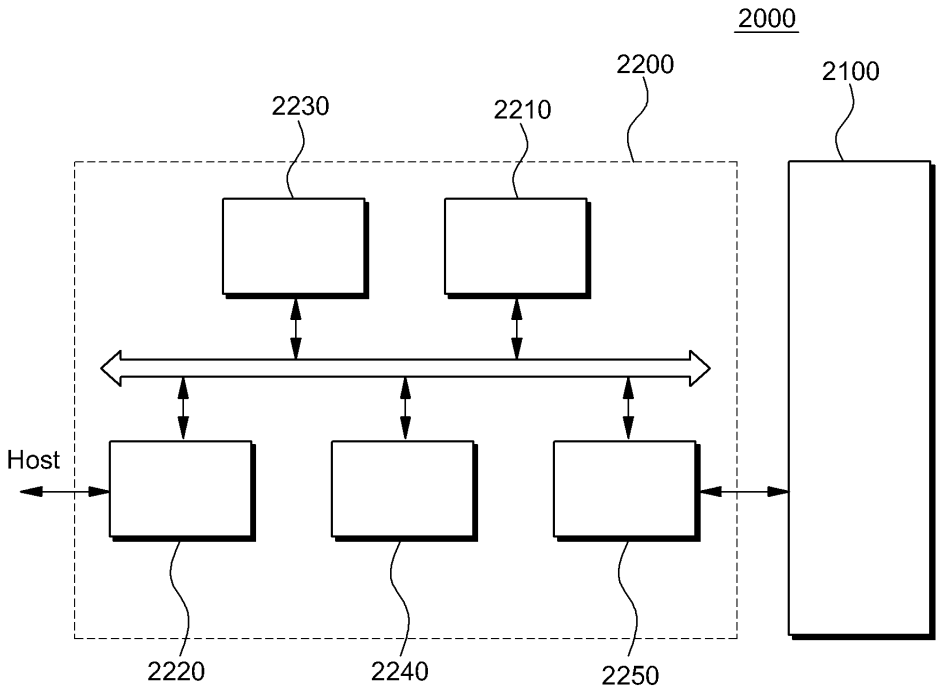
도면7


500
510
520
521
Host
Data
515
523

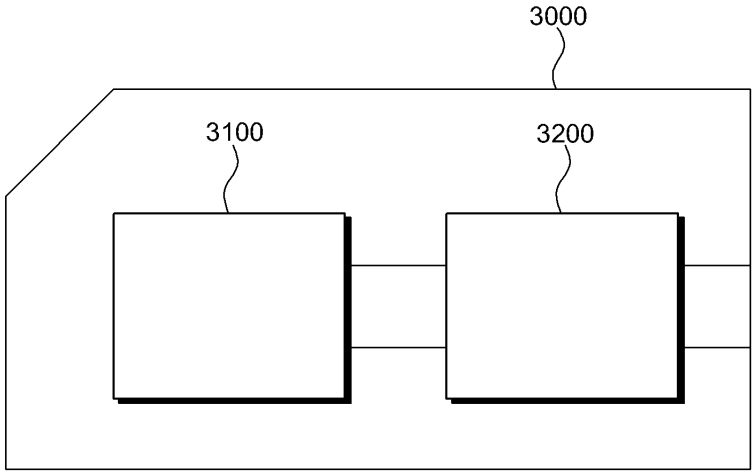
도면8


1000
1100
1200
1210
1230
1220

도면9


2000
2200
2100
2230
2210
Host
2220
2240
2250

도면10



도면11

