

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成28年3月3日(2016.3.3)

【公開番号】特開2014-183233(P2014-183233A)

【公開日】平成26年9月29日(2014.9.29)

【年通号数】公開・登録公報2014-053

【出願番号】特願2013-57328(P2013-57328)

【国際特許分類】

H 01 L	21/8247	(2006.01)
H 01 L	27/115	(2006.01)
H 01 L	21/336	(2006.01)
H 01 L	29/788	(2006.01)
H 01 L	29/792	(2006.01)
H 01 L	27/10	(2006.01)
G 11 C	16/04	(2006.01)

【F I】

H 01 L	27/10	4 3 4
H 01 L	29/78	3 7 1
H 01 L	27/10	4 8 1
H 01 L	27/10	4 3 1
G 11 C	17/00	6 2 2 Z

【手続補正書】

【提出日】平成28年1月14日(2016.1.14)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】0063

【補正方法】変更

【補正の内容】

【0063】

よって、その分、ゲート絶縁膜8aの膜厚や、メモリトランジスタ2a,2b,2c,2dを制御する周辺トランジスタ11のゲート絶縁膜8aの膜厚を更に薄く例えば8[nm]から3[nm]に設計でき、周辺トランジスタ11を入出力MOSからコアMOSに変更し得、かくして、回路構成を従来よりも小型化し得る。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0064

【補正方法】変更

【補正の内容】

【0064】

具体的には、ソース電圧を4[V]とし、周辺回路に用いるMOS内の電位差を4~4.5[V]とすることで、周辺回路に用いるMOSとして入出力MOSを使用できる。また、ソース電圧を1.5[V]とし、周辺回路に用いるMOS内の電位差を1.5[V]とすることで、周辺回路に用いるMOSとしてコアMOSを使用できる。また、ソース電圧を4[V]とし、周辺回路に用いるMOS内の電位差を2[V]とすることで、周辺トランジスタ11としてコアMOSを使用できる。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0067

【補正方法】変更

【補正の内容】

【0 0 6 7】

なお、上述した実施の形態においては、メモリトランジスタ $2a, 2b, 2c, 2d$ が2行2列に配置された不揮発性半導体記憶装置1について説明したが、本発明はこれに限らず、3つや5つ、6つ等その他複数のメモリトランジスタが行列状に配置された不揮発性半導体記憶装置や、1つのメモリトランジスタが配置された不揮発性半導体記憶装置であってもよい。