

	(19) 대한민국특허청(KR) (12) 공개특허공보(A)	(11) 공개번호 10-2012-0029136 (43) 공개일자 2012년03월26일
(51) 국제특허분류(Int. Cl.) H01L 31/075 (2006.01) H01L 31/042 (2006.01)		(71) 출원인 고려대학교 산학협력단 서울 성북구 안암동5가 1
(21) 출원번호 10-2010-0091041		(72) 발명자 김동환 서울특별시 용산구 이촌로 347, 2동 201호 (서빙고동, 신동아아파트)
(22) 출원일자 2010년09월16일 심사청구일자 2010년09월16일		탁성주 서울특별시 노원구 덕릉로 721, 101동 1102호 (중계동, 정진아트리움) (뒷면에 계속)
		(74) 대리인 특허법인이지

전체 청구항 수 : 총 28 항

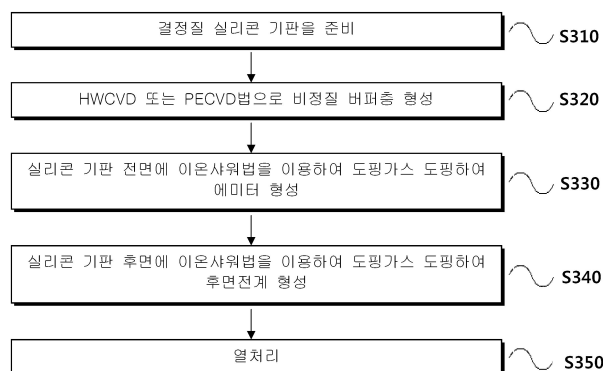
(54) 발명의 명칭 **이온샤워법을 이용한 실리콘 이중접합 태양전지 제조방법**

(57) 요약

본 발명에서는 (a) 결정질 실리콘 기판을 준비하는 단계; (b) 상기 결정질 실리콘 기판의 전면에 비정질 버퍼층을 형성하는 단계; (c) 상기 비정질 버퍼층이 형성된 상기 결정질 실리콘 기판 전면에 이온샤워법을 이용하여 도핑가스를 도핑하여 에미터를 형성하는 단계; (d) 상기 결정질 실리콘 기판의 후면에 이온샤워법을 이용하여 도핑가스를 도핑하여 후면전계를 형성하는 단계; 및 (e) 열처리하는 단계를 포함하는 이중접합 태양전지 제조방법이 개시된다.

본 발명에 따르면, 이중접합 태양전지 제조 중 생기는 결정질 실리콘 기판의 결함 및 결정질 실리콘 기판과 비정질 실리콘 층과의 계면 결함을 줄일 수 있고, 이온샤워 도핑 장치를 이용하여 에미터 및 후면전계를 형성하여 플라즈마 데미지를 최소화하며 대면적의 기판에 혼합가스를 낮은 깊이로 균일하게 도핑할 수 있어 고효율의 이중접합 태양전지를 제조할 수 있다.

대표도 - 도3



(72) 발명자

이승훈

서울특별시 동대문구 무학로 200, 711호 (제기동, 휴먼플러스)

강병준

서울특별시 성북구 돌곶이로 127-4 (장위동)

최수영

충청남도 아산시 배방읍 장재리 용연마을 휴먼시아 아파트 110동 1101호

이 발명을 지원한 국가연구개발사업

과제고유번호 20093021010010

부처명 지식경제부

연구사업명 신재생에너지 기술개발사업

연구과제명 고효율 실리콘 태양전지 원천기술 연구센터

주관기관 고려대학교 산학협력단

연구기간 2010.06.01 ~ 2011.05.31

특허청구의 범위

청구항 1

- (a) 결정질 실리콘 기판을 준비하는 단계;
 - (b) 상기 결정질 실리콘 기판의 전면에 비정질 버퍼층을 형성하는 단계;
 - (c) 상기 비정질 버퍼층이 형성된 결정질 실리콘 기판 전면에 이온사워법을 이용하여 도핑가스를 도핑하여 에미터를 형성하는 단계;
 - (d) 상기 결정질 실리콘 기판의 후면에 이온사워법을 이용하여 도핑가스를 도핑하여 후면전계를 형성하는 단계; 및
 - (e) 열처리하는 단계;
- 를 포함하는 실리콘 이중접합 태양전지 제조방법.

청구항 2

제 1항에 있어서,

상기 (b) 단계 이전에 결정질 실리콘 기판의 전면을 텍스처링 하는 단계를 더 포함하는 것을 특징으로 하는 실리콘 이중접합 태양전지 제조방법.

청구항 3

제 1항에 있어서,

상기 (b) 단계 이전에 결정질 실리콘 기판의 후면을 텍스처링 하는 단계를 더 포함하는 것을 특징으로 하는 실리콘 이중접합 태양전지 제조방법.

청구항 4

제 1항에 있어서,

상기 (b)단계에서 상기 비정질 버퍼층은 산화실리콘(SiO_x), 탄화실리콘(SiC_x), 질화실리콘(SiN_x) 및 인트린직 비정질 실리콘으로 이루어진 그룹에서 선택된 1종인 것을 특징으로 하는 실리콘 이중접합 태양전지 제조방법.

청구항 5

제 1항에 있어서,

상기 (b) 단계는 PECVD(Plasma Enhanced Chemical Vapor Deposition) 또는 HWCVD(Hot Wire Chemical Vapor Deposition) 방법으로 이루어지는 것을 특징으로 하는 실리콘 이중접합 태양전지 제조방법.

청구항 6

제 1항에 있어서,

상기 (b)단계는 상기 결정질 실리콘 기판의 후면에 수행되는 것을 더 포함하는 것을 특징으로 하는 실리콘 이중접합 태양전지 제조방법.

청구항 7

제 1항에 있어서,

상기 (b) 단계에서 상기 실리콘 기관의 전면에 형성된 비정질 버퍼층의 두께는 20 내지 25 nm인 것을 특징으로 하는 실리콘 이중접합 태양전지 제조방법.

청구항 8

제 6항에 있어서,

상기 (b) 단계에서 상기 실리콘 기관의 후면에 형성된 비정질 버퍼층의 두께는 25 내지 40 nm인 것을 특징으로 하는 실리콘 이중접합 태양전지 제조방법.

청구항 9

제 1항에 있어서,

상기 (c)단계에서의 도핑가스는 PH_3 및 H_2 의 혼합가스인 것을 특징으로 하는 실리콘 이중접합 태양전지 제조방법.

청구항 10

제 1항에 있어서,

상기 (c)단계에서 형성되는 에미터의 두께는 10 내지 15 nm인 것을 특징으로 하는 실리콘 이중접합 태양전지 제조방법.

청구항 11

제 1항에 있어서,

상기 (c)단계 이후에 상기 실리콘 기관의 전면에 형성된 비정질 버퍼층의 두께는 5 내지 10 nm인 것을 특징으로 하는 실리콘 이중접합 태양전지 제조방법.

청구항 12

제 1항에 있어서,

상기 (d)단계에서 도핑가스는 B_2H_6 및 H_2 의 혼합가스인 것을 특징으로 하는 실리콘 이중접합 태양전지 제조방법.

청구항 13

제 1항에 있어서,

상기 (d)단계에서 형성된 후면전계의 두께는 20 내지 30 nm인 것을 특징으로 하는 실리콘 이중접합 태양전지 제조방법.

청구항 14

제 6항에 있어서,

상기 (d)단계에서 이후에 상기 실리콘 기판의 후면에 형성된 비정질 버퍼층의 두께는 5 내지 10 nm인 것을 특징으로 하는 실리콘 이중접합 태양전지 제조방법.

청구항 15

제 1항에 있어서,

상기 (e) 단계는 180 내지 200℃ 에서 20 내지 40분간 수행되는 것을 특징으로 하는 실리콘 이중접합 태양전지 제조방법.

청구항 16

제 1항에 있어서,

상기 결정질 실리콘 기판은 p형 또는 n형인 것을 특징으로 하는 실리콘 이중접합 태양전지 제조방법.

청구항 17

결정질 실리콘 기판;

상기 결정질 실리콘 기판 전면에 형성된 비정질 버퍼층;

상기 비정질 버퍼층이 형성된 상기 결정질 실리콘 기판 전면에 이온사워 도핑장치로 도핑가스를 도핑하여 형성된 에미터; 및

상기 결정질 실리콘 기판 후면에 이온사워 도핑장치로 도핑가스를 도핑하여 형성된 후면전계를 포함하는 실리콘 이중접합 태양전지.

청구항 18

제 17항에 있어서,

상기 결정질 실리콘 기판의 전면과 비정질 버퍼층 사이에 텍스처링 구조를 더 포함하는 것을 특징으로 하는 실리콘 이중접합 태양전지.

청구항 19

제 17항에 있어서,

상기 결정질 실리콘 기판 후면에 형성된 비정질 버퍼층을 더 포함하는 것을 특징으로 하는 실리콘 이중접합 태양전지.

청구항 20

제 19항에 있어서,

상기 결정질 실리콘 기판의 후면과 상기 결정질 실리콘 기판 후면에 형성된 비정질 버퍼층 사이에 텍스처링 구조를 더 포함하는 것을 특징으로 하는 실리콘 이중접합 태양전지.

청구항 21

제 17항에 있어서,

상기 비정질 버퍼층은 산화실리콘(SiO_x), 탄화실리콘(SiC_x), 질화실리콘 (SiN_x) 및 인트린직 비정질 실리콘으로 이루어진 그룹에서 선택된 1종인 것을 특징으로 하는 실리콘 이중접합 태양전지.

청구항 22

제 17항에 있어서,

상기 에미터를 형성할 때 사용되는 도핑가스는 PH_3 및 H_2 의 혼합가스인 것을 특징으로 하는 실리콘 이중접합 태양전지.

청구항 23

제 17항에 있어서,

상기 후면전계를 형성할 때 사용되는 도핑가스는 B_2H_6 및 H_2 의 혼합가스인 것을 특징으로 하는 실리콘 이중접합 태양전지.

청구항 24

제 17항에 있어서,

상기 결정질 실리콘 기판과 에미터 사이의 비정질 버퍼층의 두께는 5 내지 10 nm인 것을 특징으로 하는 실리콘 이중접합 태양전지.

청구항 25

제 17항에 있어서,

상기 에미터의 두께는 10 내지 15 nm인 것을 특징으로 하는 실리콘 이중접합 태양전지.

청구항 26

제 17항에 있어서,

상기 후면전계의 두께는 20 내지 30 nm인 것을 특징으로 하는 실리콘 이중접합 태양전지.

청구항 27

제 19항에 있어서,

상기 결정질 실리콘 기판과 후면전계 사이의 비정질 버퍼층의 두께는 5 내지 10 nm인 것을 특징으로 하는 실리콘 이중접합 태양전지.

청구항 28

제 17항에 있어서,

상기 결정질 실리콘 기판은 p형 또는 n형인 것을 특징으로 하는 실리콘 이종접합 태양전지.

명세서

기술 분야

[0001] 본 발명은 이온사워법을 이용한 실리콘 이종접합 태양전지 제조방법에 관한 것으로, 구체적으로는 이온사워 도핑장치를 이용하여 도핑가스를 도핑 함으로써 에미터(Emitter) 및 후면전계(Back Surface field, BSF)를 형성하는 것을 특징으로 하는 실리콘 이종접합 태양전지 제조방법에 관한 것이다.

배경 기술

[0002] 태양전지는 태양이 방출하는 빛 에너지를 반도체 특성을 이용하여 전기 에너지로 변환시키는 장치이다. 태양전지는 기본적으로 p(positive)형 반도체와 n (negative)형 반도체를 접합시킨 p-n 접합 구조를 하고 있으며, 이러한 구조의 태양전지에 태양광이 입사되면, 입사된 태양광이 가지고 있는 에너지에 의해 상기 반도체 내에서 정공(hole) 및 전자(electron)가 발생하고, 이때 p-n 접합에서 발생한 전기장에 의해서 정공(+)는 p형 반도체 쪽으로 이동하고 전자(-)는 n형 반도체쪽으로 이동하게 되어 전위가 발생하게 되므로 전력을 생산할 수 있게 된다.

[0003] 태양전지는 p-n 접합에 사용되는 p영역과 n영역의 성질에 따라 동종접합 (homojunction) 태양전지와 이종접합 (heterojunction) 태양전지로 나눌 수 있는데, 이 중 이종 접합 태양전지는 서로 다른 결정구조 또는 서로 다른 물질로 결합되는 구조를 갖는다. 본 발명에서 실리콘 이종접합 태양전지는 결정질 실리콘 기판과 비정질 실리콘 층이 결합된 구조를 말한다.

[0004] 일반적으로 실리콘 이종접합 태양전지는 결정질 실리콘 기판(11)의 전면에 비정질 실리콘 층(12), 그 위에 형성된 투명전도 산화막(13), 투명전도 산화막 상부에 형성된 상부전극(14), 결정질 실리콘 기판 후면에 형성된 후면전계(Back Surface Field)(15) 및 하부전극(16)으로 구성되어 있으며, 전면의 비정질 실리콘 층(12)은 에미터(emitter)로 작용한다. 도 1에 종래의 실리콘 이종접합 태양전지의 단면도를 나타내었다.

[0005] 이러한 실리콘 이종접합 태양전지는 결정질 실리콘 기판(11)과 비정질 실리콘 층(12)의 계면에서 발생하는 결합의 정도에 의해 그 특성이 좌우되는데, 이러한 결합이 생기는 원인은 결정질 실리콘 기판의 표면 결합, 플라즈마 노출에 따른 데미지 및 비정질 실리콘 층에 존재하는 불순물 등을 들 수 있다.

[0006] 상기와 같은 문제점을 해결하기 위하여 n형 결정질 실리콘 기판과 p형 비정질 실리콘 층 사이에 인트린직 비정질 실리콘 층이 도입되어 있는 HIT (Heterojunction with Intrinsic Thin film) 셀 태양전지가 제시되었다.

[0007] 일본공개특허공보 2010-034162에 따르면, n형 결정질 실리콘 기판과 p형 비정질 실리콘 층 사이에 인트린직 비정질 실리콘 층을 도입함으로써 p형 비정질 실리콘 층에 존재하는 불순물이 인트린직 비정질 실리콘 층에 혼입되어 n형 결정질 실리콘 기판과 p형 비정질 실리콘 층 사이 계면 결합 등으로 인한 전자와 정공의 재결합을 막고 인트린직 비정질 실리콘 층이 접합 계면의 결합을 부동화시킴으로써 광전변환 효율을 향상시킬 수 있지만, 여전히 PECVD(Plasma Enhanced Chemical Vapor Deposition) 방법을 사용하여 플라즈마 데미지(damage)가 존재하며 대면적 기판에 균일한 증착이 어렵고, n-i-p 구조를 만들기 위한 각각 다른 챔버가 필요하므로 많은 진공 증착 장비를 요구되어 제조공정이 길고 단가가 높아지는 문제점이 있다.

발명의 내용

해결하려는 과제

[0008] 본 발명은 상기 상술한 문제점을 해결하기 위하여 창출된 것으로,

[0009] 결정질 실리콘 기판에 인트린직 비정질 실리콘 층을 형성한 뒤 이온사워 도핑장치를 이용하여 플라즈마 데미지

를 최소화 하면서 에미터 및 후면전계를 형성함으로써 효율 감소가 적은 실리콘 이중접합 제조방법을 제공하는 데 그 목적이 있다.

과제의 해결 수단

- [0010] 본 발명의 일 측면에 따르면, (a) 결정질 실리콘 기판을 준비하는 단계; (b) 상기 결정질 실리콘 기판의 전면에 비정질 버퍼층을 형성하는 단계; (c) 상기 비정질 버퍼층이 형성된 상기 결정질 실리콘 기판 전면에 이온사워법을 이용하여 도핑가스를 도핑하여 에미터를 형성하는 단계; (d) 상기 결정질 실리콘 기판의 후면에 이온사워법을 이용하여 도핑가스를 도핑하여 후면전계를 형성하는 단계 및 (e) 열처리하는 단계를 포함하는 실리콘 이중접합 태양전지 제조방법이 제공된다.
- [0011] 본 발명의 일 실시예에 따르면, 상기 (b) 단계 이전에 결정질 실리콘 기판의 전면을 텍스처링 하는 단계를 더 포함할 수 있다.
- [0012] 본 발명의 일 실시예에 따르면, 상기 (b) 단계 이전에 결정질 실리콘 기판의 후면을 텍스처링 하는 단계를 더 포함할 수 있다.
- [0013] 본 발명의 일 실시예에 따르면, 상기 (b)단계에서 상기 비정질 버퍼층은 산화실리콘(SiO_x), 탄화실리콘(SiC_x), 질화실리콘(SiN_x) 및 인트린직 비정질 실리콘으로 이루어진 그룹에서 선택된 1종일 수 있다.
- [0014] 본 발명의 일 실시예에 따르면, 상기 (b) 단계는 PECVD (Plasma Enhanced Chemical Vapor Deposition) 또는 HWCVD(Hot Wire Chemical Vapor Deposition) 방법으로 이루어질 수 있다.
- [0015] 본 발명의 일 실시예에 따르면, 상기 (b)단계는 상기 결정질 실리콘 기판의 후면에 수행되는 것을 더 포함할 수 있다.
- [0016] 본 발명의 일 실시예에 따르면, 상기 (b) 단계에서 상기 실리콘 기판의 전면에 형성된 비정질 버퍼층의 두께는 20 내지 25 nm일 수 있다.
- [0017] 본 발명의 일 실시예에 따르면, 상기 (b) 단계에서 상기 실리콘 기판의 후면에 형성된 비정질 버퍼층의 두께는 25 내지 40 nm일 수 있다.
- [0018] 본 발명의 일 실시예에 따르면, 상기 (c)단계에서의 도핑가스는 PH_3 및 H_2 의 혼합가스일 수 있다.
- [0019] 본 발명의 일 실시예에 따르면, 상기 (c)단계에서 형성되는 에미터의 두께는 10 내지 15 nm일 수 있다.
- [0020] 본 발명의 일 실시예에 따르면, 상기 (c)단계 이후에 비정질 버퍼층의 두께는 5 내지 10 nm일 수 있다.
- [0021] 본 발명의 일 실시예에 따르면, 상기 (d)단계 도핑가스는 B_2H_6 및 H_2 의 혼합가스일 수 있다.
- [0022] 본 발명의 일 실시예에 따르면, 상기 (d)단계에서 형성된 후면전계의 두께는 20 내지 30 nm일 수 있다.
- [0023] 본 발명의 일 실시예에 따르면, 상기 (d)단계에서 이후에 상기 실리콘 기판의 후면에 형성된 비정질 버퍼층의 두께는 5 내지 10 nm일 수 있다.
- [0024] 본 발명의 일 실시예에 따르면, 상기 (e) 단계는 180 내지 200℃ 에서 20 내지 40분간 수행될 수 있다.
- [0025] 본 발명의 일 실시예에 따르면, 상기 결정질 실리콘 기판은 p형 또는 n형일 수 있다.
- [0026] 본 발명의 다른 측면에 따르면, 결정질 실리콘 기판; 상기 결정질 실리콘 기판 전면에 형성된 비정질 버퍼층; 상기 비정질 버퍼층이 형성된 상기 결정질 실리콘 기판 전면에 이온사워 도핑장치로 도핑가스를 도핑하여 형성된 에미터 및 상기 결정질 실리콘 기판 후면에 이온사워 도핑장치로 도핑가스를 도핑하여 형성된 후면전계를 포함하는 실리콘 이중접합 태양전지가 제공된다.
- [0027] 본 발명의 일 실시예에 따르면, 상기 결정질 실리콘 기판의 전면과 비정질 버퍼층 사이에 텍스처링 구조를 더 포함할 수 있다.
- [0028] 본 발명의 일 실시예에 따르면, 상기 결정질 실리콘 기판 후면에 형성된 비정질 버퍼층을 더 포함할 수 있다.
- [0029] 본 발명의 일 실시예에 따르면, 상기 결정질 실리콘 기판의 후면과 상기 결정질 실리콘 기판 후면에 형성된 비

정질 버퍼층 사이에 텍스처링 구조를 더 포함할 수 있다.

- [0030] 본 발명의 일 실시예에 따르면, 상기 비정질 버퍼층은 산화실리콘(SiO_x), 탄화실리콘(SiC_x), 질화실리콘(SiN_x) 및 인트린직 비정질 실리콘으로 이루어진 그룹에서 선택된 1종일 수 있다.
- [0031] 본 발명의 일 실시예에 따르면, 상기 에미터를 형성할 때 사용되는 도핑가스는 PH_3 및 H_2 의 혼합가스일 수 있다.
- [0032] 본 발명의 일 실시예에 따르면, 상기 후면전계를 형성할 때 사용되는 도핑가스는 B_2H_6 및 H_2 의 혼합가스일 수 있다.
- [0033] 본 발명의 일 실시예에 따르면, 상기 결정질 실리콘 기판과 에미터 사이의 비정질 버퍼층의 두께는 5 내지 10 nm일 수 있다.
- [0034] 본 발명의 일 실시예에 따르면, 상기 에미터의 두께는 10 내지 15 nm일 수 있다.
- [0035] 본 발명의 일 실시예에 따르면, 상기 후면전계의 두께는 20 내지 30 nm일 수 있다.
- [0036] 본 발명의 일 실시예에 따르면, 상기 결정질 실리콘 기판과 후면전계 사이의 비정질 버퍼층의 두께는 5 내지 10 nm일 수 있다.
- [0037] 본 발명의 일 실시예에 따르면, 상기 결정질 실리콘 기판은 p형 또는 n형일 수 있다.

발명의 효과

- [0038] 본 발명에 따른 이중접합 태양전지 제조방법에 의하면,
- [0039] 결정질 실리콘 기판과 에미터 사이에 비정질 버퍼층을 도입함으로써 결정질 실리콘 기판과 에미터 사이에 계면 결함 등으로 인한 전자와 정공의 재결합을 막을 수 있다.
- [0040] 또한, 이온사워 도핑 장치를 이용하여 에미터 및 후면전계를 형성함으로써 플라즈마 데미지(damage)를 최소화 하면서 대면적의 기판에 균일하게 도핑가스의 도핑이 가능하고, 저온에서 도핑작업이 수행되므로, 도핑가스를 성공적으로 도핑하여 열적파괴 없이 고효율의 이중접합 태양전지를 제조할 수 있다.

도면의 간단한 설명

- [0041] 도 1은 종래의 실리콘 이중접합 태양전지의 단면도이다.
- 도 2는 본 발명의 바람직한 실시예에 따른 이중접합 태양전지의 단면도이다.
- 도 3은 본 발명에 따른 이중접합 태양전지의 제조방법을 나타낸 흐름도이다.
- 도 4는 본 발명에 사용된 이온사워 도핑장치의 단면도이다.
- 도 5는 본 발명에 따른 이온사워법으로 도핑가스가 실리콘 기판으로 도포되어 에미터 및 후면전계가 형성되는 과정을 보여주는 모식도이다.

발명을 실시하기 위한 구체적인 내용

- [0042] 본 발명은 다양한 변환을 가할 수 있고 여러 가지 실시 예를 가질 수 있는 바, 특정 실시 예들을 도면에 예시하고 상세한 설명에 상세하게 설명하고자 한다. 그러나, 이는 본 발명을 특정한 실시 형태에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변환, 균등물 내지 대체물을 포함하는 것으로 이해되어야 한다. 본 발명을 설명함에 있어서 관련된 공지 기술에 대한 구체적인 설명이 본 발명의 요지를 흐릴 수 있다고 판단되는 경우 그 상세한 설명을 생략한다.
- [0043] 도 2에는 본 발명의 바람직한 실시예에 따라 제조된 실리콘 이중접합 태양전지의 단면도가 도시되어 있으며, 도 3에는 본 발명에 따른 실리콘 이중접합 태양전지 제조방법의 흐름도가 도시되어 있다.

- [0044] 도 3을 보면, 실리콘 이중접합 태양전지를 제조하기 위해서 먼저, 결정질 실리콘 기판(21)을 절단 및 에칭공정(saw damage etching)을 수행하여 준비한다(S310). 상기 결정질 실리콘 기판(22)은 단결정 또는 다결정 실리콘 기판 일 수 있으며 p형 또는 n형 일 수 있다.
- [0045] 본 발명에 따른 실리콘 이중접합 태양전지 제조방법의 일 실시예에 의하면 광포획을 최대화하기 위해 상기 결정질 실리콘 기판(21)을 스크래칭 하는 텍스처링(Texturing) 공정을 더 포함하는 것이 바람직하다. 결정질 실리콘 기판을 텍스처링 하는 공정은 결정질 실리콘 기판(21)의 전면 또는 후면에 수행될 수 있지만, 고효율의 실리콘 이중접합 태양전지를 제조하기 위해서는 전면 및 후면에 모두 수행되는 것이 더욱 바람직하다.
- [0046] 상기 텍스처링 구조(22)는 결정질 실리콘 기판의 표면을 염기성 용액으로 습식 에칭시키는 방법을 이용하여 얻어질 수 있다. 습식 에칭에 사용되는 에칭액은 염기성 용액으로서, 수산화나트륨, 수산화칼륨 또는 TMAH(tetramethyl ammonium hydroxide)일 수 있다. 수산화 칼륨 용액을 사용하는 경우, 수산화 칼륨 수용액의 농도는 40 내지 50%인 것이 바람직하고, 이방성 에칭력이 뛰어난 장점이 있다.
- [0047] 또한, 실리콘 표면의 습식에칭은 에칭액에 알코올을 첨가하여 수행될 수도 있다. 에칭액에 알코올을 첨가하게 되면 에칭과정에서 실리콘 표면에서의 -Si와 에칭액인 염기성 용액의 -OH와의 폭발적인 반응성을 완화시키고 젖음성(wettability)을 높이며, 수소기체가 빠르게 제거되어 방위 선택성(orientation selectivity)을 증가시킬 수 있다. 상기 알코올로서 이소프로필 알코올이 주로 사용된다.
- [0048] 상기 방법으로 실리콘 기판에 텍스처링 구조를 형성하게 되면, 실리콘 기판 표면에 피라미드 구조가 형성된다. 이때 형성된 피라미드 구조의 각도가 클수록 반사 회수가 증가하여 그로 인해 전류가 증가하게 된다. 형성된 피라미드 구조의 두께가 10 μm 이상일 경우 직렬저항이 상승할 수 있다.
- [0049] 다음으로, 상기 텍스처링된 결정질 실리콘 기판 상에 HWCVD 또는 PECVD법을 이용하여 비정질 버퍼층(23)을 형성하는 공정이 수행된다(S320). 비정질 버퍼층(23)은 실리콘 이중접합 태양전지에서 비정질 실리콘으로서 에미터(24)와 결정질 실리콘 기판(21) 사이 경계면에서의 전자와 정공의 재결합을 최대한으로 방지하기 위한 층으로서, 산화실리콘(SiO_x), 탄화실리콘(SiC_x), 질화실리콘(SiN_x) 및 인트린직 비정질 실리콘으로 이루어진 그룹에서 선택된 1종일 수 있다.
- [0050] 비정질 버퍼층(23)은 결정질 실리콘 기판(21)의 전면 상에 20 내지 25 nm의 두께로 증착될 수 있으며, 비정질 버퍼층(23)도 텍스처링 구조와 마찬가지로 결정질 실리콘 기판(21)의 전면 또는 후면에 형성될 수 있지만, 본 발명에 따른 실리콘 이중접합 태양전지 제조방법의 일 실시예에 의하면 고효율의 실리콘 이중접합 태양전지를 제조하기 위해서는 전면 및 후면에 모두 형성되는 것이 바람직하다. 비정질 버퍼층을 실리콘 기판의 후면 상에 증착될 경우에는 25 내지 40 nm의 두께로 증착되는 것이 바람직하다.
- [0051] 비정질 버퍼층(23)이 형성된 결정질 실리콘 기판(21)의 전면에 이온사워법을 이용하여 도핑가스를 도핑하여 에미터(24)를 형성한다(S330). 에미터(24) 형성을 위한 도핑가스는 PH_3 및 H_2 의 혼합가스일 수 있다. 도핑과정은 이온사워 도핑장치를 이용하여 수행될 수 있다. 상기 이온사워 도핑장치는 플라즈마 챔버와 기판 챔버 두 영역으로 구성되며, 플라즈마 챔버에는 도핑가스로 도핑하고자 하는 불순물 원자가 포함된 가스를 양이온으로 만들고, 기판 챔버에서는 생성된 양이온들을 가속시켜 결정질 실리콘 기판(21)에 충돌시킨다. 이때, 이온사워 도핑장치는 2×10^{-7} torr 이하의 고진공 상태에서 진행되어 도핑 순도를 높일 수 있고, 유량조절기(mass flow controller)로 가스 유량을 조절하여 도핑가스의 농도 제어가 가능하다.
- [0052] 도핑과정은 PH_3 및 H_2 의 혼합가스를 도핑하기 때문에 PH_3 가스의 도핑과 동시에 H_2 가스에 의해 결정질 실리콘 기판(21)의 표면을 불활성화시키는 공정이 함께 이루어져 공정시간을 단축시킬 수 있다.
- [0053] 이온사워법을 이용하여 PH_3 및 H_2 의 혼합가스를 도핑하게 되면 비정질 버퍼층(23)의 두께가 줄어들면서 그 위에 에미터(24)가 형성된다.
- [0054] p형 결정질 실리콘 기판을 사용하였다면, 형성된 에미터는 n형의 비정질 실리콘 층이며, n형 결정질 실리콘 기판을 사용하였다면, 형성된 에미터는 p형의 비정질 실리콘 층일 수 있다.
- [0055] 형성된 에미터(24)의 두께는 10 내지 15 nm이다. 에미터(24)의 두께가 얇을수록 에미터(24)에서 재결합되어 사

라지는 전자-정공의 양이 줄어들어 단파장에서 양자 효율(quantum efficiency)가 증가하고 전류는 상승하게 된다. 그러나 전기장이 줄어들게 되어 개방전압(V_{oc})가 다소 감소하는 경향이 있으며 충전률(fill factor)은 증가하다가 다시 감소하는 경향을 보인다. 따라서 에미터(24)의 두께를 적절히 조절하여야 하며, 통상적으로 형성되는 에미터(24)의 두께는 10 내지 15 nm이다.

[0056] 에미터(24)가 형성된 후의 비정질 버퍼층(23)의 두께는 5 내지 10 nm 이다.

[0057] 그 다음 결정질 실리콘 기판(21)의 후면에 이온사워법으로 도핑가스를 도핑하여 후면전계(27)를 형성한다(S340). 도핑가스는 B_2H_6 및 H_2 의 혼합가스 일 수 있다. 후면전계(27)를 형성하는 과정은 도핑가스가 다르다는 것 외에는 상기 에미터(24)를 형성하는 과정과 동일하므로 이에 대한 보다 구체적인 설명은 상기 에미터(24) 형성방법에서 기술한 내용으로 같음하도록 한다. 형성된 후면전계(27)의 두께는 20 내지 30 nm이다. 형성된 후면전계(27)는 후면 재결합 속도를 줄이고, 직렬저항의 감소와 개방전압의 상승으로 충전률을 향상시켜 태양전지의 효율을 높일 수 있다. 후면전계(27)가 형성된 후의 비정질 버퍼층(23)의 두께는 5 내지 10 nm이다.

[0058] 도 5에는 혼합가스가 도포되어 에미터(24) 및 후면전계(27)가 형성되는 과정이 도시되어 있다.

[0059] 그 다음 상기 에미터(24) 및 후면전계(27)가 형성된 결정질 실리콘 기판(21)을 열처리 한다(S350). 상기 열처리 단계는 180 내지 200℃의 온도에서 수행된다. 열처리 온도가 180℃보다 낮을 경우 암전도도(dark conductivity)가 감소하고 투과도가 증가하여 밴드 갭(band gap)이 증가하는 경향이 있으며, 열처리 온도가 200℃보다 높을 경우 최적화된 단위박막의 특성을 변화시켜 태양전지의 효율이 감소할 수 있다. 또한 열처리 시간이 20분보다 짧을 경우 충분한 열적 에너지에 의한 안정화 효과를 기대할 수 없으며, 바람직한 열처리 시간은 30분이다.

[0060] 본 발명에 따른 실리콘 이중접합 태양전지 제조방법의 일 실시예에 의하면, 상기 열처리 단계 이후에 에미터(24) 상에 투명전도산화방지막(25)을 형성하는 단계, 상기 투명전도산화방지막(25) 상에 상부전극(26)을 형성하는 단계 및 후면전계(27) 상에 하부 전극(28)을 형성하는 단계를 포함하는 것이 바람직하다. 투명전도산화방지막(25)으로는 ITO(indium tin oxide) 또는 $ZnO:Al$ (Al-doped ZnO)이 사용될 수 있다.

[0061] 이하에서는 실시예를 통하여 본 발명을 더욱 상세히 설명하고자 한다. 다만, 이들 실시예는 오로지 본 발명을 예시하기 위한 것으로서, 본 발명의 범위가 이들 실시예에 의해 제한되는 것으로 해석되지는 않는다 할 것이다.

[0062] 실시예

[0063] 실리콘 기판 준비

[0064] 초코라스키(Cz) 방법으로 제조된 n형 단결정 실리콘 기판(두께 200~250±20 μm, 기판저항 0.5~3Ω/cm)을 절단 및 에칭(saw damage etching)한 뒤 45% KOH 수용액으로 상기 실리콘 기판의 전면을 에칭시켜 텍스처링 구조를 형성하였다. 실리콘 기판의 후면에도 동일한 방법으로 텍스처링 구조를 형성하였다.

[0065] 비정질 버퍼층 증착

[0066] 텍스처링 구조가 형성된 실리콘 기판을 PECVD 장치 내 홀더(holder)에 장착시킨 후 실리콘 기판의 온도를 100℃로 상승시켰다. 그 다음 SiH_4 가스 및 H_2 가스를 각각 5 sccm 및 20 sccm의 유량으로 유량조절기를 통해 반응챔버안에 주입시켰다. 가스 주입 후 반응 챔버의 내부 압력은 250 내지 300 mtorr, 온도는 180℃, RF(radio frequency)전력은 8W로 유지시켜 2분간 증착시켜 실리콘 기판 전면에 20 nm 두께의 인트린직 비정질 실리콘 층을 형성하였다. 실리콘 기판의 후면에도 상기와 동일한 방법으로 30 nm의 인트린직 비정질 실리콘 층을 형성하였다.

[0067] 에미터 형성

[0068] 실리콘 기판의 전면 및 후면에 인트린직 비정질 실리콘 층이 증착된 결정질 실리콘 기판을 이온샤워 도핑장치 내의 기판 지지대 상에 장착시킨 뒤 이온샤워 도핑장치의 반응실 내의 압력을 2×10^{-7} torr로 유지시키며 도핑가스를 유량조절기를 통해 반응실의 상부로 주입시켰다. 여기서 사용한 도핑가스는 PH_3 및 H_2 의 혼합가스이며 5 sccm으로 유량을 조절하였다. 도핑가스 주입 후에 100W RF 전력으로 도핑가스를 전기적 및 자기적으로 이온화시켜 플라즈마 상태의 양이온으로 만들었다. 이때, 가속전압으로 전압을 인가하면 도핑가스의 양이온들이 가속되어 기판 챔버 내부의 지지대에 장착된 결정질 실리콘 기판 표면과 충돌하여 기판 표면으로 주입되고, 초기 압력을 2×10^{-7} torr 정도의 고진공 상태로 해줌으로써 도핑 순도를 높여주었다. 결정질 실리콘 기판의 온도를 250°C 로 유지시킨 뒤 6 rpm 으로 10분간 회전시켜 도핑가스의 도핑작업을 수행하여 인트린직 비정질 실리콘 층의 두께가 줄어들면서 에미터가 형성되었다. 이때, 형성된 에미터의 두께는 15 nm, 에미터가 형성된 후의 인트린직 비정질 실리콘 층의 두께는 5 nm로 측정되었다.

[0069] 후면전계 형성

[0070] 도핑가스로 B_2H_6 및 H_2 의 혼합가스를 사용하였으며 후면전계를 형성하는 과정은 상기 에미터를 형성하는 과정과 동일하게 수행하였다. 이때, 형성된 후면전계 층의 두께는 25 nm, 후면전계가 형성된 후의 인트린직 비정질 실리콘 층의 두께는 5 nm로 측정되었다.

[0071] 열처리

[0072] 이온샤워 장치로 도핑 한 직후 도핑된 에미터 및 후면전계를 안정시키기 위하여 200°C 에서 30분간 열처리 하였다.

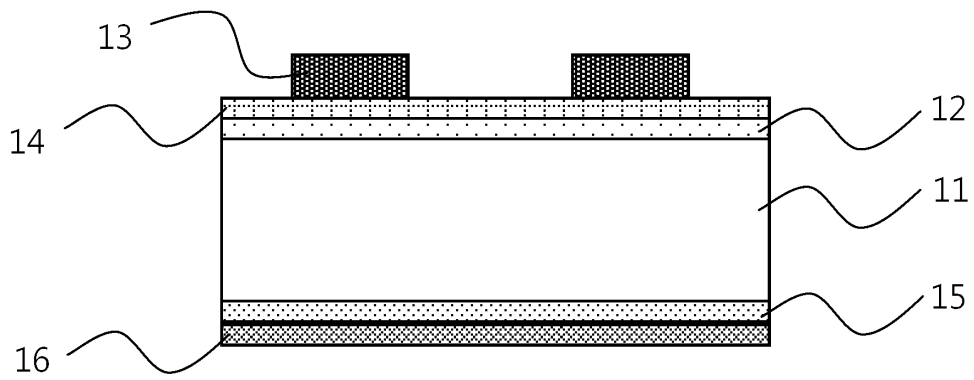
[0073] 이상으로 본 발명 내용의 특정한 부분을 상세히 기술하였는바, 당업계의 통상의 지식을 가진 자에게 있어서, 이러한 구체적 기술은 단지 바람직한 실시 양태일 뿐이며, 이에 의해 본 발명의 범위가 제한되는 것이 아닌 점은 명백할 것이다. 따라서 본 발명의 실질적인 범위는 첨부된 청구항들과 그것들의 등가물에 의하여 정의된다고 할 것이다.

부호의 설명

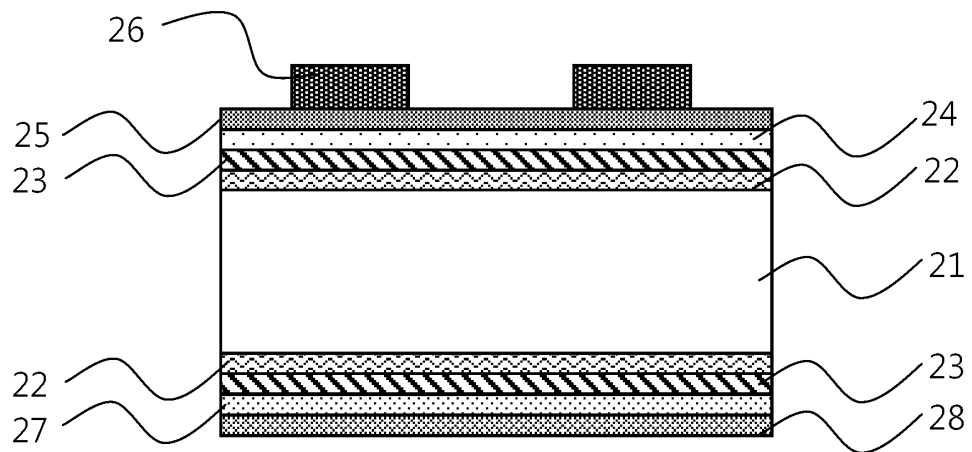
- [0074] 11, 21 : 결정질 실리콘 기판
 22 : 텍스처링(Texturing) 구조
 23 : 비정질 버퍼층
 12, 24 : 에미터(Emitte)
 13, 25 : 투명전도 산화방지막
 14, 26 : 상부전극
 15, 27 : 후면전계(BSF)
 16, 28 : 하부전극

도면

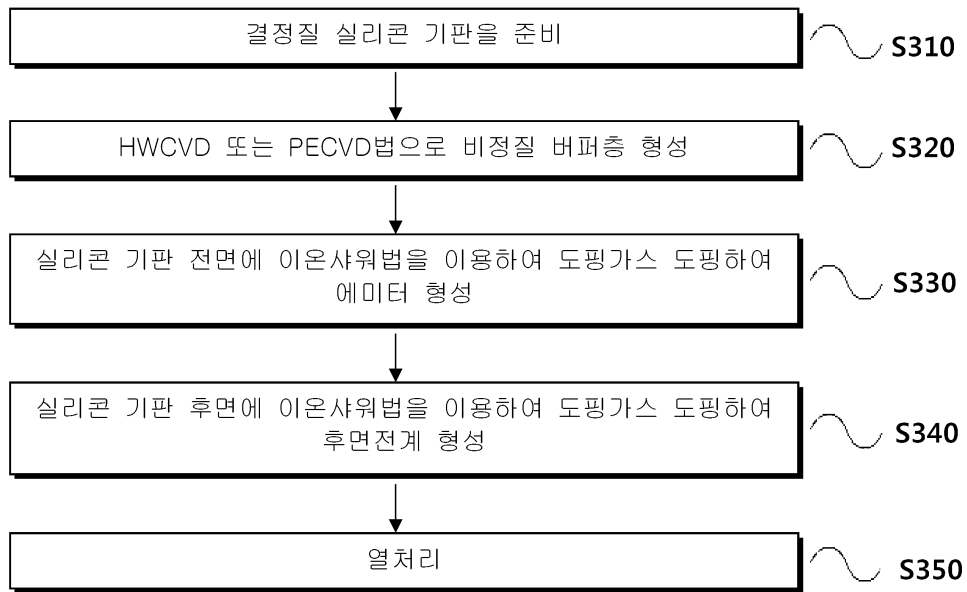
도면1



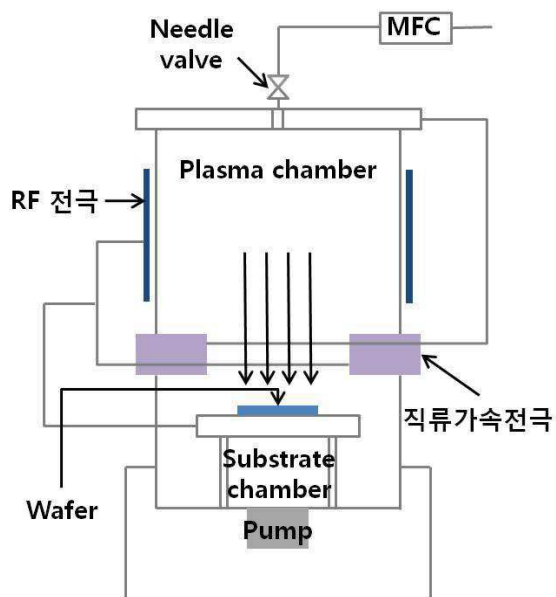
도면2



도면3



도면4



도면5

