

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2014-204117

(P2014-204117A)

(43) 公開日 平成26年10月27日(2014.10.27)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 G 4/12 (2006.01)	HO 1 G 4/12 3 4 9	5 E 0 0 1
HO 1 G 4/30 (2006.01)	HO 1 G 4/12 3 6 4	5 E 0 8 2
	HO 1 G 4/30 3 0 1 E	
	HO 1 G 4/30 3 1 1 Z	

審査請求 有 請求項の数 6 O L (全 22 頁)

(21) 出願番号 特願2013-127231 (P2013-127231)
 (22) 出願日 平成25年6月18日 (2013.6.18)
 (31) 優先権主張番号 10-2013-0038321
 (32) 優先日 平成25年4月8日 (2013.4.8)
 (33) 優先権主張国 韓国 (KR)

(71) 出願人 594023722
 サムソン エレクトロメカニクス カ
 ンパニーリミテッド.
 大韓民国、キョンギド、スウォン-シ、
 ヨントン-グ、(マエタン-ドン) マエヨ
 ン-ロ 1 5 0
 (74) 代理人 100088605
 弁理士 加藤 公延
 (74) 代理人 100166420
 弁理士 福川 晋矢
 (72) 発明者 キム・ヒュン・ジュン
 大韓民国、キョンギド、スウォン、ヨ
 ントン-グ、マエタン3-ドン 3 1 4、サ
 ムソン エレクトロメカニクス カ
 パニーリミテッド

最終頁に続く

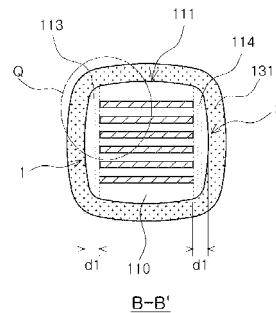
(54) 【発明の名称】 積層セラミックキャパシタ及びその製造方法

(57) 【要約】

【課題】信頼性に優れ高容量の積層セラミックキャパシタ及びその製造方法を提供する。

【解決手段】本発明の一実施形態による積層セラミックキャパシタは、対向する第1側面及び第2側面、前記第1側面及び第2側面を連結する第3端面及び第4端面を有するセラミック本体と、上記セラミック本体の内部に形成され、上記第3端面または第4端面に一端が露出する複数個の内部電極と、上記第1側面及び第2側面から上記内部電極の端部までの平均厚さが18 μm以下に形成された第1サイドマージン部及び第2サイドマージン部と、を含み、上記セラミック本体は静電容量の形成に寄与する有効層及び上記有効層の上部及び下部の少なくとも一つに提供されるカバー層からなり、上記第1サイドマージン部及び第2サイドマージン部の誘電体グレインの平均粒径をGw、上記カバー層の誘電体グレインの平均粒径をGt、及び上記有効層の誘電体グレインの平均粒径をGaとすると、 $Gw < Gt < Ga$ を満たすことができる。

【選択図】 図2



【特許請求の範囲】**【請求項 1】**

対向する第 1 側面及び第 2 側面、上記第 1 側面及び第 2 側面を連結する第 3 端面及び第 4 端面を有するセラミック本体と、

前記セラミック本体の内部に形成され、前記第 3 端面または第 4 端面に一端が露出する複数個の内部電極と、

前記第 1 側面及び第 2 側面から前記内部電極の端部までの平均厚さが $18 \mu\text{m}$ 以下に形成された第 1 サイドマージン部及び第 2 サイドマージン部と、を含み、

前記セラミック本体は静電容量の形成に寄与する有効層及び前記有効層の上部及び下部の少なくとも一つに提供されるカバー層からなり、前記第 1 サイドマージン部及び第 2 サイドマージン部の誘電体グレインの平均粒径を G_w 、前記カバー層の誘電体グレインの平均粒径を G_t 、及び前記有効層の誘電体グレインの平均粒径を G_a とするとき、 $G_w < G_t < G_a$ を満たす、積層セラミックキャパシタ。

10

【請求項 2】

前記第 1 サイドマージン部及び第 2 サイドマージン部の誘電体グレインの平均粒径 G_w は $100 \sim 120 \text{nm}$ である、請求項 1 に記載の積層セラミックキャパシタ。

【請求項 3】

前記有効層の誘電体グレインの平均粒径 G_a は $150 \sim 160 \text{nm}$ である、請求項 1 に記載の積層セラミックキャパシタ。

20

【請求項 4】

前記第 1 サイドマージン部及び第 2 サイドマージン部はセラミックスラリーで形成される、請求項 1 に記載の積層セラミックキャパシタ。

【請求項 5】

前記内部電極は、一端が前記第 3 端面に露出し、他端が前記第 4 端面から所定の間隔を置いて形成される第 1 内部電極と、一端が第 4 端面に露出し、他端が前記第 3 端面から所定の間隔を置いて形成される第 2 内部電極とで構成される、請求項 1 に記載の積層セラミックキャパシタ。

【請求項 6】

第 1 セラミック誘電体粉末を含む第 1 セラミックスラリーで複数個のセラミックグリーンシートを形成する段階と、

30

前記セラミックグリーンシート上に第 1 内部電極パターンまたは第 2 内部電極パターンを印刷する段階と、

前記第 1 内部電極パターンと第 2 内部電極パターンが交互に積層されるように複数個のセラミックグリーンシートを積層して静電容量の形成に寄与する有効層を形成し、前記有効層の上部及び下部の少なくとも一つに前記第 1 セラミック誘電体粉末より粒径の小さい第 2 セラミック誘電体粉末を含む第 2 セラミックスラリーで形成されたセラミックグリーンシートを積層してカバー層を形成して、対向する第 1 側面及び第 2 側面、前記第 1 側面及び第 2 側面を連結する第 3 端面及び第 4 端面を有するセラミック本体を設ける段階と、

前記第 1 側面及び第 2 側面のそれぞれに前記第 2 セラミック誘電体粉末より粒径の小さい第 3 セラミック誘電体粉末を含む第 3 セラミックスラリーが塗布された第 1 サイドマージン部及び第 2 サイドマージン部を形成する段階と、

40

を含む、積層セラミックキャパシタの製造方法。

【請求項 7】

前記第 1 サイドマージン部及び第 2 サイドマージン部の誘電体グレインの平均粒径を G_w 、前記カバー層の誘電体グレインの平均粒径を G_t 、及び前記有効層の誘電体グレインの平均粒径を G_a とするとき、 $G_w < G_t < G_a$ を満たす、請求項 6 に記載の積層セラミックキャパシタの製造方法。

【請求項 8】

前記第 1 サイドマージン部及び第 2 サイドマージン部の誘電体グレインの平均粒径 G_w は $100 \sim 120 \text{nm}$ である、請求項 6 に記載の積層セラミックキャパシタの製造方法。

50

【請求項 9】

前記有効層の誘電体グレインの平均粒径 $G a$ は $150 \sim 160 \text{ nm}$ である、請求項 6 に記載の積層セラミックキャパシタの製造方法。

【請求項 10】

前記複数個の誘電体層、第 1 サイドマージン部及び第 2 サイドマージン部の焼成温度は $800 \sim 1200$ である、請求項 6 に記載の積層セラミックキャパシタの製造方法。

【請求項 11】

前記第 3 端面に引き出された第 1 内部電極パターン及び第 4 端面に引き出された第 2 内部電極パターンとそれぞれ連結される第 1 外部電極及び第 2 外部電極を形成する段階をさらに含む、請求項 6 に記載の積層セラミックキャパシタの製造方法。

10

【請求項 12】

前記第 1 サイドマージン部及び第 2 サイドマージン部は平均厚さが $18 \mu\text{m}$ 以下である、請求項 6 に記載の積層セラミックキャパシタの製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は積層セラミックキャパシタ及びその製造方法に関し、より詳細には信頼性に優れた高容量積層セラミックキャパシタ及びその製造方法に関する。

【背景技術】

【0002】

通常、キャパシタ、インダクタ、圧電体素子、バリスタまたはサーミスターなどのセラミック材料を用いる電子部品は、セラミック材料からなるセラミック本体と、本体の内部に形成された内部電極と、上記内部電極と接続されるようにセラミック本体の表面に設けられた外部電極と、を備える。

20

【0003】

セラミック電子部品のうち積層セラミックキャパシタは、積層された複数の誘電体層と、一誘電体層を介して対向配置される内部電極と、上記内部電極に電氣的に接続された外部電極と、を含む。

【0004】

積層セラミックキャパシタは小型、且つ高容量が保障され、実装が容易であるという長所によりコンピューター、PDA、携帯電話などの移動通信装置の部品として広く用いられている。

30

【0005】

最近では、電子製品が小型化及び多機能化するにつれ、チップ部品も小型化及び高機能化する傾向であり、積層セラミックキャパシタもそのサイズが小さく、容量の大きい高容量製品が求められている。

【0006】

積層セラミックキャパシタの容量を高めるべく、誘電体層を薄膜化する方法、薄膜化された誘電体層を高積層化する方法、内部電極のカパレッジを向上させる方法などが考慮されている。また、容量を形成する内部電極の重なり面積を向上させる方法が考えられている。

40

【0007】

積層セラミックキャパシタは、通常、次のように製造される。まず、セラミックグリーンシートを製造し、セラミックグリーンシート上に導電性ペーストを印刷して内部電極を形成する。内部電極の形成されたセラミックグリーンシートを数十から数百層まで重積してグリーンセラミック積層体を作製する。その後、グリーンセラミック積層体を高温及び高圧で圧着して硬いグリーンセラミック積層体を作り、切断工程を経てグリーンチップを製造する。その後、グリーンチップを仮焼及び焼成してから外部電極を形成して積層セラミックキャパシタを完成する。

【0008】

50

上記のような製造方法で積層セラミックキャパシタを形成する場合、内部電極の形成されない誘電体層のマージン部領域を最小化することが困難であるため、内部電極の重なり面積を増加させることに限界がある。また、積層セラミックキャパシタの角部のマージン部は他の領域のマージン部より厚く形成され、仮焼及び焼成時に炭素の除去が容易でないという問題がある。

【0009】

上記の問題を解決するために、内部電極の形成されないマージン部領域を既に製作されたセラミック積層体に形成する方法が考案されているが、セラミック積層体と上記マージン部の未圧着によって耐湿特性低下及び衝撃に脆弱であるという問題がある。

【0010】

下記先行技術文献は、容量部を構成する誘電体粒子の平均粒径と、非容量部を構成する誘電体粒子の平均粒径とが異なるように調節するが、上記の問題を解決することはできない。

【先行技術文献】

【特許文献】

【0011】

【特許文献1】国際公開第2003-017356号

【発明の概要】

【発明が解決しようとする課題】

【0012】

本発明は、信頼性に優れた高容量積層セラミックキャパシタ及びその製造方法を提供することを目的とする。

【課題を解決するための手段】

【0013】

本発明の一実施形態は、対向する第1側面及び第2側面、上記第1側面及び第2側面を連結する第3端面及び第4端面を有するセラミック本体と、上記セラミック本体の内部に形成され、上記第3端面または第4端面に一端が露出する複数個の内部電極と、上記第1側面及び第2側面から上記内部電極の端部までの平均厚さが $18\mu\text{m}$ 以下に形成された第1サイドマージン部及び第2サイドマージン部と、を含み、上記セラミック本体は静電容量の形成に寄与する有効層及び上記有効層の上部及び下部の少なくとも一つに提供されるカバー層からなり、上記第1サイドマージン部及び第2サイドマージン部の誘電体グレインの平均粒径を G_w 、上記カバー層の誘電体グレインの平均粒径を G_t 、及び上記有効層の誘電体グレインの平均粒径を G_a とするとき、 $G_w < G_t < G_a$ を満たす積層セラミックキャパシタを提供する。

【0014】

上記第1サイドマージン部及び第2サイドマージン部の誘電体グレインの平均粒径 G_w は、 $100\sim 120\text{nm}$ であってもよい。

【0015】

上記有効層の誘電体グレインの平均粒径 G_a は $150\sim 160\text{nm}$ であってもよい。

【0016】

上記第1サイドマージン部及び第2サイドマージン部はセラミックスラリーで形成されてもよい。

【0017】

上記内部電極は、一端が上記第3端面に露出し、他端が上記第4端面から所定の間隔を置いて形成される第1内部電極と、一端が第4端面に露出し、他端が上記第3端面から所定の間隔を置いて形成される第2内部電極とで構成されてもよい。

【0018】

本発明の他の実施形態は、第1セラミック誘電体粉末を含む第1セラミックスラリーで複数個のセラミックグリーンシートを形成する段階と、上記セラミックグリーンシート上に第1内部電極パターンまたは第2内部電極パターンを印刷する段階と、上記第1内部電

10

20

30

40

50

極パターンと第2内部電極パターンが交互に積層されるように複数個のセラミックグリーンシートを積層して静電容量の形成に寄与する有効層を形成し、上記有効層の上部及び下部の少なくとも一つに上記第1セラミック誘電体粉末より粒径の小さい第2セラミック誘電体粉末を含む第2セラミックスラリーで形成されたセラミックグリーンシートを積層してカバー層を形成して、対向する第1側面及び第2側面、上記第1側面及び第2側面を連結する第3端面及び第4端面を有するセラミック本体を設ける段階と、上記第1側面及び第2側面のそれぞれに上記第2セラミック誘電体粉末より粒径の小さい第3セラミック誘電体粉末を含む第3セラミックスラリーが塗布された第1サイドマージン部及び第2サイドマージン部を形成する段階と、を含む積層セラミックキャパシタの製造方法を提供する。

10

【0019】

上記第1サイドマージン部及び第2サイドマージン部の誘電体グレインの平均粒径を G_w 、上記カバー層の誘電体グレインの平均粒径を G_t 、及び上記有効層の誘電体グレインの平均粒径を G_a とすると、 $G_w < G_t < G_a$ を満たすことができる。

【0020】

上記第1サイドマージン部及び第2サイドマージン部の誘電体グレインの平均粒径 G_w は $100 \sim 120 \text{ nm}$ であってもよい。

【0021】

上記有効層の誘電体グレインの平均粒径 G_a は $150 \sim 160 \text{ nm}$ であってもよい。

【0022】

上記複数個の誘電体層、第1サイドマージン部及び第2サイドマージン部の焼成温度は $800 \sim 1200$ であってもよい。

20

【0023】

上記第3端面に引き出された第1内部電極パターン及び第4端面に引き出された第2内部電極パターンとそれぞれ連結される第1外部電極及び第2外部電極を形成する段階をさらに含んでもよい。

【0024】

上記第1サイドマージン部及び第2サイドマージン部は平均厚さが $18 \mu\text{m}$ 以下であってもよい。

【発明の効果】

30

【0025】

本発明の一実施形態によると、積層セラミックキャパシタにおいて、第1サイドマージン部及び第2サイドマージン部の誘電体グレインの平均粒径、カバー層の誘電体グレインの平均粒径、及び有効層の誘電体グレインの平均粒径を調節することで、耐湿特性を強化した高信頼性高容量積層セラミックキャパシタを具現することができる。

【0026】

また、積層セラミックキャパシタにおいて、内部電極の末端から第1側面または第2側面までの距離が小さく形成されることができ、これにより、相対的にセラミック本体内に形成される内部電極の重なり面積を広く形成することができる。

【0027】

また、相対的に残留炭素の除去が困難な角部である最外郭に配置される内部電極の末端から第1側面または第2側面までの距離が極めて小さく形成され、残留炭素の除去が容易に行われることができる。これにより、残留炭素の濃度散布が小さくなって同じ微細構造を保持することができ、内部電極の連結性を向上させることができる。

40

【0028】

また、最外郭に配置される内部電極の末端から上記第1側面または第2側面までの最短距離を一定厚さに確保して耐湿特性を確保し、内部欠陥を減らすことができる。また、外部電極の形成時に放射クラックの発生可能性を減らし、外部衝撃に対する機械的強度を確保することができる。

【0029】

50

本発明の一実施形態によると、積層された複数個の第1及び第2内部電極とセラミックグリーンシートが同時に切断され、上記内部電極の末端は一直線上に置かれることができる。その後、内部電極の末端が露出する面に第1及び第2サイドマージン部が形成されてもよい。上記サイドマージン部の厚さはセラミックスラリーの量によって容易に調節されることができる。

【0030】

上記内部電極は、誘電体層の幅方向に対して全体的に形成されることができるため、内部電極間の重なり面積を形成することが容易で、内部電極による段差の発生を減らすことができる。

【図面の簡単な説明】

【0031】

【図1】本発明の一実施形態による積層セラミックキャパシタを示す概略的な斜視図である。

【図2】図1のB - B'線による断面図である。

【図3】図2のQ領域の拡大図である。

【図4】図1のA - A'線による断面図である。

【図5】図1に示された積層セラミックキャパシタを構成する一誘電体層を示す上部平面図である。

【図6a】本発明の他の実施形態による積層セラミックキャパシタの製造方法を概略的に示す断面図である。

【図6b】本発明の他の実施形態による積層セラミックキャパシタの製造方法を概略的に示す断面図である。

【図6c】本発明の他の実施形態による積層セラミックキャパシタの製造方法を概略的に示す断面図である。

【図6d】本発明の他の実施形態による積層セラミックキャパシタの製造方法を概略的に示す斜視図である。

【図6e】本発明の他の実施形態による積層セラミックキャパシタの製造方法を概略的に示す斜視図である。

【図6f】本発明の他の実施形態による積層セラミックキャパシタの製造方法を概略的に示す斜視図である。

【発明を実施するための形態】

【0032】

以下では、添付の図面を参照し、本発明の好ましい実施形態について説明する。しかし、本発明の実施形態は様々な他の形態に変形されることができ、本発明の範囲は以下で説明する実施形態に限定されない。また、本発明の実施形態は、当該技術分野で平均的な知識を有する者に本発明をより完全に説明するために提供されるものである。図面における要素の形状及び大きさなどはより明確な説明のために誇張されることがある。

【0033】

図1は本発明の一実施形態による積層セラミックキャパシタを示す概略的な斜視図であり、図2は図1のB - B'線による断面図であり、図3は図2のQ領域の拡大図であり、図4は図1のA - A'線による断面図であり、図5は図1に示された積層セラミックキャパシタを構成する一誘電体層を示す上部平面図である。

【0034】

図1～図5を参照すると、本実施形態による積層セラミックキャパシタは、セラミック本体110と、上記セラミック本体の内部に形成される複数個の内部電極121、122と、上記セラミック本体の外表面に形成される外部電極131、132と、を含む。

【0035】

上記セラミック本体110は、対向する第1側面1及び第2側面2と、上記第1側面及び第2側面を連結する第3端面3及び第4端面4と、を有することができる。

【0036】

10

20

30

40

50

上記セラミック本体 110 の形状は特に制限されないが、図示されたように直方体であってもよい。

【0037】

上記セラミック本体 110 の内部に形成された複数個の内部電極 121、122 は、セラミック本体の第3端面3または第4端面4に一端が露出する。

【0038】

上記内部電極 121、122 は、異なる極性を有する第1内部電極 121 及び第2内部電極 122 を一対にすることができる。第1内部電極 121 の一端は第3端面3に露出し、第2内部電極 122 の一端は第4端面4に露出することができる。上記第1内部電極 121 及び第2内部電極 122 の他端は、第3端面3または第4端面4から一定間隔を置いて形成される。これに対する詳しい内容は後述する。

10

【0039】

上記セラミック本体の第3端面3及び第4端面4には、第1及び第2外部電極 131、132 が形成され、上記内部電極と電氣的に連結されてもよい。

【0040】

上記セラミック本体の内部には複数個の内部電極が形成されており、上記複数個の内部電極の各末端から上記第1側面または第2側面までの距離 d_1 は、 $18\ \mu\text{m}$ 以下であってもよい。これは、複数個の内部電極の末端から上記第1側面または第2側面までの平均距離 d_1 が平均 $18\ \mu\text{m}$ 以下であることを意味することができる。

【0041】

上記内部電極の末端は、上記セラミック本体の第1側面1または第2側面2に向かっている内部電極の一領域を意味する。上記内部電極の末端から第1側面または第2側面までの領域は、第1サイドマージン部 113 または第2サイドマージン部 114 と称することができる。

20

【0042】

内部電極の末端から第1側面1または第2側面2までの距離 d_1 は、複数個の内部電極間において多少の差はあり得るが、本発明の一実施形態によると、その偏差がないか、小さいという特徴を有する。

【0043】

このような特徴は、本発明の一実施形態による積層セラミックキャパシタの製造方法を通じてより明確に理解されることができる。

30

【0044】

本発明の一実施形態によると、上記セラミック本体 110 は複数の誘電体層 112 が積層された積層体 111 と、上記積層体の両側面に形成される第1サイドマージン部 113 及び第2サイドマージン部 114 とで構成されてもよい。この場合、上記複数個の内部電極の各末端から上記第1側面または第2側面までの距離 d_1 は、第1サイドマージン部 113 及び第2サイドマージン部 114 により形成され、上記第1サイドマージン部 113 または第2サイドマージン部 114 の厚さに該当する。

【0045】

上記積層体 111 を構成する複数の誘電体層 112 は焼結された状態であり、隣接する誘電体層同士は境界が確認できない程度に一体化されていてもよい。

40

【0046】

上記積層体 111 の長さは上記セラミック本体 110 の長さに該当し、上記セラミック本体 110 の長さはセラミック本体の第3端面3から第4端面4までの距離に該当する。即ち、セラミック本体 110 の第3及び第4端面は積層体 111 の第3端面及び第4端面と理解されることができる。

【0047】

上記積層体 111 は複数の誘電体層 112 の積層により形成されるもので、上記誘電体層 112 の長さはセラミック本体の第3端面3と第4端面4間の距離を形成する。

【0048】

50

これに制限されないが、本発明の一実施形態によると、セラミック本体の長さは400～1400 μm であってもよい。より具体的には、セラミック本体の長さは400～800 μm であるか、600～1400 μm であってもよい。

【0049】

上記誘電体層上に内部電極121、122が形成されることができ、内部電極121、122は、焼結によって一誘電体層を介して上記セラミック本体の内部に形成されてもよい。

【0050】

図5を参照すると、誘電体層112に第1内部電極121が形成されている。上記第1内部電極121は誘電体層の長さ方向に対しては全体的に形成されない。即ち、第1内部電極121の一端はセラミック本体の第4端面4から所定の間隔d2を置いて形成され、第1内部電極121の他端は第3端面3まで形成されて第3端面3に露出することができる。

10

【0051】

積層体の第3端面3に露出した第1内部電極の他端は、第1外部電極131と連結される。

【0052】

第1内部電極とは逆に、第2内部電極122の一端は第3端面3から所定の間隔を置いて形成され、第2内部電極122の他端は第4端面4に露出して第2外部電極132と連結される。

20

【0053】

上記誘電体層112は第1内部電極121の幅と同じ幅を有してもよい。即ち、上記第1内部電極121は誘電体層112の幅方向に対しては全体的に形成されることができる。誘電体層の幅及び内部電極の幅は、セラミック本体の第1側面及び第2側面を基準とする。

【0054】

これに制限されないが、本発明の一実施形態によると、誘電体層の幅及び内部電極の幅は100～900 μm であってもよい。より具体的には、誘電体層の幅及び内部電極の幅は100～500 μm であるか、100～900 μm であってもよい。

【0055】

セラミック本体が小型化するほど、サイドマージン部の厚さが積層セラミックキャパシタの電気的特性に影響を及ぼす。本発明の一実施形態によると、サイドマージン部の厚さが18 μm 以下に形成されて小型化された積層セラミックキャパシタの特性を向上させることができる。

30

【0056】

本発明の一実施形態では、内部電極と誘電体層は同時に切断されて形成され、内部電極の幅と誘電体層の幅は同一に形成されることができる。これに対するより具体的な事項は後述する。

【0057】

上記内部電極の末端が露出した積層体の両側面には第1サイドマージン部113及び第2サイドマージン部114が形成されてもよい。

40

【0058】

上述のように、上記複数個の内部電極の各末端から上記第1側面または第2側面までの距離d1は、上記第1サイドマージン部113または第2サイドマージン部114の厚さに該当する。

【0059】

上記第1サイドマージン部113及び第2サイドマージン部114の厚さは、18 μm 以下であってもよい。上記第1サイドマージン部113及び第2サイドマージン部114の厚さが小さいほど、セラミック本体内に形成される内部電極の重なり面積が相対的に広くなる。

50

【0060】

上記第1サイドマージン部113及び第2サイドマージン部114の厚さは、積層体111の側面に露出する内部電極のショートを防止することができる厚さであれば、特に制限されないが、例えば、第1サイドマージン部113及び第2サイドマージン部114の厚さは2 μ m以上であってもよい。

【0061】

上記第1及び第2サイドマージン部の厚さが2 μ m未満では、外部衝撃に対する機械的強度が低下する恐れがあり、上記第1及び第2サイドマージン部の厚さが18 μ mを超えると、相対的に内部電極の重なり面積が減少して積層セラミックキャパシタの高容量を確保することが困難となる可能性がある。

10

【0062】

本発明の一実施形態によると、上記第1サイドマージン部113及び第2サイドマージン部114はセラミックスラリーで形成されてもよい。上記セラミックスラリーの量を調節することにより、上記第1サイドマージン部113及び第2サイドマージン部114の厚さが容易に調節でき、18 μ m以下に薄く形成されることができる。

【0063】

上記第1サイドマージン部113及び第2サイドマージン部114の厚さは上記マージン部それぞれの平均厚さを意味することができる。

【0064】

上記第1サイドマージン部113及び第2サイドマージン部114の平均厚さは、図2のようにセラミック本体110の幅方向の断面を走査電子顕微鏡(SEM、Scanning Electron Microscope)でイメージをスキャンして測定することができる。

20

【0065】

例えば、図2のように、セラミック本体110の長さL方向の中央部で切断した幅及び厚さ方向W-Tの断面を走査電子顕微鏡(SEM、Scanning Electron Microscope)でスキャンしたイメージから抽出した任意の第1サイドマージン部113及び第2サイドマージン部114に対し、セラミック本体の厚さ方向の上、中、下の任意の3地点の厚さを測定して平均値を得ることができる。

【0066】

積層セラミックキャパシタの容量を極大化すべく、誘電体層を薄膜化する方法、薄膜化した誘電体層を高積層化する方法、内部電極のカバレッジを向上させる方法などが考えられている。また、容量を形成する内部電極の重なり面積を向上させる方法が考慮されている。内部電極の重なり面積を増加させるためには、内部電極の形成されないマージン部領域が最小化されなければならない。特に、積層セラミックキャパシタが小型化するほど、内部電極の重なり領域を増加させるためにマージン部領域が最小化されなければならない。

30

【0067】

本実施形態によると、誘電体層の幅方向の全体に内部電極が形成され、サイドマージン部の厚さが18 μ m以下に設定され、内部電極の重なり面積が広いという特徴を有する。

40

【0068】

一般的に、誘電体層が高積層化するほど、誘電体層及び内部電極の厚さが薄くなる。従って、内部電極がショートする現象が頻繁に発生する恐れがある。また、誘電体層の一部のみに内部電極が形成される場合、内部電極による段差が発生し、絶縁抵抗の加速寿命や信頼性が低下する恐れがある。

【0069】

しかし、本実施形態によると、薄膜の内部電極及び誘電体層を形成しても、内部電極が誘電体層の幅方向に対して全体的に形成されるため、内部電極の重なり面積が大きくなって積層セラミックキャパシタの容量を大きくすることができる。

【0070】

50

また、内部電極による段差を減少させて絶縁抵抗の加速寿命が向上し、容量特性に優れ、且つ信頼性に優れた積層セラミックキャパシタを提供することができる。

【0071】

一方、上記セラミック本体110は、静電容量の形成に寄与する有効層及び上記有効層の上部及び下部の少なくとも一つに提供されるカバー層Cからなってもよい。

【0072】

本発明の一実施形態によると、上記第1サイドマージン部113及び第2サイドマージン部114の誘電体グレインの平均粒径を G_w 、上記カバー層Cの誘電体グレインの平均粒径を G_t 及び上記有効層の誘電体グレインの平均粒径を G_a とすると、 $G_w < G_t < G_a$ を満たすことができる。

【0073】

上記のように、各領域別の誘電体グレインの平均粒径を調節することで、セラミック本体とサイドマージン部の未圧着による耐湿特性低下を防ぐことができ、高容量積層セラミックキャパシタを具現することができる。

【0074】

具体的には、本発明の一実施形態によると、第1サイドマージン部113及び第2サイドマージン部114の誘電体グレインの平均粒径 G_w は、カバー層Cの誘電体グレインの平均粒径 G_t より小さく、上記カバー層Cの誘電体グレインの平均粒径 G_t は上記有効層の誘電体グレインの平均粒径 G_a より小さい。

【0075】

上記のように各領域別の誘電体グレインの平均粒径を調節する理由は、上記セラミック本体の焼成時の各領域別の焼成収縮挙動の差を考慮し、セラミック本体とサイドマージン部の未圧着問題を解決するためである。

【0076】

即ち、セラミック本体の焼成収縮挙動は有効層を初めとして、カバー層、サイドマージン部の順に進行されることができ、この場合、上記各領域別の誘電体グレインの平均粒径が同一または類似する場合、焼成収縮差によってセラミック本体とサイドマージン部との間に未圧着が発生することがある。

【0077】

図3を参照すると、上記サイドマージン部は有効層及びカバー層と接しており、上記した焼成収縮の差によってセラミック本体とサイドマージン部との間に未圧着が発生する恐れがある。

【0078】

従って、本発明の一実施形態のように各領域別の誘電体グレインの平均粒径を調節すると、各領域別の焼成収縮の差を最小化することができ、セラミック本体とサイドマージン部の未圧着による耐湿特性の低下を防ぐことができる。

【0079】

上記第1サイドマージン部113及び第2サイドマージン部114の誘電体グレインの平均粒径 G_w は特に制限されないが、例えば、100~120nmであってもよい。

【0080】

上記第1サイドマージン部113及び第2サイドマージン部114の誘電体グレインの平均粒径 G_w が100nm未満では、焼成時にクラックが発生する恐れがある。

【0081】

また、上記第1サイドマージン部113及び第2サイドマージン部114の誘電体グレインの平均粒径 G_w が120nmを超えると、耐湿特性が低下することがあり、外部衝撃に脆弱となる恐れがある。

【0082】

上記有効層の誘電体グレインの平均粒径 G_a は特に制限されないが、例えば、150~160nmであってもよい。

【0083】

10

20

30

40

50

上記有効層の誘電体グレインの平均粒径 G_a が 150 nm 未満では、焼成時にクラックが発生する恐れがある。

【0084】

上記有効層の誘電体グレインの平均粒径 G_a が 160 nm を超えると、耐湿特性が低下することがあり、外部衝撃に脆弱となる恐れがある。

【0085】

上記カバー層 C の誘電体グレインの平均粒径 G_t は特に制限されず、上記第 1 サイドマージン部 113 及び第 2 サイドマージン部 114 の誘電体グレインの平均粒径 G_w より大きく、上記有効層の誘電体グレインの平均粒径 G_a より小さくてもよい。

【0086】

上記カバー層 C の誘電体グレインの平均粒径 G_t は、本発明の目的に応じて適切に調節することができ、これに制限されない。

【0087】

上記各領域別の誘電体グレインの平均粒径の調節は、積層セラミックキャパシタの製造時に用いられる各領域別のセラミック粒子の平均粒径を調節することで具現することができる。

【0088】

即ち、本発明の一実施形態により各領域別の誘電体グレインの平均粒径を具現するように、積層セラミックキャパシタの製造時に平均粒径の異なるセラミック粒子を各領域別に適用することができる。

【0089】

これに対する具体的な説明は後述する。

【0090】

本発明の他の実施形態による積層セラミックキャパシタの製造方法は、第 1 セラミック誘電体粉末を含む第 1 セラミックスラリーで複数個のセラミックグリーンシートを形成する段階と、上記セラミックグリーンシート上に第 1 内部電極パターンまたは第 2 内部電極パターンを印刷する段階と、上記第 1 内部電極パターンと第 2 内部電極パターンが交互に積層されるように複数個のセラミックグリーンシートを積層して静電容量の形成に寄与する有効層を形成し、上記有効層の上部及び下部の少なくとも一つに上記第 1 セラミック誘電体粉末より粒径の小さい第 2 セラミック誘電体粉末を含む第 2 セラミックスラリーで形成されたセラミックグリーンシートを積層してカバー層を形成して、対向する第 1 側面及び第 2 側面、上記第 1 側面及び第 2 側面を連結する第 3 端面及び第 4 端面を有するセラミック本体を設ける段階と、上記第 1 側面及び第 2 側面のそれぞれに上記第 2 セラミック誘電体粉末より粒径の小さい第 3 セラミック誘電体粉末を含む第 3 セラミックスラリーが塗布された第 1 サイドマージン部及び第 2 サイドマージン部を形成する段階と、を含んでもよい。

【0091】

以下、本発明の他の実施形態による積層セラミックキャパシタの製造方法を説明する。

【0092】

図 6 a ~ 図 6 f は本発明の他の実施形態による積層セラミックキャパシタの製造方法を概略的に示す断面図及び斜視図である。

【0093】

図 6 a に示されたように、セラミックグリーンシート 212 a 上に所定の間隔 d_4 を置いて複数個のストライプ型第 1 内部電極パターン 221 a を形成する。上記複数個のストライプ型第 1 内部電極パターン 221 a は互いに平行に形成されることができる。

【0094】

上記所定の間隔 d_4 は、内部電極が異なる極性を有する外部電極と絶縁されるための距離であって、図 5 に示された $d_2 \times 2$ の距離と理解されることができる。

【0095】

上記セラミックグリーンシート 212 a は、第 1 セラミック誘電体粉末、有機溶剤及び

10

20

30

40

50

有機バインダーを含む第1セラミックスラリーで形成されてもよい。

【0096】

上記第1セラミック誘電体粉末は高い誘電率を有する物質で、これに制限されないが、チタン酸バリウム (BaTiO_3) 系材料、鉛複合ペロブスカイト系材料またはチタン酸ストロンチウム (SrTiO_3) 系材料などを用いてもよく、チタン酸バリウム (BaTiO_3) 粉末を用いることが好ましい。

【0097】

ストライプ型第1内部電極パターン221aは、導電性金属を含む内部電極ペーストにより形成されてもよい。上記導電性金属はこれに制限されないが、Ni、Cu、Pd、またはこれらの合金であることができる。

【0098】

上記セラミックグリーンシート212a上にストライプ型第1内部電極パターン221aを形成する方法は特に制限されないが、例えば、スクリーン印刷法またはグラビア印刷法のような印刷法により形成されることができる。

【0099】

また、図示していないが、さらに他のセラミックグリーンシート212a上に所定の間隔を置いて複数個のストライプ型第2内部電極パターン222aを形成してもよい。

【0100】

以下、第1内部電極パターン221aが形成されたセラミックグリーンシートは第1セラミックグリーンシート、第2内部電極パターン222aが形成されたセラミックグリーンシートは第2セラミックグリーンシートと称することができる。

【0101】

次に、図6bに示されたように、ストライプ型第1内部電極パターン221aとストライプ型第2内部電極パターン222aが交互に積層されるように第1及び第2セラミックグリーンシートを交互に積層することができる。

【0102】

その後、上記ストライプ型第1内部電極パターン221aは第1内部電極121を形成することができ、ストライプ型第2内部電極パターン222aは第2内部電極122を形成することができる。

【0103】

これにより、静電容量の形成に寄与する有効層を形成することができ、次に、上記有効層の上部及び下部の少なくとも一つに上記第1セラミック誘電体粉末より粒径の小さい第2セラミック誘電体粉末を含む第2セラミックスラリーで形成されたセラミックグリーンシートを積層してカバー層Cを形成することができる。

【0104】

上記セラミックグリーンシートは、第1セラミック誘電体粉末より粒径の小さい第2セラミック誘電体粉末を含む第2セラミックスラリーで形成されることを除いては上記有効層を形成するのに用いたセラミックグリーンシートと同様の方法で形成されてもよい。

【0105】

図6cは本発明の一実施例により第1及び第2セラミックグリーンシートが積層されたセラミックグリーンシート積層体210を示す断面図であり、図6dは第1及び第2セラミックグリーンシートが積層されたセラミックグリーンシート積層体210を示す斜視図である。

【0106】

図6c及び図6dを参照すると、複数個の平行するストライプ型第1内部電極パターン221aが印刷された第1セラミックグリーンシートと、複数個の平行するストライプ型第2内部電極パターン222aが印刷された第2セラミックグリーンシートとが交互に積層されている。

【0107】

より具体的には、第1セラミックグリーンシートに印刷されたストライプ型第1内部電

10

20

30

40

50

極パターン 2 2 1 a の中央部と、第 2 セラミックグリーンシートに印刷されたストライプ型第 2 内部電極パターン 2 2 2 a 間の間隔 d 4 とが重なるように積層されてもよい。

【 0 1 0 8 】

次に、図 6 d に示されたように、上記セラミックグリーンシート積層体 2 1 0 は、複数個のストライプ型第 1 内部電極パターン 2 2 1 a 及びストライプ型第 2 内部電極パターン 2 2 2 a を横切るように切断されてもよい。即ち、上記セラミックグリーンシート積層体 2 1 0 は C 1 - C 1 切断線に沿って棒型積層体 2 2 0 に切断されてもよい。

【 0 1 0 9 】

より具体的には、ストライプ型第 1 内部電極パターン 2 2 1 a 及びストライプ型第 2 内部電極パターン 2 2 2 a は長さ方向に切断され、一定幅を有する複数個の内部電極に分割されることができる。このとき、積層されたセラミックグリーンシートも内部電極パターンとともに切断される。これにより、誘電体層は内部電極の幅と同じ幅を有するように形成されることができる。

10

【 0 1 1 0 】

上記棒型積層体 2 2 0 の切断面に第 1 及び第 2 内部電極の末端が露出することができる。上記棒型積層体の切断面はそれぞれ棒型積層体の第 1 側面及び第 2 側面と称されることができる。

【 0 1 1 1 】

次に、図 6 e に示されたように、上記棒型積層体 2 2 0 の第 1 及び第 2 側面のそれぞれに第 1 サイドマージン部 2 1 3 a 及び第 2 サイドマージン部 2 1 4 a を形成することができる。第 2 サイドマージン部 2 1 4 a は明確に図示されず、点線でその輪郭を示した。

20

【 0 1 1 2 】

上記棒型積層体 2 2 0 の第 1 及び第 2 側面は、図 2 に示した積層体 1 1 1 の第 1 側面 1 及び第 2 側面 2 に対応すると理解することができる。

【 0 1 1 3 】

上記第 1 及び第 2 サイドマージン部 2 1 3 a、2 1 4 a は、棒型積層体 2 2 0 に上記第 2 セラミック誘電体粉末より粒径の小さい第 3 セラミック誘電体粉末を含む第 3 セラミックスラリーで形成されてもよい。

【 0 1 1 4 】

上記第 3 セラミックスラリーは第 3 セラミック誘電体粉末、有機バインダー及び有機溶剤を含むもので、第 1 及び第 2 サイドマージン部 2 1 3 a、2 1 4 a が所望する厚さを有するように第 3 セラミックスラリーの量を調節することができる。

30

【 0 1 1 5 】

上記棒型積層体 2 2 0 の第 1 及び第 2 側面に第 3 セラミックスラリーを塗布して第 1 及び第 2 サイドマージン部 2 1 3 a、2 1 4 a を形成することができる。上記第 3 セラミックスラリーの塗布方法は特に制限されず、例えば、スプレー方式で噴射したり、ローラーを利用して塗布したりしてもよい。

【 0 1 1 6 】

また、上記棒型積層体を第 3 セラミックスラリーにディッピング (d i p p i n g) し、棒型積層体の第 1 及び第 2 側面に第 1 及び第 2 サイドマージン部 2 1 3 a、2 1 4 a を形成することができる。

40

【 0 1 1 7 】

上述のように、上記第 1 及び第 2 サイドマージン部の厚さは $18 \mu\text{m}$ 以下に形成されることができる。上記第 1 及び第 2 サイドマージン部の厚さは、上記内部電極の末端が露出する棒型積層体の第 1 側面または第 2 側面から測定されることができる。

【 0 1 1 8 】

次いで、上記棒型積層体を焼成することができる。これに制限されないが、上記焼成は $800 \sim 1200$ の $\text{N}_2 - \text{H}_2$ 雰囲気で行われることができる。

【 0 1 1 9 】

次に、図 6 e 及び図 6 f に示されたように、第 1 及び第 2 サイドマージン部 2 1 3 a、

50

2 1 4 a が形成された上記棒型積層体 2 2 0 を C 2 - C 2 切断線に沿って個別チップサイズに合わせて切断することができる。図 6 c は上記 C 2 - C 2 切断線の位置を把握するのに参照することができる。

【 0 1 2 0 】

棒型積層体 2 2 0 をチップサイズに切断することにより、積層体 1 1 1 と積層体の両側に形成された第 1 及び第 2 サイドマージン部 2 1 3 a、2 1 4 a を有するセラミック本体が形成されることができる。

【 0 1 2 1 】

上記棒型積層体 2 2 0 を C 2 - C 2 切断線に沿って切断することにより、重なった第 1 内部電極の中央部と第 2 内部電極間に形成された所定の間隔 d 4 とが同じ切断線により切断されることができる。他の観点では、第 2 内部電極の中央部と第 1 内部電極間に形成された所定の間隔とが同じ切断線により切断されることができる。

10

【 0 1 2 2 】

これにより、第 1 内部電極及び第 2 内部電極の一端は C 2 - C 2 切断線による切断面に交互に露出することができる。上記第 1 内部電極の露出した面は図 5 に示された積層体の第 3 端面 3 と理解され、上記第 2 内部電極の露出した面は図 5 に示された積層体の第 4 端面 4 と理解されることができる。

【 0 1 2 3 】

上記棒型積層体 2 2 0 を C 2 - C 2 切断線に沿って切断することにより、ストライプ型第 1 内部電極パターン 2 2 1 a 間の所定の間隔 d 4 は半分に切断され、第 1 内部電極 1 2 1 の一端が第 4 端面から所定の間隔 d 2 を形成するようにする。また、第 2 内部電極 1 2 2 が第 3 端面から所定の間隔を形成するようにする。

20

【 0 1 2 4 】

その後、上記第 1 及び第 2 内部電極の一端と連結されるように上記第 3 端面及び第 4 端面のそれぞれに外部電極を形成することができる。

【 0 1 2 5 】

本実施形態のように、棒型積層体 2 2 0 に第 1 及び第 2 サイドマージン部を形成し、チップサイズに切断する場合、一度の工程により複数個の積層体 1 1 1 にサイドマージン部を形成することができる。

【 0 1 2 6 】

また、図示しなかったが、第 1 サイドマージン部及び第 2 サイドマージン部を形成する前に棒型積層体をチップサイズに切断して複数個の積層体を形成することができる。

30

【 0 1 2 7 】

即ち、棒型積層体を重なった第 1 内部電極の中央部と第 2 内部電極間に形成された所定の間隔とが同じ切断線によって切断されるように切断することができる。これにより、第 1 内部電極及び第 2 内部電極の一端は切断面に交互に露出することができる。

【 0 1 2 8 】

その後、上記積層体の第 1 及び第 2 側面に第 1 サイドマージン部及び第 2 サイドマージン部を形成することができる。第 1 及び第 2 サイドマージン部の形成方法は上述の通りである。

40

【 0 1 2 9 】

また、上記第 1 内部電極が露出した積層体の第 3 端面と上記第 2 内部電極が露出した積層体の第 4 端面にそれぞれ外部電極を形成することができる。

【 0 1 3 0 】

本発明の他の実施形態によると、積層体の第 1 及び第 2 側面を介して第 1 及び第 2 内部電極の末端が露出する。積層された複数個の第 1 及び第 2 内部電極は同時に切断され上記内部電極の末端は一直線上に置かれることができる。その後、上記積層体の第 1 及び第 2 側面に第 1 及び第 2 サイドマージン部が一括形成される。上記積層体及び上記第 1 及び第 2 サイドマージン部によりセラミック本体が形成される。即ち、上記第 1 及び第 2 サイドマージン部はセラミック本体の第 1 及び第 2 側面を形成する。

50

【 0 1 3 1 】

本発明の一実施形態によると、上記各領域別にセラミック誘電体粉末の粒径が異なるようにすることで、耐湿特性を強化した高信頼性高容量積層セラミックキャパシタを具現することができる。

【 0 1 3 2 】

下表 1 は、積層セラミックキャパシタのサイドマージン部の平均厚さ別の第 1 サイドマージン部及び第 2 サイドマージン部の誘電体グレインの平均粒径 G_w 、カバー層の誘電体グレインの平均粒径 G_t 及び有効層の誘電体グレインの平均粒径 G_a による信頼性を比較したものである。

【 0 1 3 3 】

【表 1】

Sample No.	サイドマージン部の平均厚さ (μm)	$G_w < G_t < G_a$ の満足有無 (O/X)	信頼性評価 (クラック発生個数/全体個数)
* 1	1 6	X	3 / 2 0 0
* 2	1 7	X	2 / 2 0 0
* 3	1 8	X	2 / 2 0 0
4	1 9	X	0 / 2 0 0
5	2 0	X	0 / 2 0 0
6	2 1	X	0 / 2 0 0

10

20

【 0 1 3 4 】

上記表 1 を参照すると、試料 1 ~ 3 はサイドマージン部の平均厚さが $18 \mu\text{m}$ 以下のもので、 $G_w < G_t < G_a$ を満たさないと、信頼性テストに問題が生じ得ることが分かる。

【 0 1 3 5 】

試料 4 ~ 6 は、サイドマージン部の平均厚さが $18 \mu\text{m}$ を超えるもので、 $G_w < G_t < G_a$ を満たさなくても信頼性評価において良好な結果が出た。

【 0 1 3 6 】

下表 2 は、サイドマージン部の平均厚さが $18 \mu\text{m}$ 以下の場合、第 1 サイドマージン部及び第 2 サイドマージン部の誘電体グレインの平均粒径 G_w 、カバー層の誘電体グレインの平均粒径 G_t 及び有効層の誘電体グレインの平均粒径 G_a による耐湿特性及び信頼性を比較したものである。

【 0 1 3 7 】

30

【表 2】

Sample No.	サイドマージン部の平均厚さ(μm)	サイドマージン部の誘電体グレインの平均粒径 $G_w(\mu\text{m})$	カバー層の誘電体グレインの平均粒径 $G_t(\mu\text{m})$	有効層の誘電体グレインの平均粒径 $G_a(\mu\text{m})$	$G_w < G_t < G_a$ の満足有無 (O/X)	耐湿特性評価	信頼性評価 (クラック発生個数/全体個数)
7	10.3	138	152	172	O	O	0/200
8	12.6	126	137	162	O	O	0/200
9	15.2	139	162	175	O	O	0/200
*10	14.2	132	178	165	X	X	2/200
*11	15.4	182	169	165	X	X	1/200
*12	12.3	175	172	168	X	X	2/200
13	16.2	215	230	246	O	O	0/200
14	14.5	202	212	232	O	O	0/200
15	14.3	198	220	229	O	O	0/200
*16	11.3	239	265	255	X	X	1/200
*17	12.3	247	245	251	X	X	3/200
*18	11.8	228	231	225	X	X	3/200
19	13.5	255	272	282	O	O	0/200
20	12.9	245	252	272	O	O	0/200
21	12.1	239	263	277	O	O	0/200
*22	10.3	372	285	285	X	X	5/200
*23	12.6	274	295	232	X	X	3/200
*24	15.2	291	285	278	X	X	3/200
25	14.2	289	294	301	O	O	0/200
26	15.4	264	276	298	O	O	0/200
27	12.3	288	298	312	O	O	0/200

* : 比較例

【0138】

表 2 における耐湿特性評価は、200 個のチップを基板に実装した後、湿度条件 85/85 (85%湿度) で行っており、信頼性評価は、チップを研磨した後、破壊分析時のクラックの発生有無で評価し、具体的には、320 の鉛槽に 2 秒間浸漬させた後、熱衝撃クラックの発生有無テストで行われた。

【0139】

上記表 2 における耐湿特性評価では、良好な場合を O、不良の場合を X と表示した。

【0140】

上記表 2 から分かるように、上記第 1 サイドマージン部及び第 2 サイドマージン部の誘電体グレインの平均粒径 G_w 、有効層の誘電体グレインの平均粒径 G_a が本発明の数値範囲を満たし、且つ $G_w < G_t < G_a$ を満たす場合、耐湿特性も向上し、信頼性も向上することが分かる。

【0141】

以上、本発明の実施形態について詳細に説明したが、本発明の権利範囲はこれに限定されず、請求の範囲に記載された本発明の技術的思想から外れない範囲内で多様な修正及び変形が可能であるということは、当技術分野の通常の知識を有する者には明らかである。

【符号の説明】

【0142】

110 セラミック本体

10

20

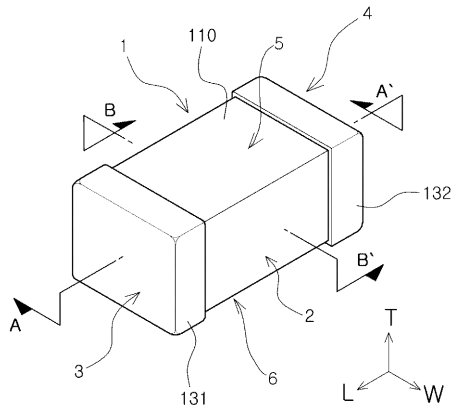
30

40

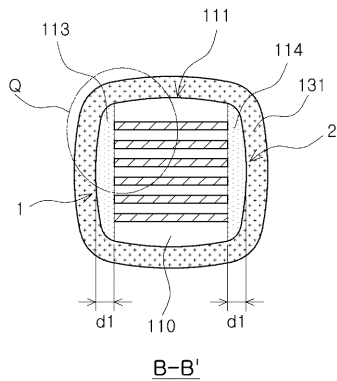
50

- 1 1 1 積層体
- 1 1 2 誘電体層
- 1 1 3、1 1 4 第 1 及び第 2 サイドマージン部
- 1 2 1、1 2 2 第 1 及び第 2 内部電極
- 1 3 1、1 3 2 第 1 及び第 2 外部電極
- 2 1 2 a セラミックグリーンシート
- 2 2 1 a、2 2 2 a ストライプ型第 1 及び第 2 内部電極パターン
- 2 1 0 セラミックグリーンシート積層体
- 2 2 0 棒型積層体
- C カバー層
- G w 第 1 サイドマージン部及び第 2 サイドマージン部の誘電体グレインの平均粒径
- G t カバー層の誘電体グレインの平均粒径
- G a 有効層の誘電体グレインの平均粒径

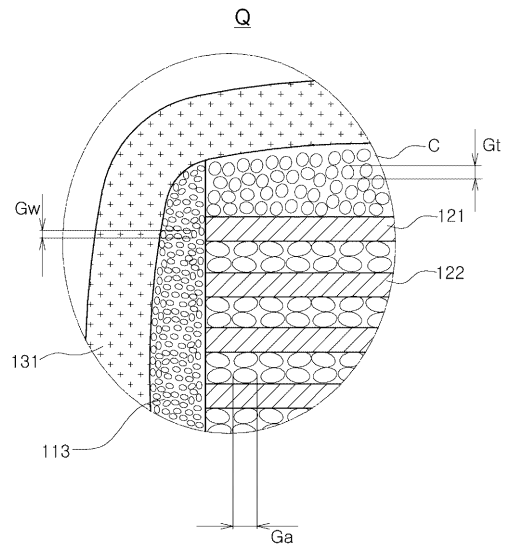
【 図 1 】



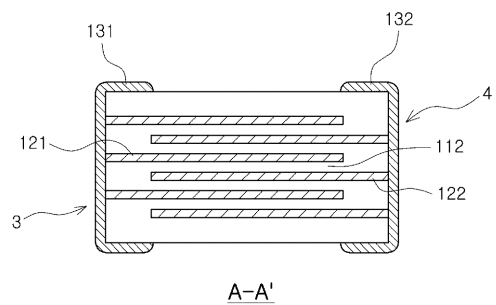
【 図 2 】



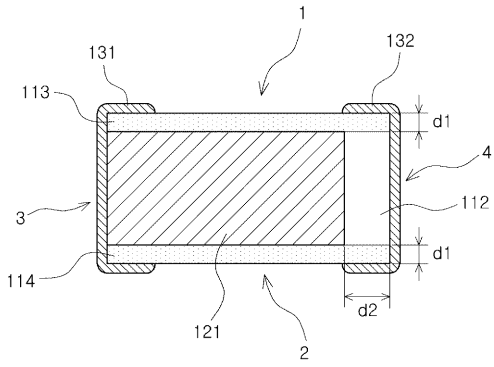
【 図 3 】



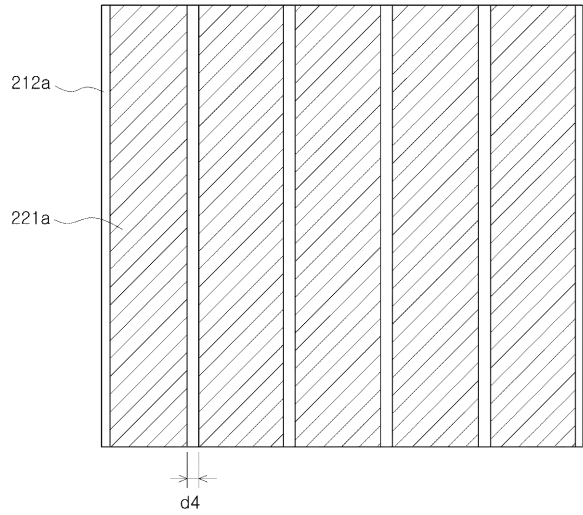
【 図 4 】



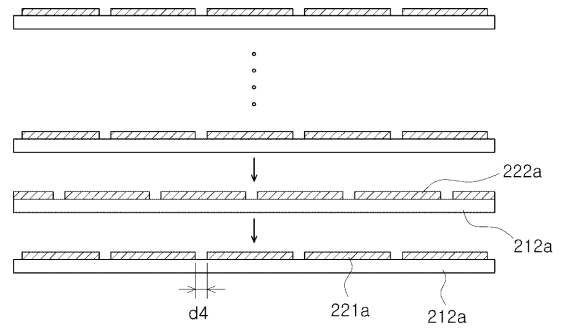
【 図 5 】



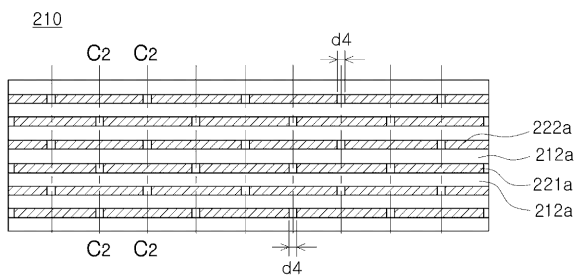
【 図 6 a 】



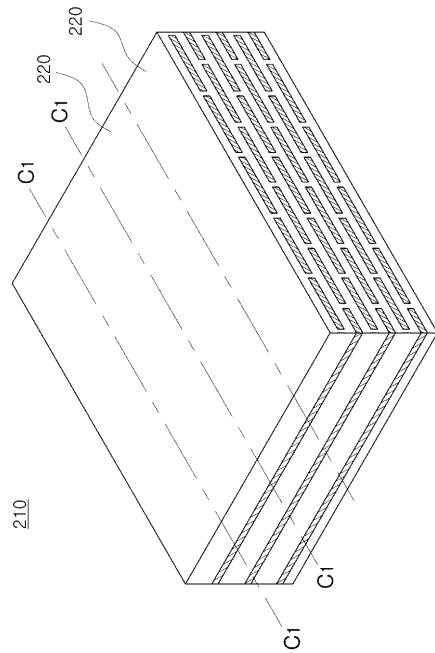
【 図 6 b 】



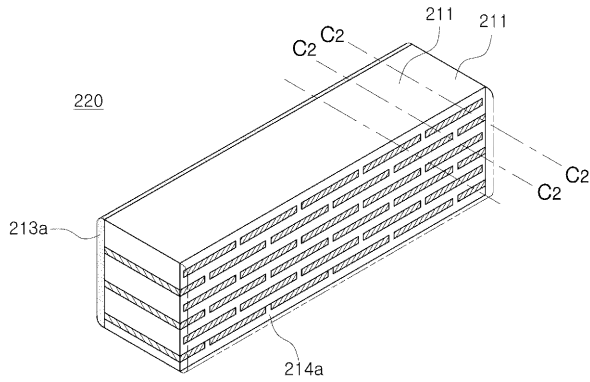
【 図 6 c 】



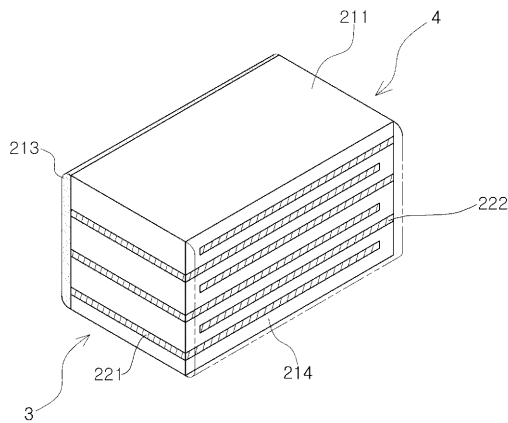
【 図 6 d 】



【図 6 e】



【図 6 f】



【手続補正書】

【提出日】平成26年5月26日(2014.5.26)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

対向する第 1 側面及び第 2 側面、上記第 1 側面及び第 2 側面を連結する第 3 端面及び第 4 端面を有するセラミック本体と、

前記セラミック本体の内部に形成され、前記第 3 端面または第 4 端面に一端が露出する複数個の内部電極と、

前記第 1 側面及び第 2 側面から前記内部電極の端部までの平均厚さが $2 \mu\text{m}$ 以上であって $18 \mu\text{m}$ 以下に形成された第 1 サイドマージン部及び第 2 サイドマージン部と、を含み、

前記セラミック本体は静電容量の形成に寄与する有効層及び前記有効層の上部及び下部の少なくとも一つに提供されるカバー層からなり、前記第 1 サイドマージン部及び第 2 サイドマージン部の誘電体グレインの平均粒径を G_w 、前記カバー層の誘電体グレインの平均粒径を G_t 、及び前記有効層の誘電体グレインの平均粒径を G_a とするとき、 $G_w < G_t < G_a$ を満たす、積層セラミックキャパシタ。

【請求項 2】

前記第 1 サイドマージン部及び第 2 サイドマージン部はセラミックスラリーで形成される、請求項 1 に記載の積層セラミックキャパシタ。

【請求項 3】

前記内部電極は、一端が前記第3端面に露出し、他端が前記第4端面から所定の間隔を置いて形成される第1内部電極と、一端が第4端面に露出し、他端が前記第3端面から所定の間隔を置いて形成される第2内部電極とで構成される、請求項1に記載の積層セラミックキャパシタ。

【請求項4】

第1セラミック誘電体粉末を含む第1セラミックスラリーで複数個のセラミックグリーンシートを形成する段階と、

前記セラミックグリーンシート上に第1内部電極パターンまたは第2内部電極パターンを印刷する段階と、

前記第1内部電極パターンと第2内部電極パターンが交互に積層されるように複数個のセラミックグリーンシートを積層して静電容量の形成に寄与する有効層を形成し、前記有効層の上部及び下部の少なくとも一つに前記第1セラミック誘電体粉末より粒径の小さい第2セラミック誘電体粉末を含む第2セラミックスラリーで形成されたセラミックグリーンシートを積層してカバー層を形成して、対向する第1側面及び第2側面、前記第1側面及び第2側面を連結する第3端面及び第4端面を有するセラミック本体を設ける段階と、

前記第1側面及び第2側面のそれぞれに前記第2セラミック誘電体粉末より粒径の小さい第3セラミック誘電体粉末を含む第3セラミックスラリーが塗布され、平均厚さが $2\mu\text{m}$ 以上であって $18\mu\text{m}$ 以下である、第1サイドマージン部及び第2サイドマージン部を形成する段階と、

を含み、

前記第1サイドマージン部及び第2サイドマージン部の誘電体グレインの平均粒径を G_w 、前記カバー層の誘電体グレインの平均粒径を G_t 、及び前記有効層の誘電体グレインの平均粒径を G_a とすると、 $G_w < G_t < G_a$ を満たす、積層セラミックキャパシタの製造方法。

【請求項5】

前記複数個の誘電体層、第1サイドマージン部及び第2サイドマージン部の焼成温度は $800\sim 1200$ である、請求項4に記載の積層セラミックキャパシタの製造方法。

【請求項6】

前記第3端面に引き出された第1内部電極パターン及び第4端面に引き出された第2内部電極パターンとそれぞれ連結される第1外部電極及び第2外部電極を形成する段階をさらに含む、請求項4に記載の積層セラミックキャパシタの製造方法。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0011

【補正方法】変更

【補正の内容】

【0011】

【特許文献1】特開2003-017356号公報

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0137

【補正方法】変更

【補正の内容】

【0137】

【表 2】

Sample No.	サイドマージン部の平均厚さ(μm)	サイドマージン部の誘電体グレインの平均粒径Gw(nm)	カバー層の誘電体グレインの平均粒径Gt(nm)	有効層の誘電体グレインの平均粒径Ga(nm)	Gw<Gt<Gaの満足有無(O/X)	耐湿特性評価	信頼性評価(クラック発生個数/全体個数)
7	10.3	138	152	172	O	O	0/200
8	12.6	126	137	162	O	O	0/200
9	15.2	139	162	175	O	O	0/200
*10	14.2	132	178	165	X	X	2/200
*11	15.4	182	169	165	X	X	1/200
*12	12.3	175	172	168	X	X	2/200
13	16.2	215	230	246	O	O	0/200
14	14.5	202	212	232	O	O	0/200
15	14.3	198	220	229	O	O	0/200
*16	11.3	239	265	255	X	X	1/200
*17	12.3	247	245	251	X	X	3/200
*18	11.8	228	231	225	X	X	3/200
19	13.5	255	272	282	O	O	0/200
20	12.9	245	252	272	O	O	0/200
21	12.1	239	263	277	O	O	0/200
*22	10.3	372	285	285	X	X	5/200
*23	12.6	274	295	232	X	X	3/200
*24	15.2	291	285	278	X	X	3/200
25	14.2	289	294	301	O	O	0/200
26	15.4	264	276	298	O	O	0/200
27	12.3	288	298	312	O	O	0/200

* : 比較例

フロントページの続き

Fターム(参考) 5E001 AB03 AC09 AD02 AE02 AE03 AF06 AH01 AJ01 AJ02
5E082 AA01 AB03 BC39 CC03 CC13 EE04 EE26 FF05 FG04 FG26
FG46 GG10 JJ03 LL03 PP06 PP09