

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5181924号
(P5181924)

(45) 発行日 平成25年4月10日(2013.4.10)

(24) 登録日 平成25年1月25日(2013.1.25)

(51) Int.Cl.

F 1

H01S 5/227 (2006.01)

H01S 5/227

H01S 5/343 (2006.01)

H01S 5/343

H01L 21/306 (2006.01)

H01L 21/306

Q

請求項の数 3 (全 36 頁)

(21) 出願番号 特願2008-212683 (P2008-212683)

(73) 特許権者 000002185

(22) 出願日 平成20年8月21日 (2008.8.21)

ソニー株式会社

(65) 公開番号 特開2010-50255 (P2010-50255A)

東京都港区港南1丁目7番1号

(43) 公開日 平成22年3月4日 (2010.3.4)

(74) 代理人 100094363

審査請求日 平成23年6月16日 (2011.6.16)

弁理士 山本 孝久

(74) 代理人 100118290

弁理士 吉井 正明

(72) 発明者 八島 清孝

宮城県白石市白鳥三丁目53番地の2 ソ

(72) 発明者 ニ白石セミコンダクタ株式会社内

木脇 義成

東京都港区港南1丁目7番1号 ソニー株

式会社内

最終頁に続く

(54) 【発明の名称】半導体発光素子及びその製造方法、並びに、下地に設けられた凸部、下地における凸部形成方法

(57) 【特許請求の範囲】

【請求項 1】

{ 100 } 面を頂面とする下地に設けられ、前記下地の < 110 > 方向と平行に延びる凸部であって、

凸部下層及び凸部上層の2層構造を有し、

前記凸部上層を { 110 } 面で切断したときの断面形状は、底辺の長さが上辺の長さよりも長い等脚台形であり、

前記凸部下層を { 110 } 面で切断したときの断面形状は、底辺の長さが上辺の長さよりも長い等脚台形であり、

前記凸部上層を { 110 } 面で切断したときの断面形状における前記底辺は、前記凸部下層を { 110 } 面で切断したときの断面形状における前記上辺であり、

前記凸部上層の側面の傾斜角を u 、前記凸部下層の側面の傾斜角を d 、前記凸部の側面が (111) B 面であるときの側面の傾斜角を 111_B としたとき、

$d = 111_B - u$ (但し、 $d \leq u$)

を満足する凸部を形成する方法であって、

(a) 前記下地に、< 110 > 方向と平行に延びるマスク層を形成した後、

(b) 前記マスク層をエッチング用マスクとして用いて、エッチング液を用いたウェットエッチング法にて前記下地をエッチングし、前記凸部上層を形成し、次いで、

(c) 前記エッチング液の温度を変えて、前記マスク層及び前記凸部上層の側面をエッチング用マスクとして用いて、前記下地をウェットエッチング法にて更にエッチングし、

10

20

前記凸部下層を形成する、

各工程から成り、

前記工程 (b) における前記エッティング液の温度は、前記工程 (c) における前記エッティング液の温度よりも高い、下地における凸部形成方法。

【請求項 2】

(A) { 100 } 面を主面として有する素子製造用基板の前記主面に、前記素子製造用基板の < 110 > 方向と平行に延びる凸部であって、

凸部下層及び凸部上層の 2 層構造を有し、

前記凸部上層を { 110 } 面で切断したときの断面形状は、底辺の長さが上辺の長さよりも長い等脚台形であり、

前記凸部下層を { 110 } 面で切断したときの断面形状は、底辺の長さが上辺の長さよりも長い等脚台形であり、

前記凸部上層を { 110 } 面で切断したときの断面形状における前記底辺は、前記凸部下層を { 110 } 面で切断したときの断面形状における前記上辺であり、

前記凸部上層の側面の傾斜角を α 、前記凸部下層の側面の傾斜角を β 、前記凸部の側面が (111) B 面であるときの側面の傾斜角を γ_{111B} としたとき、

$\beta = \gamma_{111B} = \alpha$ (但し、 $\beta = \alpha$)

を満足する凸部を形成し、次いで、

(B) 前記凸部の頂面上に、第 1 導電型を有する第 1 化合物半導体層、活性層、及び、第 2 導電型を有する第 2 化合物半導体層が順次積層されて成る発光部を形成し、併せて、前記凸部が形成されていない前記素子製造用基板の前記主面の部分に、第 1 導電型を有する前記第 1 化合物半導体層、前記活性層、及び、第 2 導電型を有する前記第 2 化合物半導体層が順次積層されて成る積層構造体を形成し、その後、

(C) 前記積層構造体上に、前記発光部を構成する前記活性層の側面を少なくとも覆う電流プロック層を形成する、

工程を具備し、

前記工程 (A) は、

(a) 前記素子製造用基板の前記主面に、< 110 > 方向と平行に延びるマスク層を形成した後、

(b) 前記マスク層をエッティング用マスクとして用いて、エッティング液を用いたウェットエッティング法にて前記素子製造用基板の前記主面をエッティングし、前記凸部上層を形成し、次いで、

(c) 前記エッティング液の温度を変えて、前記マスク層及び前記凸部上層の側面をエッティング用マスクとして用いて、前記素子製造用基板の前記主面をウェットエッティング法にて更にエッティングし、前記凸部下層を形成する、

各工程から成り、

前記工程 (b) における前記エッティング液の温度は、前記工程 (c) における前記エッティング液の温度よりも高い、半導体発光素子の製造方法。

【請求項 3】

第 1 化合物半導体層、活性層及び第 2 化合物半導体層から成り、前記第 2 化合物半導体層の頂面が { 100 } 面である発光部を備えた半導体発光素子において、前記第 2 化合物半導体層の厚さ方向の一部分に、< 110 > 方向と平行に延びる凸部であって、

凸部下層及び凸部上層の 2 層構造を有し、

前記凸部上層を { 110 } 面で切断したときの断面形状は、底辺の長さが上辺の長さよりも長い等脚台形であり、

前記凸部下層を { 110 } 面で切断したときの断面形状は、底辺の長さが上辺の長さよりも長い等脚台形であり、

前記凸部上層を { 110 } 面で切断したときの断面形状における前記底辺は、前記凸部下層を { 110 } 面で切断したときの断面形状における前記上辺であり、

前記凸部上層の側面の傾斜角を α 、前記凸部下層の側面の傾斜角を β 、前記凸部の側

10

20

30

40

50

面が(111)B面であるときの側面の傾斜角を \angle_{111B} としたとき、

$\frac{D}{D} \frac{111B}{111B} u$ (但し、 $\frac{D}{D} u$)

を満足する凸部を形成する工程を含む、半導体発光素子の製造方法であって、

前記凸部の形成工程は、

(a) 前記第2化合物半導体層の頂面に、<110>方向と平行に延びるマスク層を形成した後、

(b) 前記マスク層をエッティング用マスクとして用いて、エッティング液を用いたウェットエッティング法にて前記第2化合物半導体層を厚さ方向に一部分エッティングし、前記凸部上層を形成し、次いで、

(c) 前記エッティング液の温度を変えて、前記マスク層及び前記凸部上層の側面をエッティング用マスクとして用いて、前記第2化合物半導体層を、厚さ方向に一部分、更にウェットエッティング法にてエッティングし、前記凸部下層を形成する、

各工程から成り、

前記工程(b)における前記エッティング液の温度は、前記工程(c)における前記エッティング液の温度よりも高い、半導体発光素子の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体発光素子及びその製造方法、並びに、下地に設けられた凸部、下地における凸部形成方法に関する。

【背景技術】

【0002】

低閾値電流 I_{th} を有する半導体レーザとして、1回のエピタキシャル成長工程によって形成し得るSDH(Separated Double Hetero Junction)構造を有する半導体レーザ(以下、SDH型半導体レーザと呼ぶ)が、例えば、特許第2990837号から周知である。

【0003】

このSDH型半導体レーザにおいては、先ず、主面として{100}面を有する素子製造用基板に、{110}A面方向に延びる凸部を形成する。そして、この素子製造用基板の主面上において結晶成長を行うと、凸部の頂面である{100}面(便宜上、「凸部頂面」と呼ぶ)の上に化合物半導体層が積層されて成る発光部が形成される。発光部は、例えば、第1導電型を有する第1化合物半導体層、活性層、及び、第2導電型を有する第2化合物半導体層が順次積層された構造を有する。凸部の延びる方向に対して垂直方向の仮想平面({110}面に相当する)でこの発光部を切断したときの断面形状は例えば二等辺三角形であり、発光部の側面(斜面)は{111}B面から構成されている。一般に、MOCVD法(MOVPE法とも呼ばれる)においては、特殊な結晶成長条件を除けば、{111}B面は非成長面として知られている。従って、SDH型半導体レーザの場合、側面が{111}B面である発光部が形成されると、その後、MOCVDを継続しても、発光部の結晶成長は「自己成長停止」が保持される。ここで、{111}B面の傾斜角(\angle_{111B})は、54.7度である。

【0004】

尚、結晶面の表記、

(h k l)面

(h k \bar{l})面

を、便宜上、本明細書においては、(h k l)面、(h k - l)面と表記し、以下に例示する方向の表記、

10

20

30

40

50

[h k l] 方向

[h k \bar{l}] 方向

を、便宜上、本明細書においては、[h k l] 方向、[h k - l] 方向と表記する。

【 0 0 0 5 】

一方、凸部を除く素子製造用基板の正面である { 1 0 0 } 面の部分（便宜上、凹部面と呼ぶ）においては、非成長面が存在しないので、MOCVDを継続すると、やがて凹部面から結晶成長する化合物半導体層が、自己成長停止している発光部を完全に埋め尽くすようになる。凹部面から結晶成長した化合物半導体層は、第2化合物半導体層上に、電流ブロック層位置調整層、電流ブロック層、及び、埋込層が順次形成された構造を有する。ここで、通常、電流ブロック層位置調整層の厚さを制御することによって、凹部面から結晶成長する化合物半導体層が発光部を埋め尽くす前の途中段階で（特に、発光部に形成された活性層の両側面近傍に差掛かったときに）、電流ブロック層を形成することにより、発光部の活性層のみに電流注入が可能な構造を形成することができる。10

【 0 0 0 6 】

このように、SDH型半導体レーザにおいては、1回の結晶成長工程に基づき各化合物半導体層を形成することができ、しかも、発光部内で活性層を上下で挟む化合物半導体層（第1化合物半導体層及び第2化合物半導体層）に用いる材料や、発光部の外側に位置する電流ブロック層や埋込層、電流ブロック層位置調整層に用いる材料として、エネルギー・バンドギャップが活性層よりも十分に高い材料、即ち、低屈折率の材料を選択することにより、光閉込めに好都合な化合物半導体層によって活性層を完全に囲むことが可能となる。そして、これによって、凸部の端面を光出射面として有する半導体レーザから出射されたビーム形状を、真円に近づけることができる。即ち、ファー・フィールド・パターン（Far Field Pattern, FFP）において、// を達成することができる。20

【 0 0 0 7 】

あるいは又、例えば、レンズとのカップリング効率等に依っては、半導体レーザから出射されたビーム形状を橢円とすることが求められる場合がある。このような場合には、例えば、凸部の端面付近の幅を拡げた、所謂フレア・ストライプ構造を採用することにより（例えば、特許第3399018号参照）、FFPの//を小さく制御することができる。しかも、フレア・ストライプ構造を採用することにより、高光出力を達成することができる。30

【 0 0 0 8 】

【特許文献1】特許第2990837号

【特許文献2】特許第3399018号

【特許文献3】特開2001-332530

【発明の開示】

【発明が解決しようとする課題】

【 0 0 0 9 】

ところで、上述したとおり、SDH型半導体レーザにおいては、先ず、正面として { 1 0 0 } 面を有する素子製造用基板に、{ 1 1 0 } A面方向に延びる凸部を形成する（図17の（A）参照）。従って、発光部の大きさは、凸部の幅 (W_P) によって規定される。一方、活性層の幅 (W_A) は、SDH型半導体レーザの仕様に基づき決定される。それ故、凸部の幅 (W_P) が狭い場合、所望の幅 (W_A) の活性層を形成したとき、活性層から凸部までの距離 (H_1) が自ずと短くなる（図17の（B）参照）。ここで、 H_1 , W_P , W_A には、以下の関係がある。

$$H_1 = \{ (W_P - W_A) / 2 \} \times \tan(\text{angle}_{111B})$$

そして、活性層から凸部までの距離 (H_1) が短い場合、活性層で発生した光が凸部を構

40

50

成する素子製造用基板に吸収され、光閉込め効果が不完全となり、発光効率（光出力／注入電流にて表されるスロープ効率）が低下してしまうといった問題がある。従って、現状では、例えば、活性層 W_A の幅を $1.2 \mu m$ とした場合、距離(H_1)の最低値は約 $1.4 \mu m$ である。

【0010】

また、発光部の高さ(H_2)も、凸部の幅(W_P)によって規定される。ここで、 H_2 、 W_P には、以下の関係がある。

$$H_2 = (W_P / 2) \times \tan(\text{angle})$$

そこで、図18の(A)に図示するように、凸部の高さ(H_0)が低く、凸部の幅(W_P)が広い、所謂低アスペクト比の凸部に基づきSDH型半導体レーザを製造した場合、図18の(B)に図示するように、活性層の側面に電流ブロック層を形成する余地が無くなってしまう場合がある。

10

【0011】

更には、SDH型半導体レーザの高集積化を試みた場合、即ち、単位面積当たりのSDH型半導体レーザの個数を増加させる場合、即ち、図19の(A)に示すようなSDH型半導体レーザの形成ピッチ P_T_1 を形成ピッチ P_T_2 に縮小しようとした場合、発光部の大きさ(例えば、 W_A の値)を小さくする必要があるが、このような場合、活性層の幅を一定に保つには、図19の(B)に示すように、活性層から凸部までの距離を H_1 から H_1' へと短くしなければならないので、やはり、上述した問題が生じてしまう。あるいは又、光が凸部を構成する素子製造用基板に吸収されないように、活性層から凸部までの距離を充分に確保するには、図19の(C)に示すように、凸部の高さを H_0 から H_0' へと低くしなければならないので、やはり、上述した問題が生じてしまう。

20

【0012】

これらの問題は、凸部の高さ(H_0)を任意に設定できれば、解決が可能である。然るに、凸部の側面を{111}B面に保持しつつ、高さの高い凸部を形成することは、即ち、凸部の側面を{111}B面に保持しつつ、素子製造用基板を深くエッティングすることは極めて困難である。そして、このような困難さを解消するために、例えば、特開2001-332530には、2種類のウェットエッティング法にて凸部を形成する技術が開示されている。係る技術は極めて有効な技術であるが、2種類のウェットエッティング法にて凸部を形成するのでエッティング工程が煩雑になる。それ故、より一層、簡素な工程で高さの高い凸部を形成する技術が求められている。また、1枚の素子製造用基板内において、{110}A面方向に延びる凸部の各部の寸法のバラツキ(上述した、凸部の幅(W_P)や凸部の高さ(H_0)、更には、凸部の幅(W_P)と凸部の高さ(H_0)との比率等の面内バラツキ)を出来る限り小さくすることに対する強い要望もある。特に、凸部の幅(W_P)と凸部の高さ(H_0)との比率を素子製造用基板内において一定に保つためのエッティング技術は、各凸部の幅(W_P)の設計仕様が広くなるほど、あるいは又、凸部の高さ(H_0)の設計仕様が高くなるほど、難易度を増す傾向がある。ここで、このような凸部の各部の寸法のバラツキが発生すると、発光部の大きさにバラツキが生じ、その結果、SDH型半導体レーザから出射されるレーザビームの形状やFFPの//のバラツキ、SDH型半導体レーザの閾値電流のバラツキ等が生じる。

30

【0013】

また、第1化合物半導体層、活性層及び第2化合物半導体層から成り、第2化合物半導体層の頂面が{100}面である発光部を備えた半導体発光素子において、第2化合物半導体層の厚さ方向の一部分に、<110>方向と平行に延びる凸部を形成する必要がある半導体発光素子がある。埋め込みヘテロ型(Burried Hetero型)レーザ、面発光レーザ素子(垂直共振器レーザ、VCSEL)、ヘテロ接合バイポーラトランジスタ(HBT)、フォトダイオード(PD)、太陽電池の製造においても、素子製造用基板の主面に高い凸部(あるいは深い凹部や素子分離領域)を形成しなければならない場合がある。そして、これらの半導体発光素子や各種の素子にあっても、上述したと同様に、より一層、簡素な工程で高さの高い凸部(あるいは深い凹部や素子分離領域)を形成する技術が求められて

40

50

いるし、1枚の素子製造用基板内における凸部の各部の寸法のバラツキ（面内バラツキ）を出来る限り小さくすることに対する強い要望がある。

【0014】

従って、本発明の目的は、設計自由度が高く、しかも、簡素な工程で、面内バラツキの少ない、高さの高い凸部を下地に設ける方法、係る方法にて得られた下地に設けられた凸部、係る方法を適用した半導体発光素子の製造方法、係る半導体発光素子の製造方法によつて得られる半導体発光素子を提供することにある。

【課題を解決するための手段】

【0015】

上記の目的を達成するための本発明の下地における凸部形成方法（以下、『本発明の凸部形成方法』と呼ぶ）は、{100}面を頂面とする下地に、下地の<110>方向と平行に延びる凸部を形成する方法であつて、

（a）下地に、<110>方向と平行に延びるマスク層を形成した後、

（b）マスク層をエッティング用マスクとして用いて、エッティング液を用いたウェットエッティング法にて下地をエッティングし、{110}面で切断したときの断面形状が、底辺の長さが上辺の長さよりも長い等脚台形であり、側面の傾斜角が α である凸部上層を形成し、次いで、

（c）エッティング液の温度を変えて、マスク層及び凸部上層の側面をエッティング用マスクとして用いて、下地をウェットエッティング法にて更にエッティングし、{110}面で切断したときの断面形状が、底辺の長さが上辺の長さよりも長い等脚台形であり、且つ、側面の傾斜角が β （但し、 $\beta < \alpha$ ）である凸部下層を形成する、各工程から成る。

【0016】

本発明の凸部形成方法においては、凸部上層を{110}面で切断したときの断面形状における底辺は、凸部下層を{110}面で切断したときの断面形状における上辺であり；凸部の側面が(111)B面であるときの側面の傾斜角を γ_{111B} としたとき、

$\alpha = \gamma_{111B} + \beta$ （但し、 $\alpha > \beta$ ）

を満足する形態とすることができる、この場合、前記工程（b）におけるエッティング液の温度を、前記工程（c）におけるエッティング液の温度よりも高くすることが好ましい。尚、どの程度、エッティング温度を高くすべきかは、使用するエッティング液、エッティングすべき被エッティング材料に依存するので、各種の試験を行い、適宜、決定すればよい。以下においても同様である。

【0017】

あるいは又、本発明の凸部形成方法においては、凸部上層を{110}面で切断したときの断面形状における底辺は、凸部下層を{110}面で切断したときの断面形状における上辺であり；凸部の側面が(111)B面であるときの側面の傾斜角を γ_{111B} としたとき、

$\alpha = \gamma_{111B} - \beta$ （但し、 $\alpha < \beta$ ）

を満足する形態とできることができる、この場合、前記工程（b）におけるエッティング液の温度を、前記工程（c）におけるエッティング液の温度よりも低くすることが好ましい。尚、どの程度、エッティング温度を低くすべきかは、使用するエッティング液、エッティングすべき被エッティング材料に依存するので、各種の試験を行い、適宜、決定すればよい。以下においても同様である。

【0018】

上記の目的を達成するための本発明の第1の態様に係る半導体発光素子の製造方法は、（A）{100}面を主面として有する素子製造用基板の該主面に、素子製造用基板の<110>方向と平行に延びる凸部を形成し、次いで、

（B）凸部の頂面上に、第1導電型を有する第1化合物半導体層、活性層、及び、第2導電型を有する第2化合物半導体層が順次積層されて成る発光部を形成し、併せて、凸部が形成されていない素子製造用基板の主面の部分に、第1導電型を有する第1化合物半導

10

20

30

40

50

体層、活性層、及び、第2導電型を有する第2化合物半導体層が順次積層されて成る積層構造体を形成し、その後、

(C) 該積層構造体上に、発光部を構成する活性層の側面を少なくとも覆う電流プロック層を形成する、

工程を具備し、

前記工程(A)は、

(a) 素子製造用基板の正面に、<110>方向と平行に延びるマスク層を形成した後、

(b) マスク層をエッティング用マスクとして用いて、エッティング液を用いたウェットエッティング法にて素子製造用基板の正面をエッティングし、{110}面で切断したときの断面形状が、底辺の長さが上辺の長さよりも長い等脚台形であり、側面の傾斜角が_Dである凸部上層を形成し、次いで、

(c) エッティング液の温度を変えて、マスク層及び凸部上層の側面をエッティング用マスクとして用いて、素子製造用基板の正面をウェットエッティング法にて更にエッティングし、{110}面で切断したときの断面形状が、底辺の長さが上辺の長さよりも長い等脚台形であり、且つ、側面の傾斜角が_D(但し、_D_U)である凸部下層を形成する、各工程から成る。

【0019】

本発明の第1の態様に係る半導体発光素子の製造方法においては、凸部上層を{110}面で切断したときの断面形状における底辺は、凸部下層を{110}面で切断したときの断面形状における上辺であり；凸部の側面が(111)B面であるときの側面の傾斜角を_{111B}としたとき、

$$\frac{D}{H_{111B}} = U \quad (\text{但し}, \frac{D}{H_D} = U)$$

を満足する形態とすることができる、この場合、前記工程(b)におけるエッティング液の温度を、前記工程(c)におけるエッティング液の温度よりも低くすることが好ましい。

【0020】

上記の好ましい形態、構成を含む本発明の第1の態様に係る半導体発光素子の製造方法においては、あるいは又、後述する本発明の第1の態様に係る半導体発光素子においては、凸部上層の厚さを_{HU}、凸部下層の厚さを_{HD}としたとき、

$$\frac{H_U}{(H_U + H_D)} = 0.5$$

好ましくは、

$$\frac{H_U}{(H_U + H_D)} = 0.7$$

を満足することが望ましい。

【0021】

更には、以上に説明した各種の好ましい形態、構成を含む本発明の第1の態様に係る半導体発光素子の製造方法においては、あるいは又、後述する本発明の第1の態様に係る半導体発光素子においては、凸部上層の厚さを_{HU}、凸部下層の厚さを_{HD}、凸部上層の幅を_{WU}としたとき、

$$\frac{(H_U + H_D)}{W_U} = 0.4$$

好ましくは、

$$\frac{(H_U + H_D)}{W_U} = 0.9$$

を満足することが望ましい。

【0022】

上記の目的を達成するための本発明の第2の態様に係る半導体発光素子の製造方法は、第1化合物半導体層、活性層及び第2化合物半導体層から成り、第2化合物半導体層の頂面が{100}面である発光部を備えた半導体発光素子において、第2化合物半導体層の厚さ方向の一部分に、<110>方向と平行に延びる凸部を形成する工程を含む、半導体発光素子の製造方法であって、

凸部の形成工程は、

(a) 第2化合物半導体層の頂面に、<110>方向と平行に延びるマスク層を形成し

10

20

30

40

50

た後、

(b) マスク層をエッティング用マスクとして用いて、エッティング液を用いたウェットエッティング法にて第2化合物半導体層を厚さ方向に一部分エッティングし、{110}面で切断したときの断面形状が、底辺の長さが上辺の長さよりも長い等脚台形であり、側面の傾斜角が_Dである凸部上層を形成し、次いで、

(c) エッティング液の温度を変えて、マスク層及び凸部上層の側面をエッティング用マスクとして用いて、第2化合物半導体層を、厚さ方向に一部分、更にウェットエッティング法にてエッティングし、{110}面で切断したときの断面形状が、底辺の長さが上辺の長さよりも長い等脚台形であり、且つ、側面の傾斜角が_D（但し、_D_U）である凸部下層を形成する、

各工程から成る。

【0023】

本発明の第2の態様に係る半導体発光素子の製造方法においては、凸部上層を{110}面で切断したときの断面形状における底辺は、凸部下層を{110}面で切断したときの断面形状における上辺であり；凸部の側面が(111)B面であるときの側面の傾斜角を_{111B}としたとき、

D{111B}_U（但し、_D_U）

を満足する形態とすることができる、この場合、前記工程(b)におけるエッティング液の温度を、前記工程(c)におけるエッティング液の温度よりも高くすることが好ましい。

【0024】

あるいは又、本発明の第2の態様に係る半導体発光素子の製造方法においては、凸部上層を{110}面で切断したときの断面形状における底辺は、凸部下層を{110}面で切断したときの断面形状における上辺であり；凸部の側面が(111)B面であるときの側面の傾斜角を_{111B}としたとき、

U{111B}_D（但し、_D_U）

を満足する形態とできることができる、この場合、前記工程(b)におけるエッティング液の温度を、前記工程(c)におけるエッティング液の温度よりも低くすることが好ましい。

【0025】

本発明の第2の態様に係る半導体発光素子の製造方法においては、第2化合物半導体層を3層以上の多層構成とし、上層に凸部を形成し、中層を、凸部をウェットエッティング法にて形成するときのエッティングストップ層として機能させてもよい。

【0026】

上記の目的を達成するための本発明の第1の態様に係る下地に設けられた凸部は、{100}面を頂面とする下地に設けられ、下地の<110>方向と平行に延びる凸部であつて、

凸部下層及び凸部上層の2層構造を有し、

凸部上層を{110}面で切断したときの断面形状は、底辺の長さが上辺の長さよりも長い等脚台形であり、

凸部下層を{110}面で切断したときの断面形状は、底辺の長さが上辺の長さよりも長い等脚台形であり、

凸部上層を{110}面で切断したときの断面形状における底辺は、凸部下層を{110}面で切断したときの断面形状における上辺であり、

凸部上層の側面の傾斜角を_U、凸部下層の側面の傾斜角を_D、凸部の側面が(111)B面であるときの側面の傾斜角を_{111B}としたとき、

D{111B}_U（但し、_D_U）

を満足する。

【0027】

上記の目的を達成するための本発明の第2の態様に係る下地に設けられた凸部は、{100}面を頂面とする下地に設けられ、下地の<110>方向と平行に延びる凸部であつて、

10

20

30

40

50

凸部下層及び凸部上層の2層構造を有し、

凸部上層を $\{1\bar{1}0\}$ 面で切断したときの断面形状は、底辺の長さが上辺の長さよりも長い等脚台形であり、

凸部下層を $\{1\bar{1}0\}$ 面で切断したときの断面形状は、底辺の長さが上辺の長さよりも長い等脚台形であり、

凸部上層を $\{1\bar{1}0\}$ 面で切断したときの断面形状における底辺は、凸部下層を $\{110\}$ 面で切断したときの断面形状における上辺であり、

凸部上層の側面の傾斜角を u 、凸部下層の側面の傾斜角を d 、凸部の側面が(111)B面であるときの側面の傾斜角を $_{111B}$ としたとき、

$u \quad 111B \quad d$ (但し、 $d \quad u$)

10

を満足する。

【0028】

上記の目的を達成するための本発明の第1の態様に係る半導体発光素子は、

(イ) $\{100\}$ 面を主面として有する素子製造用基板の該主面に設けられ、素子製造用基板の<110>方向と平行に延びる凸部、

(ロ) 凸部の頂面上に、第1導電型を有する第1化合物半導体層、活性層、及び、第2導電型を有する第2化合物半導体層が順次積層されて成る発光部、並びに、

(ハ) 凸部が形成されていない素子製造用基板の主面の部分に形成され、第1導電型を有する第1化合物半導体層、活性層、及び、第2導電型を有する第2化合物半導体層が順次積層されて成る積層構造体、並びに、該積層構造体上に形成され、発光部を構成する活性層の側面を少なくとも覆う電流プロック層、

20

を具備しており、

凸部は、凸部下層及び凸部上層の2層構造を有し、

凸部上層を $\{1\bar{1}0\}$ 面で切断したときの断面形状は、底辺の長さが上辺の長さよりも長い等脚台形であり、

凸部下層を $\{1\bar{1}0\}$ 面で切断したときの断面形状は、底辺の長さが上辺の長さよりも長い等脚台形であり、

凸部上層を $\{1\bar{1}0\}$ 面で切断したときの断面形状における底辺は、凸部下層を $\{110\}$ 面で切断したときの断面形状における上辺であり、

凸部上層の側面の傾斜角を u 、凸部下層の側面の傾斜角を d 、凸部の側面が(111)B面であるときの側面の傾斜角を $_{111B}$ としたとき、

30

$d \quad 111B \quad u$ (但し、 $d \quad u$)

を満足する。

【0029】

上記の目的を達成するための本発明の第2の態様に係る半導体発光素子は、第1化合物半導体層、活性層及び第2化合物半導体層から成り、第2化合物半導体層の頂面が $\{100\}$ 面である発光部を備えており、第2化合物半導体層に、<110>方向と平行に延びる凸部が設けられた半導体発光素子であって、

凸部は、凸部下層及び凸部上層の2層構造を有し、

凸部上層を $\{1\bar{1}0\}$ 面で切断したときの断面形状は、底辺の長さが上辺の長さよりも長い等脚台形であり、

40

凸部下層を $\{1\bar{1}0\}$ 面で切断したときの断面形状は、底辺の長さが上辺の長さよりも長い等脚台形であり、

凸部上層を $\{1\bar{1}0\}$ 面で切断したときの断面形状における底辺は、凸部下層を $\{110\}$ 面で切断したときの断面形状における上辺であり、

凸部上層の側面の傾斜角を u 、凸部下層の側面の傾斜角を d 、凸部の側面が(111)B面であるときの側面の傾斜角を $_{111B}$ としたとき、

$d \quad 111B \quad u$ (但し、 $d \quad u$)

を満足する。

【0030】

50

上記の目的を達成するための本発明の第3の態様に係る半導体発光素子は、第1化合物半導体層、活性層及び第2化合物半導体層から成り、第2化合物半導体層の頂面が{100}面である発光部を備えており、第2化合物半導体層に、<110>方向と平行に延びる凸部が設けられた半導体発光素子であって、

凸部下層及び凸部上層の2層構造を有し、

凸部上層を{110}面で切断したときの断面形状は、底辺の長さが上辺の長さよりも長い等脚台形であり、

凸部下層を{110}面で切断したときの断面形状は、底辺の長さが上辺の長さよりも長い等脚台形であり、

凸部上層を{110}面で切断したときの断面形状における底辺は、凸部下層を{110}面で切断したときの断面形状における上辺であり、

凸部上層の側面の傾斜角を_U、凸部下層の側面の傾斜角を_D、凸部の側面が(111)B面であるときの側面の傾斜角を_{111B}としたとき、

_U < _{111B} < _D (但し、_D < _U)

を満足する。

【0031】

本発明の第2の態様あるいは第3の態様に係る半導体発光素子にあっては、凸部から、第2化合物半導体層の残部、活性層、及び、第1化合物半導体層に亘り、電流を流すことで、活性層において発光を生じさせる形態とすることができる、あるいは又、凸部は電流を狭窄する領域に相当し、即ち、凸部は電流を流さない領域であり、凸部と凸部の間に形成された第3化合物半導体層から、第2化合物半導体層の残部、活性層、及び、第1化合物半導体層に亘り、電流を流すことで、活性層において発光を生じさせる形態とことができる。尚、前者の形態を有する半導体発光素子として、ISAN (Inverted-Self-Aligned-Narrow stripe)型半導体レーザを挙げることができるし、後者の形態を有する半導体発光素子として、SAN (Self-Aligned-Narrow stripe)型半導体レーザを挙げることができる。

【0032】

本発明の凸部形成方法、本発明の第1の態様に係る半導体発光素子の製造方法、本発明の第2の態様に係る半導体発光素子の製造方法、本発明の第1の態様に係る下地に設けられた凸部、本発明の第2の態様に係る下地に設けられた凸部、本発明の第1の態様に係る半導体発光素子、本発明の第2の態様に係る半導体発光素子、あるいは、本発明の第3の態様に係る半導体発光素子（以下、これらを総称して、単に、『本発明』と呼ぶ場合がある）において、_D < _{111B} < _U（但し、_D < _U）である場合、具体的には、

_D < _{111B} < _U

_D = _{111B} < _U

_D < _{111B} = _U

の3態様を含む。ここで、_{111B}の値は、具体的には、54.7度である。_{111B} < _Uの場合の_Uの値として、56度乃至64度を挙げることができるし、_D < _{111B}の場合の_Dの値として、46度乃至54度を挙げることができる。

【0033】

一方、_U < _{111B} < _D（但し、_U < _D）である場合、具体的には、

_U < _{111B} < _D

_U = _{111B} < _D

_U < _{111B} = _D

の3態様を含む。_{111B} < _Dの場合の_Dの値として、56度乃至64度を挙げることができるとし、_U < _{111B}の場合の_Uの値として、46度乃至54度を挙げができる。

【0034】

凸部上層の厚さ_{HU}、凸部下層の厚さ_{HD}の値として、具体的には、上述したとおり、_{HU} / (_{HU} + _{HD}) = 0.5

10

20

30

30

40

40

50

を満足することに加えて、

0.1 μm H_U 6 μm

0.1 μm H_D 3 μm

より好ましくは、

0.1 μm H_D 6 μm

0.1 μm W_U 2.5 μm

一層好ましくは、

0.1 μm H_D 3 μm

0.1 μm W_U 2.5 μm

を満足することが望ましい。更には、上述したとおり、

H_U / (H_U + H_D) 0.7

を満足することに加えて、

0.1 μm H_U 6 μm

0.1 μm H_D 3 μm

より好ましくは、

0.1 μm H_D 6 μm

0.1 μm W_U 2.5 μm

一層好ましくは、

0.1 μm H_D 3 μm

0.1 μm W_U 2.5 μm

を満足することが望ましい。

【0035】

凸部は、全体として、下地あるいは素子製造用基板の<110>方向と平行に延びるが、凸部の厚さ方向は、下地あるいは素子製造用基板の<100>方向と平行であり、凸部の頂面は、下地あるいは素子製造用基板の主面である{100}面である。尚、凸部の延びる方向をX方向、凸部の厚さ方向をZ方向とした場合、凸部の幅方向はY方向に相当する。凸部は、上層及び下層の2層構成に限定されず、3層以上の構成することもでき、この場合には、凸部を構成する或る層（便宜上、第M番目の層と呼ぶ）の側面の傾斜角_Mは、第(M-1)番目の層の側面の傾斜角_(M-1)、及び、第(M+1)番目の層の側面の傾斜角_(M+1)と異なっている。そして、第M番目の層の側面（傾斜面）、第(M-1)番目の層の側面（傾斜面）、第(M-2)番目の層の側面（傾斜面）、・・・、第(M-n)番目の層の側面（傾斜面）（但し、M > nであり、Mとnは1以上の整数）、及び、マスク層（最初のエッティング用マスク）等の全てが、エッティング用マスクとして機能し、第M番目の層の傾斜角_Mを有する側面が形成される。以下の説明において、凸部が形成されていない素子製造用基板の主面の部分を、『凹部面』と呼ぶ場合がある。

【0036】

台形にあっては、一般に、上辺と底辺（下辺）が平行であるが、本発明にあっては、凸部の形成条件等に起因して上辺と底辺（下辺）が完全に平行ではない場合が生じ得るが、係る形状も『台形』に包含する。また、凸部の形成条件等に起因して2つの側面の斜面に沿った長さが完全に同じではない場合が生じ得るが、係る形状も『等脚台形』に包含する。本発明の第1の態様に係る半導体発光素子あるいはその製造方法にあっては、得られた発光部を{110}面で切断したときの発光部の断面形状は、二等辺三角形であるが、発光部の形成条件等に起因して、正確な二等辺三角形ではない場合が生じ得る。

【0037】

本発明において、素子製造用基板として、GaN基板、GaAs基板、GaP基板、AlN基板、AlP基板、InN基板、InP基板、AlGaN基板、AlGaN基板、AlInN基板、GaInN基板、AlGaN基板、AlGaN基板、AlInP基板、GaInP基板、ZnS基板、サファイア基板、SiC基板、アルミナ基板、ZnO基板、LiMgO基板、LiGaO₂基板、MgAl₂O₄基板、Si基板、Ge基板を挙げることができる。更には、これらの基板の表面（主面）に、バッファ層や中間層が形

10

20

30

40

50

成されたものを素子製造用基板として用いることもできる。また、これらの基板の主面に関する記述は、結晶構造（例えば、立方晶型や六方晶型等）によっては、所謂 A 面、B 面、C 面、R 面、M 面、N 面、S 面等の名称で呼ばれる結晶方位面、あるいは、これらを特定方向にオフさせた面等を用いることもできる。本発明の第 1 の態様に係る半導体発光素子あるいはその製造方法にあっては、特に、閃亜鉛鉱（ジンク・ブレンド）型の結晶構造を有する基板あるいは結晶膜が形成された基板を用いることが好ましく、ここで、ジンク・ブレンド型の結晶構造を有する基板を構成する原子として、少なくとも、As、SbあるいはBi 等を挙げることができる。このような As、Sb あるいは Bi 等の原子が添加ひいては混晶として含まれている基板においては、エッチングによって特定の斜面を側面として有する凸部を形成し易い。また、エッチングによって形成した凸部上に、As、Sb あるいは Bi 等の原子が添加ひいては混晶として含まれている結晶を再成長させる場合にも、例えれば、最表面に V 族トリマーを形成した {111} B 面等の非成長面が現れ易い性質があるので、本発明においても、この性質を積極的に利用する SDH 型半導体レーザの製造が可能になる。以上のように、As、Sb あるいは Bi 等の材料は、凸部を有する基板の構成元素とする場合においても、また、その凸部上に As、Sb あるいは Bi 等の材料を構成元素とする、結晶の再成長を行う場合においても、発光波長に応じて光吸収性の高い基板における光吸収を抑制する設計（加工）を行えば、半導体発光素子の特性の高性能化、均一化を達成することができる。尚、本発明においては、素子製造用基板の {100} 面を主面としているが、係る主面には、0 度を含むオフ角を付けた面、更には、オフ角 ± 5（度）以内の面が含まれる。また、下地として、素子製造用基板の主面あるいは第 2 化合物半導体層を挙げることができる。10

【0038】

活性層を含む各種化合物半導体層として、例えば、GaN 系化合物半導体（AlGaN 混晶あるいは AlGaN_xN_{1-x} 混晶、GaN_xN_{1-x} 混晶を含む）、GaInNAs 系化合物半導体（GaInAs 混晶あるいは GaNAs 混晶を含む）、AlGaInP 系化合物半導体、AlAs 系化合物半導体、AlGaInAs 系化合物半導体、AlGaAs 系化合物半導体、GaInAs 系化合物半導体、GaInAsP 系化合物半導体、GaInP 系化合物半導体、GaP 系化合物半導体、InP 系化合物半導体、InN 系化合物半導体、AlN 系化合物半導体を例示することができる。化合物半導体層に添加される n 型不純物として、例えは、ケイ素（Si）、硫黄（S）、セレン（Se）、テルル（Te）、錫（Sn）を挙げることができるとし、p 型不純物として、炭素（C）、亜鉛（Zn）、マグネシウム（Mg）、ベリリウム（Be）、カドミウム（Cd）、カルシウム（Ca）、バリウム（Ba）を挙げることができる。活性層は、単一の化合物半導体層から構成されていてもよいし、単一量子井戸構造 [QW 構造] あるいは多重量子井戸構造 [MQW 構造] を有していてもよい。活性層を含む各種化合物半導体層の形成方法（成膜方法）として、有機金属化学的気相成長法（MOCVD 法、MOVPE 法）や有機金属分子線エピタキシー法（MOMBE 法）、ハロゲンが輸送あるいは反応に寄与するハイドライド気相成長法（HVPE 法）、プラズマアシステッド物理的気相成長法（PPD 法）を挙げることができる。第 1 導電型を n 型、第 2 導電型を p 型としてもよいし、第 1 導電型を p 型、第 2 導電型を n 型としてもよい。30

【0039】

マスク層を構成する材料として、SiO₂、SiN、SiON といった半導体酸化物あるいは半導体窒化物；Ti、W、Ni、Au、Pt といった金属や高融点金属、あるいは、これらの金属を適切な組成で調整した合金（例えは、TiW、TiWC_r、TiWNi、NiCr、TiNiCr、又は、これら合金と Au、あるいは、これら合金と Pt との合金等）；高融点金属（合金）酸化物；高融点金属（合金）窒化物；これらの異なる金属や合金、合金酸化物、合金窒化物を組み合わせた多層膜；レジスト材料を例示することができる。マスク層の形成方法として、スパッタリング法等の物理的気相成長法（PVD 法）や化学的気相成長法（CVD 法）、塗布法と、リソグラフィ技術やエッチング技術との組合せを挙げることができる。また、マスク層の除去は、マスク層を構成する材料に依存4050

して、ウェットエッチング法を採用してもよいし、ドライエッチング法を採用してもよいし、アッシング技術を用いてもよい。マスク層は、帯状等の1次元的配置であってよいし、点在し、あるいは、散在する曲線形状(円形、橢円形等)や多角形形状(三角形、四角形、六角形等の)を有する2次元的配置であってもよい。尚、マスク層に関しては、最終的に除去をしても、除去をしなくともよい。後者の場合、マスク層をそのまま残した状態とすることで、係るマスク層を、選択成長用のマスク層、あるいは、金属電極層として、半導体レーザ(LD)や発光ダイオード(LED)等に代表される発光素子の製造に用いることができるし、あるいは又、そのまま発光素子の構成部品の一部として用いることができる。

【0040】

10

エッティング液として、クエン酸と過酸化水素水と水とを混合した、所謂クエン酸過水を挙げができるし、クエン酸の代わりに、酒石酸、酢酸、シュウ酸、ギ酸、コハク酸、リンゴ酸、アジピン酸等のカルボン酸を挙げができる。凸部上層の形成と凸部下層の形成との間で、エッティング液の交換を行ってもよいし、被エッティング物の水洗等を行ってもよい。あるいは又、凸部上層の形成と凸部下層の形成とを、異なるエッティング装置で行ってもよい。

【0041】

本発明の半導体発光素子において、第1化合物半導体層は第1電極に電気的に接続されており、第2化合物半導体層は第2電極に電気的に接続されている。尚、第1電極は、第1化合物半導体層上に形成されている場合もあるし、導電性の素子製造用基板を介して第1化合物半導体層と接続されている場合もある。また、第2化合物半導体層は、第2化合物半導体層の頂面上に形成されている場合もあるし、導電材料層を介して第2化合物半導体層と接続されている場合もある。

20

【0042】

第1導電型をn型、第2導電型をp型とする場合、第1電極はn側電極であり、第2電極はp側電極となる。一方、第1導電型をp型、第2導電型をn型とする場合、第1電極はp側電極であり、第2電極はn側電極となる。ここで、p側電極として、Au/AuZn、Au/Pt/Ti(/Au)/AuZn、Au/Pt/TiW(/Ti)(/Au)/AuZn、Au/AuPd、Au/Pt/Ti(/Au)/AuPd、Au/Pt/TiW(/Ti)(/Au)/AuPd、Au/Pt/Ti、Au/Pt/TiW(/Ti)、Au/Pt/TiW/Pd/TiW(/Ti)を挙げができる。また、n側電極として、Au/Ni/AuGe、Au/Pt/Ti(/Au)/Ni/AuGe、Au/Pt/TiW(/Ti)/Ni/AuGe、あるいは、これらの金属層の界面、特に最下層に、Al層、Pd層あるいはAg層を挿入した電極構造を挙げができる。そして、n側電極、p側電極を問わず、電極に用いる各合金の組成は、電極の下地の材質に合わせ、下地にダメージを与えないように適切に選べばよい。尚、「/」の前の層ほど、活性層から電気的に離れたところに位置する。あるいは又、第1電極を、ITO、IZO、ZnO:Al、ZnO:Bといった透明導電材料から構成することもできる。透明導電材料から成る層を電流拡散層として用いて、第1電極をn側電極とする場合、第1電極をp側電極とする場合に挙げた金属積層構造とを組み合わせてもよい。

30

【0043】

40

また、第1電極や第2電極、あるいは、第2電極延在部に対して、必要に応じて、例えば、Ti層/Pt層/Au層等といった[接着層(Ti層やCr層等)]/[バリアメタル層(Pt層、Ni層、TiW層やMo層等)]/[実装に対して融和性の良い金属層(例えばAu層)]のような積層構成とした多層メタル層から成るコンタクト部(パッド部)を設けてもよい。第1電極や、第2電極延在部を含む第2電極、コンタクト部(パッド部)は、例えば、真空蒸着法やスパッタリング法といった各種のPVD法、各種の化学的気相成長法(CVD法)、メッキ法によって形成することができる。

【0044】

本発明の半導体発光素子として、端面発光型の半導体レーザ(LD)や発光ダイオード

50

(LED)を挙げることができる。より具体的には、限定するものではないが、本発明の第1の態様に係る半導体発光素子あるいはその製造方法における半導体発光素子として、SDH型半導体レーザを挙げができるし、本発明の第2の態様あるいは第3の態様に係る半導体発光素子あるいは本発明の第2の態様に係る半導体発光素子の製造方法における半導体発光素子として、上述したSAN型半導体レーザあるいはISAN型半導体レーザを挙げができる。また、本発明の第1の態様あるいは第2の態様に係る下地に設けられた凸部、本発明の凸部形成方法は、例えば、埋め込みヘテロ型レーザ及びその製造方法、面発光レーザ素子及びその製造方法、ヘテロ接合バイポーラトランジスタ及びその製造方法、フォトダイオード及びその製造方法、太陽電池及びその製造方法等、半導体材料の凸部の幅及び高さの制御等において、高いエッティング制御技術が必要とされる製造方法、製造技術の全てに適用することができる。10

【発明の効果】

【0045】

本発明にあっては、凸部上層と凸部下層の、少なくとも2層構造から成る凸部を設けるので、凸部の高さ(下地あるいは素子製造用基板のエッティング深さ)、凸部頂面の幅等の設計自由度を高くすることができるので、半導体発光素子の設計自由度を高めることができ、種々の仕様や要求に応じた半導体発光素子を提供することができる。また、同じエッティング液を使用し、エッティング温度を変えるだけで、凸部上層と凸部下層の、少なくとも2層構造から成る凸部を設けることができるので、簡素な工程で高さの高い凸部を形成することができる。しかも、凸部上層の側面はウェットエッティングにおけるエッティング安定結晶面であり、マスク層及び凸部上層の側面をエッティング用マスクとして用いることができるので、1枚の素子製造用基板内における凸部の各部の寸法のバラツキ(面内バラツキ)を極めて小さくすることができる。そして、その結果、均一な特性を有する半導体発光素子や各種の素子を製造することができる。20

【発明を実施するための最良の形態】

【0046】

以下、図面を参照して、実施例に基づき本発明を説明する。

【実施例1】

【0047】

実施例1は、本発明の凸部形成方法、本発明の第1の態様に係る下地に設けられた凸部、本発明の第1の態様に係る半導体発光素子及びその製造方法に関する。30

【0048】

図1に模式的な一部断面図を示すように、凸部111は、{100}面(具体的には、(100)面であり、以下においても同様である)を頂面とする下地に設けられ、下地の<110>方向と平行に延びる。ここで、実施例1にあっては、具体的には、下地は素子製造用基板110であり、素子製造用基板110に設けられた実施例1の凸部111は、{100}面を正面として有する素子製造用基板110のこの正面に設けられ、素子製造用基板110の<110>方向と平行に延びる凸部である。そして、凸部下層111A及び凸部上層111Bの2層構造を有している。

【0049】

また、実施例1の半導体発光素子は、半導体レーザ、より具体的には、SDH型半導体レーザから構成されており、図2の(A)に模式的な一部断面図を示すように、40

(イ){100}面を正面として有する素子製造用基板110のこの正面に設けられ、素子製造用基板110の<110>方向(具体的には、例えば[011]方向であり、以下においても同様である)と平行に延びる凸部(突起部)111、

(ロ)凸部111の頂面上に、第1導電型(実施例1にあっては、具体的には、n型)を有する第1化合物半導体層121、活性層123、及び、第2導電型(実施例1にあっては、具体的には、p型)を有する第2化合物半導体層122が順次積層されて成る発光部120、並びに、

(ハ)凸部が形成されていない素子製造用基板110の正面の部分(素子製造用基板1

50

10の凹部面あるいは露出面と呼ぶ場合がある)に形成され、第1導電型(n型)を有する第1化合物半導体層121、活性層123、及び、第2導電型(p型)を有する第2化合物半導体層122が順次積層されて成る積層構造体120'、並びに、この積層構造体120'上に形成され、発光部120を構成する活性層123の側面を少なくとも覆う電流ブロック層140、

を具備している。そして、凸部111は、凸部下層111A及び凸部上層111Bの2層構造を有している。

【0050】

ここで、実施例1において、凸部上層111Bを{110}面(具体的には、(011)面であり、以下においても同様である)で切断したときの断面形状は、底辺の長さが上辺の長さよりも長い等脚台形であり、凸部下層111Aを{110}面で切断したときの断面形状は、底辺の長さが上辺の長さよりも長い等脚台形であり、凸部上層111Bを{110}面で切断したときの断面形状における底辺は、凸部下層111Aを{110}面で切断したときの断面形状における上辺である。

【0051】

そして、実施例1にあっては、凸部上層111Bの側面111bの傾斜角を_U、凸部下層111Aの側面111aの傾斜角を_D、凸部の側面が(111)B面であるときの側面の傾斜角を_{111B}としたとき、

$$\frac{D}{U}$$

具体的には、

$$\frac{D}{111B} < \frac{U}{U}$$
 (但し、 $\frac{D}{U} < U$)
を満足する。より具体的には、

$$D < 111B < U$$

を満足する。より一層具体的には、実施例1にあっては、 $111B = 54.7$ 度であり、 $D = 50$ 度、 $U = 60$ 度である。

【0052】

実施例1にあっては、凸部上層111Bの厚さを H_U 、凸部下層111Aの厚さを H_D 、凸部上層111Bの幅を W_U としたとき、

$$\begin{aligned} H_U / (H_U + H_D) &= 0.5 \\ (H_U + H_D) / W_U &= 0.4 \end{aligned}$$

を満足している。より具体的には、 $H_U = 2 \mu m$ 、 $H_D = 2 \mu m$ 、 $W_U = 4 \mu m$ である。

【0053】

実施例1の半導体発光素子にあっては、凸部上層111Bの頂面には、順次、第1化合物半導体層121、活性層123、第2化合物半導体層122Aが形成され、第2化合物半導体層122A上には、更に、第2化合物半導体層122Bが形成され、頂点を形成している。ここで、{110}面で発光部120を切断したときの第2化合物半導体層122Bを含む発光部120の断面形状は二等辺三角形であり、発光部120の側面は、{111}B面(より具体的には、(11-1)B面及び(1-11)B面)から構成されている。第2化合物半導体層122Aと第2化合物半導体層122Bの組成を変えることで、断面形状が二等辺三角形の発光部120を正確に形成することができる。一般に、MOCVD法(MOVPE法とも呼ばれる)においては、特殊な結晶成長条件を除けば、{111}B面は、Asトリマーで覆われた非成長面として知られている。従って、SDH型半導体レーザの場合、斜面(側面)が{111}B面である発光部120が形成されると、その後、MOCVDを継続しても、発光部120の結晶成長は「自己成長停止」が保持される。 $111B$ は54.7度である。

【0054】

一方、素子製造用基板110の凹部面である{100}面(図示した例では、(100)面)の部分)にあっては、発光部120と同じ構造を有する積層構造体120'、電流ブロック層位置調整層130(実質的に第2化合物半導体層122の続きである)、電流ブロック層140、及び、埋込層(埋込み用クラッド層)131が順次形成されている。

また、全体は、第2導電型を有するGaAsから成るコンタクト層(キャップ層)132によって覆われている。そして、実施例1にあっては、凸部111を含む素子製造用基板110は、n-GaAsから成る。更には、第1化合物半導体層121に電気的に接続された第1電極151(具体的には、導電性を有する素子製造用基板110の裏面上に形成された第1電極151)は、Ti/TiW/Pt/Auから構成されており、第2化合物半導体層122に電気的に接続された第2電極152(具体的には、第2化合物半導体層122の上方、より具体的には、コンタクト層(キャップ層)132の上に形成された第2電極152)は、Au/Ni/AuGe又はAu/AuZnから構成されている。

【0055】

発光部120及び積層構造体120'を構成する化合物半導体層の組成を、以下の表1に例示する。尚、「Zn, Mg, C」は、不純物として、亜鉛(Zn)を添加してもよいし、マグネシウム(Mg)を添加してもよいし、炭素(C)を添加してもよいことを意味する。

【0056】

[表1]

(発光部の構成)

第2化合物半導体層122B ··· p-Al_{0.47}Ga_{0.53}As : Zn, Mg, C

第2化合物半導体層122A ··· p-Al_{0.4}Ga_{0.6}As : Zn, Mg, C

活性層123 ··· [活性層-A]

第1化合物半導体層121 ··· n-Al_{0.4}Ga_{0.6}As : Si

(電流ブロック部の構成)

埋込層131 ··· p-Al_{0.47}Ga_{0.53}As : Zn, Mg, C

電流ブロック層140 ··· n-Al_{0.47}Ga_{0.53}As : Si

電流ブロック層位置調整層130 ··· p-Al_{0.47}Ga_{0.53}As : Zn, Mg, C

[活性層-A]

閉じ込め層 ··· p-Al_{0.3}Ga_{0.7}As : Zn, Mg, C

閉じ込め層 ··· i-Al_{0.3}Ga_{0.7}As

多重量子井戸構造 ··· i-Al_{0.1}Ga_{0.9}As(井戸層)

··· i-Al_{0.3}Ga_{0.7}As(障壁層)及び

··· i-Al_{0.1}Ga_{0.9}As(井戸層)

閉じ込め層 ··· i-Al_{0.3}Ga_{0.7}As

閉じ込め層 ··· n-Al_{0.3}Ga_{0.7}As : Si

【0057】

尚、電流ブロック層140の一部を構成する化合物半導体層は、図2の(B)に示すように、

発光部120の側面から延びる{311}B結晶面領域(より具体的には、(31-1)B面及び(3-11)B面)、

素子製造用基板110の正面に沿って延びる{100}結晶面領域、及び、

{311}B結晶面領域と{100}結晶面領域との間に位置する{h11}B結晶面領域(より具体的には、(h1-1)B面及び(h-11)B面であり、ここで、hは4以上の整数である)、

から構成されている。尚、{h11}B結晶面領域(但し、hは4以上の整数)を、便宜上、高次の結晶面領域と呼ぶ場合がある。

【0058】

ここで、実施例1の半導体発光素子にあっては、凸部111の上に形成された活性層123は、活性層123よりも屈折率が低い電流ブロック層140によって横方向(側面)が囲まれ、活性層123よりも屈折率が低い第1化合物半導体層121及び第2化合物半導体層122A, 122Bによって上下方向が囲まれている。従って、活性層123の上下方向及び横方向は完全なる光閉込め構造となっている。しかも、素子製造用基板110

10

20

30

40

50

の凹部面の上方にあっては、活性層 123 の側面近傍は、p-n-p-n 構造 (p 型埋込層 131 - n 型電流プロック層 140 - p 型電流プロック層位置調整層 130 - n 型第1 化合物半導体層 121) の、いわばサイリスタ構造が形成される。従って、素子製造用基板 110 の凹部面において電流が流れることが阻止され、これによって活性層 123 に電流が集中し、低閾値電流化を図ることができる。

【0059】

以下、{100} 面を頂面とする下地に、下地の <110> 方向と平行に延びる凸部を形成する実施例 1 の凸部形成方法、並びに、実施例 1 の半導体発光素子及びその製造方法を説明する。

【0060】

[工程 - 100]

先ず、{100} 面を正面として有する素子製造用基板 110 のこの正面に、素子製造用基板 110 の <110> 方向と平行に延びる凸部 111 を形成する。以下、この [工程 - 100] を、[工程 - 100A] ~ [工程 - 100C] に分けて、説明する。

【0061】

[工程 - 100A]

そのために、先ず、素子製造用基板 110 の正面に、<110> 方向と平行に延びるマスク層 161 を形成する。あるいは又、下地に、<110> 方向と平行に延びるマスク層 161 を形成する。具体的には、実施例 1 にあっては、CVD 法にて素子製造用基板 110 の正面 (下地) に SiO₂ から成るマスク層 161 を形成した後、リソグラフィ技術及びドライエッティング技術によって、{100} 面を正面として有する素子製造用基板 110 のこの正面に、<110> 方向 (より具体的には、[011] A 方向) と平行に延びるマスク層 161 を形成する (図 3 の (A) 参照)。

【0062】

[工程 - 100B]

次いで、マスク層 161 をエッティング用マスクとして用いて、エッティング液を用いたウェットエッティング法にて素子製造用基板 110 の正面 (露出した素子製造用基板 110 の正面の部分であり、下地もある) をエッティングする。エッティング液として、クエン酸 : 純水 : 過酸化水素水 = 3 : 3 : 2 (容積比) としたクエン酸過水を使用し、エッティング液を 6 ~ 9 °C としてウェットエッティングを行った。その結果、図 3 の (B) に示すように、{110} 面で切断したときの断面形状が、底辺の長さが上辺の長さよりも長い等脚台形であり、側面 111b の傾斜角が α である凸部上層 111B を形成することができる。

【0063】

[工程 - 100C]

次いで、エッティング液の温度を変えて、マスク層 161 及び凸部上層 111B の側面 111b をエッティング用マスクとして用いて、素子製造用基板 110 の正面 (下地) をウェットエッティング法にて更にエッティングする。具体的には、上述した組成のクエン酸過水を使用し、エッティング液を 2 ~ 5 °C としてウェットエッティングを行った。ところで、[工程 - 100B] にて得られた凸部上層 111B の側面 111b はウェットエッティングにおけるエッティング安定結晶面であり、マスク層 161 及び凸部上層 111B の側面 111b をエッティング用マスクとしてウェットエッティングを行うことができ、この [工程 - 100C] においては、凸部上層 111B の側面 111b はエッティングされることが無い。こうして、{110} 面で切断したときの断面形状が、底辺の長さが上辺の長さよりも長い等脚台形であり、且つ、側面 111a の傾斜角が β (但し、 $\beta < \alpha$) である凸部下層 111A を形成することができる (図 3 の (C) 参照)。尚、[工程 - 100B] におけるエッティング液の温度を、この [工程 - 100C] におけるエッティング液の温度よりも高くしたので、 $\beta < \alpha$ となった。こうして、[011] A 方向に延び、所望の頂面の幅と全体の高さを有する 2 重の台形状の凸部 111 を形成することができる。ここで、凸部 111 の幅方向は、[0 - 11] B 方向に平行である。

10

20

30

40

50

【0064】

[工程 - 110]

次に、ウェットエッティング法に基づきマスク層161を除去した後、凸部111の頂面上に、第1導電型を有する第1化合物半導体層121、活性層123、及び、第2導電型を有する第2化合物半導体層122が順次積層されて成る発光部120を形成し、併せて、凸部111が形成されていない素子製造用基板110の正面の部分(凹部面、露出面)に、第1導電型を有する第1化合物半導体層121、活性層123、及び、第2導電型を有する第2化合物半導体層122が順次積層されて成る積層構造体120'を形成する。

【0065】

具体的には、これらの各化合物半導体層をMOCVD法にて成膜する。MOCVD法にあっては、例えば、トリメチルアルミニウム(TMA1)あるいはトリエチルアルミニウム(TEA1)をアルミニウム(A1)源の原料ガスとして用い、トリメチルガリウム(TMGa)あるいはトリエチルガリウム(TEGa)をガリウム(Ga)源の原料ガスとして用い、ターシャリー・ブチル・アルシン(TBAs)あるいはアルシン(AsH₃)をヒ素(As)源の原料ガスとして用いればよい。また、n型不純物ドーピング用のガスとして、ジシラン(Si₂H₆)、モノシラン(SiH₄)あるいはトリメチルスズ(TMSn)、硫化水素(H₂S)、セレン化水素(H₂Se)あるいはテルル化水素(H₂Te)を用いればよい。一方、p型不純物ドーピング用のガスとして、例えば、トリメチル亜鉛(TMzn)、トリエチル亜鉛(TEZn)、ビス・シクロペンタ・ジエニルマグネシウム(Cp₂Mg)、ビス・エチル・シクロペンタ・ジエニルマグネシウム(EtCp₂Mg)、ビス・イソプロピル・シクロペンタ・ジエニルマグネシウム(i-PrCp₂Mg)、ビス・メチルシクロペンタ・ジエニルマグネシウム(MeCp₂Mg)、トリメチルマンガン(TMn)、四塩化炭素(CC1₄)、四臭化炭素(CBr₄)あるいは四ヨウ化炭素(Cl₄)等を用いればよい。そして、上述したとおり、MOCVD法に基づき、これらのII族ガス、V族ガス、不純物ガスを反応室に導入し、600°C~900°Cの温度範囲で熱分解反応させて、結晶成長させることによって、凸部上層111Bの頂面上、凸部111の側面上、及び、素子製造用基板110の凹部面上に、第1化合物半導体層121、活性層123、第2化合物半導体層122A, 122Bをエピタキシャル成長させる。

【0066】

凸部111の側面は、{111}B面ではなく、結晶成長面であるが故に、凸部111の側面上に、第1化合物半導体層121、活性層123、第2化合物半導体層122A, 122Bが、順次、結晶成長していく。つまり、図4の(A)~(C)に模式的に図示するように、凸部111の側面を構成する側面111b及び側面111aは、{111}B非成長面ではないので、側面の結晶成長の際には両者共に結晶成長する。特に、図4の(A)~(C)に示すように、_{111B}Uを満たす側面111bが結晶成長する際には、その傾斜角(_{111B}U)を保持したまま結晶成長するが、同時に、{111}B非成長面を側面に形成しながら結晶成長を続ける(図4の(A)参照)。一方、側面を構成するもう1つの側面である側面111aにおいては、図4の(A)のように、_D_{111B}Uを満たす場合、{111}B非成長面を形成することができないので、その傾斜角(_DU)を保持したまま結晶成長する。

【0067】

従って、実際には、側面111bの結晶成長と側面側面111aの結晶成長とが同時に進行するとき、傾斜角_{111B}Uを有する側面111bは、その面で結晶成長しながらも、{111}B非成長面の形成を伴っている。それ故、この{111}B非成長面と側面111aの結晶成長とによって挟まれ、傾斜角_{111B}Uを有する側面111bが占める面積は次第に減少し、消滅する場合がある。つまり、別の結晶面で側面111bが覆われる場合がある。尚、このような状態を、便宜上、「消滅パターン1」と呼ぶ。あるいは又、傾斜角_{111B}Uを有する側面111bが消滅する以前に、側面111aが、新たに発生した{311}B面の結晶成長(化合物半導体層173が該当する)によって覆われて、側面111aが消

10

20

30

40

50

滅し、 $\{311\}$ B面（化合物半導体層173）の結晶成長と、 $\{111\}$ B非成長面の結晶成長に伴い、傾斜角 γ_u を有する側面111bが占める面積が次第に減少し、消滅する場合もある。尚、このような状態を、便宜上、『消滅パターン2』と呼ぶ。このように、傾斜角 γ_u を有する側面111bあるいは側面111aのどちらか一方が先に消滅した時点における側面形状は、傾斜角 γ_D を有する側面111aと $\{111\}$ B非成長面によって側面全体が構成されている形態、あるいは、 $\{311\}$ B面（化合物半導体層173）と傾斜角 γ_u を有する側面111bとによって側面全体が構成されている形態となる。この状態は、図示していないが、図4の(A)と図4の(B)との中間に相当する状態である。

【0068】

10

その後、消滅パターン1にあっては、残った側面111aは、側面111bの結晶成長の際に形成された $\{111\}$ B非成長面を埋め込むように、傾斜角 γ_D を保持したまま結晶成長を継続し、次第に $\{111\}$ B非成長面上を占有していくようになる。ところが、この傾斜角 γ_D を保持したまま結晶成長する側面111aは、最下端から発生した $\{311\}$ B面の結晶成長（化合物半導体層173）によって急速に追いつかれてしまう。従って、最終的には、凸部の側面は、この $\{311\}$ B面と $\{111\}$ B非成長面だけから構成される。一方、消滅パターン2にあっては、残った側面111bは、傾斜角 γ_u を保持したまま結晶成長するが、側面111bの結晶成長に伴って形成された $\{111\}$ B非成長面、及び、側面111aを消滅させた $\{311\}$ B成長面とによって挟まれて、次第にその占有面積を減らし続けて消滅してしまう。従って、最終的には、凸部の側面は、この $\{311\}$ B面と $\{111\}$ B非成長面だけから構成される。そして、これらの消滅パターン1及び消滅パターン2の最終形態を示しているのが図4の(B)であり、化合物半導体層171と化合物半導体層172の境界部分には、 $\{311\}$ B面が最表面に現れた化合物半導体層173が図示されている。一方、凸部上層111Bの頂面及び素子製造用基板110の凹部面は $\{100\}$ 面であるが故に、凸部上層111Bの頂面上及び素子製造用基板110の凹部面上では、特殊な結晶面の発生や消滅が生じることはなく、順番通りに単純に各化合物半導体層が積層され続ける。

20

【0069】

従って、発光部120及び積層構造体120'の形成を開始すると、先ず、凸部111の側面上における化合物半導体層の結晶成長、並びに、凸部上層111Bの頂面上及び素子製造用基板110の凹部面上における化合物半導体層といった主立った3箇所で結晶成長が同時に開始し、最終的には、上述したとおり、凸部111の側面上における化合物半導体層の結晶成長によって、表面が $\{111\}$ B面から構成された化合物半導体層171が凸部111の側面上に形成される。一方、素子製造用基板110の凹部面上には、表面が $\{100\}$ 面から構成された化合物半導体層172が形成され、凸部上層111Bの頂面上には、表面が $\{100\}$ 面から構成された化合物半導体層174が、 $\{111\}$ B非成長面の形成を伴って形成される。尚、この $\{111\}$ B非成長面の形成は、上述したとおり、 $\{111\}$ B非成長面の形成を伴った側面111bの結晶成長とは別個独立しており、発生している場所が異なっていることは云うまでもない。

30

【0070】

40

そして、図4(C)に示すように、最終的には、凸部111周辺における全ての結晶成長に関して、化合物半導体層172、化合物半導体層173及び化合物半導体層174の3箇所で結晶成長が進行する。その結果、 $\{111\}$ B面は非成長面であるが故に、第1化合物半導体層121、活性層123、第2化合物半導体層122A, 122Bは、凸部111の上の領域と、素子製造用基板110の凹部面上の領域とでは、分断された状態で形成（積層）される。こうして、図5に示す構造を得ることができる。尚、凸部111の頂面の幅 W_u と凸部111の高さ($H_u + H_D$)との比率を適切に選択することによって、図5に示すように、断面形状が二等辺三角形状の発光部が完成した時点において、第2化合物半導体層122の位置（高さ）が、活性層123の位置（高さ）よりも低いところに位置するような構造とすることが可能になる。そして、その結果、活性層123の側面に

50

電流プロック層を確実に形成することができる、電流パスを活性層に集中させる構造が得られる。また、高さ ($H_U + H_D$) における H_U , H_D のそれぞれの構成比率を適切に選択することによって、上述したように、2つの側面 111b, 111a の消滅するタイミングを早期に生じさせることや、消滅の順番を制御することが可能となる。特に、傾斜角 θ_D を保持したまま結晶成長する側面 111a を消滅させるタイミングが遅れ、側面 111a がいつまでも残った状態でその他の面の結晶成長が続くと、最終的に側面 111a を消滅させることができたとしても、図 6 に示す電流プロック層 140 と活性層 123 の側面との間に、傾斜角 θ_D を有する面がスパイク状に挿入された構造となる場合がある。このような構造が形成されてしまうと、電流リークの原因となる。従って、高さ ($H_U + H_D$) における H_U , H_D のそれぞれの構成比率は、電流リーク防止のために重要な役割を果たしている。10 凸部 111 の頂面においては、第 1 化合物半導体層 121、活性層 123、第 2 化合物半導体層 122A, 122B の厚さを適切に選択することで、凸部 111 の上に、{111}B 面非成長面を二辺とする断面が二等辺三角形である発光部 120 の積層構造を得ることができる。

【0071】

[工程 - 120]

その後、積層構造体 120' 上に、発光部 120 を構成する活性層 123 の側面を少なくとも覆う電流プロック層 140 を形成する。具体的には、第 2 化合物半導体層 122B の形成に連続して、全面に、電流プロック層位置調整層 130 を MOCVD 法に基づき形成し、更に、例えば、電流プロック層 140 を、順次、MOCVD 法に基づき形成する（図 6 参照）。電流プロック層 140 は、{111}B 面上には結晶成長しない。また、電流プロック層 140 の端面が、少なくとも活性層 123 の側面を覆うように、電流プロック層 140 を形成する。このような構成、構造は、凸部上層 111B の頂面の幅 W_U と凸部 111 の高さ ($H_U + H_D$)、電流プロック層位置調整層 130 の厚さを適切に選択することで達成することができる。このときの効果も、上述したとおりである。20

【0072】

[工程 - 130]

次いで、全面に、埋込層 131 及びコンタクト層（キャップ層）132 を、順次、MOCVD 法に基づき形成する。尚、MOCVD を継続すると、やがて素子製造用基板 110 の凹部面の上方において結晶成長する化合物半導体から成る埋込層 131 が、自己成長停止している発光部 120 を完全に埋め尽くすようになる。その後、コンタクト層 132 上に第 2 電極 152 を真空蒸着法に基づき形成し、一方、素子製造用基板 110 を裏面側から適切な厚みにラッピングした後、第 1 電極 151 を真空蒸着法に基づき形成する。30

【0073】

[工程 - 150]

その後、半導体発光素子を分離することによって、半導体発光素子を得ることができる。半導体発光素子を1つずつ分離してもよいし、多数個（例えば、4個、8個、16個、32個、64個等）を1群として纏めて、各群を相互に分離してもよい。

【0074】

実施例 1 にあっては、発光部 120 を形成するために凸部 111 を形成する。ところで、凸部 111 は、凸部上層 111B と凸部下層 111A の2層構造を有する。従って、凸部上層 111B の頂面の幅 W_U と、凸部上層 111B の高さ H_U 、凸部下層 111A の高さ H_D を、幅広く選択し、組み合わせることができる。それ故、幅の狭い凸部 111 の上方に所望の幅の活性層 123 を形成したとき、活性層 123 から凸部 111 までの距離が長くなるように設計することができる。その結果、発光効率が低下してしまうといった問題の発生を抑制することができる。また、上述したとおり、発光部 120 の高さ（大きさ）は凸部上層 111B の幅 W_U によって規定されるが、素子製造用基板 110 の凹部面から凸部 111 の頂面までの高さ ($H_U + H_D$) とその高さにおける頂面の幅 W_U との比であるアスペクト比 $\{(H_U + H_D) / W_U\}$ を、所望のアスペクト比の範囲内に、素子製造用基板4050

110のウェットエッティングの制御によって調整することができる。即ち、活性層123の側面に電流プロック層140の形成を可能にするためには、所望の活性層123の幅に対応した凸部111のアスペクト比（例えば、『高さ／幅』の値）には或る範囲が存在するので、その範囲にアスペクト比を収めなければならないが、係るアスペクト比の設計自由度が高い。それ故、アスペクト比の最適化を図ることで、活性層123の側面に電流プロック層140を形成することができなくなるといった問題の発生も抑制することができる。このように、従来、素子製造用基板110のエッティング（制御に揺らぎのあるエッティング）によって得られる凹凸基板のアスペクト比は、凸部の幅や高さに関して、素子製造用基板内でバラツキが生じ、その結果、一部の素子製造用基板の領域においては、凸部の頂面上に形成した発光部における活性層の側面に電流プロック層を形成することができないといった問題が生じていた。然るに、実施例1にあっては、所望の活性層123の幅に対応した所望の凸部111のアスペクト比を、素子製造用基板110のウェットエッティングの制御によって行うことが可能となり、素子製造用基板内の凹凸構造の面内均一性に関して、大幅な改善が可能となった。更には、高集積化のために凸部111の形成ピッチを小さくしても、活性層123で発生した光が凸部111で吸収されないように、活性層123から凸部111までの距離の最適化を図ることができるので、発光効率が低下してしまうといった問題の発生を抑制することができるし、凸部111のアスペクト比を、所望のアスペクト比の範囲内に制御することができるので、活性層123の側面に電流プロック層140を形成することができなくなるといった問題の発生も抑制することができる結果、半導体発光素子の高集積化を達成することができる。10
20

【実施例2】

【0075】

実施例2は、本発明の凸部形成方法の変形、本発明の第1の態様に係る下地に設けられた凸部の変形、本発明の第2の態様に係る半導体発光素子、及び、本発明の第2の態様に係る半導体発光素子の製造方法に関する。30

【0076】

図7に模式的な一部断面図を示すように、下地である第2化合物半導体層222に設けられた実施例2の凸部211も、{100}面を頂面とする下地（第2化合物半導体層222）に設けられ、下地（第2化合物半導体層222）の<110>方向と平行に延びる凸部である。そして、凸部下層211A及び凸部上層211Bの2層構造を有している。30

【0077】

また、実施例2の半導体発光素子は、半導体レーザ、より具体的には、ISAN型半導体レーザから構成されており、図7に模式的な一部断面図を示すように、第1化合物半導体層221、活性層223及び第2化合物半導体層222から成り、第2化合物半導体層222の頂面が{100}面である発光部220を備えており、第2化合物半導体層222に、<110>方向と平行に延びる凸部211が設けられた半導体発光素子である。そして、凸部211は、凸部下層211A及び凸部上層211Bの2層構造を有する。

【0078】

ここで、実施例2において、凸部上層211Bを{110}面で切断したときの断面形状は、底辺の長さが上辺の長さよりも長い等脚台形であり、凸部下層211Aを{110}面で切断したときの断面形状は、底辺の長さが上辺の長さよりも長い等脚台形であり、凸部上層211Bを{110}面で切断したときの断面形状における底辺は、凸部下層211Aを{110}面で切断したときの断面形状における上辺である。40

【0079】

そして、実施例2にあっては、凸部上層211Bの側面211bの傾斜角を_D^U、凸部下層211Aの側面211aの傾斜角を_D^U、凸部の側面が(111)B面であるときの側面の傾斜角を_{111B}^Uとしたとき、

具体的には、

D^U{111B}^U（但し、_D^U_{111B}^U）

を満足する。より具体的には、

$D < H_{11B} < U$
を満足し、より一層具体的には、実施例2にあっても、 $H_{11B} = 5.4.7$ 度であり、 $D = 50$ 度、 $U = 60$ 度である。

【0080】

I S A N型半導体レーザの場合、S D H型半導体レーザの場合とは設計思想が異なるので、側面の果たす役割が全く異なり、 $H_U / (H_U + H_D)$ や、 $(H_U + H_D) / W_U$ といった条件に対する厳しい制約は特にはない。しかしながら、電流狭窄を効果的に生じさせる設計は重要である。具体的には、凸部下層211Aの底辺を短くし、且つ、底辺を活性層223に近づけることが、拡散電流を抑制するための重要なポイントとなる場合がある。
10 例えれば、図7には、絶縁層212によって、凹部全体（側面211b及び側面211aを含む面）を絶縁して電流狭窄を行うI S A N型半導体レーザを示している。尚、このような構造に基づく光閉じ込め制御の効果よりも一層効果のある構造とすれば、凹部を絶縁層212で覆う代わりに、図8に模式的な一部断面図を示すように、凹部の下地と格子整合し易く、且つ、活性層223の材料よりも低屈折率のn型化合物半導体層、p型化合物半導体層、n型化合物半導体層、p型化合物半導体層・・・の積層構造（以下、「接合型化合物半導体層積層構造」と呼ぶ）によって、凹部を埋め込む構造とすればよい。
20 尚、接合型化合物半導体層積層構造270において、n p接合を有する化合物半導体層の積層の繰り返し回数は、少なくとも1回以上であればよく、図8に示す例にあっては、n p n構造を有する。これにより、

- (1) 電流ブロック層としての役割
- (2) 光閉じ込め制御層としての役割

の2つの役割を有する埋め込み構造の達成が可能となる。凹部を埋め込む化合物半導体層の結晶成長方法として、L P E法（液相成長法）、M O C V D法（有機金属化学的気相成長法）、M B E法（分子線エピタキシー法）、P P D法（Plasma Assisted Physical Deposition）を挙げることができる。

【0081】

凹部を接合型化合物半導体層積層構造270で埋め込む埋込み結晶成長の際には、マスク層261（図10参照）を選択成長用マスクとしてそのまま用いてよい。この場合、埋込み結晶成長終了後、マスク層261を通常のエッティング法によって除去してから、凸部の上に、第2電極252を形成すればよいし、マスク層261が導電性材料から構成されている場合には、埋込み結晶成長後、そのまま第2電極252として用いることも可能である。あるいは又、図8に示すように、図10に示す構造を形成した後、通常のエッティング法によってマスク層261を除去し、凹部を接合型化合物半導体層積層構造270で埋め込んでもよい。図8には、n p n構造で埋め込んだ例を図示している。但し、この場合、凸部の頂面にも、三角形状の接合型化合物半導体層積層構造271（図8に示した例では、n p n構造の三角形状）が形成される。従って、凹部の埋め込み終了後、エッティングによって凸部頂面の層211Bが露出するまで、接合型化合物半導体層積層構造271を除去する必要がある。尚、除去後、上述したと同様に、凸部に電流が流れるように第2電極252を形成すればよい。実施例2にあっては、凸部上層211Bの厚さを H_U 、凸部下層211Aの厚さを H_D 、凸部上層211Bの幅を W_U としたとき、 $H_U = 1.5 \mu m$ 又は $1 \mu m$ 、 $H_D = 0.5 \mu m$ 、 $W_U = 0.5 \mu m$ を典型例として挙げることができる。
40

【0082】

発光部220は、n-GaAsから成る素子製造用基板210の上に形成されている。更には、第1化合物半導体層221に電気的に接続された第1電極251（具体的には、導電性を有する素子製造用基板210の裏面上に形成された第1電極251）は、Ti/TiW/Pt/Auから構成されており、第2化合物半導体層222に電気的に接続された第2電極252（具体的には、第2化合物半導体層222の上方、より具体的には、コンタクト層（キャップ層）の上に形成された第2電極252）は、Au/Ni/AuGe又はAu/AuZnから構成されている。尚、これらの金属層の界面、特に最下層にA
50

1層、Pd層あるいはAg層を挿入した電極構造とすることもできる。また、n側電極、p側電極を問わず、電極に用いる各合金の組成は、電極の下地の材質に合わせ、下地にダメージを与えないように適切に選べばよい。

【0083】

発光部220を構成する化合物半導体層の組成を、以下の表2に例示する。

【0084】

[表2]

第2化合物半導体層222・・・p-Al_{0.47}Ga_{0.53}As : Zn, Mg, C
活性層223

多重量子井戸構造・・・i-Al _{0.3} Ga _{0.7} As (障壁層)	10
i-Al _{0.1} Ga _{0.9} As (井戸層)	
i-Al _{0.3} Ga _{0.7} As (障壁層)	

第1化合物半導体層221・・・n-Al_{0.4}Ga_{0.6}As : Se又はSi

【0085】

尚、第2化合物半導体層222を、p-Al_{0.47}Ga_{0.53}As : Zn / i-Al_{0.30}Ga_{0.70}As (カーボンオートドープ) / i-Al_{0.47}Ga_{0.53}As (カーボンオートドープ)の3層構成 (i-Al_{0.47}Ga_{0.53}Asが活性層側)とし、i-Al_{0.30}Ga_{0.70}Asをエッティングストップ層 (光ガイド層を兼ねる)として機能させてもよい。以下の実施例においても同様である。

【0086】

実施例2にあっては、凸部211から、第2化合物半導体層222の残部、活性層223、及び、第1化合物半導体層221に亘り、電流を流すことで、活性層223において発光を生じさせる。従って、電流狭窄を効果的に生じさせるために、凸部下層211Aの底辺を短くし、且つ、底辺を活性層223に近づけるように、D_{111B}U (但し、D_U)の場合、H_U / (H_U + H_D)、D_Uに関しては大きな値を、また、W_Uに関しては小さな値を選択することが好ましい。具体的には、H_U = 1.5 μm又は1 μm、H_D = 0.5 μm、W_U = 0.5 μmを典型例として挙げることができる。尚、活性層223付近で、凸部下層211Aの底辺が短くなることを目標にすればよいので、D_Uが変わると、上述した値とは全く異なる値を逆算によって求める必要が生じる場合があることは云うまでもない。

【0087】

以下、{100}面を頂面とする下地に、下地の<110>方向と平行に延びる凸部を形成する実施例2の凸部形成方法、並びに、実施例2の半導体発光素子及びその製造方法を説明する。

【0088】

[工程-200]

先ず、周知の方法に基づき、{100}面を主面として有する素子製造用基板210のこの主面の上に、第1化合物半導体層221、活性層223及び第2化合物半導体層222から成り、第2化合物半導体層222の頂面が{100}面である発光部220を形成する。

【0089】

[工程-210]

次いで、第2化合物半導体層222の厚さ方向の一部分に、<110>方向と平行に延びる凸部211を形成する。以下、この[工程-210]を、[工程-210A]～[工程-210C]に分けて、説明する。

【0090】

[工程-210A]

具体的には、下地である第2化合物半導体層222の上に、<110>方向と平行に延びるマスク層261を基づき形成する。具体的には、実施例2にあっては、CVD法にて第2化合物半導体層222(下地)の上にSiO₂から成るマスク層261を形成した後

10

20

30

40

50

、リソグラフィ技術及びドライエッティング技術によって、下地である第2化合物半導体層222の上に、<110>方向（より具体的には、[011]A方向）と平行に延びるマスク層261を形成する（図9の（A）参照）。

【 0 0 9 1 】

「工程 - 210B」

次いで、マスク層 261 をエッティング用マスクとして用いて、エッティング液を用いたウェットエッティング法にて第 2 化合物半導体層 222 をエッティングする。実施例 2 にあっても、エッティング液として、クエン酸：純水：過酸化水素水 = 3 : 3 : 2 (容積比)としたクエン酸過水を使用し、エッティング液を 6 ~ 9 °C としてウェットエッティングを行った。その結果、図 9 の (B) に示すように、{110} 面で切断したときの断面形状が、底辺の長さが上辺の長さよりも長い等脚台形であり、側面 211b の傾斜角が α である凸部上層 211B を形成することができる。

10

(0 0 9 2)

「工程 - 210C1」

次いで、エッティング液の温度を変えて、マスク層261及び凸部上層211Bの側面211bをエッティング用マスクとして用いて、下地である第2化合物半導体層222をウェットエッティング法にて更にエッティングする。具体的には、上述した組成のクエン酸過水を使用し、エッティング液を2~5°Cとしてウェットエッティングを行った。ところで、[工程-210B]にて得られた凸部上層211Bの側面211bはウェットエッティングにおけるエッティング安定結晶面であり、マスク層261及び凸部上層211Bの側面211bをエッティング用マスクとしてウェットエッティングを行うことができ、この[工程-210C]においては、凸部上層211Bの側面211bはエッティングされることが無い。こうして、{110}面で切断したときの断面形状が、底辺の長さが上辺の長さよりも長い等脚台形であり、且つ、側面211aの傾斜角が D (但し、 $D < U$)である凸部下層211Aを形成することができる(図10参照)。尚、[工程-210B]におけるエッティング液の温度を、この[工程-210C]におけるエッティング液の温度よりも高くしたので、 $D < 211B < U$ となった。こうして、[011]A方向に延び、所望の頂面の幅と全体の高さを有する2重の台形状の凸部211を形成することができる。ここで、凸部211の幅方向は、「0-11」B方向に平行である。

20

[0 0 9 3]

「工程 - 2201」

その後、全面に、 SiO_2 から成る絶縁膜212を形成し、凸部上層211Bの頂面の絶縁膜212を除去する。そして、露出した凸部上層211Bの頂面に、第2電極252を真空蒸着法に基づき形成し、一方、素子製造用基板210を裏面側から適切な厚みにラッピングした後、第1電極251を真空蒸着法に基づき形成する。

30

[0 0 9 4]

「工程 - 2301」

その後、半導体発光素子を分離することによって、半導体発光素子を得ることができる。半導体発光素子を1つずつ分離してもよいし、多数個（例えば、4個、8個、16個、32個、64個等）を1群として纏めて、各群を相互に分離してもよい。

40

【实施例 3】

[0 0 9 5]

50

る構成要素の参照番号の下2桁と同じとしている。

【0096】

実施例3の下地に設けられた凸部311は、{100}面を頂面とする下地(第2化合物半導体層322)に設けられ、下地(第2化合物半導体層322)の<110>方向と平行に延びる凸部である。そして、凸部下層311A及び凸部上層311Bの2層構造を有し、凸部上層311Bを{110}面で切断したときの断面形状は、底辺の長さが上辺の長さよりも長い等脚台形であり、凸部下層311Aを{110}面で切断したときの断面形状は、底辺の長さが上辺の長さよりも長い等脚台形であり、凸部上層311Bを{110}面で切断したときの断面形状における底辺は、凸部下層311Aを{110}面で切断したときの断面形状における上辺である。

10

【0097】

また、実施例3の半導体発光素子は、第1化合物半導体層321、活性層323及び第2化合物半導体層322から成り、第2化合物半導体層322の頂面が{100}面である発光部320を備えており、第2化合物半導体層322に、<110>方向と平行に延びる凸部311が設けられた半導体発光素子である。そして、凸部下層311A及び凸部上層311Bの2層構造を有し、凸部上層311Bを{110}面で切断したときの断面形状は、底辺の長さが上辺の長さよりも長い等脚台形であり、凸部下層311Aを{110}面で切断したときの断面形状は、底辺の長さが上辺の長さよりも長い等脚台形であり、凸部上層311Bを{110}面で切断したときの断面形状における底辺は、凸部下層311Aを{110}面で切断したときの断面形状における上辺である。

20

【0098】

以上の構成、構造は、実施例2と同じである。そして、実施例3にあっては、凸部上層311Bの側面311bの傾斜角を_U、凸部下層311Aの側面311aの傾斜角を_D、凸部の側面が(111)B面であるときの側面の傾斜角を_{111B}としたとき、

_D _U
具体的には、

_U _{111B} _D (但し、_D _U)
を満足する。より具体的には、

_U < _{111B} < _D
を満足する。より一層具体的には、実施例3にあっては、_{111B} = 54.7度であり、_U = 50度、_D = 60度である。

30

【0099】

前述したと同様に、ISAN型半導体レーザの場合、SDH型半導体レーザの場合とは設計思想が異なるので、側面の果たす役割が全く異なり、 $H_U / (H_U + H_D)$ や、 $(H_U + H_D) / W_U$ といった条件に対する厳しい制約は特にはない。しかしながら、電流狭窄を効果的に生じさせる設計は重要である。具体的には、凸部下層311Aの底辺を短くし、且つ、底辺を活性層323に近づけることが、拡散電流を抑制するための重要なポイントとなる場合がある。例えば、図11には、絶縁層312によって、凹部全体(側面311b及び側面311aを含む面)を絶縁して電流狭窄を行うISAN型半導体レーザを示している。尚、このような構造による光閉じ込め制御の効果よりも一層効果のある構造とするには、凹部を絶縁層312で覆う代わりに、図12に模式的な一部断面図を示すように、凹部の下地と格子整合し易く、且つ、活性層323の材料よりも低屈折率の接合型化合物半導体層積層構造370(図12に示す例にあっては、n-p-n構造)によって、凹部を埋め込む構造とすればよい。これにより、

40

- (1) 電流ブロック層としての役割
- (2) 光閉じ込め制御層としての役割

の2つの役割を有する埋め込み構造の達成が可能となる。

【0100】

凹部を接合型化合物半導体層積層構造370で埋め込む埋込み結晶成長の際には、マスク層を選択成長用マスクとしてそのまま用いてもよい。この場合、埋込み結晶成長終了後

50

、マスク層を通常のエッティング法によって除去してから、凸部の上に、第2電極352を形成すればよいし、マスク層が導電性材料から構成されている場合には、埋込み結晶成長後、そのまま第2電極352として用いることも可能である。あるいは又、図12に示すように、図11に示す構造（但し、絶縁膜312及び第2電極352は形成されていない）を形成した後、通常のエッティング法によってマスク層を除去し、凹部を接合型化合物半導体層積層構造370で埋め込んでもよい。図12には、n p n構造で埋め込んだ例を図示している。但し、この場合、凸部の頂面にも、三角形状の接合型化合物半導体層積層構造371（図12に示した例では、n p n構造の三角形状）が形成される。従って、凹部の埋め込み終了後、エッティングによって凸部頂面の層311Bが露出するまで、接合型化合物半導体層積層構造371を除去する必要がある。尚、除去後、上述したと同様に、凸部に電流が流れるように第2電極352を形成すればよい。実施例3にあっては、凸部上層311Bの厚さをH_U、凸部下層311Aの厚さをH_D、凸部上層311Bの幅をW_Uとしたとき、H_U=0.5μm、H_D=1.5μm又は1μm、W_U=0.5μmを典型例として挙げることができる。10

【0101】

以上の点を除き、実施例3の半導体発光素子の構成、構造は、実施例2の半導体発光素子の構成、構造と同様とすることができるので、詳細な説明は省略する。ところで、実施例2の場合と同様に、電流狭窄を効果的に生じさせるために、凸部下層311Aの底辺を短くし、且つ、底辺を活性層323に近づけるように、_U 111B _D（但し、_D_U）の場合、H_U / (H_U + H_D)に関しては小さな値を、_D、_Uに関しては大きな値を、また、W_Uに関しては小さな値を選択することが好ましい。具体的には、例えば、H_U=0.5μm、H_D=1.5μm又は1μm、W_U=0.5μmを典型例として挙げができる。尚、活性層323付近で、凸部下層311Aの底辺が短くなることを目標にすればよいので、_D、_Uが変わると、上述した値とは全く異なる値を逆算によって求める必要が生じる場合があることは云うまでもない。20

【0102】

実施例3にあっては、実施例2の[工程-210B]におけるウェットエッティング時のエッティング液温度を2~5°Cとし、実施例2の[工程-210C]におけるウェットエッティング時のエッティング液温度を6~9°Cとすればよい。

【実施例4】

【0103】

実施例4は、本発明の凸部形成方法の変形、本発明の第1の態様に係る下地に設けられた凸部の変形、本発明の第2の態様に係る半導体発光素子の変形、及び、本発明の第2の態様に係る半導体発光素子の製造方法の変形に関する。

【0104】

実施例4の半導体発光素子は、S A N型半導体レーザから構成されている。即ち、図13あるいは図14に模式的な一部断面図を示すように、実施例4にあっては、凸部411は電流を狭窄する領域に相当し、即ち、凸部411は電流を流さない領域である。この凸部411は、予め、基板上に第1化合物半導体層421、活性層423を結晶成長させた後、接合型化合物半導体層積層構造（図13あるいは図14では、第1化合物半導体層421層上のn p n構造）を結晶成長させ、次いで、マスク層を形成した後、例えば、実施例2の[工程-210]と同様にしてエッティングを行うことで得ることができる。40

【0105】

S A N型半導体レーザは、2つの凸部411と、これらの凸部411に挟まれた凹部から構成されている。ここで、図13及び図14に示した例にあっては、2つの凸部411に挟まれた凹部が、第3化合物半導体層424によって埋め込まれた構造である。尚、第3化合物半導体層424、第2化合物半導体層422の残部、活性層423、及び、第1化合物半導体層421に亘り、電流を流すことで、活性層423において発光を生じさせる。従って、S A N型半導体レーザにあっては、_D 111B _U（但し、_D _U）の場合、電流狭窄を効果的に生じさせるために、2つの凸部411のピッチを小さくし、凸50

部下層 411A の底辺を長くし、且つ、底辺を活性層 423 に近づけるように、 $H_D / (H_U + H_D)$ ， D_u に関しては大きな値を選択することが好ましい。具体的には、例えば、実施例 2 や実施例 3 で示した I S A N 型半導体レーザと同じ凸部の外形形状を挙げることができる。

【 0106 】

但し、S A N 型半導体レーザの場合、この凸部 411 は、あくまでも電流ブロック層である。従って、電流注入領域である凹部を挟む 2 つの凸部 411 のピッチを小さくすることに限界がある場合、凹部における電流狭窄を更に効果的に行うには、凸部下層 411A の底辺が長くなることを目標とすればよい。それ故、傾斜角 α_D, α_U が小さい斜面を適切に選び、できるだけ深くエッチングするか、極端に傾斜度の小さい斜面を最後の底面形成に用いるか、極端に傾斜度の小さい斜面が凸部 411 の全側面を占める割合が高い構造を採用すればよい。いずれにせよ、S A N 型半導体レーザの場合、接合型化合物半導体層積層構造を十分な積層数の多層構造としておけば、例えば、実施例 2 の [工程 - 210] と同様のエッチングによって、電流ブロック層の機能を有する 2 つの凸部 411 で挟まれた凹部の底面を最大限に短くすることが可能となり、I S A N 型半導体レーザの場合よりも、より一層最適化された電流狭窄構造を形成できる点で有利である。10

【 0107 】

実施例 4 にあっては、エッチングによる凸部 411 の外形形状は、実施例 2 の凸部 211 の外形形状と同様とすることができます。実施例 4 の半導体発光素子が、実施例 2 の半導体発光素子と異なる点は、凸部 411 と凸部 211 との間に p 型第 3 化合物半導体層 424 が形成されている点、及び、p 型第 3 化合物半導体層 424 上に第 2 電極 452 が形成されている点にある。更には、予め、電流ブロック構造を有する接合型化合物半導体層積層構造 470 (図 13 及び図 14 参照) を形成してから、接合型化合物半導体層積層構造 470 を本発明に基づくエッチング法によってエッチングし、凸部 211 と類似又は同じ形状の凸部 411 を形成し、凹部に電流注入層 (p 型第 3 化合物半導体層 424) を埋め込む点にある。尚、図 13 においては、凹部を埋め込む p 型第 3 化合物半導体層 424 は、第 2 化合物半導体層 422 を下地層として積層可能な、高濃度の p 型の低屈折率化合物半導体層であればよく、埋込み成長させることができれば、結晶成長方法は、L P E 法でも M O C V D 法でも P P D 法でもよい。図 13 に示す例は、M O C V D 法を用いて、電流注入用の凹部埋め込みを行った例であるが、L P E 法で埋め込む場合は、単にフラットに埋め込まれる形状となる。また、M O C V D 法を用いて電流注入用に凹部の埋込み成長を行う際に、マスク層を除去して行うと、電流ブロック機能を有する凸部 411 の頂面に S D H 型半導体レーザの形成時と同様の { 111 } B 非成長面が現れるので、三角形状の層 424' が形成される。そして、電流注入用の凹部埋込み成長の終了後、この三角形状の層 424' を通常のエッチングによって除去し、その後、第 3 化合物半導体層 424 の上に第 2 電極 (透明電極層) 452 を積層してもよいし、この三角形状の層 424' を除去せず、そのまま、第 3 化合物半導体層 424 の上に第 2 電極 (透明電極層) 452 を形成してもよい。また、発光ダイオードの場合、特に、凹部に埋込み成長を行わずに、エッチングによって形成した凹部に第 2 電極を形成することができるよう、予め結晶成長を行っておき、本発明によるエッチング法に基づく凹部形成後に、凹部上に第 2 電極 (透明電極層) を形成してもよい。ここで、実施例 4 の半導体発光素子における形状あるいは構成要素と、実施例 2 の半導体発光素子における形状あるいは構成要素とが実質的に同じである場合、実施例 4 の半導体発光素子における構成要素の参照番号の下 2 衔と実施例 2 の半導体発光素子における構成要素の参照番号の下 2 衔と同じとしている。30

【 0108 】

S A N 型半導体レーザの場合にも、S D H 型半導体レーザの場合とは設計思想が異なるので、側面の果たす役割が全く異なり、 $H_U / (H_U + H_D)$ や、 $(H_U + H_D) / W_U$ といった条件に対する厳しい制約は特はない。但し、I S A N 型半導体レーザにおける電流狭窄構造との違いに注意しながら、電流狭窄構造を設計するには、先ずは、凸部のピッチを狭く設計し、次に、凸部側面を構成する傾斜角の小さい斜面が凸部の側面全体に占める割40

合を増やして、凹部を狭くする必要がある。実施例 4 にあっては、凸部上層 4 1 1 B の厚さを H_U 、凸部下層 4 1 1 A の厚さを H_D 、凸部上層 4 1 1 B の幅を W_U としたとき、具体的には、例えば、 $H_U = 1.5 \mu m$ 又は $1 \mu m$ 、 $H_D = 0.5 \mu m$ 、 $W_U = 0.5 \mu m$ 、あるいは、 $H_U = 0.5 \mu m$ 、 $H_D = 1.5 \mu m$ 又は $1 \mu m$ 、 $W_U = 0.5 \mu m$ を典型例として挙げることができる。

【実施例 5】

【0109】

実施例 5 は、本発明の凸部形成方法の変形、本発明の第 2 の態様に係る下地に設けられた凸部の変形、本発明の第 3 の態様に係る半導体発光素子の変形、及び、本発明の第 2 の態様に係る半導体発光素子の製造方法の変形に関する。

10

【0110】

実施例 5 の半導体発光素子も、実施例 4 と同様に、S A N 型半導体レーザから構成されている。即ち、図 15 及び図 16 に模式的な一部断面図を示すように、実施例 5 にあっても、凸部 5 1 1 は電流を狭窄する領域に相当し、即ち、凸部 5 1 1 は電流を流さない領域であり、凸部 5 1 1 と凸部 5 1 1 の間に形成された第 3 化合物半導体層 5 2 4 から、第 2 化合物半導体層 5 2 2 の残部、活性層 5 2 3、及び、第 1 化合物半導体層 5 2 1 に亘り、電流を流すことで、活性層 5 2 3 において発光を生じさせる。

【0111】

実施例 5 にあっては、エッチングによる凸部 5 1 1 の外形形状は、実施例 3 の凸部 3 1 1 の外形形状と同様とすることができます。実施例 5 の半導体発光素子が、実施例 3 の半導体発光素子と異なる点は、凸部 5 1 1 と凸部 5 1 1 との間に p 型第 3 化合物半導体層 5 2 4 が形成されている点、及び、p 型第 3 化合物半導体層 5 2 4 上に第 2 電極 5 5 2 が形成されている点にある。更には、予め、電流プロック構造を有する接合型化合物半導体層積層構造 5 7 0（図 15 及び図 16 参照）を形成してから、接合型化合物半導体層積層構造 5 7 0 を本発明に基づくエッチング法によってエッチングし、凸部 3 1 1 と類似又は同じ形状の凸部 5 1 1 を形成し、凹部に電流注入層（p 型第 3 化合物半導体層 5 2 4）を埋め込む点にある。尚、実施例 5 の半導体発光素子における構成要素と実施例 3 の半導体発光素子における構成要素とが実質的に同じである場合、実施例 5 の半導体発光素子における構成要素の参照番号の下 2 桁と実施例 2 の半導体発光素子における構成要素の参照番号の下 2 桁と同じとしている。

20

【0112】

また、実施例 5 の半導体発光素子の構成、構造と、実施例 4 の半導体発光素子の構成、構造との違いは、実施例 4 の凸部 4 1 1 の上層と下層の斜面の角度の関係と、実施例 5 の凸部 5 1 1 の上層と下層の斜面の角度の関係とが、逆の関係になっているだけである。尚、2 つの凸部 5 1 1 で狭窄される凹部を設計するための詳細な設計方法の説明、注意点は、実施例 4 における説明と同様であるので、省略する。

30

【0113】

以上、本発明を好ましい実施例に基づき説明したが、本発明はこれらの実施例に限定するものではない。実施例において説明した半導体発光素子の構成、構造、半導体発光素子を構成する材料、半導体発光素子の製造条件や各種数値は例示であり、適宜変更することができる。実施例においては、第 1 導電型を n 型、第 2 導電型を p 型としたが、これとは逆に、第 1 導電型を p 型、第 2 導電型を n 型としてもよい。

40

【0114】

本発明の第 1 の態様あるいは第 2 の態様に係る下地に設けられた凸部、本発明の凸部形成方法は、例えば、埋め込みヘテロ型レーザ及びその製造方法、面発光（レーザ）素子及びその製造方法、L E D 及びその製造方法、ヘテロ接合バイポーラトランジスタ及びその製造方法、フォトダイオード及びその製造方法、太陽電池及びその製造方法にも適用することができる。具体的には、これらの素子を分離するための凹部あるいは分離溝の形成、特に、幅、深さ、ピッチ等のエッチング制御をウェハ面内の広範囲に亘り要求される場合に、本発明の凸部形成方法を効果的に適用することができる。そして、本発明の第 1 の態

50

様あるいは第2の態様に係る下地に設けられた凸部に、これらの素子を形成すればよい。

【図面の簡単な説明】

【0115】

【図1】図1は、実施例1における凸部の模式的な一部断面図である。

【図2】図2の(A)及び(B)は、実施例1の半導体発光素子であるSDH型半導体レーザの模式的な一部断面図である。

【図3】図3の(A)～(C)は、実施例1の半導体発光素子の製造方法を説明するための素子製造用基板等の模式的な一部断面図である。

【図4】図4の(A)～(C)は、実施例1の半導体発光素子の製造において、積層構造体が結晶成長していく過程を模式的に示す、素子製造用基板等の模式的な一部断面図である。
10

【図5】図5は、図4の(C)に引き続き、実施例1の半導体発光素子の製造方法を説明するための素子製造用基板等の模式的な一部断面図である。

【図6】図6は、図5に引き続き、実施例1の半導体発光素子の製造方法を説明するための素子製造用基板等の模式的な一部断面図である。

【図7】図7は、実施例2の半導体発光素子であるISAN型半導体レーザの模式的な一部断面図である。

【図8】図8は、実施例2の半導体発光素子の変形例であるISAN型半導体レーザの変形例の模式的な一部断面図である。

【図9】図9の(A)及び(B)は、実施例2の半導体発光素子の製造方法を説明するための素子製造用基板等の模式的な一部断面図である。
20

【図10】図10は、図9の(B)に引き続き、実施例2の半導体発光素子の製造方法を説明するための素子製造用基板等の模式的な一部断面図である。

【図11】図11は、実施例3の半導体発光素子であるISAN型半導体レーザの模式的な一部断面図である。

【図12】図12は、実施例3の半導体発光素子の変形例であるISAN型半導体レーザの変形例の模式的な一部断面図である。

【図13】図13は、実施例4の半導体発光素子であるSAN型半導体レーザの模式的な一部断面図である。

【図14】図14は、実施例4の半導体発光素子の変形例であるSAN型半導体レーザの変形例の模式的な一部断面図である。
30

【図15】図15は、実施例5の半導体発光素子であるSAN型半導体レーザの模式的な一部断面図である。

【図16】図16は、実施例5の半導体発光素子の変形例であるSAN型半導体レーザの変形例の模式的な一部断面図である。

【図17】図17の(A)及び(B)は、従来の半導体発光素子における問題点を説明するための発光素子製造用基板等の模式的な一部断面図である。

【図18】図18の(A)及び(B)は、従来の半導体発光素子における別の問題点を説明するための発光素子製造用基板等の模式的な一部断面図である。

【図19】図19の(A)～(C)は、従来の半導体発光素子における問題点を纏めた発光素子製造用基板等の概念図である。
40

【符号の説明】

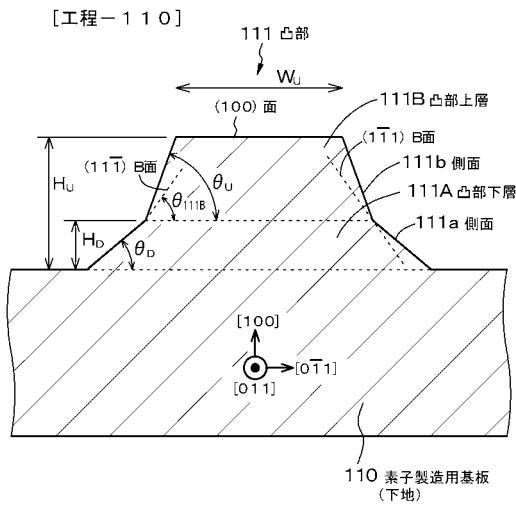
【0116】

110, 210, 310, 410, 510・・・素子製造用基板、111, 211, 311, 411, 511・・・凸部、111A, 211A, 311A, 411A, 511A・・・凸部下層、111a, 211a, 311a, 411a, 511a・・・凸部下層の側面、111B, 211B, 311B, 411B, 511B・・・凸部上層、111b, 211b, 311b, 411b, 511b・・・凸部上層の側面、212, 312・・・絶縁膜、120, 220, 320, 420, 520・・・発光部、120', 521'・・・積層構造体、121, 221, 321, 421, 521'・・・第1化合物半導体層、122, 150

2 2 A , 1 2 2 B , 2 2 2 , 3 2 2 , 4 2 2 , 5 2 2 . . . 第 2 化合物半導体層、4 2 4 , 5 4 4 . . . 第 3 化合物半導体層、1 2 3 , 2 2 3 , 3 2 3 , 4 2 3 , 5 2 3 . . . 活性層、1 3 0 , . . . 電流ブロック層位置調整層、1 3 1 , . . . 埋込層、1 3 2 , . . . コンタクト層(キャップ層)、1 4 0 , . . . 電流ブロック層、1 5 1 . 2 5 1 , 3 5 1 , 4 5 1 , 5 5 1 . . . 第 1 電極、1 5 2 , 2 5 2 , 3 5 2 , 4 5 2 , 5 5 2 . . . 第 2 電極、1 6 1 , 2 6 1 . . . マスク層、2 7 0 , 2 7 1 , 3 7 0 , 3 7 1 , 4 7 0 , 5 7 0 . . . 接合型化合物半導体層積層構造、4 2 4 ' , 5 2 4 ' . . . 三角形状の層

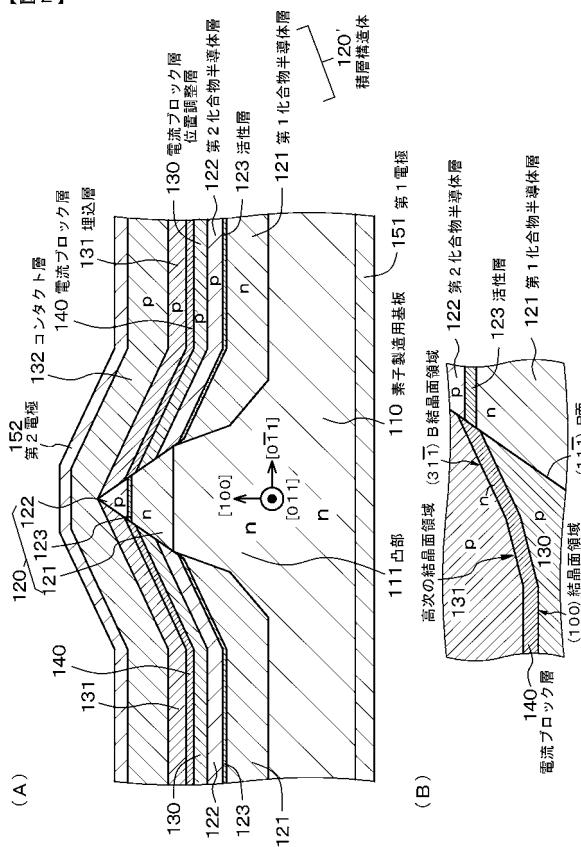
【図 1】

【図 1】

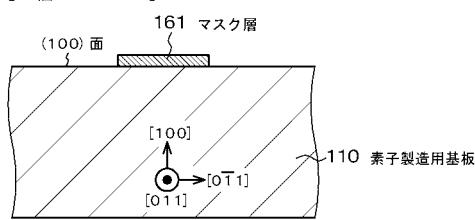


【図 2】

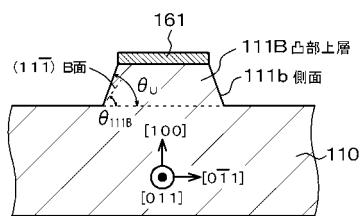
【図 2】



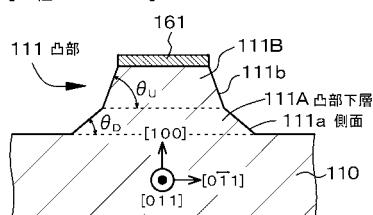
【図3】

【図3】
(A) [工程-100A]

(B) [工程-100B]

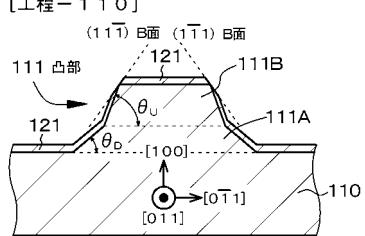


(C) [工程-100C]

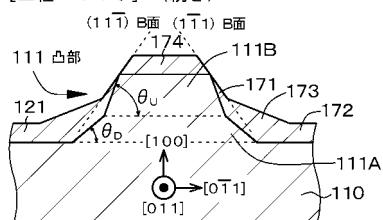


【図4】

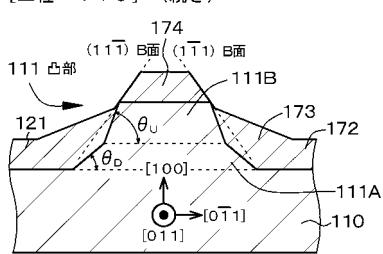
(A) [工程-110]



(B) [工程-110] (続き)

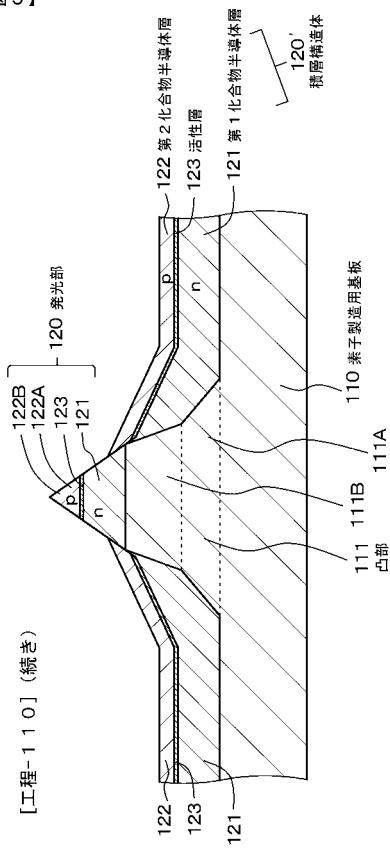


(C) [工程-110] (続き)



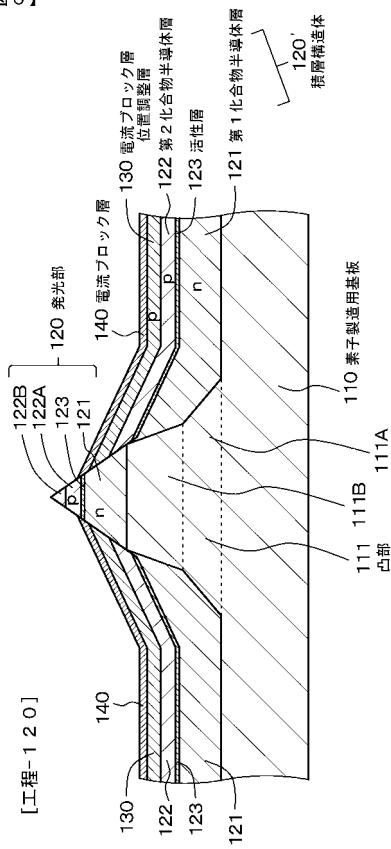
【図5】

【図5】



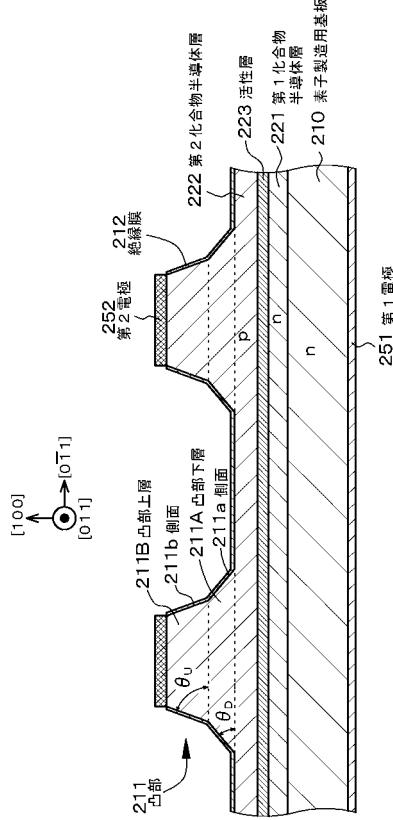
【図6】

【図6】



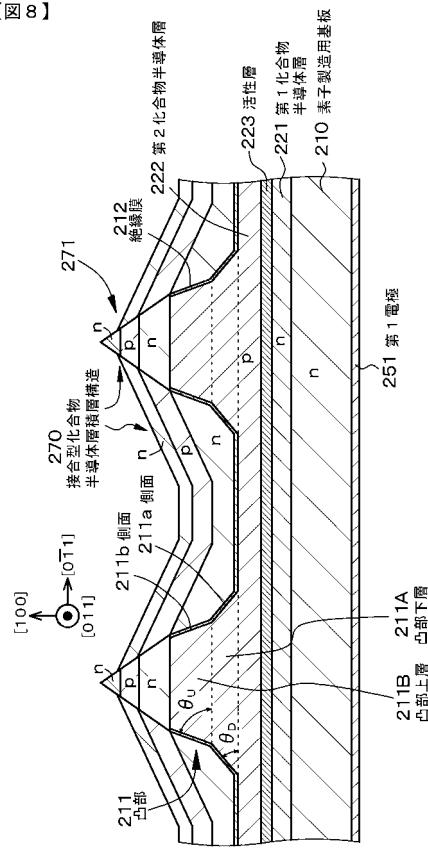
【図 7】

【図 7】



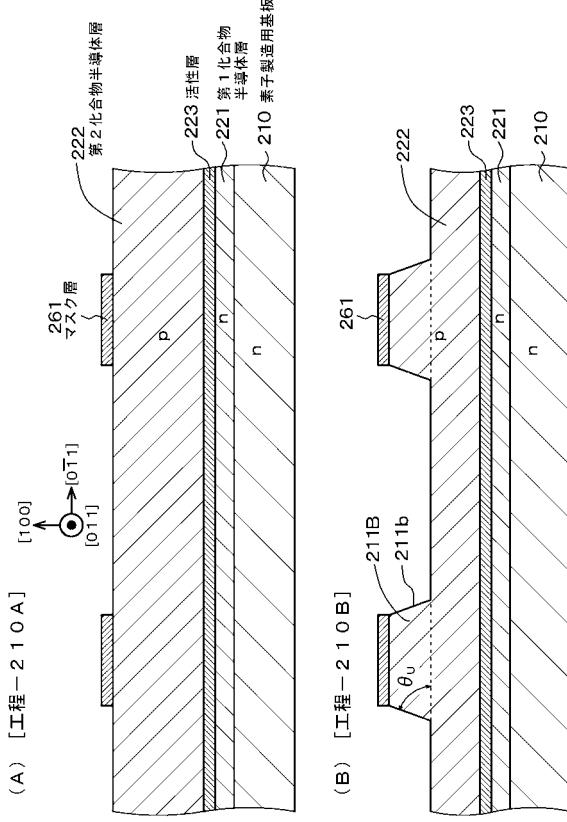
【図 8】

【図 8】



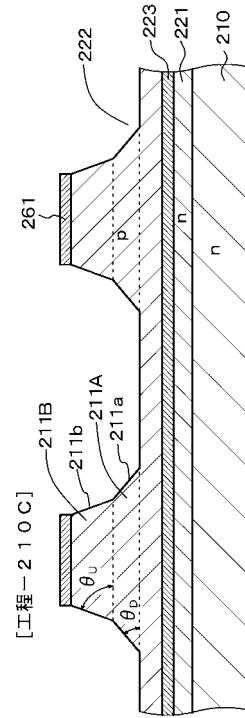
【図 9】

【図 9】



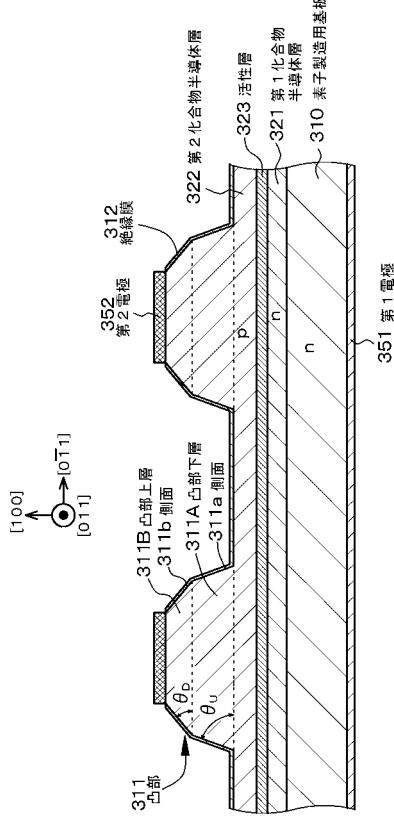
【図 10】

【図 10】



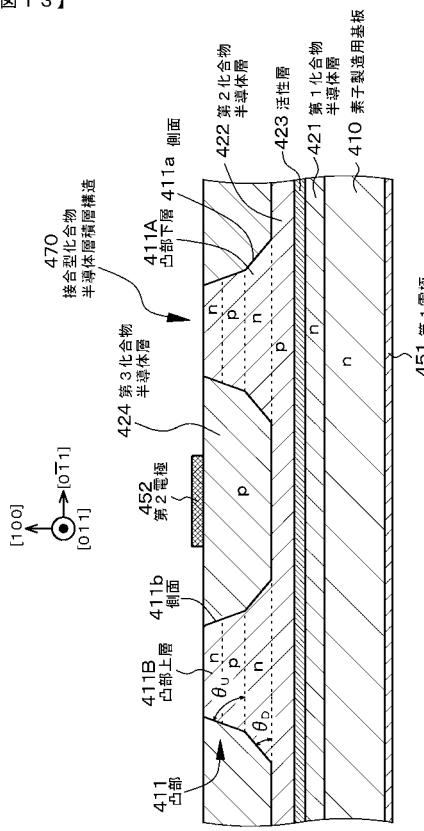
【図 1 1】

【図 1 1】



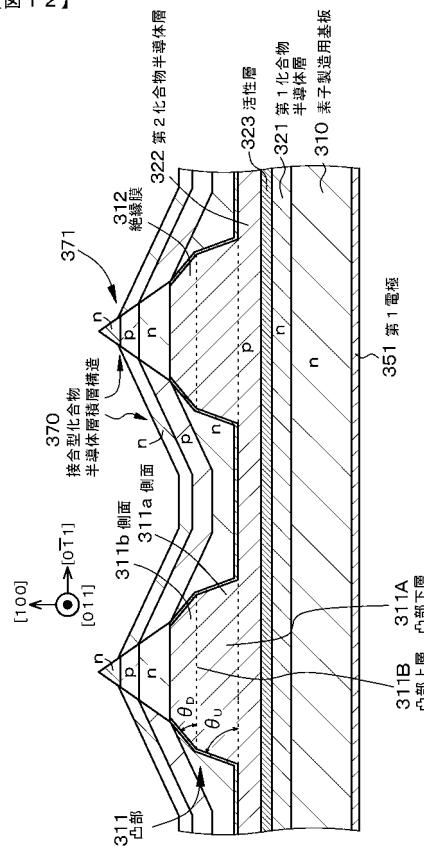
【図 1 3】

【図 1 3】



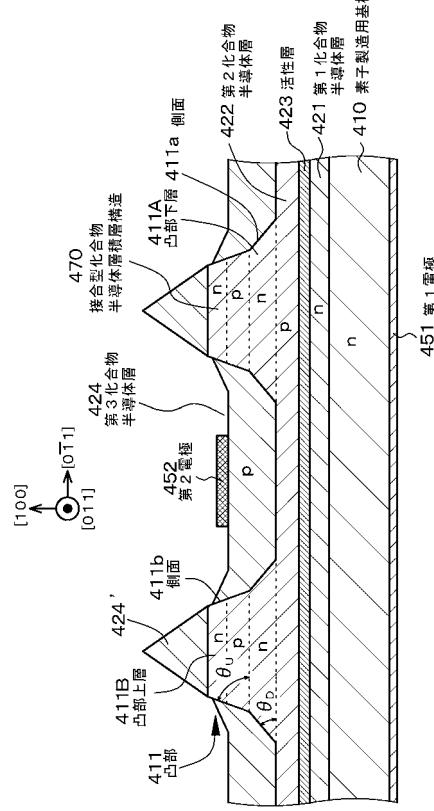
【図 1 2】

【図 1 2】



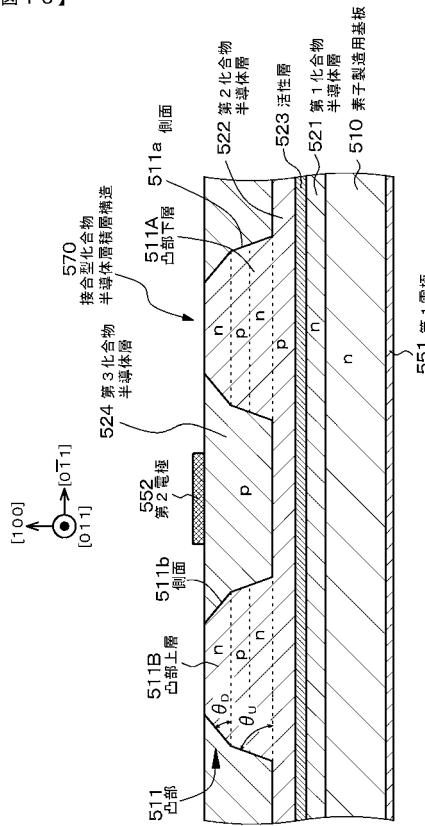
【図 1 4】

【図 1 4】



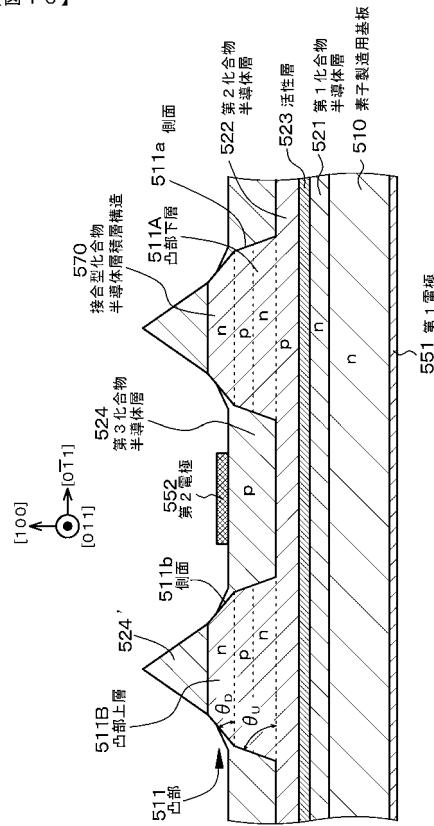
【図 15】

【図 15】



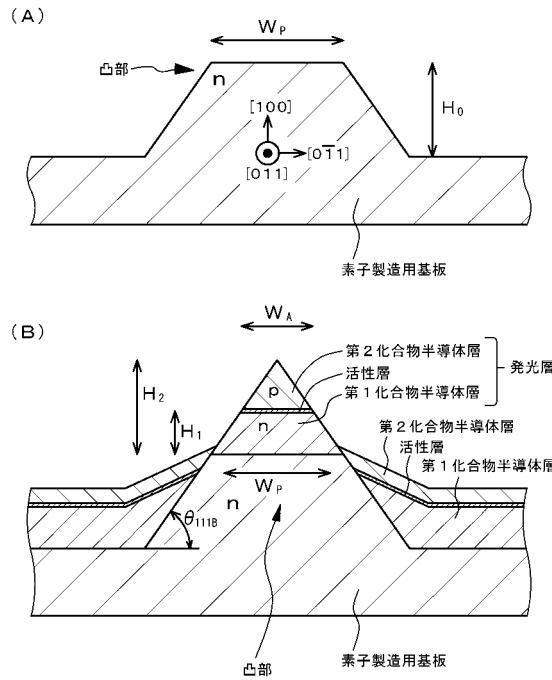
【図 16】

【図 16】



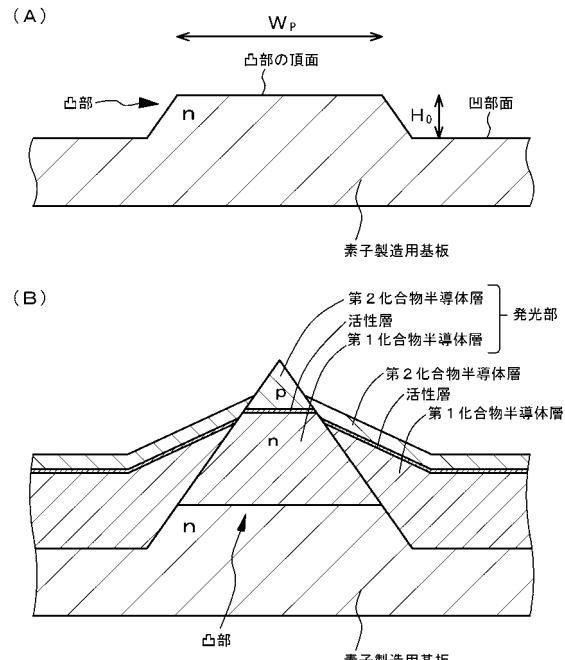
【図 17】

【図 17】



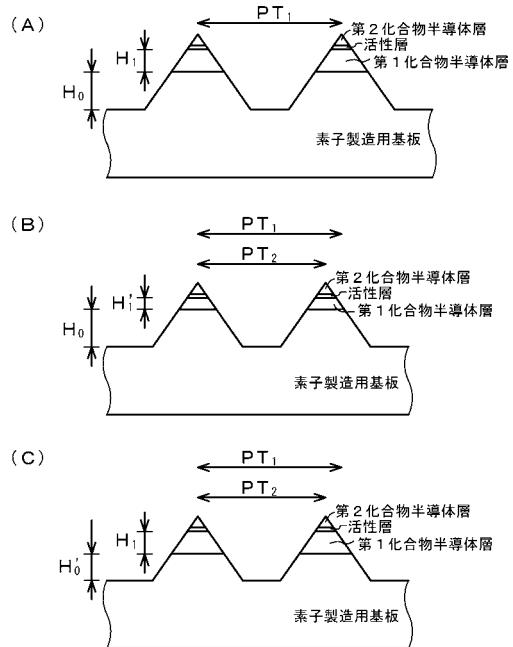
【図 18】

【図 18】



【図 19】

【図 19】



フロントページの続き

(72)発明者 鎌田 满
東京都港区港南1丁目7番1号 ソニー株式会社内

(72)発明者 狩野 祥男
宮城県白石市白鳥三丁目53番地の2 ソニー白石セミコンダクタ株式会社内

(72)発明者 成井 啓修
東京都港区港南1丁目7番1号 ソニー株式会社内

(72)発明者 岡野 展賢
東京都港区港南1丁目7番1号 ソニー株式会社内

審査官 日夏 貴史

(56)参考文献 特開2000-021785(JP,A)
特開2008-177528(JP,A)
特開2001-7118(JP,A)
特開平9-306889(JP,A)
特開2000-243760(JP,A)
特開2001-267287(JP,A)
特開昭59-190366(JP,A)
特開2007-88503(JP,A)

(58)調査した分野(Int.Cl., DB名)

H 01 S	5 / 0 0	-	5 / 5 0
H 01 L	3 3 / 0 0	-	3 3 / 6 4
H 01 L	2 1 / 3 0 6	-	2 1 / 3 0 8
H 01 L	2 1 / 4 6 5	-	2 1 / 4 6 7