(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2024年9月26日(26.09.2024)

WIPO | PCT

(10) 国際公開番号
WO 2024/195697 A1

(51) 国際特許分類:
H03H 7/01 (2006.01)

(21) 国際出願番号： PCT/JP2024/010093

(22) 国際出願日： 2024年3月14日(14.03.2024)

(25) 国際出願の言語： 日本語

(26) 国際公開の言語： 日本語

(30) 優先権データ：
特願 2023-044202 2023年3月20日(20.03.2023) JP

(71) 出願人: 株式会社村田製作所 (**MURATA MANUFACTURING CO., LTD.**) [JP/JP]; 〒6178555 京都府長岡京市東神足１丁目１０番１号 Kyoto (JP).

(72) 発明者: 溝口 直樹 (**MIZOGUCHI, Naoki**); 〒6178555 京都府長岡京市東神足１丁目１０番１号 株式会社村田製作所内 Kyoto (JP).

(74) 代理人: 弁理士法人深見特許事務所 (**FUKAMI PATENT OFFICE, P.C.**); 〒5300005 大阪府大阪市北区中之島三丁目２番４号 中之島フェスティバルタワー・ウエスト Osaka (JP).

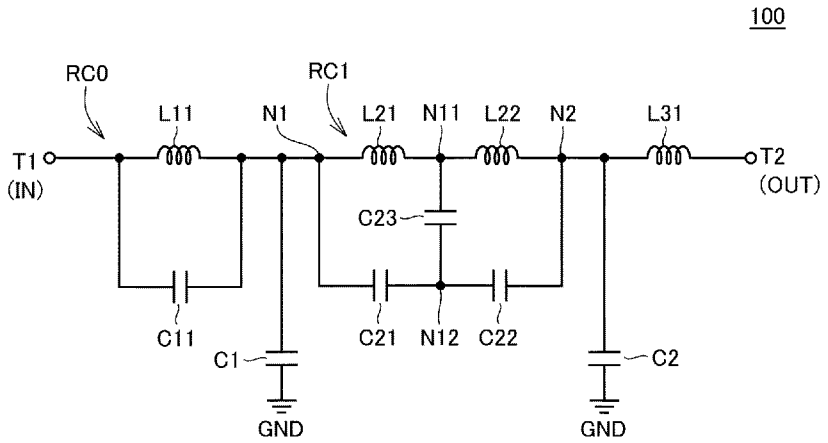
(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS,

(54) **Title:** FILTER DEVICE

(54) 発明の名称： フィルタ装置

FIG.1



(57) **Abstract:** A filter device (100) comprises an input terminal (T1), an output terminal (T2), and a resonator (RC1) connected to the input terminal (T1) and the output terminal (T2). The resonator (RC1) includes a terminal (N1) connected to the input terminal (T1), a terminal (N2) connected to the output terminal (T2), inductors (L21, L22), and capacitors (C21 to C23). One end of the inductor (L21) is connected to the terminal (N1). One end of the inductor (L22) is connected to the terminal (N2), and the other end thereof is connected to the other end of the inductor (L21). One end of the capacitor (C21) is connected to the terminal (N1). One end of the capacitor (C22) is connected to the terminal (N2), and the other end thereof is connected to the other end of the capacitor (C21). The capacitor (C23) is connected between the other end of the inductor (L21) and the other end of the capacitor (C21).

WO 2024/195697 A1

[続葉有]

MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

一　国際調査報告（条約第21条(3)）

(57) 要約：フィルタ装置（１００）は、入力端子（Ｔ１）および出力端子（Ｔ２）と、入力端子（Ｔ１）および出力端子（Ｔ２）に接続された共振器（ＲＣ１）とを備える。共振器（ＲＣ１）は、入力端子（Ｔ１）に接続された端子（Ｎ１）と、出力端子（Ｔ２）に接続された端子（Ｎ２）と、インダクタ（Ｌ２１，Ｌ２２）と、キャパシタ（Ｃ２１～Ｃ２３）とを含む。インダクタ（Ｌ２１）の一方端は、端子（Ｎ１）に接続される。インダクタ（Ｌ２２）の一方端は端子（Ｎ２）に接続され、他方端はインダクタ（Ｌ２１）の他方端に接続される。キャパシタ（Ｃ２１）の一方端は、端子（Ｎ１）に接続される。キャパシタ（Ｃ２２）の一方端は端子（Ｎ２）に接続され、他方端はキャパシタ（Ｃ２１）の他方端に接続される。キャパシタ（Ｃ２３）は、インダクタ（Ｌ２１）の他方端とキャパシタ（Ｃ２１）の他方端との間に接続される。

明　細　書

発明の名称 ： フィルタ装置

技術分野

[0001]　本開示はフィルタ装置に関し、より特定的には、フィルタ装置における非通過帯域の減衰特性を向上させる技術に関する。

背景技術

[0002]　特許第４７３８２１８号公報（特許文献１）には、積層型電子部品の一例であるローパスフィルタが開示されている。特許文献１のローパスフィルタにおいては、積層体の側面に配置された複数のグランド用側面電極の少なくとも一部を、絶縁基板と接続しない状態とすることによって、寄生インダクタによって生じる減衰極の周波数を制御する構成が記載されている。

先行技術文献

特許文献

[0003] 特許文献1：特許第４７３８２１８号公報

発明の概要

発明が解決しようとする課題

[0004]　ローパスフィルタにおいては、共振回路を構成するインダクタの浮遊容量、および／または、製造ばらつきなどによる構造上の非対称性によって、通過帯域よりも高周波数側の非通過帯域において意図しないスプリアスが生じ、当該非通過帯域の減衰特性が低下する場合がある。

[0005]　近年、スマートフォンおよび携帯電話に代表される携帯通信装置においては、たとえば、Ｗｉ－Ｆｉなどの６ＧＨｚ以下のマイクロ波用の周波数帯域の電波と、５Ｇ通信規格に対応する２８ＧＨｚおよび３９ＧＨｚなどのミリ波用の周波数帯域の電波とを用いる構成が採用されている。このような通信装置において、マイクロ波帯域の電波を処理する回路に用いられるローパスフィルタで、上記のようなスプリアスがミリ波帯域に生じると、ミリ波帯域の減衰特性が低下することによって当該周波数帯域にノイズが発生し、通信

品質の低下につながるおそれがある。

[0006] 本開示は、上記の課題を解決するためになされたものであって、その目的は、フィルタ装置において生じるスプリアスに起因する減衰特性の低下を抑制することである。

課題を解決するための手段

[0007] 本開示のある局面に係るフィルタ装置は、入力端子と、出力端子と、接地端子と、当該入力端子および出力端子に接続された第１共振器とを備える。第１共振器は、入力端子に接続された第１端子と、出力端子に接続された第２端子と、第１インダクタおよび第２インダクタと、第１キャパシタ～第３キャパシタとを含む。第１インダクタの一方端は、第１端子に接続される。第２インダクタの一方端は第２端子に接続され、他方端は第１インダクタの他方端に接続される。第１キャパシタの一方端は、第１端子に接続される。第２キャパシタの一方端は第２端子に接続され、他方端は第１キャパシタの他方端に接続される。第３キャパシタは、第１インダクタの他方端と第１キャパシタの他方端との間に接続される。

[0008] 本開示の他の局面に係るフィルタ装置は、複数の誘電体が積層された積層体と、入力端子と、出力端子と、接地端子と、第１経路および第２経路と、第１キャパシタ電極～第４キャパシタ電極とを備える。第１経路は、入力端子に接続される。第２経路は、出力端子に接続される。第１キャパシタ電極は、第１経路に接続される。第２キャパシタ電極は、第２経路に接続される。第３キャパシタ電極は、第１経路および第２経路に接続される。積層体の積層方向から平面視した場合に、第１キャパシタ電極の少なくとも一部、第２キャパシタ電極の少なくとも一部、および、第３キャパシタ電極の少なくとも一部は、第４キャパシタ電極と重なっている。

発明の効果

[0009] 本開示に係るフィルタ装置においては、入力端子と出力端子との間に接続されたＬＣ並列共振器を含むフィルタ装置において、共振器のインダクタの中間部分とキャパシタの中間部分との間にスプリアス調整用のキャパシタ（

第３キャパシタ）が配置されている。当該調整用のキャパシタの容量をインダクタの浮遊容量よりも大きく設定することによって、発生するスプリアスの周波数を低下させて、使用対象の周波数帯域以外の周波数帯域にスプリアスを発生させることができる。したがって、フィルタ装置において生じるスプリアスに起因する減衰特性の低下を抑制することができる。

図面の簡単な説明

[0010] [図1]実施の形態１に係るフィルタ装置の等価回路図である。

[図2]実施の形態１のフィルタ装置の外形斜視図である。

[図3]図２のフィルタ装置の積層構造の一例を示す分解斜視図である。

[図4]比較例のフィルタ装置の等価回路図である。

[図5]実施の形態１および比較例のフィルタ装置のフィルタ特性を説明するための図である。

[図6]スプリアスが発生する理由を説明するための第１図である。

[図7]スプリアスが発生する理由を説明するための第２図である。

[図8]共振器のインダクタの線路長を調整した場合のフィルタ特性を説明するための図である。

[図9]変形例１のフィルタ装置の等価回路図である。

[図10]変形例２のフィルタ装置の等価回路図である。

[図11]実施の形態２に係るフィルタ装置の等価回路図である。

[図12]実施の形態２のフィルタ装置の積層構造の一例を示す分解斜視図である。

[図13]スプリアスのレベルが調整できる理由を説明するための第１図である。

[図14]スプリアスのレベルが調整できる理由を説明するための第２図である。

[図15]実施の形態２のフィルタ装置のフィルタ特性を説明するための図である。

[図16]変形例３のフィルタ装置の等価回路図である。

[図17]変形例４のフィルタ装置の等価回路図である。

[図18]変形例５のフィルタ装置の等価回路図である。

[図19]実施の形態３に係るフィルタ装置の等価回路図である。

[図20]実施の形態３のフィルタ装置のフィルタ特性を説明するための図である。

[図21]実施の形態４に係るフィルタ装置の等価回路図である。

[図22]実施の形態４のフィルタ装置のフィルタ特性を説明するための図である。

[図23]変形例６のフィルタ装置の等価回路図である。

[図24]変形例６のフィルタ装置のフィルタ特性を説明するための図である。

発明を実施するための形態

[0011] 以下、本開示の実施の形態について、図面を参照しながら詳細に説明する。なお、図中同一または相当部分には同一符号を付してその説明は繰り返さない。

[0012] ［実施の形態１］

図１は、実施の形態１に係るフィルタ装置１００の等価回路図である。フィルタ装置１００は、入力端子Ｔ１と、出力端子Ｔ２と、接地端子ＧＮＤと、共振器ＲＣ０，ＲＣ１と、キャパシタＣ１，Ｃ２と、インダクタＬ３１とを含む。共振器ＲＣ０は、インダクタＬ１１およびキャパシタＣ１１を含む。共振器ＲＣ１は、キャパシタＣ２１～Ｃ２３と、インダクタＬ２１，Ｌ２２とを含む。

[0013] 共振器ＲＣ０は、入力端子Ｔ１に接続されている。より具体的には、インダクタＬ１１の一方端が入力端子Ｔ１に接続されており、キャパシタＣ１１はインダクタＬ１１に並列に接続されている。

[0014] 出力端子Ｔ２には、インダクタＬ３１の一方端が接続されている。そして、共振器ＲＣ０に含まれるインダクタＬ１１の他方端に共振器ＲＣ１の端子Ｎ１（第１端子）が接続され、インダクタＬ３１の他方端に共振器ＲＣ１の端子Ｎ２（第２端子）が接続されている。

[0015] 共振器ＲＣ１において、インダクタＬ１１に接続される端子Ｎ１と、インダクタＬ３１に接続される端子Ｎ２との間に、直列接続されたインダクタＬ２１，Ｌ２２が接続される。キャパシタＣ２１の一方端は端子Ｎ１に接続され、他方端はキャパシタＣ２２の一方端と接続されている。キャパシタＣ２２の他方端は、端子Ｎ２に接続されている。すなわち、直列接続されたキャパシタＣ２１，Ｃ２２が、直列接続されたインダクタＬ２１，Ｌ２２に対して並列に接続されている。そして、インダクタＬ２１とインダクタＬ２２との間の接続ノードＮ１１と、キャパシタＣ２１とキャパシタＣ２２との間の接続ノードＮ１２との間に、キャパシタＣ２３が接続されている。

[0016] キャパシタＣ１は、共振器ＲＣ１の端子Ｎ１と接地端子ＧＮＤとの間に接続されている。また、キャパシタＣ２は、共振器ＲＣ１の端子Ｎ２と接地端子ＧＮＤとの間に接続されている。すなわち、フィルタ装置１００は、いわゆる５次のローパスフィルタを構成している。

[0017] なお、本明細書において「接続される」の表現は、２つの要素が直接接続される場合だけでなく、他の要素を介して接続される場合も含むものとする。

[0018] 次に、図２および図３を用いて、フィルタ装置１００の構造について説明する。図２はフィルタ装置１００の外形斜視図であり、図３はフィルタ装置１００の積層構造の一例を示す分解斜視図である。

[0019] 図２および図３を参照して、フィルタ装置１００は、複数の誘電体層ＬＹ１～ＬＹ１４が積層方向に積層された、直方体または略直方体の積層体１１０を備えている。誘電体層ＬＹ１～ＬＹ１４は、たとえば低温同時焼成セラミックス（ＬＴＣＣ：Low Temperature Co-fired Ceramics）などのセラミック、あるいは樹脂により形成されている。積層体１１０の内部において、各誘電体層に設けられた複数の電極、および、誘電体層間に設けられた複数のビアによって、図１で説明したインダクタおよびキャパシタが構成される。なお、本明細書において「ビア」とは、異なる誘電体層に設けられた電極を接続するために、誘電体層中に設けられる柱状の導体を示す。ビアは、

たとえば、導電ペースト、めっき、および／または金属ピンなどによって形成される。

[0020] なお、以降の説明においては、積層体１１０における誘電体層ＬＹ１～ＬＹ１４の積層方向を「Ｚ軸方向」とし、Ｚ軸方向に垂直であって積層体１１０の長辺に沿った方向を「Ｘ軸方向」とし、積層体１１０の短辺に沿った方向を「Ｙ軸方向」とする。また、以下では、各図におけるＺ軸の正方向を上側、負方向を下側と称する場合がある。

[0021] 積層体１１０の上面１１１（誘電体層ＬＹ１）には、フィルタ装置１００の方向を特定するための方向性マークＤＭが配置されている。積層体１１０の下面１１２（誘電体層ＬＹ１４）には、当該フィルタ装置１００と外部機器とを接続するための外部端子（入力端子Ｔ１、出力端子Ｔ２および接地端子ＧＮＤ）が配置されている。入力端子Ｔ１、出力端子Ｔ２および接地端子ＧＮＤの各々は略矩形形状を有する平板形状の電極であり、積層体１１０の下面１１２に規則的に配置されたＬＧＡ（Land Grid Array）端子である。

[0022] 入力端子Ｔ１は、下面１１２におけるＸ軸の正方向の短辺に沿って配置されている。出力端子Ｔ２は、下面１１２におけるＸ軸の負方向の短辺に沿って配置されている。接地端子ＧＮＤは、Ｘ軸方向において、入力端子Ｔ１と出力端子Ｔ２との間に配置されている。

[0023] 入力端子Ｔ１は、ビアＶ１０によって誘電体層ＬＹ１３に配置された平板電極Ｐ１に接続されている。平板電極Ｐ１は、積層方向（Ｚ軸方向）から平面視した場合に、略Ｌ字形状を有する電極である。平板電極Ｐ１は、ビアＶ１１によって、誘電体層ＬＹ９に配置されたキャパシタ電極ＰＣ１０、誘電体層ＬＹ７に配置されたキャパシタ電極ＰＣ１１、および、誘電体層ＬＹ２に配置された平板電極ＰＬ１０に接続されている。

[0024] 誘電体層ＬＹ２に配置された平板電極ＰＬ１０は、Ｙ軸方向に延伸する直線状の帯状の電極である。平板電極ＰＬ１０の第１端部にはビアＶ１１が接続されており、第２端部にはビアＶ１２が接続されている。

[0025] ビアＶ１２は、誘電体層ＬＹ４に配置された平板電極ＰＬ１１に接続され

ている。平板電極ＰＬ１１は、積層方向から平面視した場合に、略Ｌ字形状を有する電極である。平板電極ＰＬ１１の第１端部にはビアＶ１２が接続されており、第２端部にはビアＶ１３が接続されている。

[0026] ビアＶ１３は、誘電体層ＬＹ２に配置された平板電極ＰＬ２０に接続されている。また、ビアＶ１３は、誘電体層ＬＹ７に配置されたキャパシタ電極ＰＣ２２、誘電体層ＬＹ８に配置されたキャパシタ電極ＰＣ１２、および、誘電体層ＬＹ９に配置されたキャパシタ電極ＰＣ３にも接続されている。

[0027] キャパシタ電極ＰＣ３は、ビアＶ１４を介して、誘電体層ＬＹ１１に配置されたキャパシタ電極ＰＣ１に接続されている。積層方向から平面視した場合に、キャパシタ電極ＰＣ１の少なくとも一部は、誘電体層ＬＹ１２に配置された接地電極ＰＧ１と重なっている。接地電極ＰＧ１は、複数のビアＶＧ１によって、下面１１２の接地端子ＧＮＤに接続されている。すなわち、キャパシタ電極ＰＣ１と接地電極ＰＧ１とによって、図１におけるキャパシタＣ１が構成される。また、入力端子Ｔ１から、ビアＶ１０～Ｖ１４、キャパシタ電極ＰＣ３および平板電極Ｐ１，ＰＬ１０，ＰＬ１１を介してキャパシタ電極ＰＣ１に至る経路（第１経路）によって、図１におけるインダクタＬ１１が構成される。

[0028] 誘電体層ＬＹ７のキャパシタ電極ＰＣ１１および誘電体層ＬＹ９のキャパシタ電極ＰＣ１０は、略Ｌ字形状を有する同じ形状の電極であり、積層方向から平面視した場合に互いに重なっている。キャパシタ電極ＰＣ１０，ＰＣ１１の各々は、積層方向から平面視した場合に、誘電体層ＬＹ８のキャパシタ電極ＰＣ１２と部分的に重なっている。すなわち、キャパシタ電極ＰＣ１０～ＰＣ１２によって、図１におけるキャパシタＣ１１が構成される。

[0029] 平板電極ＰＬ２０は、積層方向から平面視した場合に、略Ｌ字形状を有する電極である。平板電極ＰＬ２０の第１端部にはビアＶ１３が接続されており、第２端部にはビアＶ２０が接続されている。ビアＶ２０は、誘電体層ＬＹ５に配置されたキャパシタ電極ＰＣ２０に接続されている。キャパシタ電極ＰＣ２０には、ビアＶ２１も接続されている。ビアＶ２１は、誘電体層Ｌ

Ｙ２に配置された平板電極ＰＬ３０に接続されている。

[0030] 平板電極ＰＬ３０は、積層方向から平面視した場合に、略Ｌ字形状を有する電極である。平板電極ＰＬ３０の第１端部にはビアＶ２１が接続されており、第２端部にはビアＶ２２が接続されている。ビアＶ２２は、誘電体層ＬＹ４に配置された平板電極ＰＬ３１、誘電体層ＬＹ７に配置されたキャパシタ電極ＰＣ２３、および、誘電体層ＬＹ９に配置されたキャパシタ電極ＰＣ４に接続されている。

[0031] キャパシタ電極ＰＣ４は、ビアＶ２３を介して、誘電体層ＬＹ１１に配置されたキャパシタ電極ＰＣ２に接続されている。積層方向から平面視した場合に、キャパシタ電極ＰＣ２の少なくとも一部は、誘電体層ＬＹ１２に配置された接地電極ＰＧ１と重なっている。すなわち、キャパシタ電極ＰＣ２と接地電極ＰＧ１とによって、図１におけるキャパシタＣ２が構成される。

[0032] 誘電体層ＬＹ４の平板電極ＰＬ３１は、積層方向から平面視した場合に、略Ｌ字形状を有する電極である。平板電極ＰＬ３１の第１端部にはビアＶ２１が接続されており、第２端部にはビアＶ３０が接続されている。ビアＶ３０は、誘電体層ＬＹ３に配置された平板電極ＰＬ３２に接続されている。平板電極ＰＬ３２は、Ｙ軸方向に延伸する直線状の帯状の電極である。平板電極ＰＬ３２の第１端部にはビアＶ３０が接続されており、第２端部にはビアＶ３１が接続されている。ビアＶ３１は、誘電体層ＬＹ１３に配置された平板電極Ｐ４、および、ビアＶ３２を介して、下面１１２の出力端子Ｔ２に接続されている。

[0033] 出力端子Ｔ２から、ビアＶ２２，Ｖ２３，Ｖ３０～Ｖ３２、キャパシタ電極ＰＣ４および平板電極Ｐ４，ＰＬ３１，ＰＬ３２を介してキャパシタ電極ＰＣ２に至る経路（第２経路）によって、図２におけるインダクタＬ３１が構成される。平板電極ＰＬ１１から、ビアＶ１３，Ｖ２０および平板電極ＰＬ２０を介してキャパシタ電極ＰＣ２０に至る経路によって、図２におけるインダクタＬ２１が構成される。また、介してキャパシタ電極ＰＣ２０から、ビアＶ２１，Ｖ２２および平板電極ＰＬ３０を介して平板電極ＰＬ３１に

至る経路によって、図２におけるインダクタＬ２２が構成される。

[0034] 誘電体層ＬＹ５のキャパシタ電極ＰＣ２０の少なくとも一部は、積層方向から平面視した場合に、誘電体層ＬＹ６に配置されたキャパシタ電極ＰＣ２１と重なっている。キャパシタ電極ＰＣ２１は、ビアＶ４０，Ｖ４１によって、誘電体層ＬＹ８に配置されたキャパシタ電極ＰＣ２４と接続されている。キャパシタ電極ＰＣ２１，ＰＣ２４は、積層方向から平面視した場合に、誘電体層ＬＹ７に配置されたキャパシタ電極ＰＣ２２，ＰＣ２３、および、誘電体層ＬＹ９に配置されたキャパシタ電極ＰＣ３，ＰＣ４と部分的に重なっている。

[0035] キャパシタ電極ＰＣ２１，ＰＣ２４と、キャパシタ電極ＰＣ２２，ＰＣ３とによって、図２におけるキャパシタＣ２１が構成される。また、キャパシタ電極ＰＣ２１，ＰＣ２４と、キャパシタ電極ＰＣ２３，ＰＣ４とによって、図２におけるキャパシタＣ２２が構成される。さらに、キャパシタ電極ＰＣ２０とキャパシタ電極ＰＣ２１とによって、図２におけるキャパシタＣ２３が構成される。

[0036] 実施の形態１のフィルタ装置１００の特徴について、比較例のフィルタ装置の構成を用いて説明する。図４は、比較例のフィルタ装置１００Ｘの等価回路図である。比較例のフィルタ装置１００Ｘにおいては、フィルタ装置１００における共振器ＲＣ１が共振器ＲＣ１Ｘに置き換わった構成となっている。共振器ＲＣ１Ｘは、インダクタＬ２１ＸおよびキャパシタＣ２１Ｘが並列接続された構成を有している。言い換えれば、実施の形態１のフィルタ装置１００における共振器ＲＣ１のキャパシタＣ２３が除かれた構成に対応する。

[0037] 図２および図３のような積層体内に各要素が配置されたフィルタ装置においては、一般的に各要素に対して少なからず浮遊容量が生じ得る。特に、インダクタについては、浮遊容量、および／または、製造ばらつきなどによる構造上の非対称性によって意図しない共振回路が形成されてしまい、当該共振回路の共振周波数によってスプリアスが生じ得る。浮遊容量は比較的小さ

い容量であるため、発生するスプリアスの周波数は、一般的にはローパスフィルタの通過帯域よりも高くなる。

[0038] 近年、スマートフォンおよび携帯電話に代表される携帯通信装置においては、たとえば、Ｗｉ－Ｆｉなどの６ＧＨｚ以下のマイクロ波用の周波数帯域の電波と、５Ｇ通信規格に対応する２８ＧＨｚおよび３９ＧＨｚなどのミリ波用の周波数帯域の電波とを用いる構成が採用されている。このような通信装置において、マイクロ波帯域の電波を処理する回路に用いられるローパスフィルタで、上記のようなスプリアスがミリ波帯域に生じると、ミリ波帯域の減衰特性が低下することによって当該周波数帯域にノイズが発生し、通信品質の低下につながるおそれがある。

[0039] インダクタに生じる浮遊容量は設計段階においては予測し難しく、浮遊容量自体の発生を抑制してスプリアスの発生を防止することも困難である。そこで、実施の形態１のフィルタ装置１００においては、浮遊容量よりも比較的大きな容量を有するキャパシタ（図２におけるキャパシタＣ２３）を予め共振器内に組み込んでおくことで、浮遊容量に起因して生じるスプリアスの周波数を低下させ、通信に用いられる対象電波の２つの周波数帯域の間の非通過帯域にスプリアスが発生するようにする。このような構成とすることによって、対象とする通過帯域において、意図しないスプリアスに起因する減衰特性の低下を抑制することができる。

[0040] 図５は、実施の形態１のフィルタ装置１００および比較例のフィルタ装置１００Ｘのフィルタ特性を説明するための図である。図５の左欄には実施の形態１のフィルタ装置１００の通過特性のシミュレーション結果が示されており、右欄には比較例のフィルタ装置１００Ｘの通過特性のシミュレーション結果が示されている。

[0041] 各通過特性のグラフにおいて、横軸には周波数が示されており、縦軸には反射損失（ＬＮ１４～ＬＮ１７，ＬＮ１９）および挿入損失（線ＬＮ１０～ＬＮ１３，ＬＮ１８）が示されている。なお、フィルタ装置１００の通過特性においては、キャパシタＣ２３のキャパシタンス値を変化させた場合のグ

ラフもあわせて記載している。なお、本実施の形態１フィルタ装置１００が対象とする信号の周波数帯域ＢＷ１は、たとえば０～６ＧＨｚのマイクロ波帯の範囲であり、通信装置内での他の信号の周波数帯域ＢＷ２は２７．５ＧＨｚ～４０ＧＨｚのミリ波帯の範囲である。

[0042] 図５を参照して、比較例のフィルタ装置１００Ｘにおいては、右図の線ＬＮ１８に示されるように、マイクロ波の周波数帯域ＢＷ１においては、良好な挿入損失が得られている。しかしながら、ミリ波の周波数帯域ＢＷ２における３３ＧＨｚ付近おいてスプリアスが生じており、このスプリアスの部分で減衰量が減少し減衰特性が低下している。

[0043] それに対して、実施の形態１のフィルタ装置１００においては、スプリアスは生じてはいるものの、スプリアスの発生周波数は、２つの信号の周波数帯域ＢＷ１，ＢＷ２の間の周波数（１７ＧＨｚ～２４ＧＨｚ）となっている。これにより、ミリ波の周波数帯域ＢＷ２における減衰量が確保され、所望の減衰特性が得られている。

[0044] 図５の左図に示されるように、図１のキャパシタＣ２３の容量を大きくするにつれて、発生するスプリアスの周波数が低下して、フィルタ装置１００の減衰極に近づく。キャパシタＣ２３の容量は、２つの周波数帯域ＢＷ１，ＢＷ２に対する影響を考慮して適宜選択される。

[0045] なお、発生するスプリアスの大きさは、共振器ＲＣ１の構造上の非対称性によって変化する。具体的には、図１において、インダクタＬ２１およびキャパシタＣ２１で共振器を構成した場合の共振周波数と、インダクタＬ２２およびキャパシタＣ２２で共振器を構成した場合の共振周波数とが異なると、スプリアスによる影響が大きくなる。

[0046] ここで、図６および図７を用いて、スプリアスが発生する理由についてより詳細に説明する。図６の左図（Ａ）には比較例における共振器ＲＣ１Ｘの部分が示されており、右図（Ｂ）には実施の形態１のフィルタ装置１００における共振器ＲＣ１の部分が示されている。図７は、共振器ＲＣ１における挿入損失（実線ＬＮ７１，ＬＮ７５）および反射損失（波線ＬＮ７２，ＬＮ

７６）が示されている。

[0047] 共振器ＲＣ１ＸにおけるインダクタＬ２１Ｘのインダクタンス値をＬ０とし、キャパシタＣ２１Ｘのキャパシタンス値をＣ０とする。また、共振器ＲＣ１におけるインダクタＬ２１，Ｌ２２のインダクタンス値をそれぞれＬ０１，Ｌ０２とし、キャパシタＣ２１～Ｃ２３のキャパシタンス値をそれぞれＣ０１，Ｃ０２，Ｃａとする。なお、インダクタＬ２１Ｘのインダクタンス値Ｌ０は、インダクタＬ２１，Ｌ２２のインダクタンス値Ｌ０１，Ｌ０２の和に等しい（Ｌ０＝Ｌ０１＋Ｌ０２）。また、キャパシタＣ２１Ｘのキャパシタンス値Ｃ０の逆数は、キャパシタＣ２１，Ｃ２２のキャパシタンス値Ｃ０１，Ｃ０２の逆数の和に等しい（１／Ｃ０＝１／Ｃ０１＋１／Ｃ０２）。

[0048] このとき、共振器ＲＣ１Ｘの共振周波数Ｆ０は、以下の式（１）によって表わすことができる。

[0049] $$F0=1/\{2\pi(L0\cdot C0)^{1/2}\} \quad \cdots \quad (1)$$

上記のように、Ｌ０＝Ｌ０１＋Ｌ０２および１／Ｃ０＝１／Ｃ０１＋１／Ｃ０２であるため、共振器ＲＣ１全体としての共振周波数もＦ０となる。

[0050] また、共振器ＲＣ１におけるインダクタＬ２１およびキャパシタＣ２１で構成される共振器の共振周波数をＦ１とし、インダクタＬ２２およびキャパシタＣ２２で構成される共振器の共振周波数をＦ２とすると、これらの共振周波数は以下の式（２）および式（３）によってそれぞれ表わすことができる。

[0051] $$F1=1/\{2\pi(L01\cdot C01)^{1/2}\} \quad \cdots \quad (2)$$

$$F2=1/\{2\pi(L02\cdot C02)^{1/2}\} \quad \cdots \quad (3)$$

共振器ＲＣ１の構成において、上記の共振周波数Ｆ１，Ｆ２が等しい場合（Ｆ１＝Ｆ２）、図７の左図に示されるように、全体の共振周波数Ｆ０よりも高周波数側にスプリアスは発生しない。共振器の実際の構造においては、機器のサイズの制限、あるいは各要素を形成する電極の配置および加工の誤差により、キャパシタＣ２３として代表的に表わされる浮遊容量Ｃａが生じ得る。この浮遊容量の影響で、素子パラメータがアンバランスになって共振

周波数Ｆ１，Ｆ２が互いに異なる状態（Ｆ１≠Ｆ２）になると、図７の右図のように、共振周波数Ｆ０よりも高周波数側にスプリアスが生じ得る。

[0052] このとき、浮遊容量Ｃａの大きさが変動すると、スプリアスの周波数ｆｓが変化する。具体的には、浮遊容量Ｃａが大きくなるにつれて、スプリアスの周波数ｆｓがｆｓ３，ｆｓ２、ｆｓ１としだいに低くなり、共振周波数Ｆ０に近づく。なお、浮遊容量Ｃａが変化しても、全体としての共振周波数Ｆ０はほとんど変化はない。

[0053] 一般的に、意図せずに発生する浮遊容量は小さいため、スプリアスは比較的高周波数側に発生することになる。実施の形態１のフィルタ装置１００においては、上記の浮遊容量Ｃａの部分に、浮遊容量よりも大きなキャパシタンス値を有するキャパシタＣ２３を予め接続しているため、意図せずに生じる浮遊容量よりも、当該キャパシタＣ２３によるスプリアスの周波数に対する影響が支配的になる。言い換えれば、キャパシタＣ２３のキャパシタンス値Ｃａを調整することによって、スプリアスを意図的に生じさせつつ、スプリアスの周波数を調整することができる。

[0054] 図８は、フィルタ装置１００において、共振器ＲＣ１のインダクタＬ２１，Ｌ２２の線路長を調整することによって、図６で説明した共振周波数Ｆ１，Ｆ２を調整した場合のフィルタ特性を説明するための図である。図８において、実線ＬＮ２０，ＬＮ２５が線路長の調整によって共振周波数Ｆ１，Ｆ２を同程度に調整した後のフィルタ特性を示しており、破線ＬＮ２１，ＬＮ２６が線路長を調整する前のフィルタ特性を示している。図８に示されるように、線路長の調整により共振周波数Ｆ１，Ｆ２を同程度に調整することによって、１６ＧＨｚ付近に生じているスプリアスのレベルが低減されている。

[0055] このように、フィルタ装置を構成するＬＣ並列共振器において、共振器のインダクタの中間部分とキャパシタの中間部分との間にキャパシタを配置することによって、スプリアスが発生する周波数を意図的に調整することができる。さらに、当該共振器において、スプリアス調整用のキャパシタに接続

される２つのインダクタの長さを調整して、当該キャパシタよりも入力側および出力側で形成される共振器の共振周波数Ｆ１，Ｆ２を同程度に調整することによって、スプリアスのレベルを低減することができる。

[0056] なお、実施の形態１においては、共振器ＲＣ１についてスプリアス調整用のキャパシタを配置する例について説明したが、共振器ＲＣ０によって生じるスプリアスが対象信号の通過帯域と重なる場合には、共振器ＲＣ０に対してスプリアス調整用のキャパシタを配置してもよい。

[0057] 実施の形態１における「共振器ＲＣ１」は、本開示における「第１共振器」に対応する。実施の形態１における「インダクタＬ２１」、「インダクタＬ２２」、「インダクタＬ１１」および「インダクタＬ３１」は、本開示における「第１インダクタ」～「第４インダクタ」にそれぞれ対応する。実施の形態１における「キャパシタＣ２１」、「キャパシタＣ２２」、「キャパシタＣ２３」は、本開示における「第１キャパシタ」～「第３キャパシタ」にそれぞれ対応する。実施の形態１における「キャパシタＣ１」および「キャパシタＣ２」は、本開示における「第５キャパシタ」および「第６キャパシタ」に対応する。実施の形態１における「キャパシタＣ１１」は、本開示における「第７キャパシタ」に対応する。実施の形態１における「周波数帯域ＢＷ１」および「周波数帯域ＢＷ２」は、本開示における「第１周波数帯域」および「第２周波数帯域」にそれぞれ対応する。

[0058] 実施の形態１における「キャパシタ電極ＰＣ２２」、「キャパシタ電極ＰＣ２３」、「キャパシタ電極ＰＣ２０」および「キャパシタ電極ＰＣ２１」は、本開示における「第１キャパシタ電極」～「第４キャパシタ電極」にそれぞれ対応する。

[0059] （変形例１）

実施の形態１においては、ＬＣ並列共振器のインダクタの中間部分とキャパシタの中間部分との間にスプリアス調整用のキャパシタを配置する構成について説明した。変形例においては、ＬＣ並列共振器のインダクタの中間部分とキャパシタの中間部分との間に、ＬＣ直列共振器を配置して、スプリア

スの周波数を調整する構成について説明する。

[0060] 図９は、変形例１のフィルタ装置１００Ａの等価回路図である。フィルタ装置１００Ａにおいては、図１で示したフィルタ装置１００の構成のキャパシタＣ２３の部分に、インダクタＬ２３が追加された構成となっている。より具体的には、インダクタＬ２１とインダクタＬ２２との間の接続ノードＮ１１と、キャパシタＣ２３との間にインダクタＬ２３が配置されている。図９におけるその他の構成は図１と同様であり、図１と重複する要素の説明は繰り返さない。

[0061] このように、スプリアスの周波数調整回路として、ＬＣ直列共振器を用いた場合でも、当該ＬＣ直列共振器の共振周波数を調整することによって、発生するスプリアスの周波数を調整することができる。特に、キャパシタだけでなくＬＣ直列共振器とすることによって、周波数調整回路に必要なキャパシタの容量を小さくすることができるので、機器サイズの低減を図ることができる。

[0062] なお、インダクタＬ２３およびキャパシタＣ２３の配置は逆であってもよい。すなわち、キャパシタＣ２３が接続ノードＮ１１に接続され、インダクタＬ２３が、キャパシタＣ２３と接続ノードＮ１２との間に接続されてもよい。

[0063] （変形例２）

実施の形態１および変形例１においては、フィルタ装置が５次のローパスフィルタである場合について説明したが、本開示の特徴については、３次のローパスフィルタにも適用可能である。

[0064] 図１０は、変形例２のフィルタ装置１００Ｂの等価回路図である。フィルタ装置１００Ｂは、図１で示したフィルタ装置１００における共振器ＲＣ０およびインダクタＬ３１が除かれた構成となっている。すなわち、フィルタ装置１００Ｂは、共振器ＲＣ１と、シャントキャパシタであるキャパシタＣ１，Ｃ２とからなる３次ローパスフィルタである。

[0065] このような構成においても、ＬＣ並列共振器を構成するインダクタの浮遊

容量によってスプリアスが生じる可能性がある。そのため、並列共振器を構成するインダクタの中央部分とキャパシタの中央部分とを接続するキャパシタを設け、当該キャパシタの容量を浮遊容量よりも大きくして、スプリアスの周波数を意図的に低下させ、当該スプリアスが高周波数側の信号の通過帯域と重ならないようにすることによって、ローパスフィルタの非通過帯域の減衰特性の低下を抑制することができる。

[0066] ［実施の形態２］

実施の形態２においては、実施の形態１の構成に加えて、スプリアスのレベルを低減する回路を追加した構成について説明する。

[0067] 図１１は、実施の形態２に係るフィルタ装置１００Ｃの等価回路図である。図１１を参照して、フィルタ装置１００Ｃにおいては、実施の形態１のフィルタ装置１００の共振器ＲＣ１におけるスプリアスの周波数調整用のキャパシタＣ２３と接地端子ＧＮＤとの間にキャパシタＣ２５が追加されている。図１１のフィルタ装置１００Ｃにおいて、図１のフィルタ装置１００と重複する要素の説明は繰り返さない。

[0068] より具体的には、インダクタＬ２１とインダクタＬ２２との接続ノードＮ１１と接地端子ＧＮＤとの間に、キャパシタＣ２５が配置されている。

[0069] このように、キャパシタＣ２５によって、接地電位に対するスプリアス調整用のキャパシタＣ２３の電位を特定することができる。さらに、キャパシタＣ２３によってスプリアスの周波数を調整した後に、キャパシタＣ２５の大きさを調整することによって、スプリアスの反共振周波数と共振周波数とを近づけることができるので、反共振点と共振点との打ち消し合いによって、スプリアスのレベルを低減することができる。

[0070] 図１２は、実施の形態２のフィルタ装置１００Ｃの積層構造の一例を示す分解斜視図である。図１２においては、図３で示したフィルタ装置１００の分解斜視図におけるビアＶ２０，Ｖ２１がそれぞれビアＶ２０Ｃ，Ｖ２１Ｃに置き換わっている。さらに、当該ビアＶ２０Ｃ，Ｖ２１Ｃの端部に、キャパシタ電極ＰＣ２５，ＰＣ２６がそれぞれ接続されている。

[0071] より詳細には、ビアＶ２０Ｃは、誘電体層ＬＹ２の平板電極ＰＬ２０および誘電体層ＬＹ５のキャパシタ電極ＰＣ２０に加えて、誘電体層ＬＹ１０に配置されたキャパシタ電極ＰＣ２５にも接続されている。同様に、ビアＶ２１Ｃは、誘電体層ＬＹ２の平板電極ＰＬ３０および誘電体層ＬＹ５のキャパシタ電極ＰＣ２０に加えて、誘電体層ＬＹ１０に配置されたキャパシタ電極ＰＣ２６にも接続されている。

[0072] キャパシタ電極ＰＣ２５，ＰＣ２６の各々は、Ｘ軸方向に延伸する帯状の電極であり、そのの少なくとも一部は、積層方向から平面視した場合に、誘電体層ＬＹ１２の接地電極ＰＧ１と重なっている。すなわち、キャパシタ電極ＰＣ２５，ＰＣ２６と接地電極ＰＧ１とによって、図１１におけるキャパシタＣ２５が構成される。

[0073] 次に、図１３，１４を用いて、キャパシタＣ２５の大きさによるスプリアスのレベルの変化について説明する。図１３は、図１１で示したフィルタ装置１００Ｃにおける、共振器ＲＣ１およびキャパシタＣ１，Ｃ２の部分を示したものである。言い換えれば、図１３は、フィルタ装置１００Ｃから共振器ＲＣ０およびインダクタＬ３１が除かれたローパスフィルタである。

[0074] 図１４は、図１３のフィルタにおいて、キャパシタＣ２５のキャパシタンス値Ｃｂを変化させたときの挿入損失（実線ＬＮ８１，ＬＮ８３，ＬＮ８５）および反射損失（破線ＬＮ８２，ＬＮ８４，ＬＮ８６）のシミュレーション結果である。図１４の中央図は、キャパシタＣ２５のキャパシタンス値Ｃｂが、特定のキャパシタンス値Ｃｏｐｔの近傍である場合（Ｃｂ≒Ｃｏｐｔ）を示している。また、左図はキャパシタンス値Ｃｂがキャパシタンス値Ｃｏｐｔよりも大きい場合（Ｃｂ＞Ｃｏｐｔ）を示しており、右図はキャパシタンス値Ｃｂがキャパシタンス値Ｃｏｐｔよりも小さい場合（Ｃｂ＜Ｃｏｐｔ）を示している。

[0075] 図１４に示されるように、キャパシタＣ２５のキャパシタンス値Ｃｂがキャパシタンス値Ｃｏｐｔと同程度である場合には、スプリアスのレベルが小さくなっている。キャパシタンス値Ｃｂがキャパシタンス値Ｃｏｐｔよりも

大きい場合（左図）は、スプリアスが生じる周波数ｆｓよりも低周波数側に共振点が生じ、周波数ｆｓよりも高周波数側に反共振点が生じる。一方、キャパシタンス値Ｃｂがキャパシタンス値Ｃｏｐｔよりも小さい場合（右図）は、スプリアスが生じる周波数ｆｓよりも低周波数側に反共振点が生じ、周波数ｆｓよりも高周波数側に共振点が生じる。すなわち、キャパシタンス値Ｃｏｐｔは、スプリアスを生じさせる共振点と反共振点とが一致する場合のキャパシタンス値である。これにより、減衰を阻害する反共振点における振幅が共振点における振幅により相殺されて、スプリアスのレベルが低減する。

[0076] なお、図１４に示されるように、キャパシタンス値Ｃｂを変化させても、フィルタ全体の共振周波数Ｆ０およびスプリアスの周波数ｆｓはほとんど変化していない。すなわち、キャパシタＣ２５のキャパシタンス値Ｃｂを変化させることによって、フィルタ装置の共振周波数Ｆ０およびスプリアスの周波数ｆｓへの影響を抑制しつつ、スプリアスのレベルを調整することができる。

[0077] 図１５は、実施の形態２のフィルタ装置１００Ｃのフィルタ特性を説明するための図である。図１５において、実線ＬＮ３０は挿入損失を示しており、破線ＬＮ３５は反射損失を示している。実施の形態１における図５および図８と比較すると、１５ＧＨｚ付近に発生しているスプリアスのレベルが大幅に低減されていることがわかる。

[0078] なお、上述のように、キャパシタＣ２５のキャパシタンス値については、フィルタ装置の構成に対して最適値Ｃｏｐｔが存在し、キャパシタンス値が当該最適値よりも大きくても小さくてもスプリアスのレベルは大きくなる。最適値よりもキャパシタンス値が大きい場合には、低周波数側から高周波数側に向かってスプリアスの共振点、反共振点の順に現れる。逆に、最適値よりもキャパシタンス値が小さい場合には、低周波数側から高周波数側に向かってスプリアスの反共振点、共振点の順に現れる。そして、発生するスプリアスの共振点と反共振点とが近づくようにキャパシタＣ２５のキャパシタン

ス値を設定することによって、反共振点と共振点との打ち消し合いによりスプリアスのレベルを低減することができる。

[0079] 以上のように、スプリアスの周波数調整用のキャパシタと接地端子との間にキャパシタを追加し、そのキャパシタンス値を調整することによって、発生するスプリアスのレベルを低減することができる。

[0080] 実施の形態２における「キャパシタＣ２５」は、本開示における「第４キャパシタ」の一例に対応する。実施の形態２における「キャパシタ電極ＰＣ２５」および「キャパシタ電極ＰＣ２６」は、本開示における「第５キャパシタ電極」および「第６キャパシタ電極」にそれぞれ対応する。

[0081] （変形例３）

実施の形態２においては、スプリアスの周波数調整用のキャパシタＣ２３における、インダクタＬ２１，Ｌ２２側の電極と接地端子ＧＮＤとの間にキャパシタと追加する構成について説明した。変形例３においては、キャパシタＣ２３における、キャパシタＣ２１，Ｃ２２側の電極と接地端子ＧＮＤとの間にキャパシタと追加する構成について説明する。

[0082] 図１６は、変形例３のフィルタ装置１００Ｄの等価回路図である。図１６を参照して、フィルタ装置１００Ｄにおいては、フィルタ装置１００の共振器ＲＣ１におけるキャパシタＣ２３と接地端子ＧＮＤとの間にキャパシタＣ２６が追加されている。より具体的には、キャパシタＣ２１とキャパシタＣ２２との接続ノードＮ１２と接地端子ＧＮＤとの間に、キャパシタＣ２６が配置されている。

[0083] このような構成においても、接地電位に対するスプリアス調整用のキャパシタＣ２３の電位を特定することができる。さらに、キャパシタＣ２３によってスプリアスの周波数を調整した後に、キャパシタＣ２６の大きさを調整することによって、スプリアスの反共振周波数と共振周波数を近づけることができるので、反共振点と共振点との打ち消し合いによって、スプリアスのレベルを低減することができる。

[0084] 変形例３の「キャパシタＣ２６」は、本開示における「第４キャパシタ」

の一例に対応する。

[0085] （変形例４）

変形例４では、実施の形態２の構成におけるスプリアスのレベル調整用のシャントキャパシタの部分に、ＬＣ直列共振器を配置する構成について説明する。

[0086] 図１７は、変形例４のフィルタ装置１００Ｅの等価回路図である。フィルタ装置１００Ｅにおいては、図１１で説明した実施の形態２のフィルタ装置１００Ｃに、インダクタＬ２５が追加された構成となっている。より具体的には、インダクタＬ２５は、キャパシタＣ２５と接地端子ＧＮＤとの間に配置されている。キャパシタＣ２５およびインダクタＬ２５によって、ＬＣ直列共振器が構成される。

[0087] このように、スプリアスの周波数調整用キャパシタと接地端子ＧＮＤとの間にＬＣ直列共振器を配置することによって、スプリアスの反共振周波数と共振周波数を近づけることができるので、反共振点と共振点との打ち消し合いによって、スプリアスのレベルを低減することができる。

[0088] なお、ＬＣ直列共振器におけるインダクタＬ２５とキャパシタＣ２５の接続を逆にしてもよい。

[0089] （変形例５）

変形例５では、変形例３の構成においてスプリアスのレベル調整用のシャントキャパシタの部分に、ＬＣ直列共振器を配置する構成について説明する。

[0090] 図１８は、変形例５のフィルタ装置１００Ｆの等価回路図である。フィルタ装置１００Ｆにおいては、図１６で説明した変形例３のフィルタ装置１００Ｄに、インダクタＬ２６が追加された構成となっている。より具体的には、インダクタＬ２６は、キャパシタＣ２６と接地端子ＧＮＤとの間に配置されている。キャパシタＣ２６およびインダクタＬ２６によって、ＬＣ直列共振器が構成される。

[0091] このように、スプリアスの周波数調整用キャパシタと接地端子ＧＮＤとの

間にＬＣ直列共振器を配置することによって、スプリアスの反共振周波数と共振周波数を近づけることができる。これにより、反共振点と共振点とが打ち消し合い、スプリアスのレベルを低減することができる。

[0092] なお、ＬＣ直列共振器におけるインダクタＬ２６とキャパシタＣ２６の接続を逆にしてもよい。

[0093] ［実施の形態３］

実施の形態３においては、７次のローパスフィルタに本開示の特徴を適用した構成について説明する。

[0094] 図１９は、実施の形態３に係るフィルタ装置１００Ｇの等価回路図である。フィルタ装置１００Ｇは、図１１で示した実施の形態２のフィルタ装置１００Ｃに、共振器ＲＣ１と同様の構成を有する共振器ＲＣ２と、スプリアスのレベル調整用のキャパシタＣ４５と、シャントキャパシタＣ３とが追加された構成となっている。

[0095] 図１９を参照して、フィルタ装置１００Ｇにおいては、共振器ＲＣ１の端子Ｎ２とインダクタＬ３１との間に共振器ＲＣ２が接続されている。共振器ＲＣ２は、インダクタＬ４１，Ｌ４２と、キャパシタＣ４１～Ｃ４３とを含む。

[0096] 共振器ＲＣ２において、共振器ＲＣ１の端子Ｎ２に接続される端子Ｎ３（第３端子）と、インダクタＬ３１に接続される端子Ｎ４（第４端子）との間に、直列接続されたインダクタＬ４１，Ｌ４２が接続される。キャパシタＣ４１の一方端は端子Ｎ３に接続され、他方端はキャパシタＣ４２の一方端と接続されている。キャパシタＣ４２の他方端は、端子Ｎ４に接続されている。すなわち、直列接続されたキャパシタＣ４１，Ｃ４２が、直列接続されたインダクタＬ４１，Ｌ４２に対して並列に接続されている。そして、インダクタＬ４１とインダクタＬ４２との間の接続ノードＮ３１と、キャパシタＣ４１とキャパシタＣ４２との間の接続ノードＮ３２との間に、スプリアスの周波数調整用のキャパシタＣ４３が接続されている。

[0097] また、インダクタＬ４１とインダクタＬ４２との間の接続ノードＮ３１と

、接地端子ＧＮＤとの間に、スプリアスのレベル調整用のキャパシタＣ４５が接続されている。さらに、端子Ｎ４と接地端子ＧＮＤとの間に、キャパシタＣ３が接続されている。

[0098] このような構成によって、フィルタ装置１００Ｇは、７次のローパスフィルタを構成する。そして、キャパシタＣ４３，Ｃ４５によって、共振器ＲＣ２のインダクタによって生じるスプリアスの周波数およびレベルを低下させることができ、ローパスフィルタの減衰特性を改善することができる。

[0099] 図２０は、実施の形態３のフィルタ装置１００Ｇのフィルタ特性を説明するための図である。図２０においても、横軸には周波数が示され、縦軸には挿入損失（実線ＬＮ４０）および反射損失（破線ＬＮ４５）が示されている。図２０の線ＬＮ４０に示されるように、スプリアスが、マイクロ波の周波数帯域ＢＷ１とミリ波の周波数帯域ＢＷ２との間の１３ＧＨｚ付近に発生している。さらに、１３ＧＨｚ以上の非通過帯域における減衰特性が、３０ｄＢ以上の減衰量でほぼフラットな特性となっている。

[0100] 以上のように、７次のローパスフィルタにおいても、ＬＣ並列共振器のインダクタの中間部分とキャパシタの中間部分との間に周波数調整用のキャパシタを配置するとともに、当該周波数調整用のキャパシタにシャントキャパシタを配置することによって、スプリアスが発生する周波数およびレベルを調整することができ、それによってローパスフィルタの減衰特性の低下を抑制することができる。

[0101] なお、フィルタ装置１００Ｇにおいても、キャパシタＣ４３，Ｃ４５の部分を図９のようにＬＣ直列共振器としてもよい。また、図１６あるいは図１８のように、キャパシタＣ４１とキャパシタＣ４２との間の接続ノードＮ３２と接地端子ＧＮＤとの間に、キャパシタあるいはＬＣ直列共振器を配置してもよい。

[0102] 実施の形態３における「共振器ＲＣ２」は、本開示における「第２共振器」に対応する。実施の形態３における「キャパシタＣ３」、「キャパシタＣ４１」、「キャパシタＣ４２」および「キャパシタＣ４３」は、本開示にお

ける「第８キャパシタ～第１１キャパシタ」にそれぞれ対応する。実施の形態３における「インダクタＬ４１」および「インダクタＬ４２」は、本開示における「第５インダクタ」および「第６インダクタ」にそれぞれ対応する。

[0103] ［実施の形態４］

上述の実施の形態および変形例においては、フィルタ装置がローパスフィルタである例について説明した。実施の形態４においては、ＬＣ並列共振器を用いた３次以上のバンドパスフィルタに、本開示の特徴を適用した構成について説明する。

[0104] 図２１は、実施の形態４に係るフィルタ装置１００Ｈの等価回路図である。フィルタ装置１００Ｈにおいては、図１０に示した３次ローパスフィルタのフィルタ装置１００Ｂにおけるキャパシタ Ｃ１，Ｃ２が、共振器ＲＣ３，ＲＣ４にそれぞれ置き換えられた構成となっている。

[0105] 共振器ＲＣ３は、共振器ＲＣ１の端子Ｎ１と接地端子ＧＮＤとの間に並列接続されたインダクタＬ５１およびキャパシタＣ５１を含む。また、共振器ＲＣ４は、共振器ＲＣ１の端子Ｎ２と接地端子ＧＮＤとの間に並列接続されたインダクタＬ５２およびキャパシタＣ５２を含む。すなわち、共振器ＲＣ３，ＲＣ４はＬＣ並列共振器を構成しており、フィルタ装置１００Ｈは、３次のバンドパスフィルタとして機能する。

[0106] 図２２は、実施の形態４のフィルタ装置１００Ｈのフィルタ特性を説明するための図である。図２２においては、フィルタ装置１００Ｈにおける挿入損失（実線ＬＮ５０）および反射損失（実線ＬＮ５５）に加えて、図２１においてキャパシタＣ２３のない構成の比較例における挿入損失（破線ＬＮ５１）および反射損失（破線ＬＮ５６）が示されている。

[0107] 図２２に示されるように、比較例の構成においてはミリ波の周波数帯域ＢＷ２における３１ＧＨｚ付近に発生していたスプリアスが、フィルタ装置１００Ｈにおいては８ＧＨｚ付近に移動している。これにより、ミリ波の周波数帯域ＢＷ２への影響が低減されている。

[0108] 以上のように、バンドパスフィルタにおいても、共振器ＲＣ１のインダクタによって生じるスプリアスの周波数を、共振器ＲＣ１に含まれるキャパシタＣ２３によって、他の信号の通過帯域に影響を与えない周波数に調整することができる。したがって、バンドパスフィルタにおける減衰特性の低下を抑制することができる。

[0109] 実施の形態４における「共振器ＲＣ３」および「共振器ＲＣ４」は、本開示における「第３共振器」および「第４共振器」にそれぞれ対応する。実施の形態４における「インダクタＬ５１」および「インダクタＬ５２」は、本開示における「第７インダクタ」および「第８インダクタ」にそれぞれ対応する。実施の形態４における「キャパシタＣ５１」および「キャパシタＣ５２」は、本開示における「第１２キャパシタ」および「第１３キャパシタ」にそれぞれ対応する。

[0110] （変形例６）

変形例６は、実施の形態４のフィルタ装置１００Ｈに、スプリアスのレベル調整用のＬＣ直列共振器がさらに追加された構成について説明する。

[0111] 図２３は、変形例６のフィルタ装置１００Ｉの等価回路図である。フィルタ装置１００Ｉにおいては、図１７で示した変形例４と同様に、共振器ＲＣ１におけるインダクタＬ２１とインダクタＬ２２との間の接続ノードＮ１１と、接地端子ＧＮＤとの間に、インダクタＬ２５およびキャパシタＣ２５で構成されるＬＣ直列共振器が配置された構成となっている。このような構成によって、スプリアスが発生する周波数を調整するとともに、発生したプリアスのレベルを低減することができる。

[0112] 図２４は、変形例６のフィルタ装置１００Ｉのフィルタ特性を説明するための図である。図２４においては、フィルタ装置１００Ｉについての挿入損失（実線ＬＮ６０）および反射特性（破線ＬＮ６５）が示されている。

[0113] 図２４とともに図２２を参照して、フィルタ装置１００Ｉにおいては、８ＧＨｚ付近で発生していたスプリアスのレベルが、図２２の場合に比べて十数ｄＢ低下していることがわかる。

[0114] このように、バンドパスフィルタにおいても、スプリアスの周波数調整用のキャパシタにシャントキャパシタを接続することによって、フィルタ装に含まれるインダクタのよって生じるスプリアスの周波数およびレベルを調整することができる。

[0115] ［態様］

上述した複数の例示的な実施形態は、以下の態様の具体例であることが当業者により理解される。

[0116] （第１項）一態様に係るフィルタ装置は、入力端子および出力端子と、当該入力端子および出力端子に接続された第１共振器とを備える。第１共振器は、入力端子に接続された第１端子と、出力端子に接続された第２端子と、第１インダクタおよび第２インダクタと、第１キャパシタ～第３キャパシタとを含む。第１インダクタの一方端は、第１端子に接続される。第２インダクタの一方端は第２端子に接続され、他方端は第１インダクタの他方端に接続される。第１キャパシタの一方端は、第１端子に接続される。第２キャパシタの一方端は第２端子に接続され、他方端は第１キャパシタの他方端に接続される。第３キャパシタは、第１インダクタの他方端と第１キャパシタの他方端との間に接続される。

[0117] （第２項）第１項に記載のフィルタ装置は、第３キャパシタと接地端子との間に接続された第４キャパシタをさらに備える。

[0118] （第３項）第２項に記載のフィルタ装置において、第４キャパシタは、第１インダクタの他方端と接地端子との間に接続されている。

[0119] （第４項）第２項に記載のフィルタ装置において、第４キャパシタは、第１キャパシタの他方端と接地端子との間に接続されている。

[0120] （第５項）第１項～第４項のいずれか１項に記載のフィルタ装置は、接地端子と、第１端子と接地端子との間に接続された第５キャパシタと、第２端子と接地端子との間に接続された第６キャパシタとをさらに備える。

[0121] （第６項）第５項に記載のフィルタ装置において、フィルタ装置は、第１周波数帯域を通過帯域とし、第１周波数帯域よりも高い周波数帯域を非通過

帯域としている。第３キャパシタによって、非通過帯域に含まれる第２周波数帯域と、第１周波数帯域との間の周波数帯域にスプリアスが生じる。

[0122] （第７項）第５項に記載のフィルタ装置は、入力端子と第１端子との間に接続された第３インダクタと、第３インダクタに並列に接続された第７キャパシタと、出力端子と第２端子との間に接続された第４インダクタとをさらに備える。

[0123] （第８項）第７項に記載のフィルタ装置は、第２端子と第４インダクタとの間に接続された第２共振器と、第２共振器および第４インダクタの接続ノードと接地端子との間に接続された第８キャパシタとをさらに備える。第２共振器は、第２端子に接続された第３端子と、第４インダクタに接続された第４端子と、第５インダクタおよび第６インダクタと、第９キャパシタ～第１１キャパシタとを含む。第５インダクタの一方端は、第３端子に接続される。第６インダクタの一方端は第４インダクタに接続され、他方端は第５インダクタの他方端に接続される。第９キャパシタの一方端は、第３端子に接続される。第１０キャパシタの一方端は第４インダクタに接続され、他方端は第５キャパシタの他方端に接続される。第１１キャパシタは、第５インダクタの他方端と第９キャパシタの他方端との間に接続される。

[0124] （第９項）第１項～第４項のいずれか１項に記載のフィルタ装置は、接地端子と、第１端子と接地端子との間に接続された第３共振器と、第２端子と接地端子との間に接続された第４共振器とをさらに備える。第３共振器は、第１端子と接地端子との間に接続された第７インダクタと、第７インダクタに並列接続された第１２キャパシタとを含む。第４共振器は、第２端子と接地端子との間に接続された第８インダクタと、第８インダクタに並列接続された第１３キャパシタとを含む。

[0125] （第１０項）一態様に係るフィルタ装置は、複数の誘電体が積層された積層体と、入力端子と、出力端子と、接地端子と、第１経路および第２経路と、第１キャパシタ電極～第４キャパシタ電極とを備える。第１経路は、入力端子に接続される。第２経路は、出力端子に接続される。第１キャパシタ電

極は、第１経路に接続される。第２キャパシタ電極は、第２経路に接続される。第３キャパシタ電極は、第１経路および第２経路に接続される。積層体の積層方向から平面視した場合に、第１キャパシタ電極の少なくとも一部、第２キャパシタ電極の少なくとも一部、および、第３キャパシタ電極の少なくとも一部は、第４キャパシタ電極と重なっている。

[0126] （第１１項）第１０項に記載のフィルタ装置において、第１キャパシタ電極および第２キャパシタ電極は、同じ誘電体層に配置される。第４キャパシタ電極は、第１キャパシタ電極および第２キャパシタ電極が配置される誘電体層と、第３キャパシタ電極が配置される誘電体層との間の誘電体層に配置される。

[0127] （第１２項）第１０項または第１１項に記載のフィルタ装置は、接地端子に接続された接地電極と、第３キャパシタ電極に接続された第５キャパシタ電極および第６キャパシタ電極とをさらに備える。積層体の積層方向から平面視した場合に、第５キャパシタ電極の少なくとも一部、および、第６キャパシタ電極の少なくとも一部は、接地電極と重なっている。

[0128] 今回開示された実施の形態は、すべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は、上記した実施の形態の説明ではなくて請求の範囲によって示され、請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

符号の説明

[0129] １００，１００Ａ～１００Ｉ，１００Ｘ　フィルタ装置、１１０　積層体、１１１　上面、１１２　下面、Ｃ１～Ｃ３，Ｃ１１，Ｃ２１～Ｃ２３，Ｃ２１Ｘ，Ｃ２５，Ｃ２６，Ｃ４１～Ｃ４３，Ｃ４５，Ｃ５１，Ｃ５２，Ｃｂ　キャパシタ、ＤＭ　方向性マーク、ＧＮＤ　接地端子、Ｌ１１，Ｌ２１～Ｌ２３，Ｌ２５，Ｌ２６，Ｌ２１Ｘ，Ｌ３１，Ｌ４１，Ｌ４２，Ｌ５１，Ｌ５２　インダクタ、ＬＹ１～ＬＹ１４　誘電体層、Ｎ１～Ｎ４　端子、Ｎ１１，Ｎ１２，Ｎ３１，Ｎ３２　接続ノード、Ｐ１，Ｐ４，ＰＬ１０，ＰＬ１１，ＰＬ２０，ＰＬ３０～ＰＬ３２　平板電極、ＰＣ１～ＰＣ４，ＰＣ１０

～ＰＣ１２，ＰＣ２０～ＰＣ２６　キャパシタ電極、ＰＧ１　接地電極、ＲＣ０～ＲＣ４，ＲＣ１Ｘ　共振器、Ｔ１　入力端子、Ｔ２　出力端子、Ｖ１０～Ｖ１４，Ｖ２０～Ｖ２３，Ｖ２０Ｃ，Ｖ２１Ｃ，Ｖ３１，Ｖ３２，Ｖ４０，Ｖ４１，ＶＧ１　ビア。

請求の範囲

[請求項1] フィルタ装置であって、

入力端子、出力端子および接地端子と、

前記入力端子および前記出力端子に接続された第１共振器とを備え、

前記第１共振器は、

前記入力端子に接続された第１端子と、

前記出力端子に接続された第２端子と、

一方端が前記第１端子に接続された第１インダクタと、

一方端が前記第２端子に接続されるとともに、他方端が前記第１インダクタの他方端に接続された第２インダクタと、

一方端が前記第１端子に接続された第１キャパシタと、

一方端が前記第２端子に接続されるとともに、他方端が前記第１キャパシタの他方端に接続された第２キャパシタと、

前記第１インダクタの他方端と前記第１キャパシタの他方端との間に接続された第３キャパシタとを含む、フィルタ装置。

[請求項2] 前記第３キャパシタと前記接地端子との間に接続された第４キャパシタをさらに備える、請求項１に記載のフィルタ装置。

[請求項3] 前記第４キャパシタは、前記第１インダクタの他方端と前記接地端子との間に接続されている、請求項２に記載のフィルタ装置。

[請求項4] 前記第４キャパシタは、前記第１キャパシタの他方端と前記接地端子との間に接続されている、請求項２に記載のフィルタ装置。

[請求項5] 前記第１端子と前記接地端子との間に接続された第５キャパシタと、

前記第２端子と前記接地端子との間に接続された第６キャパシタとをさらに備える、請求項１～４のいずれか１項に記載のフィルタ装置。

[請求項6] 前記フィルタ装置は、第１周波数帯域を通過帯域とし、前記第１周

波数帯域よりも高い周波数帯域を非通過帯域とし、

前記第３キャパシタによって、前記非通過帯域に含まれる第２周波数帯域と、前記第１周波数帯域との間の周波数帯域にスプリアスが生じる、請求項５に記載のフィルタ装置。

[請求項7] 前記入力端子と前記第１端子との間に接続された第３インダクタと、

前記第３インダクタに並列に接続された第７キャパシタと、

前記出力端子と前記第２端子との間に接続された第４インダクタとをさらに備える、請求項５に記載のフィルタ装置。

[請求項8] 前記第２端子と前記第４インダクタとの間に接続された第２共振器と、

前記第２共振器および前記第４インダクタの接続ノードと前記接地端子との間に接続された第８キャパシタとをさらに備え、

前記第２共振器は、

前記第２端子に接続された第３端子と、

前記第４インダクタに接続された第４端子と、

一方端が前記第３端子に接続された第５インダクタと、

一方端が前記第４インダクタに接続されるとともに、他方端が前記第５インダクタの他方端に接続された第６インダクタと、

一方端が前記第３端子に接続された第９キャパシタと、

一方端が前記第４インダクタに接続されるとともに、他方端が前記第９キャパシタの他方端に接続された第１０キャパシタと、

前記第５インダクタの他方端と前記第９キャパシタの他方端との間に接続された第１１キャパシタとを含む、請求項７に記載のフィルタ装置。

[請求項9] 前記第１端子と前記接地端子との間に接続された第３共振器と、

前記第２端子と前記接地端子との間に接続された第４共振器とをさらに備え、

前記第３共振器は、

前記第１端子と前記接地端子との間に接続された第７インダクタと、

前記第７インダクタに並列接続された第１２キャパシタとを含み、

前記第４共振器は、

前記第２端子と前記接地端子との間に接続された第８インダクタと、

前記第８インダクタに並列接続された第１３キャパシタとを含む、請求項１～４のいずれか１項に記載のフィルタ装置。

[請求項10] 複数の誘電体が積層された積層体と、

前記積層体に配置された入力端子、出力端子および接地端子と、

前記入力端子に接続された第１経路と、

前記出力端子に接続された第２経路と、

前記第１経路に接続された第１キャパシタ電極と、

前記第２経路に接続された第２キャパシタ電極と、

前記第１経路および前記第２経路に接続された第３キャパシタ電極と、

第４キャパシタ電極とを備え、

前記積層体の積層方向から平面視した場合に、

前記第１キャパシタ電極の少なくとも一部、前記第２キャパシタ電極の少なくとも一部、および、前記第３キャパシタ電極の少なくとも一部は、前記第４キャパシタ電極と重なっている、フィルタ装置。

[請求項11] 前記第１キャパシタ電極および前記第２キャパシタ電極は、同じ誘電体層に配置されており、

前記第４キャパシタ電極は、前記第１キャパシタ電極および前記第２キャパシタ電極が配置される誘電体層と、前記第３キャパシタ電極が配置される誘電体層との間の誘電体層に配置される、請求項１０に

記載のフィルタ装置。

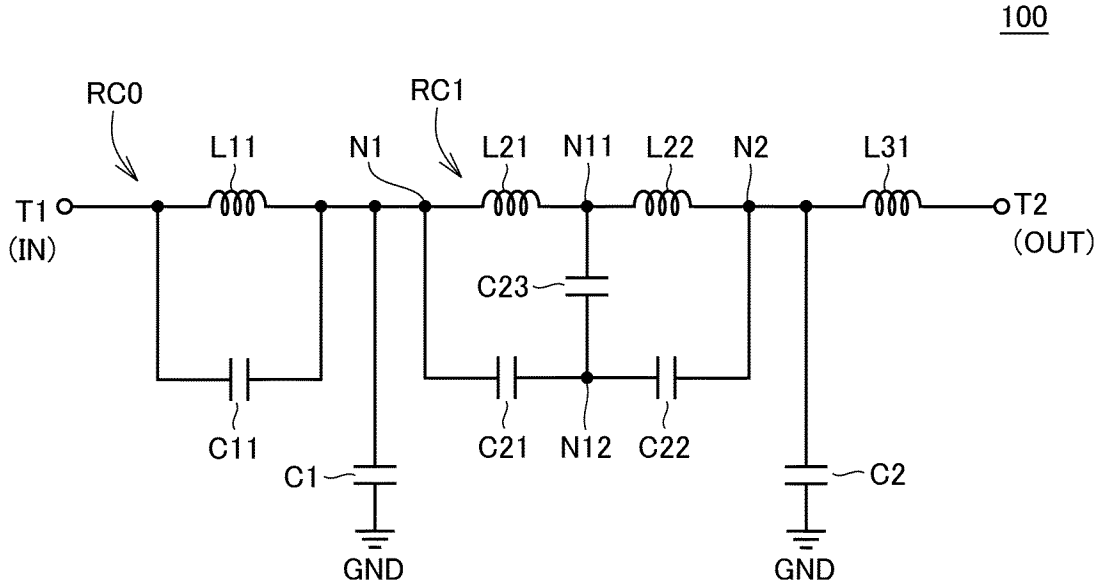
[請求項12] 前記接地端子に接続された接地電極と、

前記第３キャパシタ電極に接続された第５キャパシタ電極および第６キャパシタ電極とをさらに備え、

前記積層体の積層方向から平面視した場合に、前記第５キャパシタ電極の少なくとも一部、および、前記第６キャパシタ電極の少なくとも一部は、前記接地電極と重なっている、請求項１０または１１に記載のフィルタ装置。

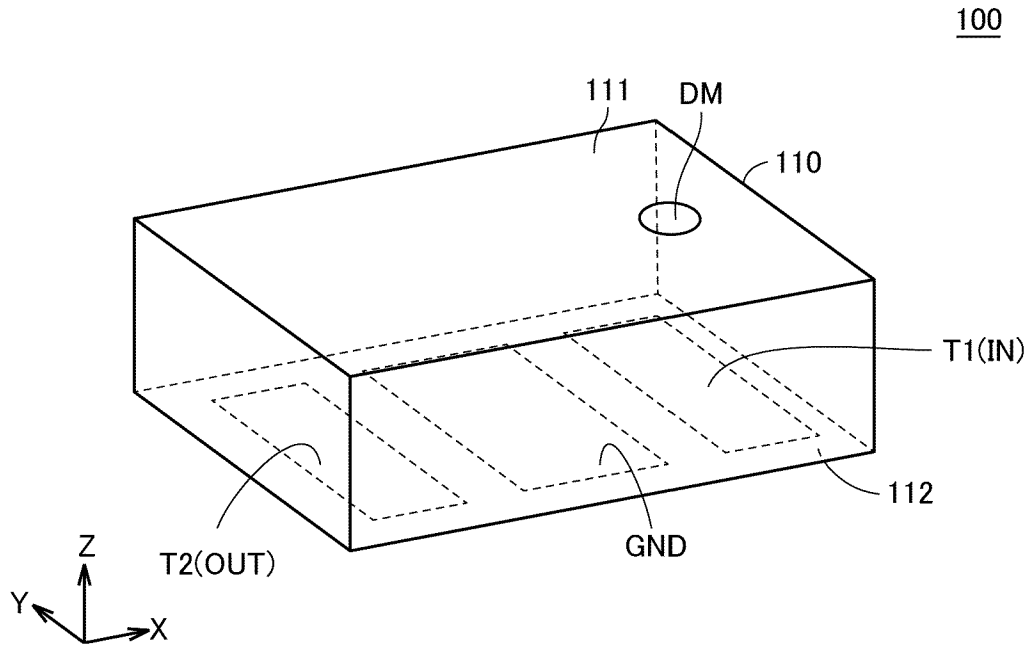
[図1]

FIG.1



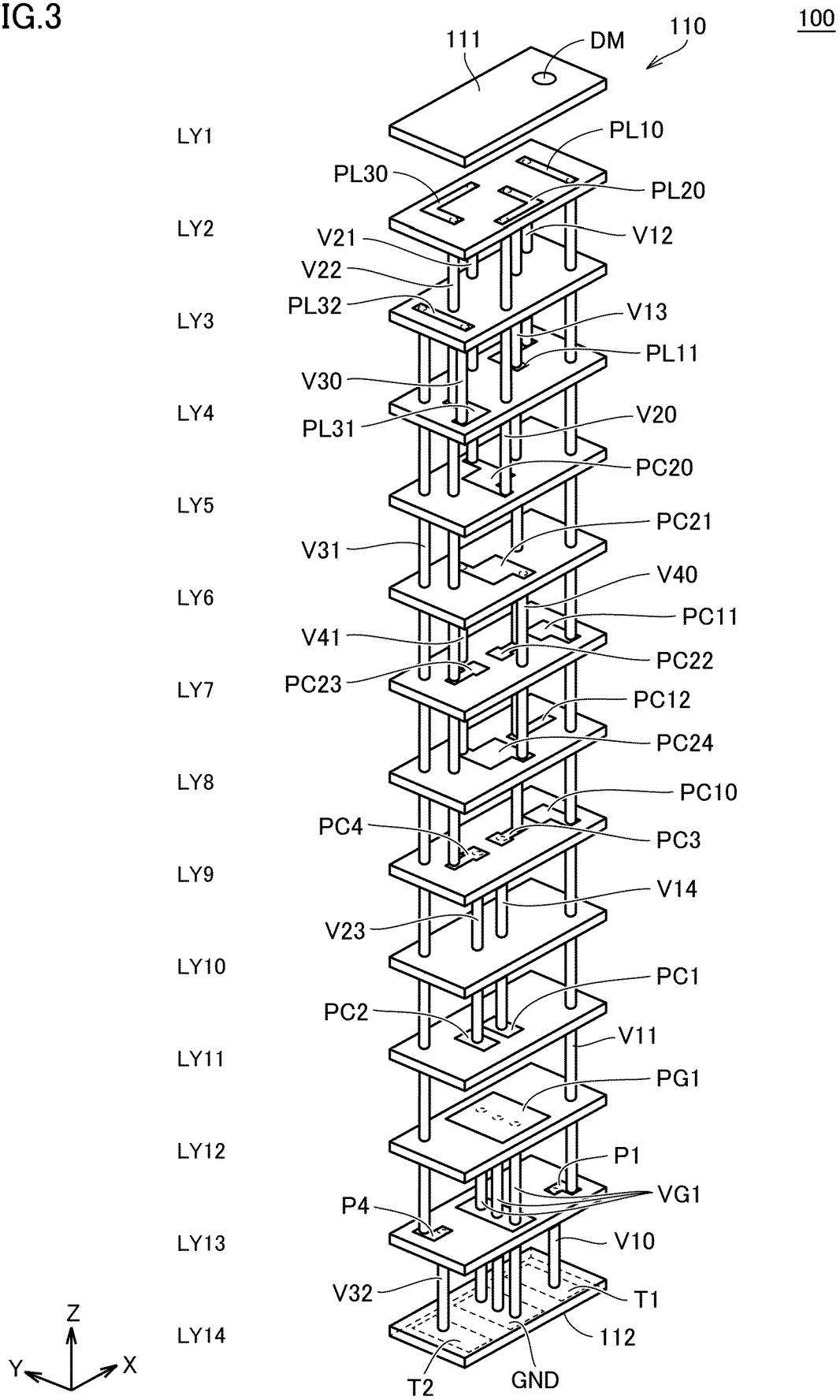
[図2]

FIG.2



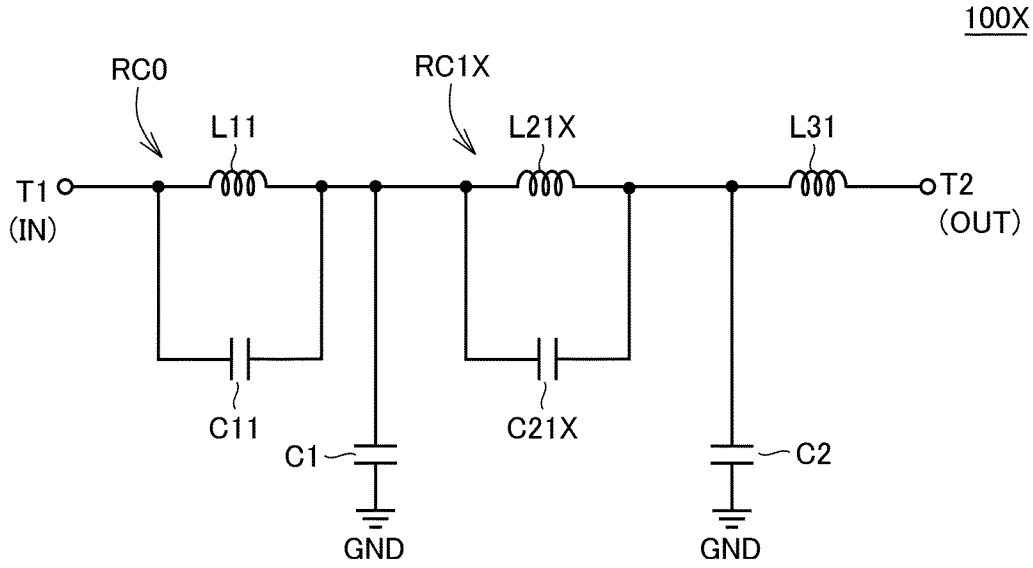
[図3]

FIG.3


100
110
111
DM
LY1
PL10
PL30
PL20
LY2
V21
V12
V22
PL32
LY3
V13
PL11
V30
LY4
PL31
V20
PC20
LY5
PC21
V31
V40
LY6
PC11
V41
PC22
PC23
LY7
PC12
PC24
LY8
PC10
PC4
PC3
LY9
V14
V23
LY10
PC1
PC2
V11
LY11
PG1
LY12
P1
VG1
P4
LY13
V10
V32
T1
LY14
112
T2
GND
Z
Y
X

[図4]

FIG.4



[図5]

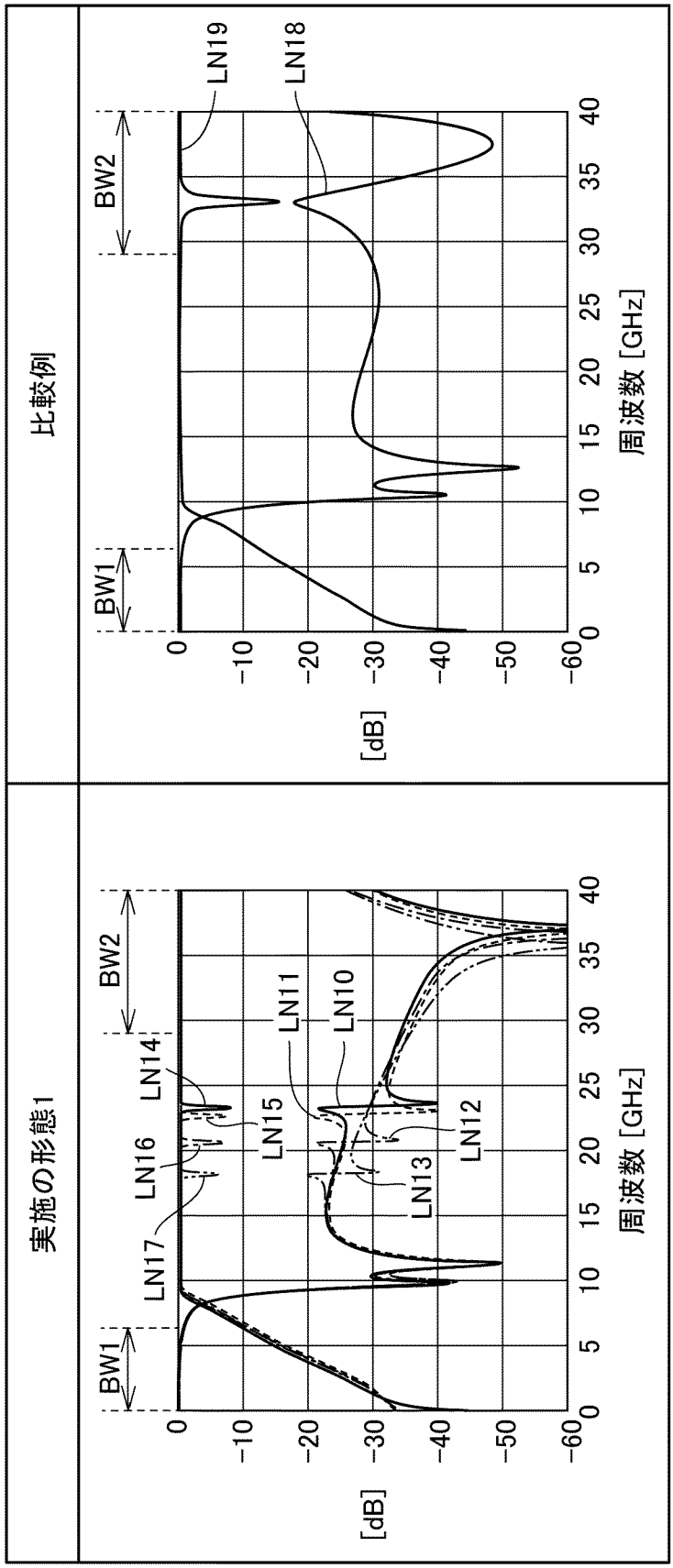
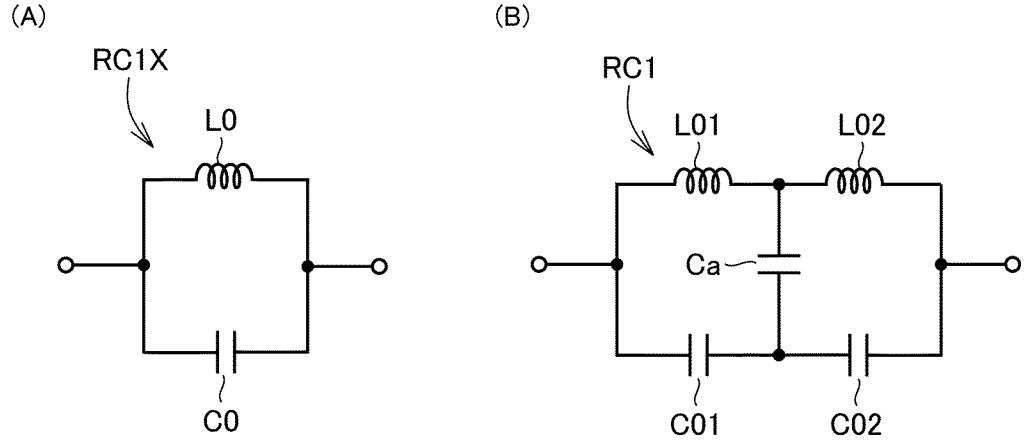

比較例
実施の形態1
BW1
BW2
LN19
LN18
LN17
LN16
LN15
LN14
LN13
LN12
LN11
LN10
0
-10
-20
-30
-40
-50
-60
[dB]
0
5
10
15
20
25
30
35
40
周波数 [GHz]

FIG.5

[図6]

FIG.6



$$L0=L01+L02$$

$$\frac{1}{C0}=\frac{1}{C01}+\frac{1}{C02}$$

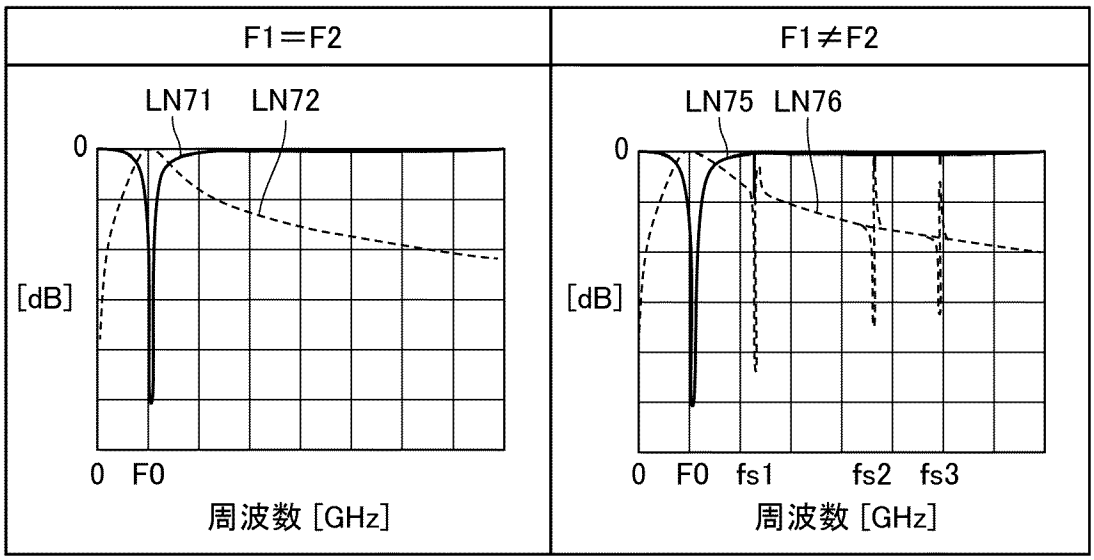
$$F0=\frac{1}{2\pi\sqrt{L0\cdot C0}}$$

$$F1=\frac{1}{2\pi\sqrt{L01\cdot C01}}$$

$$F2=\frac{1}{2\pi\sqrt{L02\cdot C02}}$$

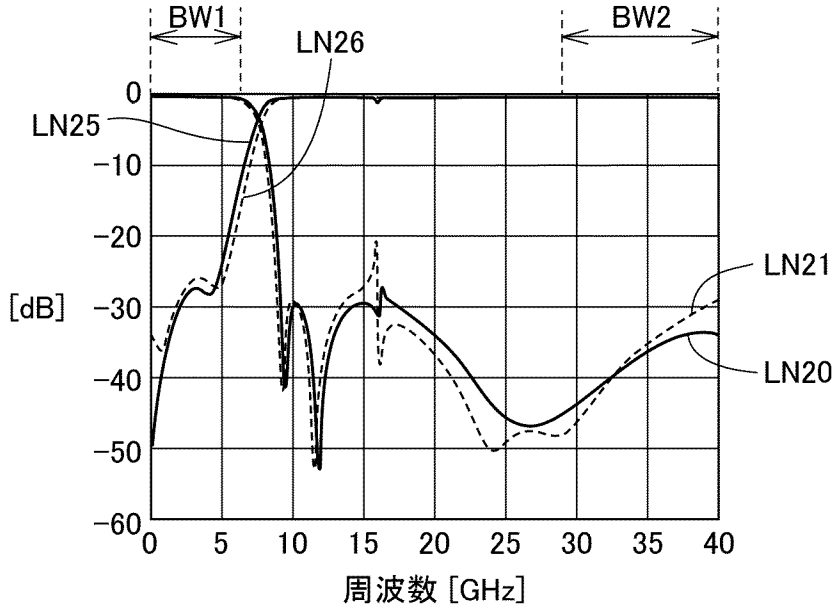
[図7]

FIG.7



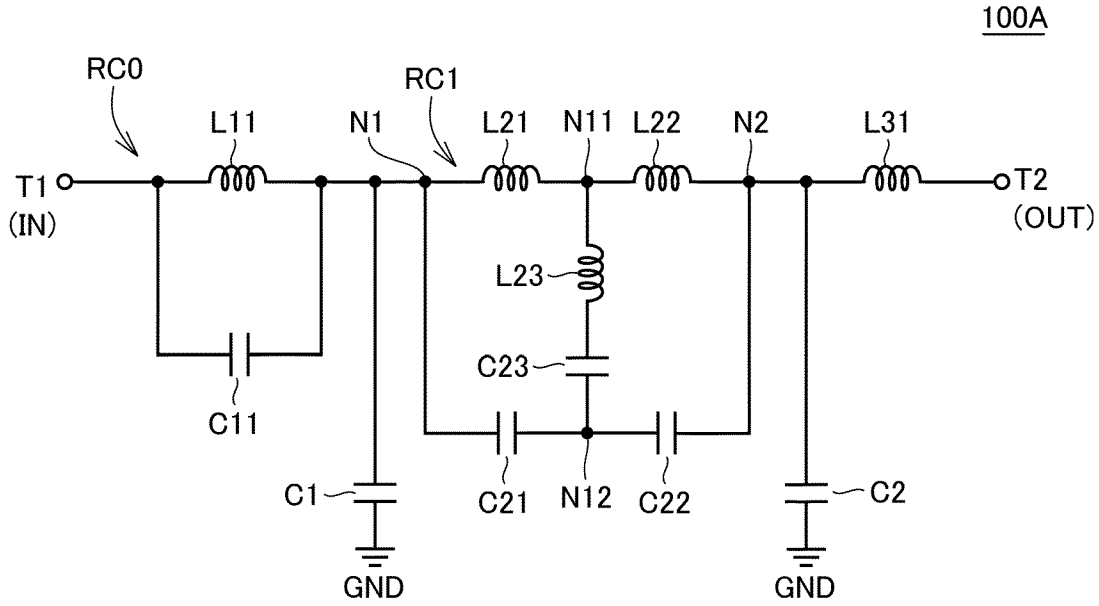
[図8]

FIG.8



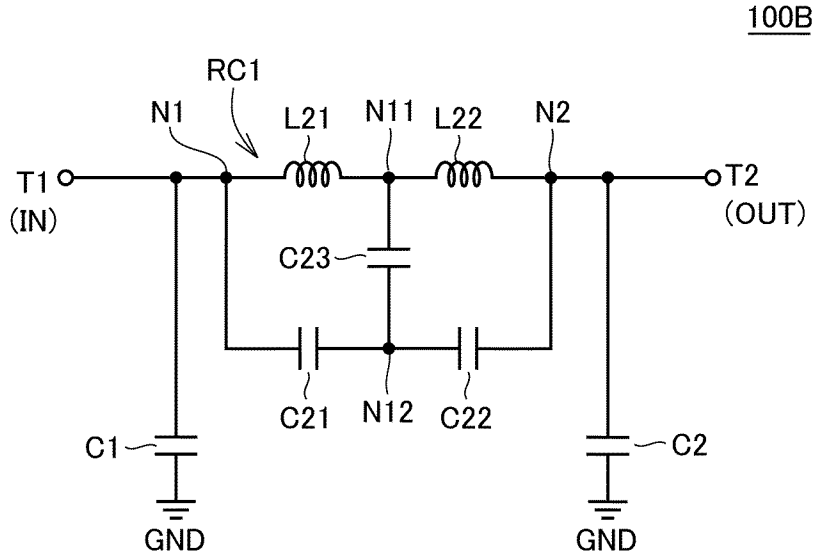
[図9]

FIG.9



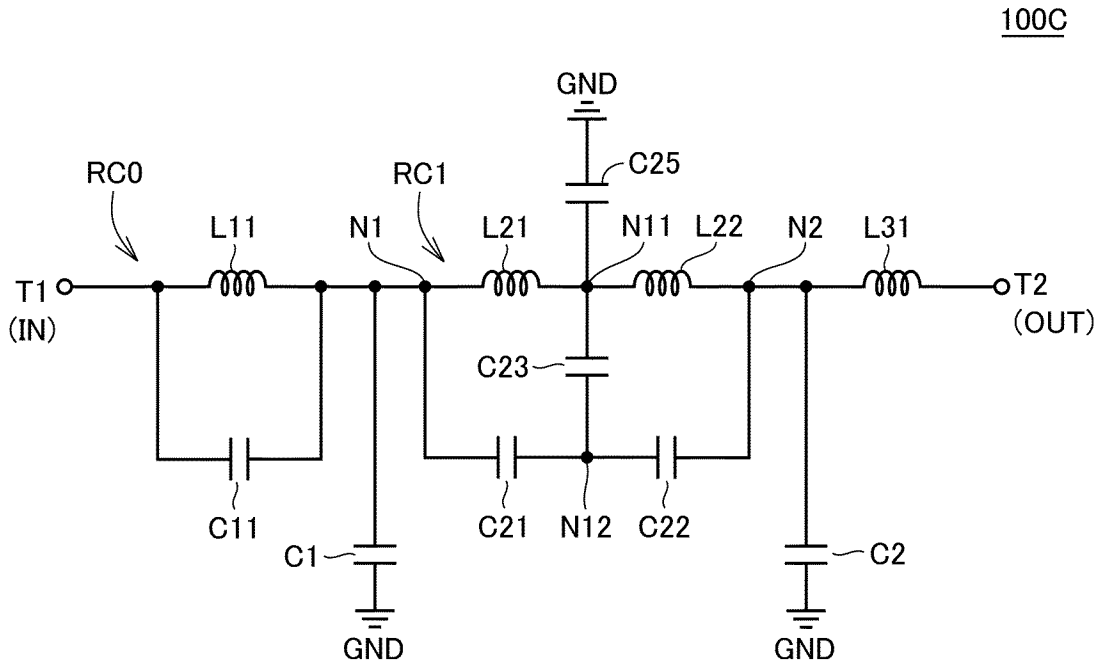
[図10]

FIG.10



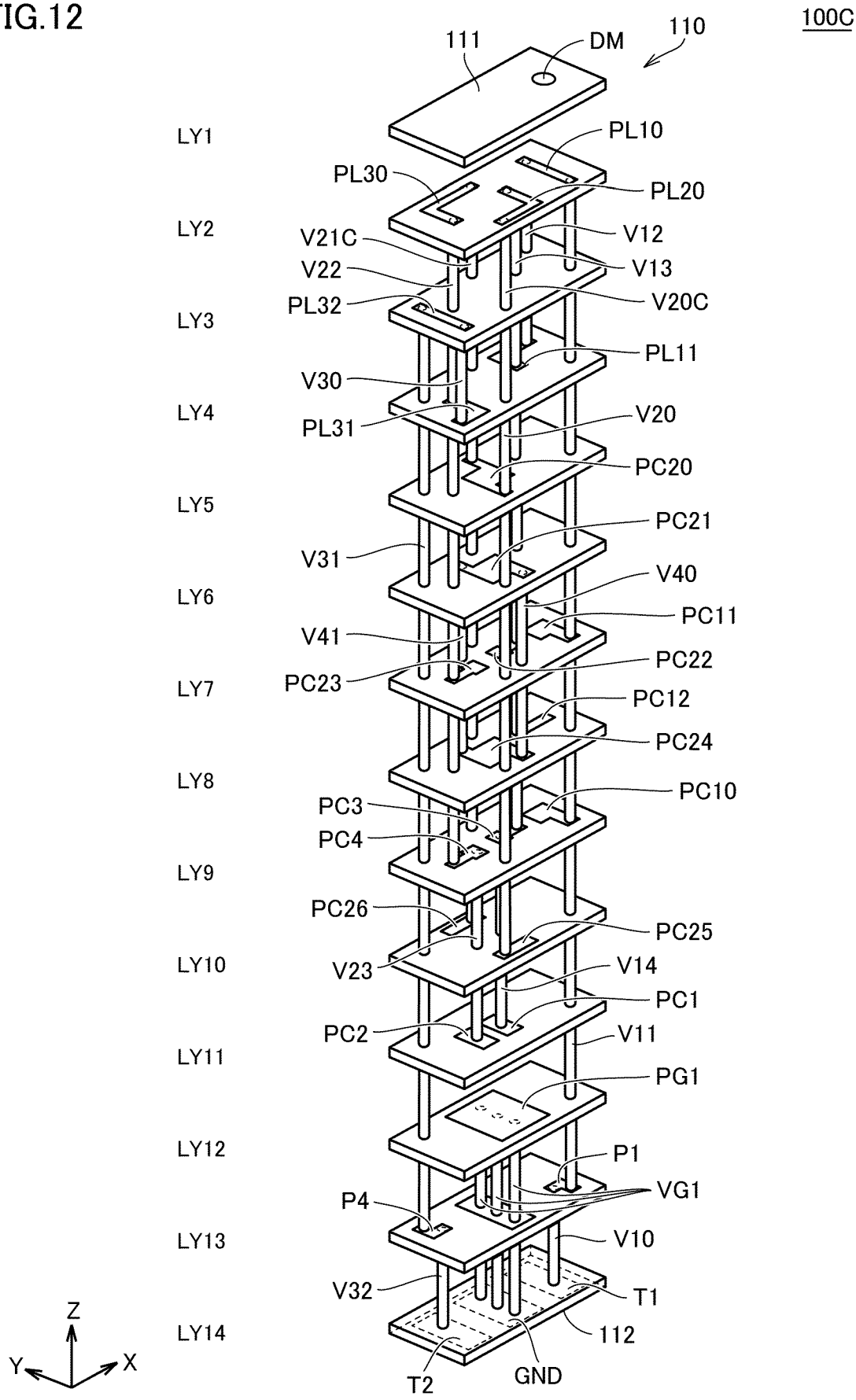
[図11]

FIG.11



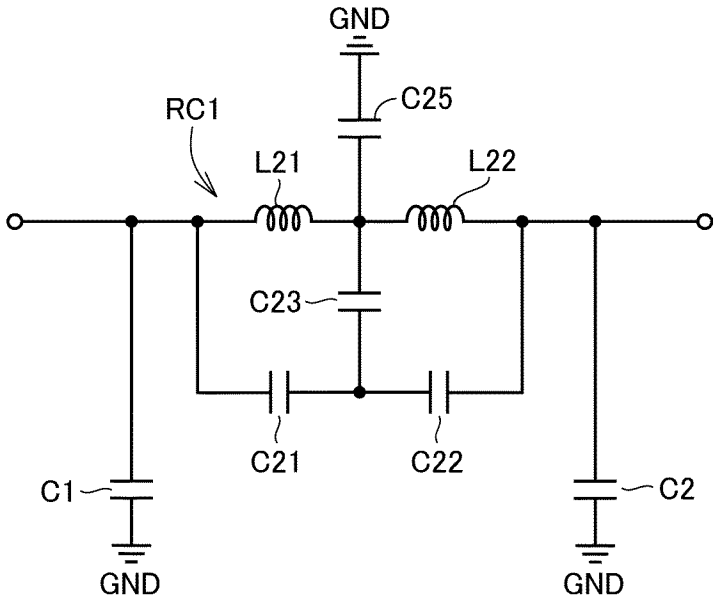
[図12]

FIG.12


100C
110
111
DM
LY1
PL10
PL30
PL20
LY2
V21C
V12
V22
V13
PL32
V20C
LY3
PL11
V30
LY4
PL31
V20
PC20
LY5
PC21
V31
V40
LY6
PC11
V41
PC22
LY7
PC23
PC12
PC24
LY8
PC10
PC3
PC4
LY9
PC26
PC25
LY10
V23
V14
PC1
PC2
V11
LY11
PG1
LY12
P1
VG1
P4
LY13
V10
V32
T1
LY14
112
GND
T2
Z
Y
X

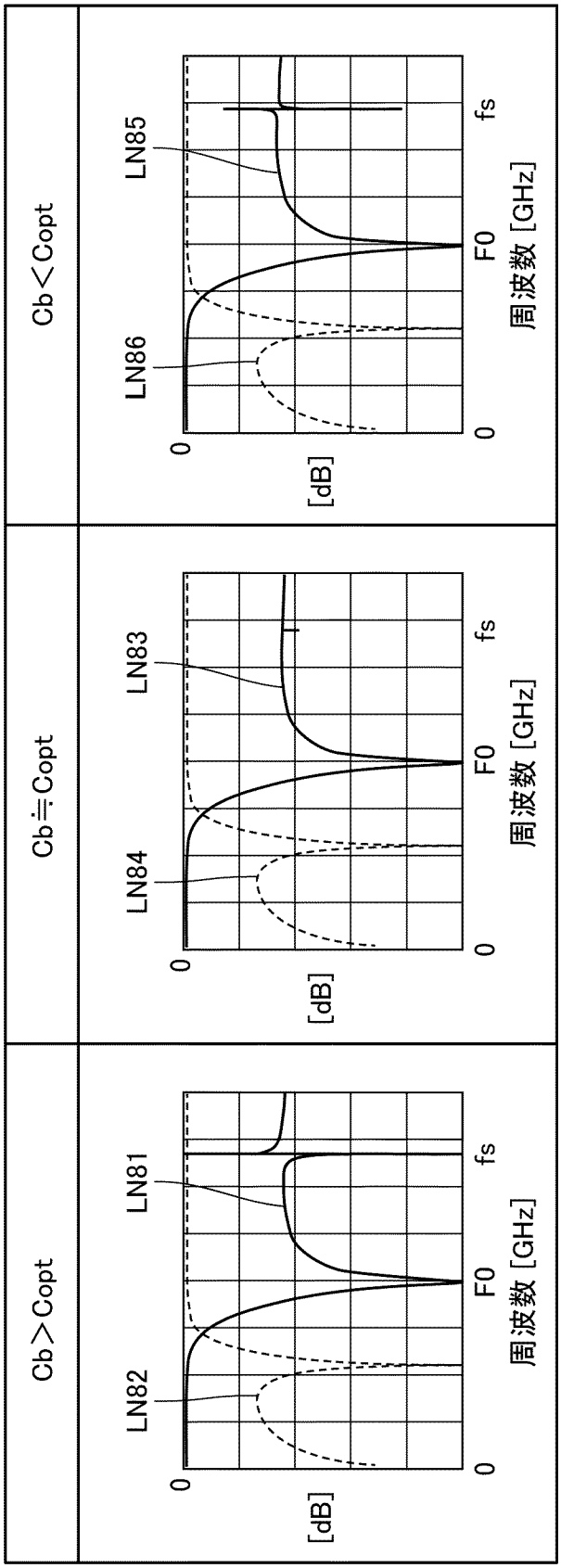
[図13]

FIG.13



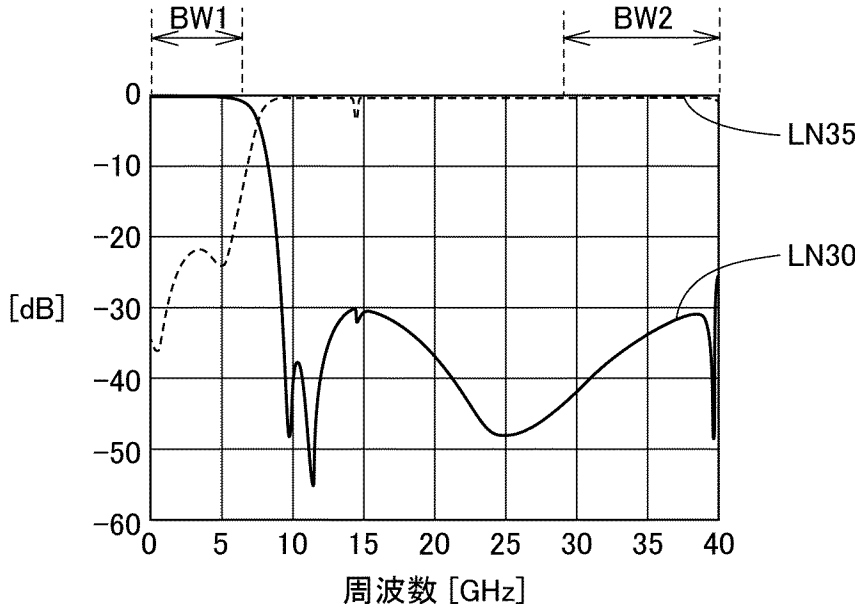
[図14]

FIG.14


Cb＞Copt
Cb≒Copt
Cb＜Copt
LN81
LN82
LN83
LN84
LN85
LN86
0
[dB]
F0
fs
周波数 [GHz]

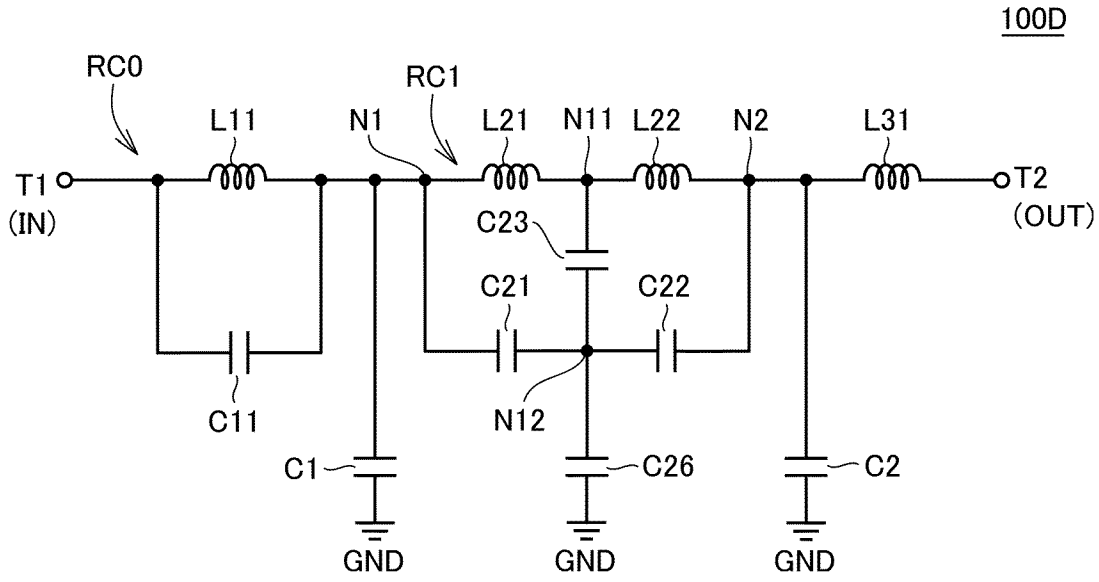
[図15]

FIG.15



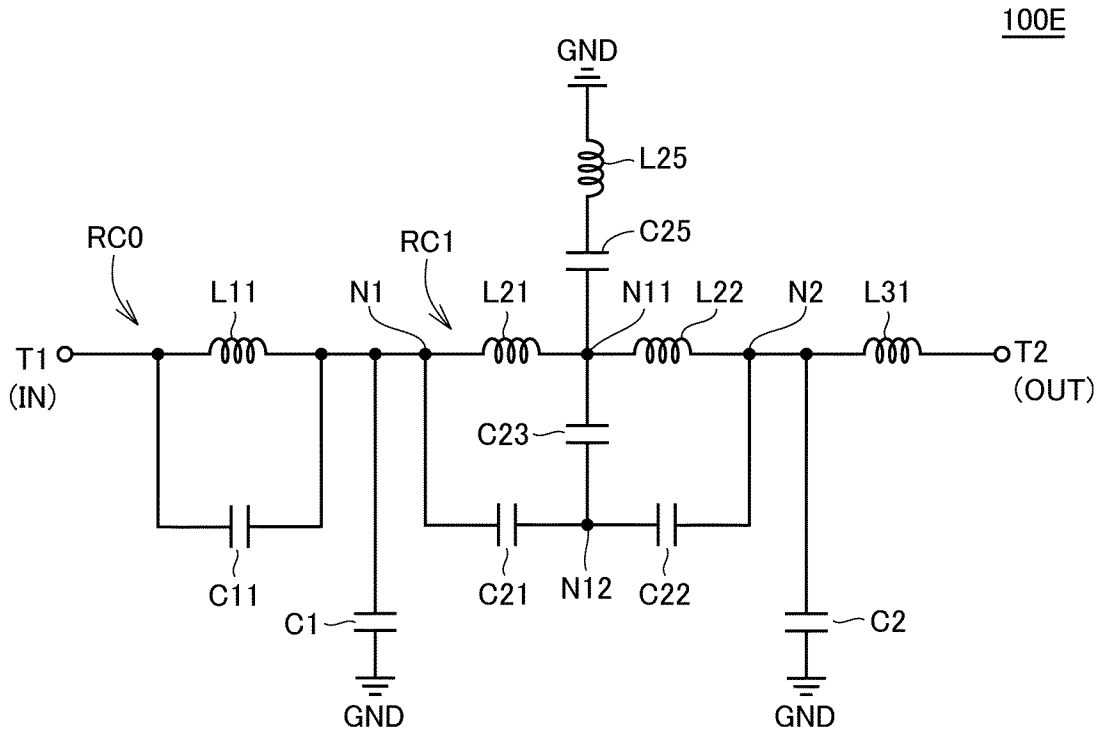
[図16]

FIG.16



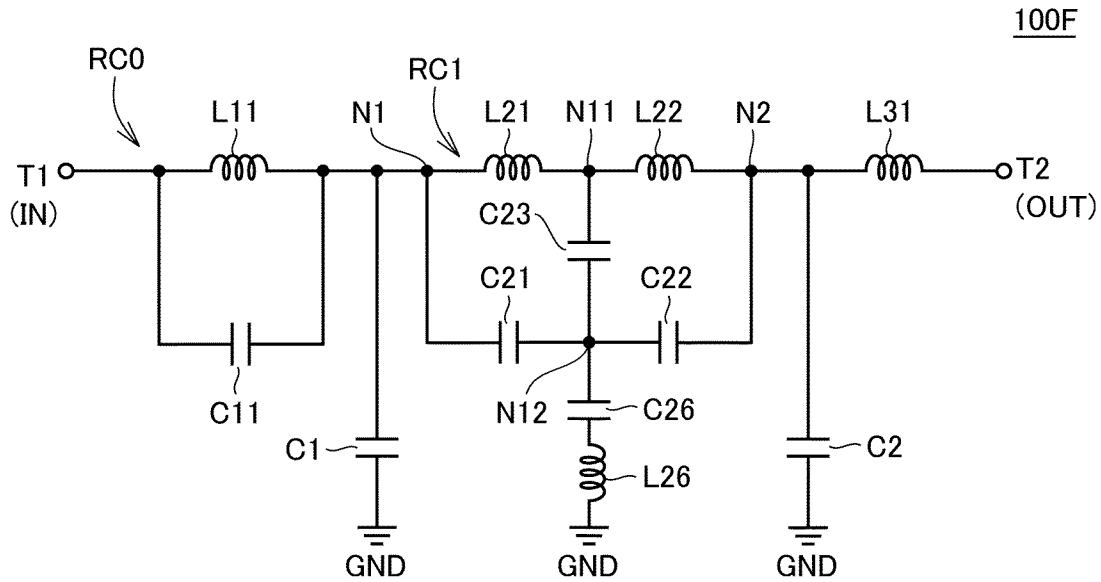
[図17]

FIG.17



[図18]

FIG.18



[図19]

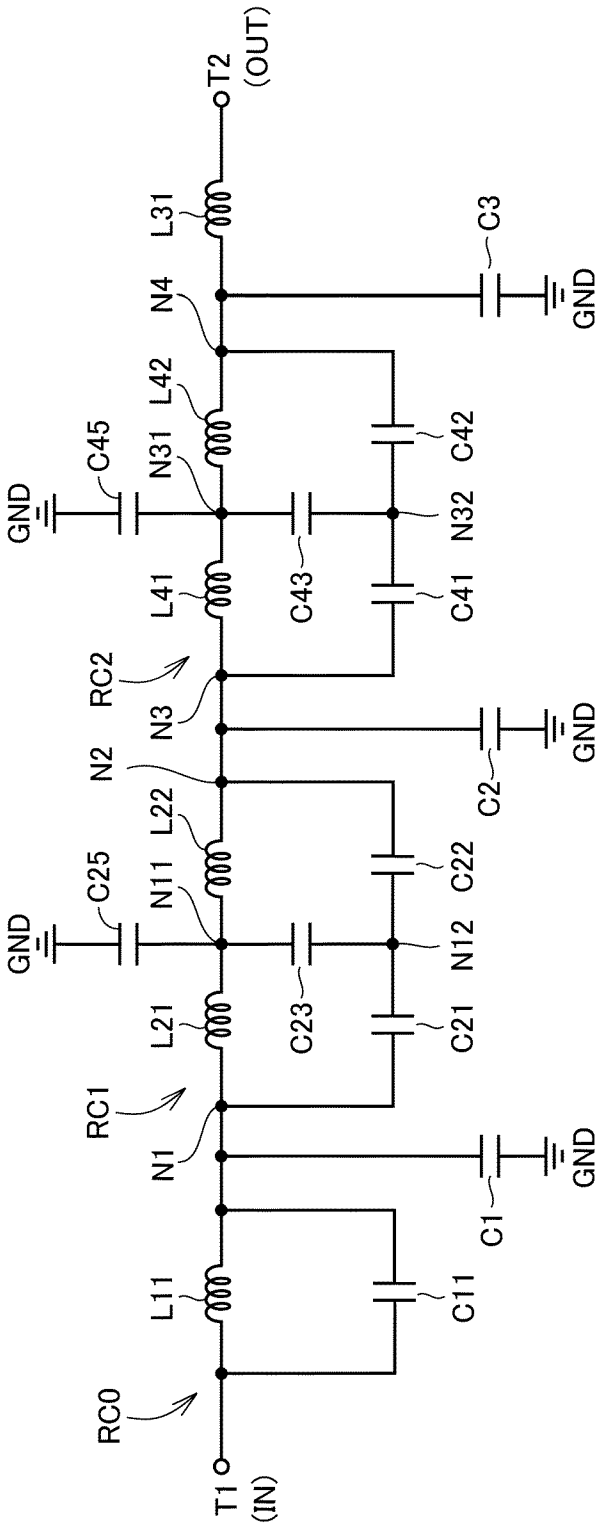
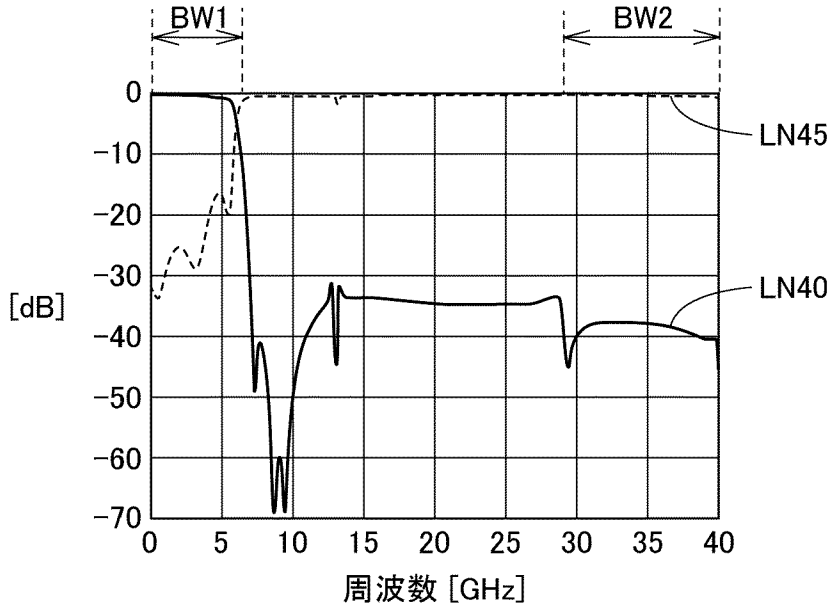

100G
T2
(OUT)
L31
C3
GND
N4
L42
C45
N31
C42
GND
N32
L41
C43
C41
RC2
N3
GND
C2
N2
L22
C25
N11
C22
GND
N12
L21
C23
C21
RC1
N1
GND
C1
L11
C11
RC0
T1
(IN)

FIG.19

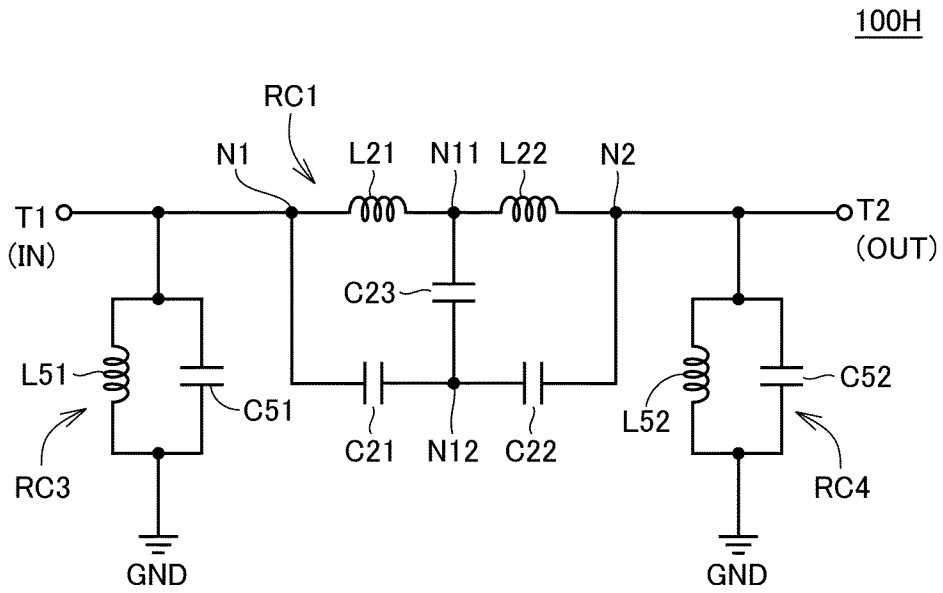
[図20]

FIG.20



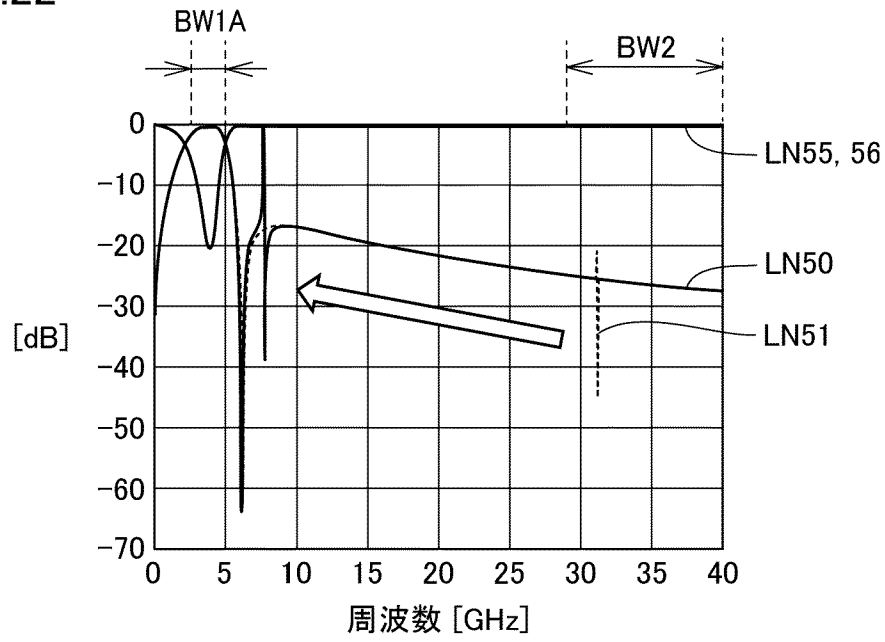
[図21]

FIG.21



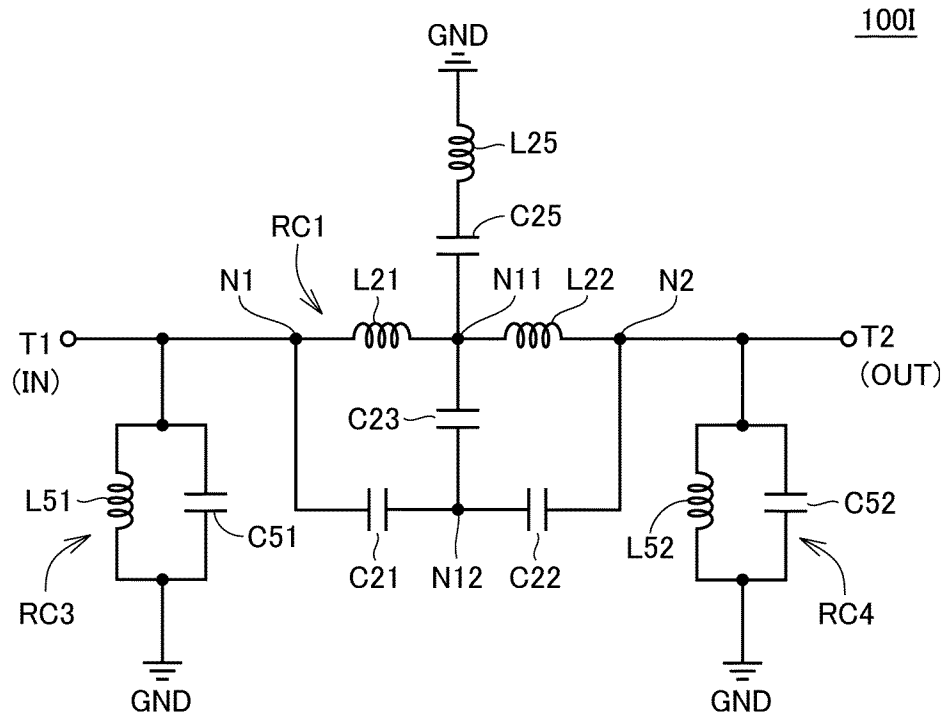
[図22]

FIG.22



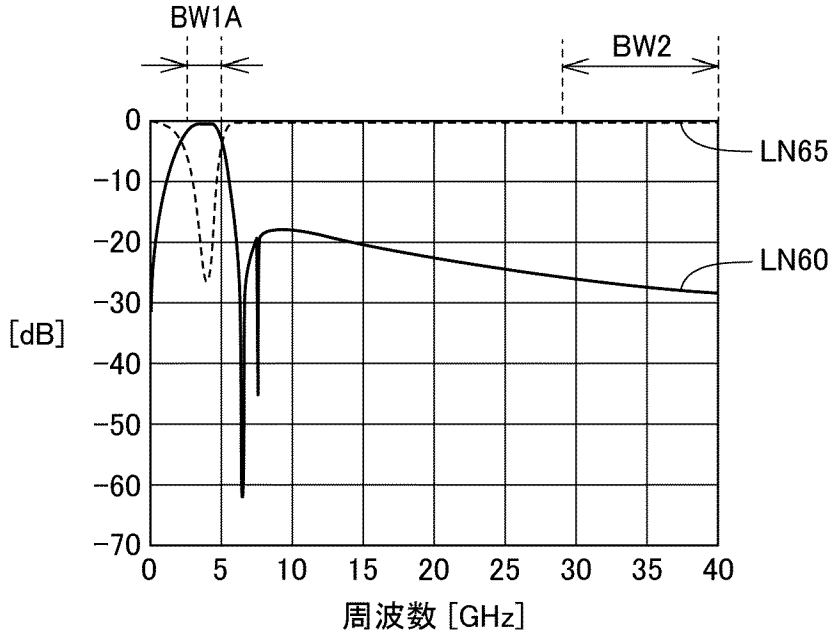
[図23]

FIG.23



[図24]

FIG.24


BW1A
BW2
0
−10
−20
−30
−40
−50
−60
−70
[dB]
LN65
LN60
0
5
10
15
20
25
30
35
40
周波数 [GHz]

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2024/010093

A. CLASSIFICATION OF SUBJECT MATTER

H03H 7/01(2006.01)i
FI: H03H7/01 A

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H03H7/01

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
Published unexamined utility model applications of Japan 1971-2024
Registered utility model specifications of Japan 1996-2024
Published registered utility model applications of Japan 1994-2024

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2002-204136 A (SOSHIN ELECTRIC CO., LTD.) 19 July 2002 (2002-07-19) fig. 5	1-8, 10-12
Y		9
Y	JP 2004-343696 A (TDK CORPORATION) 02 December 2004 (2004-12-02) fig. 5	9

☐ Further documents are listed in the continuation of Box C.

☑ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"D" document cited by the applicant in the international application
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
12 April 2024	**07 May 2024**

Name and mailing address of the ISA/JP	Authorized officer
Japan Patent Office (ISA/JP) **3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915** **Japan**	Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/JP2024/010093

Patent document cited in search report	Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP 2002-204136 A	19 July 2002	(Family: none)	
JP 2004-343696 A	02 December 2004	US 2004/0246074 A1 fig. 5 EP 1450486 A1	

国際調査報告

国際出願番号
PCT/JP2024/010093

A.　発明の属する分野の分類（国際特許分類（ＩＰＣ））

H03H 7/01(2006.01)i
FI: H03H7/01 A

B.　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

H03H7/01

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０２４年
日本国実用新案登録公報	１９９６－２０２４年
日本国登録実用新案公報	１９９４－２０２４年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C.　関連すると認められる文献

引用文献のカテゴリー*	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
X	JP 2002-204136 A（双信電機株式会社）19.07.2002（2002－07－19） 図5	1-8,10-12
Y		9
Y	JP 2004-343696 A（ＴＤＫ株式会社）02.12.2004（2004－12－02） 図5	9

☐ Ｃ欄の続きにも文献が列挙されている。

☑ パテントファミリーに関する別紙を参照。

*　引用文献のカテゴリー
“A” 特に関連のある文献ではなく、一般的技術水準を示すもの
“D” 国際出願で出願人が先行技術文献として記載した文献
“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
“O” 口頭による開示、使用、展示等に言及する文献
“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの
“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
“Y” 特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
“&” 同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
12.04.2024	07.05.2024

名称及びあて先
日本国特許庁(ISA/JP)
〒100-8915
日本国
東京都千代田区霞が関三丁目４番３号

権限のある職員（特許庁審査官）
福田　正悟 5G 3861
電話番号 03-3581-1101 内線 3524

国際調査報告
パテントファミリーに関する情報

国際出願番号
PCT/JP2024/010093

引用文献	公表日	パテントファミリー文献	公表日
JP 2002-204136 A	19.07.2002	（ファミリーなし）	
JP 2004-343696 A	02.12.2004	US 2004/0246074 A1 Fig.5 EP 1450486 A1	