

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2014 年 3 月 13 日(13.03.2014)



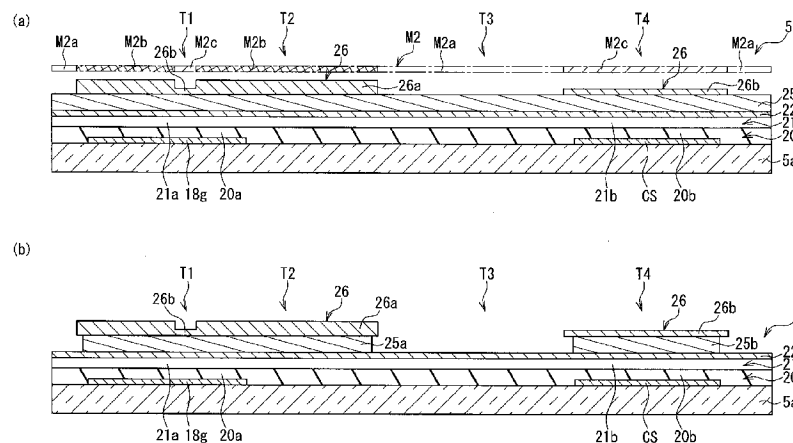
(10) 国際公開番号

WO 2014/038501 A1

- (51) 国際特許分類:
G09F 9/30 (2006.01) *G09F 9/00* (2006.01)
G02F 1/1368 (2006.01) *H01L 29/786* (2006.01)
- (21) 国際出願番号: PCT/JP2013/073496
- (22) 国際出願日: 2013 年 9 月 2 日(02.09.2013)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2012-197046 2012 年 9 月 7 日(07.09.2012) JP
- (71) 出願人: シャープ株式会社(SHARP KABUSHIKI KAISHA) [JP/JP]; 〒5458522 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 Osaka (JP).
- (72) 発明者: 家根田剛士(YANEDA Takeshi). 勝井宏充(KATSUI Hiromitsu). 磯村良幸(ISOMURA Yoshiyuki). 中森一彰(NAKAMORI Kazuaki).
- (74) 代理人: 特許業務法人池内・佐藤アンドパートナーズ(IKEUCHI SATO & PARTNER PATENT ATTORNEYS); 〒5306026 大阪府大阪市北区天満橋 1 丁目 8 番 3 0 号 O A P タワー 2 6 階 Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).
- 添付公開書類:
— 国際調査報告 (条約第 21 条(3))

(54) Title: ACTIVE MATRIX SUBSTRATE AND PRODUCTION METHOD

(54) 発明の名称: アクティブマトリクス基板、及び製造方法



(57) Abstract: A production method for an active matrix substrate (5) having a thin-film transistor section (T1) and an auxiliary capacitance section (T4) provided therein, said method including a second step in which a first semiconductor layer (21a) for the thin-film transistor section (T1), first and second electrode contact layers (22a, 22b), a source electrode (18s), a drain electrode (18d), and a second semiconductor layer (21b) for the auxiliary capacitance section (T4) are formed by: forming a gate insulating film (20), the semiconductor layers (21), the electrode contact layers (22), and a second metal layer (25), in order, so as to cover a gate electrode (18g) and an auxiliary capacitance wiring (CS); then patterning using a second mask (M2) comprising a half-tone mask.

(57) 要約: 薄膜トランジスタ部 (T1) 及び補助容量部 (T4) が設けられたアクティブマトリクス基板 (5) の製造方法において、ゲート電極 (18g) 及び補助容量配線 (CS) を覆うようにゲート絶縁膜 (20)、半導体層 (21)、電極コンタクト層 (22)、及び第2金属層 (25) を順次形成した後、ハーフトーンマスクからなる第2のマスク (M2) を用いてパターニングを行うことにより、薄膜トランジスタ部 (T1) の第1の半導体層 (21a) と第1及び第2の電極コンタクト層 (22a、22b) とソース電極 (18s) とドレイン電極 (18d) 及び補助容量部 (T4) の第2の半導体層 (21b) を形成する第2工程を行う。

WO 2014/038501 A1

明 細 書

発明の名称： アクティブマトリクス基板、及び製造方法

技術分野

[0001] 本発明は、液晶パネルなどの表示パネルに用いられるアクティブマトリクス基板、及びその製造方法に関する。

背景技術

[0002] 近年、例えば液晶表示装置は、在来ブラウン管に比べて薄型、軽量などの特長を有するフラットパネルディスプレイとして、液晶テレビ、モニター、携帯電話などに幅広く利用されている。このような液晶表示装置では、複数のソース配線（データ配線）及び複数のゲート配線（走査配線）をマトリクス状に配線するとともに、ソース配線とゲート配線との交差部の近傍にスイッチング素子としての薄膜トランジスタ（TFT：Thin Film Transistor）と、この薄膜トランジスタに接続された画素電極を有する画素をマトリクス状に配置したアクティブマトリクス基板を、表示パネルとしての液晶パネルに用いたものが知られている。

[0003] また、上記のようなアクティブマトリクス基板では、一般的に、補助容量配線がゲート配線と平行に設けられており、画素毎に補助容量部を設けて、所定の補助容量を発生するように構成されている。

[0004] また、従来のアクティブマトリクス基板では、例えば下記特許文献1に記載されているように、5枚のマスクを使用して、当該アクティブマトリクス基板上の各部、つまりソース配線、ゲート配線、あるいは薄膜トランジスタが形成された薄膜トランジスタ部、または補助容量を発生する補助容量部等を形成していた。

先行技術文献

特許文献

[0005] 特許文献1：特開2005-141255号公報

発明の概要

発明が解決しようとする課題

[0006] しかしながら、上記のような従来のアクティブマトリクス基板では、5枚のマスクを用いて、薄膜トランジスタ部や補助容量部等の当該アクティブマトリクス基板の各部を形成していた。このため、この従来のアクティブマトリクス基板では、その製造に要するマスク枚数が多くて、当該マスク枚数を低減することが難しいという問題点があった。この結果、この従来のアクティブマトリクス基板では、その製造歩留まりの向上を図ったり、製造時間の短縮を図ったり、低コスト化を図ったりするのが困難であった。

[0007] 上記の課題を鑑み、本発明は、マスク枚数を低減することができるコスト安価なアクティブマトリクス基板、及びその製造方法を提供することを目的とする。

課題を解決するための手段

[0008] 上記の目的を達成するために、本発明にかかるアクティブマトリクス基板は、複数の画素が設けられるとともに、前記複数の画素毎に薄膜トランジスタが形成された薄膜トランジスタ部及び補助容量を発生する補助容量部が設けられたアクティブマトリクス基板であって、

前記薄膜トランジスタ部は、基材と、前記基材上に設けられたゲート電極と、前記基材及び前記ゲート電極を覆うように設けられた第1のゲート絶縁膜と、前記第1のゲート絶縁膜上に設けられた第1の半導体層と、前記第1の半導体層上に設けられた第1及び第2の電極コンタクト層と、前記第1の電極コンタクト層を介して前記第1の半導体層に接続されたソース電極と、前記第2の電極コンタクト層を介して前記第1の半導体層に接続されたドレイン電極と、前記第1のゲート絶縁膜、前記第1の半導体層、前記第1及び第2の電極コンタクト層、前記ソース電極、及び前記ドレイン電極を覆うように設けられた保護層と、前記保護層上に設けられた層間絶縁膜とを含んで構成され、

前記補助容量部は、前記基材と、前記基材上に設けられた補助容量配線と、前記基材及び前記補助容量配線を覆うように設けられた第2のゲート絶縁

膜と、前記第2のゲート絶縁膜上に設けられた第2の半導体層と、前記第2の半導体層上に設けられた透明電極とを含んで構成されていることを特徴とするものである。

[0009] 上記のように構成されたアクティブマトリクス基板では、上記薄膜トランジスタ部は基材とこの基材上に順次設けられたゲート電極、第1のゲート絶縁膜、第1の半導体層、第1及び第2の電極コンタクト層、ソース電極及びドレイン電極、保護層、及び層間絶縁膜を含んで構成されている。また、上記補助容量部は、基材とこの基材上に順次設けられた補助容量配線、第2のゲート絶縁膜、第2の半導体層、及び透明電極を含んで構成されている。これにより、上記従来例と異なり、4枚のマスクを用いて、薄膜トランジスタ部と補助容量部を有するアクティブマトリクス基板を適切に構成することができる。この結果、上記従来例と異なり、マスク枚数を低減することができるコスト安価なアクティブマトリクス基板を提供することができる。

[0010] また、上記アクティブマトリクス基板において、前記ゲート電極及び前記補助容量配線には、前記基材上に形成された第1金属層が用いられていることが好ましい。

[0011] この場合、同一の第1金属層を用いて、ゲート電極と補助容量配線を構成することができ、より製造簡単でコスト安価なアクティブマトリクス基板を構成することができる。

[0012] また、上記アクティブマトリクス基板において、前記ソース電極及び前記ドレイン電極には、前記第1及び第2の電極コンタクト層上に形成された第2金属層が用いられていることが好ましい。

[0013] この場合、同一の第2金属層を用いて、ソース電極及びドレイン電極を構成することができ、より製造簡単でコスト安価なアクティブマトリクス基板を構成することができる。

[0014] また、上記アクティブマトリクス基板において、前記補助容量部では、前記透明電極は前記保護層と前記層間絶縁膜に設けられた開口部内で前記第2の半導体層に接続されていることが好ましい。

- [0015] この場合、より製造簡単でコスト安価なアクティブマトリクス基板を構成することができる。
- [0016] また、上記アクティブマトリクス基板において、前記補助容量部では、前記開口部が前記補助容量配線を覆うように設けられていることが好ましい。
- [0017] この場合、開口部が設けられる保護層及び層間絶縁膜の各製造バラツキの影響が補助容量部に現れるのを確実に防ぐことができ、補助容量部を高精度に形成して、補助容量部の補助容量の低下を確実に防止することができる。
- [0018] また、上記アクティブマトリクス基板において、前記補助容量部では、前記開口部が前記第2の半導体層の内側に設けられていることが好ましい。
- [0019] この場合、補助容量部において、開口部が第2の半導体層の内側に設けられていることにより、エッチングストoppaとして当該第2の半導体層を機能させることができ、ゲート電極のコンタクトホールを形成するとき、つまり、保護層、ゲート絶縁膜をドライエッチングする時に、ゲート絶縁膜までドライエッチングされることを防ぎ、透明電極（画素電極）と補助容量配線のリークを防ぐことができる。
- [0020] また、上記アクティブマトリクス基板において、前記補助容量部では、前記補助容量配線に設けられた幅太部上に、前記第2のゲート絶縁膜、前記第2の半導体層、及び前記透明電極が順次設けられていることが好ましい。
- [0021] この場合、補助容量配線の対向面積を大きくして、補助容量部の補助容量を容易に大きくすることができる。
- [0022] また、上記アクティブマトリクス基板において、前記補助容量配線の幅太部には、スリットが設けられていることが好ましい。
- [0023] この場合、開口部が設けられる保護層及び層間絶縁膜の各製造バラツキの影響が補助容量部に現れるのを確実に防ぐことができ、補助容量部を高精度に形成して、補助容量部の補助容量の低下を確実に防止することができる。
- [0024] また、上記アクティブマトリクス基板において、前記補助容量配線には、前記薄膜トランジスタ部側に分岐した分岐配線が設けられ、
前記補助容量部では、前記分岐配線上に、前記第2のゲート絶縁膜、前記

第2の半導体層、及び前記透明電極が順次設けられていることが好ましい。

[0025] この場合、補助容量配線に分岐配線を設けることにより、補助容量部の補助容量を容易に大きくすることができるとともに、開口部が設けられる保護層及び層間絶縁膜の各製造バラツキの影響が補助容量部に現れるのを確実に防ぐことができ、補助容量部を高精度に形成して、補助容量部の補助容量の低下を確実に防止することができる。

[0026] また、本発明のアクティブマトリクス基板の製造方法は、複数の画素が設けられるとともに、前記複数の画素毎に薄膜トランジスタが形成された薄膜トランジスタ部及び補助容量を発生する補助容量部が設けられたアクティブマトリクス基板の製造方法であって、

第1金属層を基材上に形成した後、当該第1金属層に対して、第1のマスクを用いてパターニングを行うことにより、前記薄膜トランジスタ部のゲート電極及び前記補助容量部の補助容量配線を形成する第1工程と、

ゲート絶縁膜、半導体層、電極コンタクト層、及び第2金属層を順次形成した後、ハーフトーンマスクからなる第2のマスクを用いてパターニングを行うことにより、前記薄膜トランジスタ部の第1の半導体層と第1及び第2の電極コンタクト層とソース電極とドレイン電極及び前記補助容量部の第2の半導体層を形成する第2工程と、

保護層及び層間絶縁膜を順次形成した後、第3のマスクを用いてパターニングを行うことにより、開口部を前記保護層と前記層間絶縁膜に形成する第3工程と、

透明電極を形成した後、第4のマスクを用いてパターニングを行うことにより、前記補助容量部の透明電極を形成する第4工程とを具備していることを特徴とするものである。

[0027] 上記のように構成されたアクティブマトリクス基板の製造方法では、第2のマスクにハーフトーンマスクを用いて、薄膜トランジスタ部及び補助容量部の各部に含まれる部分を形成している。これにより、上記従来例と異なり、上記第1～第4のマスクを用いて、薄膜トランジスタ部及び補助容量部を

有するアクティブマトリクス基板を適切に構成することができる。この結果、上記従来例と異なり、マスク枚数を低減することができるコスト安価なアクティブマトリクス基板を提供することができる。

[0028] また、上記アクティブマトリクス基板の製造方法において、前記第3工程では、前記開口部が前記補助容量配線を覆うように形成されることが好ましい。

[0029] この場合、開口部が設けられる保護層及び層間絶縁膜の各製造バラツキの影響が補助容量部に現れるのを確実に防ぐことができ、補助容量部を高精度に形成して、補助容量部の補助容量の低下を確実に防止することができる。

[0030] また、上記アクティブマトリクス基板の製造方法において、前記第3工程では、前記開口部が前記第2の半導体層の内側に設けられるように形成されることが好ましい。

[0031] この場合、補助容量部において、開口部が第2の半導体層の内側に設けられていることにより、エッチングストoppaとして当該第2の半導体層を機能させることができ、ゲート電極のコンタクトホールを形成するとき、つまり、保護層、ゲート絶縁膜をドライエッチングする時に、ゲート絶縁膜までドライエッチングされることを防ぎ、透明電極（画素電極）と補助容量配線のリークを防ぐことができる。

[0032] また、上記アクティブマトリクス基板の製造方法において、前記第1工程では、前記補助容量部の補助容量配線において、幅太部が設けられることが好ましい。

[0033] この場合、補助容量配線の対向面積を大きくして、補助容量部の補助容量を容易に大きくすることができる。

[0034] また、上記アクティブマトリクス基板の製造方法において、前記第1工程では、前記補助容量部の補助容量配線において、幅太部を設けるとともに、当該幅太部にスリットが形成されることが好ましい。

[0035] この場合、開口部が設けられる保護層及び層間絶縁膜の各製造バラツキの影響が補助容量部に現れるのを確実に防ぐことができ、補助容量部を高精度

に形成して、補助容量部の補助容量の低下を確実に防止することができる。

[0036] また、上記アクティブマトリクス基板の製造方法において、前記第 1 工程では、前記補助容量配線において、前記薄膜トランジスタ部側に分岐した分岐配線が設けられることが好ましい。

[0037] この場合、補助容量配線に分岐配線を設けることにより、補助容量部の補助容量を容易に大きくすることができるとともに、開口部が設けられる保護層及び層間絶縁膜の各製造バラツキの影響が補助容量部に現れるのを確実に防ぐことができ、補助容量部を高精度に形成して、補助容量部の補助容量の低下を確実に防止することができる。

発明の効果

[0038] 本発明によれば、マスク枚数を低減することができるコスト安価なアクティブマトリクス基板、及びその製造方法を提供することが可能となる。

図面の簡単な説明

[0039] [図1]図 1 は、本発明の第 1 の実施形態にかかる液晶表示装置を説明する図である。

[図2]図 2 は、図 1 に示した液晶パネルの構成を説明する図である。

[図3]図 3 は、図 1 に示したアクティブマトリクス基板の要部構成を説明する拡大平面図である。

[図4]図 4 は、図 3 の I V - I V 線断面図であり、上記アクティブマトリクス基板の薄膜トランジスタ部とその近傍部分を示す断面図である。

[図5]図 5 は、上記アクティブマトリクス基板の補助容量部を示す断面図である。

[図6]図 6 は、上記アクティブマトリクス基板の要部構成の主な製造工程を示すフローチャートである。

[図7]図 7 は、上記アクティブマトリクス基板の要部構成の主な製造工程を説明する図であり、図 7 (a) ~ 図 7 (b) は、一連の主な製造工程を説明している。

[図8]図 8 は、図 7 (b) に続いて行われる、上記アクティブマトリクス基板

の要部構成の主な製造工程を説明する図であり、図 8 (a) ~ 図 8 (b) は、一連の主な製造工程を説明している。

[図9]図 9 は、図 8 (b) に続いて行われる、上記アクティブマトリクス基板の要部構成の主な製造工程を説明する図であり、図 9 (a) ~ 図 9 (b) は、一連の主な製造工程を説明している。

[図10]図 10 は、図 9 (b) に続いて行われる、上記アクティブマトリクス基板の要部構成の主な製造工程を説明する図であり、図 10 (a) ~ 図 10 (b) は、一連の主な製造工程を説明している。

[図11]図 11 は、図 10 (b) に続いて行われる、上記アクティブマトリクス基板の要部構成の主な製造工程を説明する図であり、図 11 (a) ~ 図 11 (b) は、一連の主な製造工程を説明している。

[図12]図 12 は、図 11 (b) に続いて行われる、上記アクティブマトリクス基板の要部構成の主な製造工程を説明する図であり、図 12 (a) ~ 図 12 (b) は、一連の主な製造工程を説明している。

[図13]図 13 は、図 12 (b) に続いて行われる、上記アクティブマトリクス基板の要部構成の主な製造工程を説明する図であり、図 13 (a) ~ 図 13 (b) は、一連の主な製造工程を説明している。

[図14]図 14 は、図 13 (b) に続いて行われる、上記アクティブマトリクス基板の要部構成の主な製造工程を説明する図であり、図 14 (a) ~ 図 14 (b) は、一連の主な製造工程を説明している。

[図15]図 15 は、図 14 (b) に続いて行われる、上記アクティブマトリクス基板の要部構成の主な製造工程を説明する図である。

[図16]図 16 は、図 15 に続いて行われる、上記アクティブマトリクス基板の要部構成の主な製造工程を説明する図である。

[図17]図 17 は、図 16 に続いて行われる、上記アクティブマトリクス基板の要部構成の主な製造工程を説明する図である。

[図18]図 18 は、第 1 の比較例のアクティブマトリクス基板の要部構成の主な製造工程を説明する図であり、図 18 (a) ~ 図 18 (b) は、一連の主

な製造工程を説明している。

[図19]図19は、図18(b)に続いて行われる、上記第1の比較例のアクティブマトリクス基板の要部構成の主な製造工程を説明する図であり、図19(a)～図19(b)は、一連の主な製造工程を説明している。

[図20]図20は、図19(b)に続いて行われる、上記第1の比較例のアクティブマトリクス基板の要部構成の主な製造工程を説明する図であり、図20(a)～図20(b)は、一連の主な製造工程を説明している。

[図21]図21は、図20(b)に続いて行われる、上記第1の比較例のアクティブマトリクス基板の要部構成の主な製造工程を説明する図であり、図21(a)～図21(b)は、一連の主な製造工程を説明している。

[図22]図22は、図21(b)に続いて行われる、上記第1の比較例のアクティブマトリクス基板の要部構成の主な製造工程を説明する図であり、図22(a)～図22(b)は、一連の主な製造工程を説明している。

[図23]図23は、図22(b)に続いて行われる、上記第1の比較例のアクティブマトリクス基板の要部構成の主な製造工程を説明する図である。

[図24]図24は、図23に続いて行われる、上記第1の比較例のアクティブマトリクス基板の要部構成の主な製造工程を説明する図である。

[図25]図25は、図24に続いて行われる、上記第1の比較例のアクティブマトリクス基板の要部構成の主な製造工程を説明する図である。

[図26]図26は、上記第1の比較例のアクティブマトリクス基板の補助容量部を示す断面図である。

[図27]図27は、第2の比較例のアクティブマトリクス基板の要部構成の主な製造工程を説明する図であり、図27(a)～図27(b)は、一連の主な製造工程を説明している。

[図28]図28は、図27(b)に続いて行われる、上記第2の比較例のアクティブマトリクス基板の要部構成の主な製造工程を説明する図であり、図28(a)～図28(b)は、一連の主な製造工程を説明している。

[図29]図29は、図28(b)に続いて行われる、上記第2の比較例のアク

ティブマトリクス基板の要部構成の主な製造工程を説明する図であり、図29(a)～図29(b)は、一連の主な製造工程を説明している。

[図30]図30は、図29(b)に続いて行われる、上記第2の比較例のアクティブマトリクス基板の要部構成の主な製造工程を説明する図であり、図30(a)～図30(b)は、一連の主な製造工程を説明している。

[図31]図31は、図30(b)に続いて行われる、上記第2の比較例のアクティブマトリクス基板の要部構成の主な製造工程を説明する図であり、図31(a)～図31(b)は、一連の主な製造工程を説明している。

[図32]図32は、図31(b)に続いて行われる、上記第2の比較例のアクティブマトリクス基板の要部構成の主な製造工程を説明する図である。

[図33]図33は、図32に続いて行われる、上記第2の比較例のアクティブマトリクス基板の要部構成の主な製造工程を説明する図である。

[図34]図34は、図33に続いて行われる、上記第2の比較例のアクティブマトリクス基板の要部構成の主な製造工程を説明する図である。

[図35]図35は、上記第2の比較例のアクティブマトリクス基板の補助容量部を示す断面図である。

[図36]図36は、画素電圧－補助容量配線電圧と容量比との関係を示すグラフである。

[図37]図37は、画素電圧－補助容量配線電圧と容量変化との関係を示すグラフである。

[図38]図38は、液晶印加電圧と初期値からの対向電圧差との関係を示すグラフである。

[図39]図39は、印加電圧と容量との関係を示すグラフである。

[図40]図40は、本発明の第2の実施形態に係るアクティブマトリクス基板の要部構成を説明する拡大平面図である。

[図41]図41は、図40に示したアクティブマトリクス基板の補助容量部を示す断面図である。

[図42]図42は、本発明の第3の実施形態に係るアクティブマトリクス基板

の要部構成を説明する拡大平面図である。

[図43]図43(a)～図43(c)は、各々図42に示した補助容量部の変形例を示す拡大平面図である。

[図44]図44は、図42に示したアクティブマトリクス基板の補助容量部を示す断面図である。

[図45]図45は、本発明の第4の実施形態に係るアクティブマトリクス基板の要部構成を説明する拡大平面図である。

[図46]図46(a)は、図45に示した補助容量部の拡大平面図であり、図46(b)は、同補助容量部の変形例の拡大平面図である。

[図47]図47は、図45に示したアクティブマトリクス基板の補助容量部を示す断面図である。

[図48]図48は、本発明の第5の実施形態に係るアクティブマトリクス基板の要部構成を説明する拡大平面図である。

[図49]図49は、図48に示したアクティブマトリクス基板の補助容量部を示す断面図である。

発明を実施するための形態

[0040] 以下、本発明のアクティブマトリクス基板、及びその製造方法を示す好ましい実施形態について、図面を参照しながら説明する。なお、以下の説明では、本発明を透過型の液晶表示装置に適用した場合を例示して説明する。また、各図中の構成部材の寸法は、実際の構成部材の寸法及び各構成部材の寸法比率等を忠実に表したものではない。

[0041] [第1の実施形態]

図1は、本発明の第1の実施形態にかかる液晶表示装置を説明する図である。図1において、本実施形態の液晶表示装置1は、図1の上側が視認側（表示面側）として設置される液晶パネル2と、液晶パネル2の非表示面側（図1の下側）に配置されて、当該液晶パネル2を照明する照明光を発生するバックライト装置3とが設けられている。

[0042] 液晶パネル2は、一対の基板を構成するカラーフィルタ基板4及び本発明

のアクティブマトリクス基板 5 と、カラーフィルタ基板 4 及びアクティブマトリクス基板 5 の各外側表面にそれぞれ設けられた偏光板 6、7 とを備えている。カラーフィルタ基板 4 とアクティブマトリクス基板 5 との間には、図示を省略した液晶層が挟持されている。また、カラーフィルタ基板 4 及びアクティブマトリクス基板 5 には、平板状の透明なガラス材またはアクリル樹脂などの透明な合成樹脂が使用されている。偏光板 6、7 には、TAC（トリアセチルセルロース）またはPVA（ポリビニルアルコール）などの樹脂フィルムが使用されており、液晶パネル 2 に設けられた表示面の有効表示領域を少なくとも覆うように対応するカラーフィルタ基板 4 またはアクティブマトリクス基板 5 に貼り合わせられている。

[0043] また、アクティブマトリクス基板 5 は、上記一对の基板の一方の基板を構成するものであり、アクティブマトリクス基板 5 では、液晶パネル 2 の表示面に含まれる複数の画素に応じて、画素電極や薄膜トランジスタ（TFT：Thin Film Transistor）などが上記液晶層との間に形成されている（詳細は後述。）。一方、カラーフィルタ基板 4 は、一对の基板の他方の基板を構成するものであり、カラーフィルタ基板 4 には、カラーフィルタや対向電極などが上記液晶層との間に形成されている（図示せず）。

[0044] また、液晶パネル 2 では、当該液晶パネル 2 の駆動制御を行う制御装置（図示せず）に接続されたFPC（Flexible Printed Circuit）8 が設けられており、上記液晶層を画素単位に動作することで表示面を画素単位に駆動して、当該表示面上に所望画像を表示するようになっている。

[0045] 尚、液晶パネル 2 の液晶モードや画素構造は任意である。また、液晶パネル 2 の駆動モードも任意である。すなわち、液晶パネル 2 としては、情報を表示できる任意の液晶パネルを用いることができる。それ故、図 1 においては液晶パネル 2 の詳細な構造を図示せず、その説明も省略する。

[0046] バックライト装置 3 は、光源としての発光ダイオード 9 と、発光ダイオード 9 に対向して配置された導光板 10 とを備えている。また、バックライト装置 3 では、断面 L 字状のベゼル 14 により、導光板 10 の上方に液晶パネ

ル 2 が設置された状態で、発光ダイオード 9 及び導光板 10 が挟持されている。また、カラーフィルタ基板 4 には、ケース 11 が載置されている。これにより、バックライト装置 3 は、液晶パネル 2 に組み付けられて、当該バックライト装置 3 からの照明光が液晶パネル 2 に入射される透過型の液晶表示装置 1 として一体化されている。

[0047] 導光板 10 には、例えば透明なアクリル樹脂などの合成樹脂が用いられており、発光ダイオード 9 からの光が入光される。導光板 10 の液晶パネル 2 と反対側（対向面側）には、反射シート 12 が設置されている。また、導光板 10 の液晶パネル 2 側（発光面側）には、レンズシートや拡散シートなどの光学シート 13 が設けられており、導光板 10 の内部を所定の導光方向（図 1 の左側から右側への方向）に導かれた発光ダイオード 9 からの光が均一な輝度をもつ平面状の上記照明光に変えられて液晶パネル 2 に与えられる。

[0048] 尚、上記の説明では、導光板 10 を有するエッジライト型のバックライト装置 3 を用いた構成について説明したが、本実施形態はこれに限定されるものではなく、直下型のバックライト装置を用いてもよい。また、発光ダイオード以外の冷陰極蛍光管や熱陰極蛍光管などの他の光源を有するバックライト装置も用いることができる。

[0049] 次に、図 2 も参照して、本実施形態の液晶パネル 2 について具体的に説明する。

[0050] 図 2 は、図 1 に示した液晶パネルの構成を説明する図である。

[0051] 図 2 において、液晶表示装置 1（図 1）には、文字や画像等の情報を表示する上記表示部としての液晶パネル 2（図 1）の駆動制御を行うパネル制御部 15 と、このパネル制御部 15 からの指示信号を基に動作するソースドライバ 16 及びゲートドライバ 17 が設けられている。

[0052] パネル制御部 15 は、上記制御装置内に設けられたものであり、液晶表示装置 1 の外部からの映像信号が入力されるようになっている。また、パネル制御部 15 は、入力された映像信号に対して所定の画像処理を行ってソースドライバ 16 及びゲートドライバ 17 への各指示信号を生成する画像処理部

15aと、入力された映像信号に含まれた1フレーム分の表示データを記憶可能なフレームバッファ15bとを備えている。そして、パネル制御部15が、入力された映像信号に応じて、ソースドライバ16及びゲートドライバ17の駆動制御を行うことにより、その映像信号に応じた情報が液晶パネル2に表示される。

[0053] ソースドライバ16及びゲートドライバ17は、アクティブマトリクス基板5上に設置されている。具体的には、ソースドライバ16は、アクティブマトリクス基板5の表面上において、表示パネルとしての液晶パネル2の有効表示領域Aの外側領域で当該液晶パネル2の横方向に沿うように設置されている。また、ゲートドライバ17は、アクティブマトリクス基板5の表面上において、上記有効表示領域Aの外側領域で当該液晶パネル2の縦方向に沿うように設置されている。

[0054] また、ソースドライバ16及びゲートドライバ17は、液晶パネル2側に設けられた複数の画素Pを画素単位に駆動する駆動回路であり、ソースドライバ16及びゲートドライバ17には、複数のソース配線S1～SM（Mは、2以上の整数、以下、“S”にて総称する。）及び複数のゲート配線G1～GN（Nは、2以上の整数、以下、“G”にて総称する。）がそれぞれ接続されている。これらのソース配線S及びゲート配線Gは、それぞれデータ配線及び走査配線を構成しており、アクティブマトリクス基板5に含まれた透明なガラス材または透明な合成樹脂製の基材（図示せず）上で互いに交差するように、マトリクス状に配列されている。すなわち、ソース配線Sは、マトリクス状の列方向（液晶パネル2の縦方向）に平行となるように上記基材上に設けられ、ゲート配線Gは、マトリクス状の行方向（液晶パネル2の横方向）に平行となるように上記基材上に設けられている。

[0055] また、ソースドライバ16には、補助容量C_{cs}を発生させるための補助容量用配線CSが接続されるようになっており、当該ソースドライバ16は、補助容量を発生させるための駆動部としても機能するように構成されている。

- [0056] また、これらのソース配線Sと、ゲート配線Gとの交差部の近傍には、スイッチング素子としての薄膜トランジスタ18と、薄膜トランジスタ18に接続された画素電極19を有する上記画素Pが設けられている。また、各画素Pでは、対向電極CEが液晶パネル2に設けられた上記液晶層を間に挟んだ状態で画素電極19に対向するよう構成されている。すなわち、アクティブマトリクス基板5では、少なくとも一つの薄膜トランジスタ18、少なくとも一つの画素電極19、及び対向電極CEが画素単位に設けられている。
- [0057] また、アクティブマトリクス基板5では、ソース配線Sと、ゲート配線Gとによってマトリクス状に区画された各領域に、複数の各画素Pの領域が形成されている。これら複数の画素Pには、赤色(R)、緑色(G)、及び青色(B)の画素が含まれている。また、これらのRGBの画素は、例えばこの順番で、各ゲート配線G1～GNに平行に順次配設されている。さらに、これらのRGBの画素は、カラーフィルタ基板4側に設けられたカラーフィルタ層(図示せず)により、対応する色の表示を行えるようになっている。
- [0058] また、アクティブマトリクス基板5では、ゲートドライバ17は、画像処理部15aからの指示信号に基づいて、ゲート配線G1～GNに対して、対応する薄膜トランジスタ18のゲート電極をオン状態にする走査信号(ゲート信号)を順次出力する。また、ソースドライバ16は、画像処理部15aからの指示信号に基づいて、表示画像の輝度(階調)に応じたデータ信号(電圧信号(階調電圧))を対応するソース配線S1～SMに出力する。
- [0059] 次に、図3～図5も参照して、本実施形態のアクティブマトリクス基板5の要部構成について具体的に説明する。
- [0060] 図3は、図1に示したアクティブマトリクス基板の要部構成を説明する拡大平面図である。図4は、図3のIV-IV線断面図であり、上記アクティブマトリクス基板の薄膜トランジスタ部とその近傍部分を示す断面図である。図5は、上記アクティブマトリクス基板の補助容量部を示す断面図である。尚、図3では、その上下方向で並設されるとともに、上下対称に設けられた、2つの上記画素Pを図示している。

[0061] 図3に示すように、本実施形態のアクティブマトリクス基板5では、薄膜トランジスタ18がゲート配線Gとソース配線Sとの交差部の近傍に設けられている。薄膜トランジスタ18には、ゲート配線Gに一体的に構成されたゲート電極18gと、ソース配線Sに一体的に構成されたソース電極18sと、ソース電極18sに対向するように設けられたドレイン電極18dと、第1の半導体層21aとが設けられている。

[0062] また、本実施形態のアクティブマトリクス基板5では、上記補助容量配線CSがゲート配線Gと平行となるように設けられている。そして、本実施形態のアクティブマトリクス基板5では、2本のソース配線Sと、ゲート配線Gと、補助容量配線CSとによって、囲まれた領域が、上記画素Pの領域を構成している。

[0063] また、この画素Pの領域には、薄膜トランジスタ18が形成された薄膜トランジスタ部T1と、ドレイン電極18dと画素電極19とを接続する接続部としての画素コンタクト部T2と、画素電極19の大部分を占めるとともに、画素Pにおいてバックライト装置3からの光を透過して表示を実質的に行う画素部（つまり、画素Pの開口部）T3と、補助容量を発生する補助容量部T4が設けられている。

[0064] また、本実施形態のアクティブマトリクス基板5では、後に詳述するように、第1、第2、第3、及び第4のマスクを用いて、薄膜トランジスタ部T1、画素コンタクト部T2、画素部T3、及び補助容量部T4が同時に形成されるようになっている。

[0065] 薄膜トランジスタ部T1には、図4も参照して、基材5aと、基材5a上に設けられたゲート電極18gと、基材5a及びゲート電極18gを覆うように設けられた第1のゲート絶縁膜20aと、第1のゲート絶縁膜20a上に設けられた第1の半導体層21aとが含まれている。また、薄膜トランジスタ部T1には、第1の半導体層21a上に設けられた第1及び第2の電極コンタクト層22a及び22bと、第1の電極コンタクト層22aを介して第1の半導体層21aに接続されたソース電極18sと、第2の電極コンタ

クト層 22b を介して第 1 の半導体層 21a に接続されたドレイン電極 18d とが含まれている。さらに、薄膜トランジスタ部 T1 には、第 1 のゲート絶縁膜 20a、第 1 の半導体層 21a、第 1 及び第 2 の電極コンタクト層 22a 及び 22b、ソース電極 18s、及びドレイン電極 18d を覆うように設けられた保護層 23 と、保護層 23 上に設けられた層間絶縁膜 24 とを含んでいる。

[0066] 画素コンタクト部 T2 には、図 4 も参照して、基材 5a と、基材 5a 上に設けられた第 1 のゲート絶縁膜 20a と、第 1 のゲート絶縁膜 20a 上に設けられた第 1 の半導体層 21a と、第 1 の半導体層 21a 上に順次設けられた第 2 の電極コンタクト層 22b、ドレイン電極 18d、及び画素電極 19 が含まれている。また、画素コンタクト部 T2 には、コンタクトホール部の開口部 H1 が保護層 23 及び層間絶縁膜 24 に設けられており、画素コンタクト部 T2 では、この開口部 H1 内で、ドレイン電極 18d と画素電極 19 とが接続されている。

[0067] 画素部 T3 には、図 4 も参照して、基材 5a と、基材 5a 上に設けられたゲート絶縁膜 20 と、ゲート絶縁膜 20 上に順次設けられた保護層 23、層間絶縁膜 24、及び画素電極 19 が含まれている。また、このように本実施形態のアクティブマトリクス基板 5 では、画素部 T3 において、中間絶縁膜としての層間絶縁膜 24 が設けられた高開口率の SHA (Super High Aperture) 構造とされているので、層間絶縁膜 24 を設けていないものに比べて、画素部 T3 の開口率、つまり画素 P の開口率を大きくすることができる。

[0068] 補助容量部 T4 には、図 5 も参照して、基材 5a と、基材 5a 上に設けられた補助容量配線 CS と、基材 5a 及び補助容量配線 CS を覆うように設けられた第 2 のゲート絶縁膜 20b とが含まれている。また、補助容量部 T4 には、第 2 のゲート絶縁膜 20b 上に設けられた第 2 の半導体層 21b と、第 2 の半導体層 21b 上に設けられた透明電極としての画素電極 19 とが含まれている。さらに、補助容量部 T4 には、コンタクトホール部の開口部 H2 が保護層 23 及び層間絶縁膜 24 に設けられており、補助容量部 T4 では

、この開口部H 2内で、第2の半導体層2 1 bと画素電極1 9とが接続されている。また、この開口部H 2は、図3に示すように、補助容量配線C S上で、当該補助容量配線C Sの幅寸法よりも小さい寸法で開口されている。さらに、同図3に示すように、開口部H 2が第2の半導体層2 1 bの内側に設けられている。

[0069] ここで、補助容量の大きさC_{cs}は一般に、電極の面積をS、電極の間隔をd、電極ではさまれた溶媒の誘電率をεとすると、 $C_{cs} = \epsilon S / d$ により与えられる。本実施形態のように、補助容量配線C Sと画素電極1 9の間に第2のゲート絶縁膜2 0 b、第2の半導体層2 1 bが積層されている場合には、第2のゲート絶縁膜2 0 b、第2の半導体層2 1 bの誘電率をそれぞれε_g、ε_iとし、第2のゲート絶縁膜2 0 b、第2の半導体層2 1 bの膜厚をそれぞれd_g、d_iとすると、下記の(1)式にて与えられる。

[0070] [数1]

$$C_{cs} = \frac{\frac{\epsilon_g}{d_g} \cdot \frac{\epsilon_i}{d_i}}{\frac{\epsilon_g}{d_g} + \frac{\epsilon_i}{d_i}} \cdot S$$

補助容量C_{cs}の上記面積Sは、補助容量部T 4の最下の画素電極1 9と補助容量配線C Sの重畳面積で定まる。本実施形態においては、図3及び図5に示すように、補助容量部T 4の最下の画素電極1 9より補助容量配線C Sの方が大きいため、補助容量C_{cs}の面積Sは、開口部H 2の面積に等しい。

[0071] また、上記基材5 aには、透明な平板材料、例えばガラス基板が用いられている。また、ゲート配線G及びゲート電極1 8 gと補助容量配線C Sには、基材5 a上に同時に形成される同一の第1金属層が用いられている。この第1金属層には、互いに積層された複数構造の金属膜、例えば銅膜及びチタン膜、銅膜及びモリブデン膜、あるいは銅膜及びモリブデン合金膜等の2層構造の金属膜、またはアルミニウム膜、チタン膜、及びアルミニウム膜、あるいはモリブデン膜、アルミニウム膜、及びモリブデン膜等の3層構造の金

属膜が用いられている。

[0072] また、ゲート絶縁膜 20 は、薄膜トランジスタ部 T1 に設けられた第 1 のゲート絶縁膜 20a と補助容量部 T4 に設けられた第 2 のゲート絶縁膜 20b とを一体的に構成したものであり、基材 5a と基材 5a 上に設けられた上記第 1 金属層を覆うように設けられている。また、このゲート絶縁膜 20 には、例えば窒化シリコン (SiNx) が用いられている。

[0073] また、半導体層 21 には、例えばアモルファスシリコン層 (i 層) が用いられている。また、この半導体層 21 は、ゲート絶縁膜 20 の全面を覆うように当該ゲート絶縁膜 20 上に形成された後、エッチングを行うことにより、薄膜トランジスタ部 T1 及び画素コンタクト部 T2 に含まれた第 1 の半導体層 21a と、補助容量部 T4 に含まれた第 2 の半導体層 21b に分けられる (詳細は後述。)。

[0074] また、第 1 及び第 2 の電極コンタクト層 22a 及び 22b には、例えば n+ アモルファスシリコン層 (以下、"n+ 層"ともいう。) が用いられている。これら第 1 及び第 2 の電極コンタクト層 22a 及び 22b は、半導体層 21 の全面を覆うように当該半導体層 21 上に電極コンタクト層として形成された後、エッチングを行うことにより、当該第 1 及び第 2 の電極コンタクト層 22a 及び 22b に分けられる (詳細は後述。)。

[0075] また、ソース配線 S 及びソース電極 18s とドレイン電極 18d には、第 1 及び第 2 の電極コンタクト層 22a 及び 22b 上に形成された第 2 金属層が用いられている。この第 2 金属層は、上記第 1 金属層と同様に、例えば銅膜及びチタン膜、銅膜及びモリブデン膜、あるいは銅膜及びモリブデン合金膜等の 2 層構造の金属膜、またはアルミニウム膜、チタン膜、及びアルミニウム膜、あるいはモリブデン膜、アルミニウム膜、及びモリブデン膜等の 3 層構造の金属膜が用いられている。

[0076] また、保護層 23 には、例えば窒化シリコン (SiNx) や酸化シリコン (SiO₂) が用いられている。また、層間絶縁膜 24 には、例えばノボラック樹脂等の絶縁材料に感光材を混ぜた感光性層間絶縁膜材料が用いられてい

る。

[0077] また、画素電極 19 には、例えば ITO や IZO 等の透明な金属酸化膜が用いられており、層間絶縁膜 24 上を覆うように形成されている。つまり、上記透明電極は、画素電極 19 として構成されており、補助容量部 T4 に含まれるようになっている。なお、図 5 において、第 2 の半導体層 21b が画素電極 19 より内側に位置しているが、これに限られず、第 2 の半導体層 21b が画素電極 19 より外側に位置してもよい。また、第 2 の半導体層 21b は補助容量配線 CS よりも外側に位置しているが、これに限られず、第 2 の半導体層 21b が補助容量配線 CS よりも内側に位置してよい。少なくとも、第 2 の半導体層 21b が開口部 H2 より外にあればよい。

[0078] 以下、図 6～図 17 も参照して、上記のように構成された本実施形態のアクティブマトリクス基板 5 の要部構成の製造方法について具体的に説明する。

[0079] 図 6 は、上記アクティブマトリクス基板の要部構成の主な製造工程を示すフローチャートである。図 7 は、上記アクティブマトリクス基板の要部構成の主な製造工程を説明する図であり、図 7 (a)～図 7 (b) は、一連の主な製造工程を説明している。図 8 は、図 7 (b) に続いて行われる、上記アクティブマトリクス基板の要部構成の主な製造工程を説明する図であり、図 8 (a)～図 8 (b) は、一連の主な製造工程を説明している。図 9 は、図 8 (b) に続いて行われる、上記アクティブマトリクス基板の要部構成の主な製造工程を説明する図であり、図 9 (a)～図 9 (b) は、一連の主な製造工程を説明している。図 10 は、図 9 (b) に続いて行われる、上記アクティブマトリクス基板の要部構成の主な製造工程を説明する図であり、図 10 (a)～図 10 (b) は、一連の主な製造工程を説明している。図 11 は、図 10 (b) に続いて行われる、上記アクティブマトリクス基板の要部構成の主な製造工程を説明する図であり、図 11 (a)～図 11 (b) は、一連の主な製造工程を説明している。図 12 は、図 11 (b) に続いて行われる、上記アクティブマトリクス基板の要部構成の主な製造工程を説明する図

であり、図12(a)～図12(b)は、一連の主な製造工程を説明している。図13は、図12(b)に続いて行われる、上記アクティブマトリクス基板の要部構成の主な製造工程を説明する図であり、図13(a)～図13(b)は、一連の主な製造工程を説明している。図14は、図13(b)に続いて行われる、上記アクティブマトリクス基板の要部構成の主な製造工程を説明する図であり、図14(a)～図14(b)は、一連の主な製造工程を説明している。図15は、図14(b)に続いて行われる、上記アクティブマトリクス基板の要部構成の主な製造工程を説明する図である。図16は、図15に続いて行われる、上記アクティブマトリクス基板の要部構成の主な製造工程を説明する図である。図17は、図16に続いて行われる、上記アクティブマトリクス基板の要部構成の主な製造工程を説明する図である。

[0080] 図7(a)に示すように、本実施形態のアクティブマトリクス基板5では、まず上記第1金属層を基材5a上に形成した後、当該第1金属層に対して、第1のマスクM1を用いてパターニングを行うことにより、薄膜トランジスタ部T1のゲート電極18g及び補助容量部T4の補助容量配線CSを形成する第1工程が行われる(図6のステップS1～S4)。

[0081] 具体的にいえば、図7(a)に示すように、基材5a上に対して、例えばスパッタ法を用いることにより、第1金属層FMをデポジットした後(ステップS1)、第1のマスクM1とレジストr1を用いて、フォトリソグラフィを行う(ステップS2)。

[0082] 次に、図7(b)に示すように、ウェットエッチングを行ってパターニングすることにより、薄膜トランジスタ部T1のゲート電極18g及び補助容量部T4の補助容量配線CSを基材5a上に形成する(ステップS3)。

[0083] 続いて、図8(a)に示すように、レジストr1の剥離を行う(ステップS4)。

[0084] 次に、ゲート電極18g及び補助容量配線CSを覆うようにゲート絶縁膜20、半導体層21、電極コンタクト層22、及び第2金属層25を順次形成した後、半導体層21、電極コンタクト層22、及び第2金属層25に対

してハーフトーンマスクからなる第2のマスクM2を用いてパターニングを行うことにより、薄膜トランジスタ部T1の第1の半導体層21aと第1及び第2の電極コンタクト層22a及び22bとソース電極18sとドレイン電極18d及び補助容量部T4の第2の半導体層21bを形成する第2工程が行われる（図6のステップS5～S13）。

[0085] 具体的にいえば、図8（b）に示すように、ゲート絶縁膜20が、例えばCVD法により、ゲート電極18g、補助容量配線CS、及び基材5aを覆うように、デポジットされる（ステップS5）。これにより、薄膜トランジスタ部T1及び画素コンタクト部T2の第1のゲート絶縁膜20aと、補助容量部T4の第2のゲート絶縁膜20bが設けられる。

[0086] 続いて、図9（a）に示すように、半導体層21及び電極コンタクト層22が、例えばCVD法により、ゲート絶縁膜20上に順次デポジットされる（ステップS5）。これにより、薄膜トランジスタ部T1及び画素コンタクト部T2の第1の半導体層21aと、補助容量部T4の第2の半導体層21bが設けられる。

[0087] 尚、上記の説明以外に、ゲート絶縁膜20、半導体層21、電極コンタクト層22は、同じCVD装置により連続して成膜してもよく、またゲート絶縁膜20と半導体層21、電極コンタクト層22とに分けて成膜してもよい。

[0088] 次に、図9（b）に示すように、第2金属層25が、例えばスパッタ法を用いることにより、電極コンタクト層22上にデポジットされる（ステップS6）。

[0089] 続いて、図10（a）に示すように、第2のマスクM2を用いて、ハーフフォトリソグラフィが行われる（ステップS7）。この第2のマスクM2には、レジスト無し、レジスト膜厚が薄い（レジストハーフ26b）、及びレジスト膜厚が厚い（レジストフル26a）の3階調のレジストパターンを形成するハーフトーンマスクが用いられている。つまり、第2のマスクM2には、例えば透過率が互いに異なる3つの部分M2a、M2b、及びM2cが

設けられており、第2金属層25上には、図10(a)に示すように、これらの部分M2a、M2b、及びM2cにそれぞれ対応して、レジスト26がない部分、レジスト26の膜厚が厚いレジストフル26aの部分、及びレジスト26の膜厚が薄いレジストハーフ26bの部分形成される。

[0090] また、本実施形態のアクティブマトリクス基板5では、第2のマスクM2にハーフトーンマスクを用いるとともに、レジストハーフ26bを形成し当該レジストハーフ26bの部分によって、補助容量部T4の部分形成することにより、第1～第4のマスクM1～M4の4枚のマスクを使用して、アクティブマトリクス基板5を製造したときでも、当該アクティブマトリクス基板5を適切に製造することができる。具体的には、本実施形態のアクティブマトリクス基板5では、画素Pの開口率の低下を防止しつつ、補助容量部T4での補助容量が変動するのを防ぐことができ、ひいては液晶パネル2に焼付きが生じるのを防止できるようになっている（詳細は後述。）。

[0091] 尚、上記の説明以外に、スリットを複数設けることによりレジストハーフ26bの部分形成するグレートーンマスクを用いる構成でもよい。

[0092] 次に、図10(b)に示すように、例えばウェットエッチングを行うことにより、レジスト26にて覆われた第2金属層の部分が残されて、薄膜トランジスタ部T1及び画素コンタクト部T2の第1の第2金属層25aと、補助容量部T4の第2の金属層25bが形成される（ステップS8）。

[0093] 続いて、図11(a)に示すように、例えばドライエッチングを行うことにより、レジスト26にて覆われた半導体層21及び電極コンタクト層22の部分が残されて、薄膜トランジスタ部T1及び画素コンタクト部T2では、半導体層21及び電極コンタクト層22からなる島（アイランド）が形成される（ステップS9）。また、補助容量部T4でも、レジスト26にて覆われた半導体層21（第2の半導体層21b）及び電極コンタクト層22の部分が形成される（ステップS9）。

[0094] 次に、図11(b)に示すように、例えばアッシングを行うことにより、レジストハーフ26bが取り除かれる（ステップS10）。

[0095] 続いて、図12(a)に示すように、例えばウェットエッチングを行うことにより、レジストフル26aにて覆われた第1の第2金属層25aの部分が残されて、薄膜トランジスタ部T1のソース電極18sと、薄膜トランジスタ部T1及び画素コンタクト部T2のドレイン電極18dが形成される（ステップS11）。また、補助容量部T4の第2の金属層25bは、完全に取り除かれる（ステップS11）。

[0096] 次に、図12(b)に示すように、GAPドライが行われる。つまり、例えばドライエッチングを行うことにより、電極コンタクト層22のチャンネル部が取り除かれ、薄膜トランジスタ部T1の第1の電極コンタクト層22aと、薄膜トランジスタ部T1及び画素コンタクト部T2の第2の電極コンタクト層22bが形成される（ステップS12）。また、補助容量部T4の電極コンタクト層22は取り除かれる（ステップS12）。

[0097] すなわち、本実施形態のアクティブマトリクス基板5では、チャンネル部の電極コンタクト層22を取り除くドライエッチングと同時に、補助容量部T4において、n+層からなる電極コンタクト層22を除去することにより、確実に補助容量部T4における電極コンタクト層22を除去することができ、かつ、当該補助容量部T4での補助容量が変動するのを防ぐことができ、ひいては液晶パネル2の焼付きを防止することができるようになっている（詳細は後述。）。また、上記GAPドライにおいて、後に詳述するように、ドライエッチングの時間を所定の時間以上とすることにより、n+層からなる電極コンタクト層22を確実に除去することができる。

[0098] 続いて、図13(a)に示すように、レジストフル26aが剥離される（ステップS13）。

[0099] なお、この製造工程において、図13(a)からわかるように、ソース電極18sとドレイン電極18dの周囲には、それらを囲むように、電極コンタクト層22、第1の半導体層21aが形成されている。

[0100] 次に、第1のゲート絶縁膜20a、第1の半導体層21a、第1及び第2の電極コンタクト層22a及び22b、ソース電極18s、ドレイン電極1

8 d、第2のゲート絶縁膜20 b、及び第2の半導体層21 bを覆うように保護層23及び層間絶縁膜24を順次形成した後、第3のマスクM3を用いてパターニングを行うことにより、開口部H1及びH2を保護層23と層間絶縁膜24に形成し、ゲート配線Gの端子部の開口部（図示せず）をゲート絶縁膜20と保護層23と層間絶縁膜24に形成する第3工程が行われる（図6のステップS14～S17）。

[0101] 具体的にいえば、図13（b）に示すように、保護層23が、例えばCVD法により、ゲート絶縁膜20、半導体層21、第1及び第2の電極コンタクト層22 a及び22 b、ソース電極18 s、及びドレイン電極18 dを覆うように、デポジットされる（ステップS14）。

[0102] 続いて、図14（a）に示すように、層間絶縁膜24が、保護層23上に塗布された後（ステップS15）、第3のマスクM3を用いて、フォトリソグラフィが行われる（ステップS16）。これにより、画素コンタクト部T2には、コンタクトホール部の開口部H1が層間絶縁膜24に形成され、補助容量部T4には、コンタクトホール部の開口部H2が層間絶縁膜24に形成される。また、薄膜トランジスタ部T1の保護層23及び層間絶縁膜24が形成される。

[0103] 次に、図14（b）に示すように、例えばドライエッチングを行うことにより、開口部H1及びH2が各々保護層23にも形成されて、当該開口部H1及びH2が完成される（ステップS17）。尚、補助容量部T4では、その表面に第2の半導体層21 bが存在しており、当該第2の半導体層21 bは保護層23よりもエッチングレートが小さいことから、図14（b）に示すように、ドライエッチング後にも、除去されずに残された状態となる。すなわち、補助容量部T4の第2の半導体層21 bが形成される。

[0104] また、ゲート配線Gの端子部の開口部は、半導体層21が無いためにゲート絶縁膜、保護層がエッチングされ、端子部が開口する（図示せず）。

[0105] また、補助容量部T4において、第2の半導体層21 bが形成されるので、当該補助容量部T4での膜厚管理（第2のゲート絶縁膜20 bの膜厚管理

）を容易に行うことができ、補助容量部 T 4 の補助容量がばらつくのを容易に抑えることができる。

[0106] 続いて、薄膜トランジスタ部 T 1 の保護層 2 3 と層間絶縁膜 2 4 及び補助容量部 T 4 の開口部 H 2 を覆うように透明電極を形成した後、第 4 のマスク M 4 を用いてパターニングを行うことにより、補助容量部 T 4 の透明電極を形成する第 4 工程が行われる（図 6 のステップ S 1 8 ～ S 2 1）。

[0107] 具体的にいえば、図 1 5 に示すように、透明電極としての画素電極 1 9 が、例えばスパッタ法を用いることにより、ドレイン電極 1 8 d、第 2 の半導体層 2 1 b、保護層 2 3、及び層間絶縁膜 2 4 上にデポジットされる（ステップ S 1 8）。その後、第 4 のマスク M 4 とレジスト r 2 を用いて、フォトリソグラフィが行われる（ステップ S 1 9）。

[0108] 次に、図 1 6 に示すように、ウェットエッチングを行ってパターニングすることにより、補助容量部 T 4 の透明電極（画素電極 1 9）が形成される（ステップ S 2 0）。

[0109] 続いて、図 1 7 に示すように、レジスト r 2 の剥離を行う（ステップ S 2 1）。

[0110] 以上の第 1 工程～第 4 工程により、本実施形態のアクティブマトリクス基板 5 は、完成される。

[0111] 以上のように構成された本実施形態のアクティブマトリクス基板 5 では、薄膜トランジスタ部 T 1 は基材 5 a とこの基材 5 a 上に順次設けられたゲート電極 1 8 g、第 1 のゲート絶縁膜 2 0 a、第 1 の半導体層 2 1 a、第 1 及び第 2 の電極コンタクト層 2 2 a 及び 2 2 b、ソース電極 1 8 s 及びドレイン電極 1 8 d、保護層 2 3、及び層間絶縁膜 2 4 を含んで構成されている。また、補助容量部 T 4 は、基材 5 a とこの基材 5 a 上に順次設けられた補助容量配線 C S、第 2 のゲート絶縁膜 2 0 b、第 2 の半導体層 2 1 b、及び画素電極（透明電極） 1 9 を含んで構成されている。これにより、本実施形態では、上記従来例と異なり、4 枚のマスクを用いて、薄膜トランジスタ部 T 1 と補助容量部 T 4 を有するアクティブマトリクス基板 5 を適切に構成する

ことができる。この結果、本実施形態では、上記従来例と異なり、マスク枚数を低減することができるコスト安価なアクティブマトリクス基板 5 を提供することができる。

[0112] また、本実施形態のアクティブマトリクス基板 5 では、上述したように、第 2 のマスク M 2 にハーフトーンマスクを用いるとともに、レジストハーフ 2 6 b を形成し当該レジストハーフ 2 6 b の部分によって、補助容量部 T 4 の部分を形成することにより、第 1 ～第 4 のマスク M 1 ～M 4 の 4 枚のマスクを使用して、アクティブマトリクス基板 5 を製造したときでも、当該アクティブマトリクス基板 5 を適切に製造することができる。具体的には、本実施形態のアクティブマトリクス基板 5 では、画素 P の開口率の低下を防止しつつ、補助容量部 T 4 での補助容量が変動するのを防ぐことができ、ひいては液晶パネル 2 に焼付きが生じるのを防止できるようになっている。

[0113] ここで、第 2 のマスクにおいて、レジストハーフを形成せずに、補助容量部の部分を形成した場合での第 1 の比較例のアクティブマトリクス基板 5' と第 2 の比較例のアクティブマトリクス基板 5'' について具体的に説明する。この第 1 の比較例のアクティブマトリクス基板 5' は、第 2 のマスクにおいて、レジストを形成せず、つまりレジスト無しの部分によって、補助容量部 T 4' の部分を形成したものである。また、第 2 の比較例のアクティブマトリクス基板 5'' は、第 2 のマスクにおいて、レジストフルの部分によって、補助容量部 T 4'' の部分を形成したものである。

[0114] 尚、以下の説明では、第 1 の比較例のアクティブマトリクス基板 5' 及び第 2 の比較例のアクティブマトリクス基板 5'' の各部において、本実施形態品のものと同一の部分の符号に対して、それぞれ「'」及び「''」を付加して示している。

[0115] まず図 1 8 ～図 2 6 を参照して、第 1 の比較例のアクティブマトリクス基板 5' の製造工程と問題点について具体的に説明する。尚、以下の説明では、第 1 金属層を基材上に設けた後、ゲート絶縁膜、半導体層、電極コンタクト層、及び第 2 金属層を順次形成する製造工程は、図 7 (a) ～図 9 (b) に

示したものと同様であるので、その説明を省略する（後掲の第2の比較例のアクティブマトリクス基板5”においても、同様。）。

[0116] 図18は、第1の比較例のアクティブマトリクス基板の要部構成の主な製造工程を説明する図であり、図18(a)～図18(b)は、一連の主な製造工程を説明している。図19は、図18(b)に続いて行われる、上記第1の比較例のアクティブマトリクス基板の要部構成の主な製造工程を説明する図であり、図19(a)～図19(b)は、一連の主な製造工程を説明している。図20は、図19(b)に続いて行われる、上記第1の比較例のアクティブマトリクス基板の要部構成の主な製造工程を説明する図であり、図20(a)～図20(b)は、一連の主な製造工程を説明している。図21は、図20(b)に続いて行われる、上記第1の比較例のアクティブマトリクス基板の要部構成の主な製造工程を説明する図であり、図21(a)～図21(b)は、一連の主な製造工程を説明している。図22は、図21(b)に続いて行われる、上記第1の比較例のアクティブマトリクス基板の要部構成の主な製造工程を説明する図であり、図22(a)～図22(b)は、一連の主な製造工程を説明している。図23は、図22(b)に続いて行われる、上記第1の比較例のアクティブマトリクス基板の要部構成の主な製造工程を説明する図である。図24は、図23に続いて行われる、上記第1の比較例のアクティブマトリクス基板の要部構成の主な製造工程を説明する図である。図25は、図24に続いて行われる、上記第1の比較例のアクティブマトリクス基板の要部構成の主な製造工程を説明する図である。図26は、上記第1の比較例のアクティブマトリクス基板の補助容量部を示す断面図である。

[0117] 図18(a)に示すように、第2のマスクM2'を用いて、ハーフフォトリソグラフィが行われる。この第2のマスクM2'には、レジスト無し、レジスト膜厚が薄い（レジストハーフ26b'）、及びレジスト膜厚が厚い（レジストフル26a'）の3階調のレジストパターンを有するハーフトーンマスクが用いられている。つまり、第2のマスクM2'には、例えば透過率が互いに異

なる3つの部分M2 a'、M2 b'、及びM2 c'が設けられており、第2金属層25'上には、図18(a)に示すように、これらの部分M2 a'、M2 b'、及びM2 c'にそれぞれ対応して、レジスト26'がない部分、レジスト26'の膜厚が厚いレジストフル26 a'の部分、及びレジスト26'の膜厚が薄いレジストハーフ26 b'の部分が形成される。

[0118] また、本実施形態のアクティブマトリクス基板5では、第2のマスクM2'にハーフトーンマスクを用いるとともに、レジスト26を形成せずに、補助容量部T4'の部分を形成している。

[0119] 次に、図18(b)に示すように、例えばウェットエッチングを行うことにより、レジスト26'にて覆われた第2金属層の部分が残されて、薄膜トランジスタ部T1'及び画素コンタクト部T2'の第1の第2金属層25 a'が形成される。一方、本実施形態品と異なり、補助容量部T4'では、第2の金属層25'は取り除かれる。

[0120] 続いて、図19(a)に示すように、例えばドライエッチングを行うことにより、レジスト26'にて覆われた半導体層21'及び電極コンタクト層22'の部分が残されて、薄膜トランジスタ部T1'及び画素コンタクト部T2'では、半導体層21'及び電極コンタクト層22'からなる島（アイランド）が形成される。一方、本実施形態品と異なり、補助容量部T4'では、半導体層21'及び電極コンタクト層22'は取り除かれる。

[0121] 次に、図19(b)に示すように、例えばアッシングを行うことにより、レジストハーフ26 b'が取り除かれる。

[0122] 続いて、図20(a)に示すように、例えばウェットエッチングを行うことにより、レジストフル26 a'にて覆われた第1の第2金属層25 a'の部分が残り、薄膜トランジスタ部T1'のソース電極18 s'と、薄膜トランジスタ部T1'及び画素コンタクト部T2'のドレイン電極18 d'が形成される。

[0123] 次に、図20(b)に示すように、GAPドライが行われる。つまり、例えばドライエッチングを行うことにより、電極コンタクト層22'のチャンネル

部が取り除かれ、薄膜トランジスタ部 T 1' の第 1 の電極コンタクト層 2 2 a' と、薄膜トランジスタ部 T 1' 及び画素コンタクト部 T 2' の第 2 の電極コンタクト層 2 2 b' が形成される。

[0124] 続いて、図 2 1 (a) に示すように、レジストフル 2 6 a' が剥離される。

[0125] 次に、図 2 1 (b) に示すように、保護層 2 3' が、例えば CVD 法により、ゲート絶縁膜 2 0'、半導体層 2 1'、第 1 及び第 2 の電極コンタクト層 2 2 a' 及び 2 2 b'、ソース電極 1 8 s'、及びドレイン電極 1 8 d' を覆うように、デポジットされる。

[0126] 続いて、図 2 2 (a) に示すように、層間絶縁膜 2 4' が、保護層 2 3' 上に塗布された後、第 3 のマスク M 3' を用いて、フォトリソグラフィが行われる。これにより、画素コンタクト部 T 2' には、コンタクトホール部の開口部 H 1' が層間絶縁膜 2 4' に形成される。一方、本実施形態品と異なり、補助容量部 T 4' には、コンタクトホール部の開口部は形成されない。また、薄膜トランジスタ部 T 1' の保護層 2 3' 及び層間絶縁膜 2 4' が形成される。

[0127] 次に、図 2 2 (b) に示すように、例えばドライエッチングを行うことにより、開口部 H 1' が保護層 2 3' にも形成されて、当該開口部 H 1' が完成される。

[0128] 続いて、図 2 3 に示すように、透明電極としての画素電極 1 9' が、例えばスパッタ法を用いることにより、ドレイン電極 1 8 d'、保護層 2 3'、及び層間絶縁膜 2 4' 上にデポジットされる。その後、第 4 のマスク M 4' とレジスト r 2' を用いて、フォトリソグラフィを行う。

[0129] 次に、図 2 4 に示すように、ウェットエッチングを行ってパターニングすることにより、補助容量部 T 4' の透明電極（画素電極 1 9'）が形成される。

[0130] 続いて、図 2 5 に示すように、レジスト r 2' の剥離を行う。

[0131] 以上の工程により、第 1 の比較例のアクティブマトリクス基板 5' は、完成される。また、図 2 6 に示すように、第 1 の比較例のアクティブマトリクス基板 5' において、その補助容量部 T 4' は、基材 5 a'、補助容量配線 C S'

、第2のゲート絶縁膜20b'、保護層23'、層間絶縁膜24'、及び画素電極19'を含んで構成されている。このように、補助容量部T4'では、補助容量配線CS'と画素電極19'との間に、3つの絶縁膜（つまり、第2のゲート絶縁膜20b'、保護層23'、及び層間絶縁膜24'）を挟んでいる。このため、補助容量部T4'において所定の補助容量を確保するためには、当該補助容量部T4'の面積を大きくする必要がある。この結果、第1の比較例のアクティブマトリクス基板5'では、本実施形態品と異なり、画素P'の開口率の低下を招くという問題点を生じる。

[0132] 次に、図27～図35を参照して、第2の比較例のアクティブマトリクス基板5''の製造工程と問題点について具体的に説明する。

[0133] 図27は、第2の比較例のアクティブマトリクス基板の要部構成の主な製造工程を説明する図であり、図27(a)～図27(b)は、一連の主な製造工程を説明している。図28は、図27(b)に続いて行われる、上記第2の比較例のアクティブマトリクス基板の要部構成の主な製造工程を説明する図であり、図28(a)～図28(b)は、一連の主な製造工程を説明している。図29は、図28(b)に続いて行われる、上記第2の比較例のアクティブマトリクス基板の要部構成の主な製造工程を説明する図であり、図29(a)～図29(b)は、一連の主な製造工程を説明している。図30は、図29(b)に続いて行われる、上記第2の比較例のアクティブマトリクス基板の要部構成の主な製造工程を説明する図であり、図30(a)～図30(b)は、一連の主な製造工程を説明している。図31は、図30(b)に続いて行われる、上記第2の比較例のアクティブマトリクス基板の要部構成の主な製造工程を説明する図であり、図31(a)～図31(b)は、一連の主な製造工程を説明している。図32は、図31(b)に続いて行われる、上記第2の比較例のアクティブマトリクス基板の要部構成の主な製造工程を説明する図である。図33は、図32に続いて行われる、上記第2の比較例のアクティブマトリクス基板の要部構成の主な製造工程を説明する図である。図34は、図33に続いて行われる、上記第2の比較例のアクティ

ブマトリクス基板の要部構成の主な製造工程を説明する図である。図35は、上記第2の比較例のアクティブマトリクス基板の補助容量部を示す断面図である。

[0134] 図27(a)に示すように、第2のマスクM2”を用いて、ハーフフォトリソグラフィが行われる。この第2のマスクM2”には、レジスト無し、レジスト膜厚が薄い（レジストハーフ26b”）、及びレジスト膜厚が厚い（レジストフル26a”）の3階調のレジストパターンを有するハーフトーンマスクが用いられている。つまり、第2のマスクM2”には、例えば透過率が互いに異なる3つの部分M2a”、M2b”、及びM2c”が設けられており、第2金属層25”上には、図27(a)に示すように、これらの部分M2a”、M2b”、及びM2c”にそれぞれ対応して、レジスト26”がない部分、レジスト26”の膜厚が厚いレジストフル26a”の部分、及びレジスト26”の膜厚が薄いレジストハーフ26b”の部分が形成される。

[0135] また、第2の比較例のアクティブマトリクス基板5”では、第2のマスクM2”にハーフトーンマスクを用いるとともに、レジストフル26a”を形成し当該レジストフル26a”の部分によって、補助容量部T4”の部分を形成している。

[0136] 次に、図27(b)に示すように、例えばウェットエッチングを行うことにより、レジスト26”にて覆われた第2金属層の部分が残されて、薄膜トランジスタ部T1”及び画素コンタクト部T2”の第1の第2金属層25a”と、補助容量部T4”の第2の金属層25b”が形成される。

[0137] 続いて、図28(a)に示すように、例えばドライエッチングを行うことにより、レジスト26”にて覆われた半導体層21”及び電極コンタクト層22”の部分が残されて、薄膜トランジスタ部T1”及び画素コンタクト部T2”では、半導体層21”及び電極コンタクト層22”からなる島（アイランド）が形成される。また、補助容量部T4”でも、レジスト26”にて覆われた半導体層21”（第2の半導体層21b”）及び電極コンタクト層22”の部分が形成される。

- [0138] 次に、図28(b)に示すように、例えばアッシングを行うことにより、レジストハーフ26b”が取り除かれる。
- [0139] 続いて、図29(a)に示すように、例えばウェットエッチングを行うことにより、レジストフル26a”にて覆われた第1の第2金属層25a”の部分が残されて、薄膜トランジスタ部T1”のソース電極18s”と、薄膜トランジスタ部T1”及び画素コンタクト部T2”のドレイン電極18d”が形成される。また、本実施形態品と異なり、補助容量部T4”では、第2の金属層25b”は、レジストフル26a”にて覆われているので、取り除かれずに、残されている。
- [0140] 次に、図29(b)に示すように、GAPドライが行われる。つまり、例えばドライエッチングを行うことにより、電極コンタクト層22”のチャンネル部が取り除かれ、薄膜トランジスタ部T1”の第1の電極コンタクト層22a”と、薄膜トランジスタ部T1”及び画素コンタクト部T2”の第2の電極コンタクト層22b”が形成される。また、本実施形態品と異なり、補助容量部T4”では、第2の金属層25b”と電極コンタクト層22”は取り除かれずに、残される。
- [0141] 続いて、図30(a)に示すように、レジストフル26a”が剥離される。
- [0142] 次に、図30(b)に示すように、保護層23”が、例えばCVD法により、ゲート絶縁膜20”、半導体層21”、第1及び第2の電極コンタクト層22a”及び22b”、ソース電極18s”、ドレイン電極18d”、電極コンタクト層22”、及び第2の金属層25b”を覆うように、デポジットされる。
- [0143] 続いて、図31(a)に示すように、層間絶縁膜24”が、保護層23”上に塗布された後、第3のマスキングM3”を用いて、フォトリソグラフィが行われる。これにより、画素コンタクト部T2”には、コンタクトホール部の開口部H1”が層間絶縁膜24”に形成され、補助容量部T4”には、コンタクトホール部の開口部H2”が層間絶縁膜24”に形成される。また、薄膜トランジスタ部T1”の保護層23”及び層間絶縁膜24”が形成される。
- [0144] 次に、図31(b)に示すように、例えばドライエッチングを行うことに

より、開口部H 1”及びH 2”が各々保護層2 3”にも形成されて、当該開口部H 1”及びH 2”が完成される。また、本実施形態品と異なり、補助容量部T 4”では、第2の半導体層2 1 b”上に、電極コンタクト層2 2”及び第2の金属層2 5 b”が存在している。

[0145] 続いて、図3 2に示すように、透明電極としての画素電極1 9”が、例えばスパッタ法を用いることにより、ドレイン電極1 8 d”、第2の金属層2 5 b”、保護層2 3”、及び層間絶縁膜2 4”上にデポジットされる。その後、第4のマスクM 4”とレジストr 2”を用いて、フォトリソグラフィを行う。

[0146] 次に、図3 3に示すように、ウェットエッチングを行ってパターニングすることにより、補助容量部T 4”の透明電極（画素電極1 9”）が形成される。

[0147] 続いて、図3 4に示すように、レジストr 2”の剥離を行う。

[0148] 以上の工程により、第2の比較例のアクティブマトリクス基板5”は、完成される。また、図3 5に示すように、第2の比較例のアクティブマトリクス基板5”において、その補助容量部T 4”は、基材5 a”、補助容量配線C S”、第2のゲート絶縁膜2 0 b”、第2の半導体層2 1 b”、電極コンタクト層2 2”、第2の金属層2 5 b”、及び画素電極1 9”を含んで構成されている。このように、補助容量部T 4”では、本実施形態品と異なり、補助容量配線C S”と画素電極1 9”との間に、第2の半導体層2 1 b”だけでなく、電極コンタクト層2 2”をも挟んでいる。このため、第2の比較例のアクティブマトリクス基板5”では、液晶パネル2の使用に伴う（つまり、経年変化に伴う）、画素電極1 9”から第2の金属層2 5 b”を介して電極コンタクト層2 2”及び第2の半導体層2 1 b”への電圧印加に応じて、当該第2の半導体層2 1 b”での閾値が変化して、補助容量部T 4”の補助容量に変動が生じ、ひいては当該液晶パネル2に焼付きが生じることがある。

[0149] ここで、図3 6～図3 9も参照して、第2の比較例のアクティブマトリクス基板5”の上記問題点について、具体的に説明する。

[0150] 図3 6は、画素電圧－補助容量配線電圧と容量比との関係を示すグラフで

ある。図 3 7 は、画素電圧－補助容量配線電圧と容量変化との関係を示すグラフである。図 3 8 は、液晶印加電圧と初期値からの対向電圧差との関係を示すグラフである。図 3 9 は、印加電圧と容量との関係を示すグラフである。

[0151] 図 3 6 において、曲線 6 0 及び 6 1 は、それぞれ上記閾値の変化前（初期値）及び変化後（画面を表示し続けたエージング後）における、第 2 の比較例での画素電圧－補助容量配線電圧と（補助）容量比との関係を示している。また、図 3 6 において、画素電圧－補助容量配線電圧の 0 よりも大きい値及び 0 よりも小さい値は、画素に対して、それぞれ「＋書き込み」及び「－書き込み」が行われたことに対応している。ここでいう、「＋書き込み」及び「－書き込み」とは、ソースドライバ 1 6 がソース電極 1 8 s” に対して、例えば 0 V 以上 1 5 V 以下の電圧を印加するよう構成されている場合、共通電位よりも大きい電圧及び小さい電圧をソース電圧としてそれぞれ印加する場合をいう。さらに、エージングの経過時間を増やしていけば、曲線 6 1 はさらに左にシフトすることとなる。

[0152] また、ソース電極 1 8 s” に対して、「＋書き込み」及び「－書き込み」が行われた場合、対応する画素電極 1 9” に対して、そのソース電圧が書き込まれる。但し、画素電極 1 9” に書き込まれる電圧は、ソース電圧よりも小さい電圧となる。

[0153] 具体的にいえば、液晶パネル 2 では、画素電極 1 9” に書き込まれる電圧は、ゲート電極 1 8 g” へのゲート電圧が High 電圧（例えば、3 0 V）から Low 電圧（例えば、－1 5 V）に切り替わるときに、ソース電圧に比べて、下記 ΔV_d （引き込み電圧）だけ変化する。

[0154] [数 2]

$$\Delta V_d = - \frac{C_{gd}}{C_{gd} + C_{ls} + C_{cs}} \cdot \Delta V_g$$

上記（2）式において、 C_{gd} はゲート電極 1 8 g” とドレイン電極 1 8 d” との間の静電容量であり、 C_{lc} は上記液晶層の静電容量である。また、 C_c

sは補助容量であり、 ΔV_g はゲート電圧でのHigh電圧とLow電圧との差の電圧である。つまり、画素電極19”に書き込まれる電圧は、ソース電圧よりも ΔV_d だけ減少するので、液晶パネル2では、対向電極CEへの対向電圧（共通電位） V_{com} は ΔV_d だけ調整されて出荷される。つまり、共通電位 $V_{com} = 7.5 + \Delta V_d$ である。

[0155] 図36に示す通り、補助容量 C_{cs} は、+書き込み、-書き込みによって変動し、具体的には、以下の(3)式及び(4)式にてそれぞれあらわされる。

[0156] [数3]

$$C_{cs+} = \frac{\frac{\epsilon_{GI}}{d_{GI}} \cdot \frac{\epsilon_i}{d_i}}{\frac{\epsilon_{GI}}{d_{GI}} + \frac{\epsilon_i}{d_i}} \cdot S$$

[0157] [数4]

$$C_{cs-} = \frac{\epsilon_{GI}}{d_{GI}} \cdot S$$

但し、 d_{GI} 及び ϵ_{GI} は、それぞれ第2のゲート絶縁膜20b”の膜厚及び誘電率である。また、 d_i 及び ϵ_i は、それぞれ第2の半導体層21b”の膜厚及び誘電率である。また、 S は、補助容量 C_{cs} の上記面積である。

[0158] つまり、-書き込みの補助容量 C_{cs-} は第2のゲート絶縁膜20b”のみで補助容量部を形成した場合に等しく、その値は+書き込みの補助容量より大きい。上記から第2のゲート絶縁膜20b”のみで補助容量部を形成した場合の共通電位(V_{com_g})、及び第2の半導体層21b”、電極コンタクト層22”により補助容量部を形成した場合の共通電位(V_{com_i})は、それぞれ下記の(5)式及び(6)式にてあらわされる。

[0159] [数5]

$$V_{com_g} = 7.5 - \frac{C_{gd}}{C_{gd} + C_{ls} + C_{cs}} \cdot \Delta V_g$$

[0160] [数6]

$$V_{com_i} = 7.5 - \frac{C_{gd}}{C_{gd} + C_{ls} + C_{cs+}} \cdot \frac{\Delta V_g}{2} - \frac{C_{gd}}{C_{gd} + C_{ls} + C_{cs-}} \cdot \frac{\Delta V_g}{2}$$

上式より、補助容量部が第2の半導体層21b”、電極コンタクト層22”が存在せずに、第2のゲート絶縁膜20b”だけが補助容量配線CS上に形成されている場合に比べて、共通電位Vcomは小さくなり、その分だけ小さく調整されて出荷される。

[0161] また、補助容量部T4”では、図36の曲線61に示すように、液晶パネル2の使用に伴い、第2の半導体層21b”での閾値が電極コンタクト層22”の存在により、例えば「－書き込み」側に変化する。この結果、補助容量部T4”では、後述するように、その補助容量が液晶パネル2の使用に伴って変化する。

[0162] 尚、上記の説明以外に、第2の半導体層21b”のプロセス条件によっては、第2の半導体層21b”での閾値は＋方向に変化する。また、本実施形態品によれば、補助容量Ccsは第2の半導体層21bと第2のゲート絶縁膜20bによって構成するため、「＋書き込み」、「－書き込み」の容量変動が無く、閾値変化も発生しない（後述）。

[0163] また、補助容量部T4”では、液晶パネル2の使用に伴い、第2の半導体層21b”での閾値が電極コンタクト層22”及び第2の半導体層21b”の存在により、「－書き込み」側に変化すると、補助容量が、図37の曲線62に示すように、変化する。また、同曲線62に示すように、画素が低階調で表示されるときほど、補助容量部T4”の補助容量の変化が大きくなる。また、このように、補助容量部T4”の補助容量が変化するために、上記（2）式に示したように、引き込み電圧ΔVdが変わり、対向電圧（共通電位）Vcomもずれてくる。

[0164] 具体的にいえば、図38の曲線63に示すように、液晶パネル2での出荷時での対向電圧（共通電位）Vcomの初期値から補助容量の変化に起因するずれ、つまり初期値からの対向電圧差を生じることとなる。この結果、この容

量変化が発生する書き込み電圧においては、常にこの対向電圧差が液晶層に印加されることとなり、図37に示す通り、画素が低階調で表示されるときほど、焼付きが発生し易くなる。

[0165] 一方、本実施形態品では、電極コンタクト層が補助容量部T4に存在していないので、そもそも、+書き込みと-書き込みの補助容量の変化はなく、液晶パネル2に焼付きが生じるのを防止できる。

[0166] また、本願の発明者等は、検証試験により、図12(b)に示したGAPドライの際に、ドライエッチングを25秒以上行うことにより、補助容量部T4の電極コンタクト層22を完全に取り除くことができ、ひいては補助容量部T4において、補助容量に変動が生じないことを実証した。

[0167] 具体的にいえば、上記GAPドライの際に、エッチングガスとしてC12を用い、25秒または50秒ドライエッチングを行って、電極コンタクト層22を完全に取り除いた後、第2の半導体層21b上に画素電極19をデポジットして、補助容量部T4を完成する。そして、補助容量配線CSに対して、所定の電圧範囲の電圧を印加したときでも、図39の直線71または72にそれぞれ示すように、補助容量は一定で変動しなかった。

[0168] 同様に、75秒または100秒ドライエッチングを行った場合では、図29の直線73または74にそれぞれ示すように、補助容量は一定で変動しなかった。

[0169] 一方、ドライエッチングを全く行わずに、電極コンタクト層22を残した場合、図39の直線70に示すように、補助容量は変動した。

[0170] なお、上記、30V、15V、7.5Vは具体例であって、これらに限定されることのないことは言うまでもない。

[0171] また、本実施形態のアクティブマトリクス基板5では、ゲート電極18g及び補助容量配線CSには、基材5a上に形成された第1金属層FMが用いられている。これにより、本実施形態では、同一の第1金属層FMを用いて、ゲート電極18gと補助容量配線CSを構成することができ、より製造簡単でコスト安価なアクティブマトリクス基板5を構成することができる。

[0172] また、本実施形態のアクティブマトリクス基板5では、ソース電極18s及びドレイン電極18dには、第1及び第2の電極コンタクト層22a及び22b上に形成された第2金属層25が用いられている。これにより、本実施形態では、同一の第2金属層25を用いて、ソース電極18s及びドレイン電極18dを構成することができ、より製造簡単でコスト安価なアクティブマトリクス基板5を構成することができる。

[0173] また、本実施形態では、第1及び第2のゲート絶縁膜20a及び20bは、一体的に構成されているので、より製造簡単でコスト安価なアクティブマトリクス基板5を構成することができる。

[0174] また、本実施形態のアクティブマトリクス基板5では、補助容量部T4では、画素電極（透明電極）19は保護層23と層間絶縁膜24に設けられた開口部H2内で第2の半導体層21bに接続されている。これにより、本実施形態では、より製造簡単でコスト安価なアクティブマトリクス基板5を構成することができる。

[0175] また、本実施形態のアクティブマトリクス基板5では、補助容量部T4において、開口部H2が第2の半導体層21bの内側に設けられている。これにより、本実施形態では、エッチングストッパとして第2の半導体層21bを機能させることができ、ゲート電極18gのコンタクトホールを形成するとき、つまり、保護層23、ゲート絶縁膜20をドライエッチングする時に、ゲート絶縁膜20までドライエッチングされることを防ぎ、画素電極（透明電極）19と補助容量配線CSのリークを防ぐことができる。

[0176] [第2の実施形態]

図40は、本発明の第2の実施形態に係るアクティブマトリクス基板の要部構成を説明する拡大平面図である。図41は、図40に示したアクティブマトリクス基板の補助容量部を示す断面図である。

[0177] 図において、本実施形態と上記第1の実施形態との主な相違点は、補助容量部において、補助容量配線を覆うように、開口部及び第2の半導体層を設けた点である。なお、上記第1の実施形態と共通する要素については、同じ

符号を付して、その重複した説明を省略する。

[0178] つまり、図40及び図41に示すように、本実施形態のアクティブマトリクス基板5の補助容量部T4では、補助容量配線CSを横切る短辺以外、開口部H2'、第2の半導体層21b、画素電極19が補助容量配線CSを覆うように設けられている。言い換えれば、本実施形態のアクティブマトリクス基板5の補助容量部T4では、開口部H2'及び第2の半導体層21bが補助容量配線CSの容量形成部を覆うように設けられている。

[0179] 以上の構成により、本実施形態では、上記第1の実施形態と同様な作用・効果を奏することができる。また、本実施形態では、補助容量部T4において、開口部H2'が補助容量配線CSを覆うように設けられている。これにより、補助容量部T4では、補助容量Ccsを形成する長方形のうち、長辺側において画素電極19が、補助容量配線CSを覆うことから、補助容量Ccsの面積のうち、長辺は第3工程におけるフォトリソ精度、層間絶縁膜24及び保護膜23のドライエッチング精度により、ばらつきが発生し、短辺は第1工程におけるフォトリソ精度、ゲート電極18gのウェットエッチング精度によりばらつきが発生する。ゲート電極18gのウェットエッチのサイドシフトが例えば2 μ m以上のように大きければ、第3工程より、第1工程の精度の方が悪くなるが、サイドシフトが1 μ m以下であれば、層間絶縁膜24は、エッチレートの早いこともあり、第1工程の方が精度のよいことがある。そのため、第1工程の方が精度のよいプロセスの場合、この実施形態を選択でき、すべてが第3工程の精度で定まる第1の実施形態よりも、補助容量Ccsをばらつき少なく形成できる。

[0180] また、本実施形態では、補助容量部T4において、第2の半導体層21bが補助容量配線CSを覆うように設けられている。これにより、本実施形態では、補助容量部T4において、補助容量配線CSの対向面積を確実に補助容量の発生部分として利用することができ、補助容量部T4の補助容量の低下を確実に防止することができる。

[0181] [第3の実施形態]

図42は、本発明の第3の実施形態に係るアクティブマトリクス基板の要部構成を説明する拡大平面図である。図43(a)～図43(c)は、各々図42に示した補助容量部の変形例を示す拡大平面図である。図44は、図42に示したアクティブマトリクス基板の補助容量部を示す断面図である。

[0182] 図において、本実施形態と上記第1の実施形態との主な相違点は、補助容量部において、補助容量配線に設けられた幅太部上に、第2のゲート絶縁膜、第2の半導体層、及び透明電極を順次設け、上下の画素で、補助容量配線を共用した点である。なお、上記第1の実施形態と共通する要素については、同じ符号を付して、その重複した説明を省略する。

[0183] つまり、図42及び図44に示すように、本実施形態のアクティブマトリクス基板5の補助容量配線CSでは、上記第1工程の際に、本体CS1と、補助容量部T4に設けられるとともに、本体CS1よりも幅寸法が大きく構成された幅太部CS2が形成される。また、補助容量部T4において、補助容量配線CSに設けられた幅太部CS2上に、第2のゲート絶縁膜20b、第2の半導体層21b、及び画素電極（透明電極）19が順次設けられている。また、図42において、上側及び下側の画素で、それぞれ図示しない上側及び下側画素と補助容量配線CSを共用している。

[0184] 以上の構成により、本実施形態では、上記第1の実施形態と同様な作用・効果を奏することができる。また、本実施形態では、補助容量部T4において、補助容量配線CSに設けられた幅太部CS2上に、第2のゲート絶縁膜20b、第2の半導体層21b、及び画素電極（透明電極）19が順次設けられている。これにより、本実施形態では、補助容量配線CSの対向面積を大きくして、補助容量部T4の補助容量を容易に大きくすることができる。また、第1工程の精度よりも第3工程の精度の方がよければ、例えば図43(a)に示す構成（第2の半導体層21bを幅太部CS2の内側に設ける構成）を、悪ければ例えば図43(b)または図43(c)に示す構成（第2の半導体層21bを幅太部CS2の外側に設ける構成）を選択することによって、補助容量Csのばらつきを抑えることができる。

[0185] [第4の実施形態]

図45は、本発明の第4の実施形態に係るアクティブマトリクス基板の要部構成を説明する拡大平面図である。図46(a)は、図45に示した補助容量部の拡大平面図であり、図46(b)は、同補助容量部の変形例の拡大平面図である。図47は、図45に示したアクティブマトリクス基板の補助容量部を示す断面図である。

[0186] 図において、本実施形態と上記第3の実施形態との主な相違点は、補助容量配線の幅太部にスリットを設け、上下の画素で、補助容量配線を共用した点である。なお、上記第3の実施形態と共通する要素については、同じ符号を付して、その重複した説明を省略する。

[0187] つまり、図45～図47に示すように、本実施形態のアクティブマトリクス基板5の補助容量配線CSでは、上記第1工程の際に、本体CS1と、補助容量部T4に設けられるとともに、本体CS1よりも幅寸法が大きく構成された幅太部CS2が形成される。また、この補助容量配線CSでは、スリットCS3が幅太部CS2の幅方向（図45の上下方向）の中央部に形成される。また、図45において、上側及び下側の画素で、それぞれ図示しない上側及び下側画素と補助容量配線CSを共用している。さらに、補助容量部T4において、図46(b)に示すように、第2の半導体層21b及び開口部H2aが、対応する幅太部CS2を覆うように構成してもよい。

[0188] 以上の構成により、本実施形態では、上記第3の実施形態と同様な作用・効果を奏することができる。また、本実施形態では、スリットCS3を設けることにより、第3工程の精度よりも第1工程の精度の方がよい場合、補助容量Csのばらつきが第1工程のプロセス精度で決まることにより、補助容量Csのばらつきを小さくすることができる。つまり、開口部H2aが設けられる保護層23及び層間絶縁膜24の各製造バラツキの影響が補助容量部T4に現れるのを確実に防ぐことができ、補助容量部T4を高精度に形成して、補助容量部T4の補助容量Csの低下を確実に防止することができる。

[0189] [第5の実施形態]

図48は、本発明の第5の実施形態に係るアクティブマトリクス基板の要部構成を説明する拡大平面図である。図49は、図48に示したアクティブマトリクス基板の補助容量部を示す断面図である。

[0190] 図において、本実施形態と上記第1の実施形態との主な相違点は、薄膜トランジスタ部側に分岐した分岐配線を補助容量配線に設けるとともに、補助容量部において、分岐配線上に、第2のゲート絶縁膜、第2の半導体層、及び透明電極を順次設け、上下の画素で、補助容量配線を共用した点である。なお、上記第1の実施形態と共通する要素については、同じ符号を付して、その重複した説明を省略する。

[0191] つまり、図48及び図49に示すように、本実施形態のアクティブマトリクス基板5の補助容量配線CSでは、上記第1工程の際に、複数、例えば2本の分岐配線CS4が設けられている。これらの各分岐配線CS4は、図48に示すように、薄膜トランジスタ部T1側に分岐するよう設けられている。

[0192] また、本実施形態のアクティブマトリクス基板5では、2つの補助容量部T4が、2本の分岐配線CS4にそれぞれ応じて、形成されている。つまり、各補助容量部T4では、分岐配線CS4上に、第2のゲート絶縁膜20b、第2の半導体層21b、及び画素電極（透明電極）19が順次設けられている。また、図48において、上側及び下側の画素で、それぞれ図示しない上側及び下側画素と補助容量配線CSを共用している。

[0193] 以上の構成により、本実施形態では、上記第1の実施形態と同様な作用・効果を奏することができる。また、本実施形態では、補助容量配線CSに2本の分岐配線CS4を設けることにより、2つの補助容量部T4の合計の補助容量（つまり、画素単位の補助容量）を容易に大きくすることができる。また、第3工程の精度よりも第1工程の精度の方がよい場合、補助容量Ccsのばらつきが第1工程のプロセス精度で決まることにより、補助容量Ccsのばらつきを小さくすることができる。つまり、開口部H2bが設けられる保護層23及び層間絶縁膜24の各製造バラツキの影響が補助容量部T4に現

れるのを確実に防ぐことができ、補助容量部 T 4 を高精度に形成して、補助容量部 T 4 の補助容量 C_{cs}の低下を確実に防止することができる。

[0194] ここでは、開口部 H 2 b が分岐配線 C S 4 をすべて覆う構成をとったが、一方の長辺方向の分岐配線 C S 4 のみを開口部 H 2 b が覆う構成をとってもよい。これは、このような分岐配線の構造をとる場合、例えば第 3 工程のときにマスクが左にずれた場合であっても、左の補助容量の大きさは増えるが、右の補助容量の大きさは減るために、全体の補助容量の大きさは相殺されて変わらず、フォトリソグラフィの精度による補助容量のばらつきが小さくなるためである。

[0195] 尚、上記の実施形態はすべて例示であって制限的なものではない。本発明の技術的範囲は特許請求の範囲によって規定され、そこに記載された構成と均等の範囲内のすべての変更も本発明の技術的範囲に含まれる。

[0196] 例えば、保護層、層間絶縁膜は 1 層に限られるわけではなく、それぞれ 2 層以上であってもよい。また、画素電極の上に絶縁膜がさらに構成される形状であってもよい。さらに、上記の説明では、本発明を透過型の液晶表示装置に適用した場合について説明したが、本発明のアクティブマトリクス基板はこれに限定されるものではなく、半透過型や反射型の液晶パネルあるいは有機 E L (Electronic Luminescence) 素子、無機 E L 素子、電界放出ディスプレイ (Field Emission Display) などの各種表示パネルに適用することができる。

[0197] また、上記の説明では、補助容量用配線をソースドライバ（駆動部）に接続した構成について説明したが、本発明はこれに限定されるものではなく、例えば駆動部としてのゲートドライバに補助容量用配線を接続したり、補助容量用配線専用の駆動部（ドライバ）に接続したりして、補助容量を発生させる構成でもよい。

[0198] また、上記の説明以外に、薄膜トランジスタ部において、複数の薄膜トランジスタを設ける構成でもよい。

[0199] また、上記の説明以外に、上記第 1 ～ 第 5 の各実施形態を適宜組み合わせ

たものでもよい。

産業上の利用可能性

[0200] 本発明は、マスク枚数を低減することができるコスト安価なアクティブマトリクス基板、及びその製造方法に対して有用である。

符号の説明

- [0201] 5 アクティブマトリクス基板
- 5 a 基材
 - 1 8 薄膜トランジスタ
 - 1 8 g ゲート電極（第1金属層）
 - 1 8 s ソース電極（第2金属層）
 - 1 8 d ドレイン電極（第2金属層）
 - 1 9 画素電極（透明電極）
 - 2 0 ゲート絶縁膜
 - 2 0 a 第1のゲート絶縁膜
 - 2 0 b 第2のゲート絶縁膜
 - 2 1 半導体層
 - 2 1 a 第1の半導体層
 - 2 1 b 第2の半導体層
 - 2 2 a 第1の電極コンタクト層
 - 2 2 b 第2の電極コンタクト層
 - 2 3 保護層
 - 2 4 層間絶縁膜
 - 2 5 第2金属層
 - P 画素
 - T 1 薄膜トランジスタ部
 - T 4 補助容量部
 - C S 補助容量配線
 - C S 2 幅太部

C S 3 スリット

C S 4 分岐配線

F M 第 1 金属層

H 2、H 2'、H 2 a、H 2 b 開口部

M 1 第 1 のマスク

M 2 第 2 のマスク

M 3 第 3 のマスク

M 4 第 4 のマスク

請求の範囲

[請求項1] 複数の画素が設けられるとともに、前記複数の画素毎に薄膜トランジスタが形成された薄膜トランジスタ部及び補助容量を発生する補助容量部が設けられたアクティブマトリクス基板であって、

前記薄膜トランジスタ部は、基材と、前記基材上に設けられたゲート電極と、前記基材及び前記ゲート電極を覆うように設けられた第1のゲート絶縁膜と、前記第1のゲート絶縁膜上に設けられた第1の半導体層と、前記第1の半導体層上に設けられた第1及び第2の電極コンタクト層と、前記第1の電極コンタクト層を介して前記第1の半導体層に接続されたソース電極と、前記第2の電極コンタクト層を介して前記第1の半導体層に接続されたドレイン電極と、前記第1のゲート絶縁膜、前記第1の半導体層、前記第1及び第2の電極コンタクト層、前記ソース電極、及び前記ドレイン電極を覆うように設けられた保護層と、前記保護層上に設けられた層間絶縁膜とを含んで構成され、

前記補助容量部は、前記基材と、前記基材上に設けられた補助容量配線と、前記基材及び前記補助容量配線を覆うように設けられた第2のゲート絶縁膜と、前記第2のゲート絶縁膜上に設けられた第2の半導体層と、前記第2の半導体層上に設けられた透明電極とを含んで構成されている、

ことを特徴とするアクティブマトリクス基板。

[請求項2] 前記ゲート電極及び前記補助容量配線には、前記基材上に形成された第1金属層が用いられている請求項1に記載のアクティブマトリクス基板。

[請求項3] 前記ソース電極及び前記ドレイン電極には、前記第1及び第2の電極コンタクト層上に形成された第2金属層が用いられている請求項1または2に記載のアクティブマトリクス基板。

[請求項4] 前記補助容量部では、前記透明電極は前記保護層と前記層間絶縁膜

に設けられた開口部内で前記第2の半導体層に接続されている請求項1～3のいずれか1項に記載のアクティブマトリクス基板。

[請求項5] 前記補助容量部では、前記開口部が前記補助容量配線を覆うように設けられている請求項4に記載のアクティブマトリクス基板。

[請求項6] 前記補助容量部では、前記開口部が前記第2の半導体層の内側に設けられている請求項4または5に記載のアクティブマトリクス基板。

[請求項7] 前記補助容量部では、前記補助容量配線に設けられた幅太部上に、前記第2のゲート絶縁膜、前記第2の半導体層、及び前記透明電極が順次設けられている請求項1～6のいずれか1項に記載のアクティブマトリクス基板。

[請求項8] 前記補助容量配線の幅太部には、スリットが設けられている請求項7に記載のアクティブマトリクス基板。

[請求項9] 前記補助容量配線には、前記薄膜トランジスタ部側に分岐した分岐配線が設けられ、

前記補助容量部では、前記分岐配線上に、前記第2のゲート絶縁膜、前記第2の半導体層、及び前記透明電極が順次設けられている請求項1～8のいずれか1項に記載のアクティブマトリクス基板。

[請求項10] 複数の画素が設けられるとともに、前記複数の画素毎に薄膜トランジスタが形成された薄膜トランジスタ部及び補助容量を発生する補助容量部が設けられたアクティブマトリクス基板の製造方法であって、

第1金属層を基材上に形成した後、当該第1金属層に対して、第1のマスクを用いてパターンニングを行うことにより、前記薄膜トランジスタ部のゲート電極及び前記補助容量部の補助容量配線を形成する第1工程と、

ゲート絶縁膜、半導体層、電極コンタクト層、及び第2金属層を順次形成した後、ハーフトーンマスクからなる第2のマスクを用いてパターンニングを行うことにより、前記薄膜トランジスタ部の第1の半導体層と第1及び第2の電極コンタクト層とソース電極とドレイン電極

及び前記補助容量部の第2の半導体層を形成する第2工程と、

保護層及び層間絶縁膜を順次形成した後、第3のマスクを用いてパターニングを行うことにより、開口部を前記保護層と前記層間絶縁膜に形成する第3工程と、

透明電極を形成した後、第4のマスクを用いてパターニングを行うことにより、前記補助容量部の透明電極を形成する第4工程と

を具備していることを特徴とするアクティブマトリクス基板の製造方法。

[請求項11] 前記第3工程では、前記開口部が前記補助容量配線を覆うように形成される請求項10に記載のアクティブマトリクス基板の製造方法。

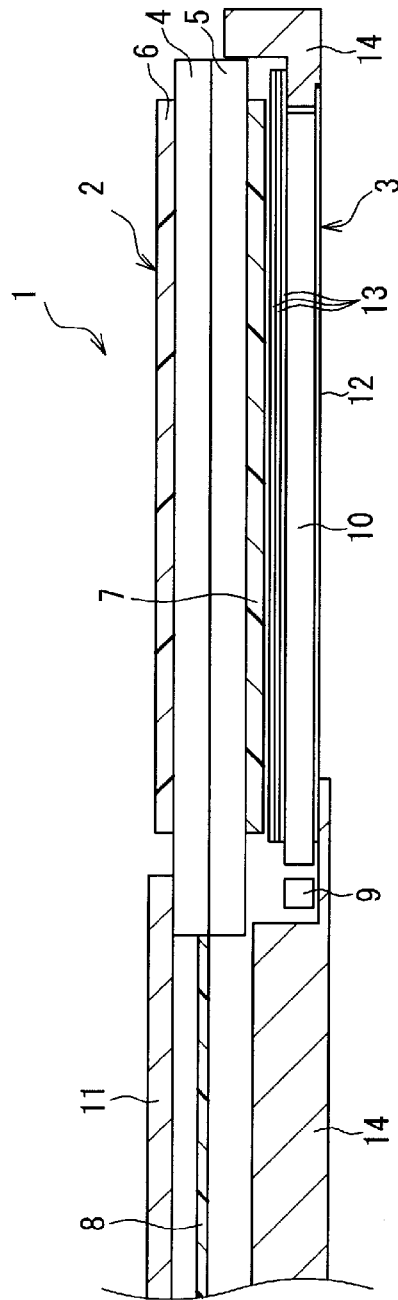
[請求項12] 前記第3工程では、前記開口部が前記第2の半導体層の内側に設けられるように形成される請求項10または11に記載のアクティブマトリクス基板の製造方法。

[請求項13] 前記第1工程では、前記補助容量部の補助容量配線において、幅太部が設けられる請求項10～12のいずれか1項に記載のアクティブマトリクス基板の製造方法。

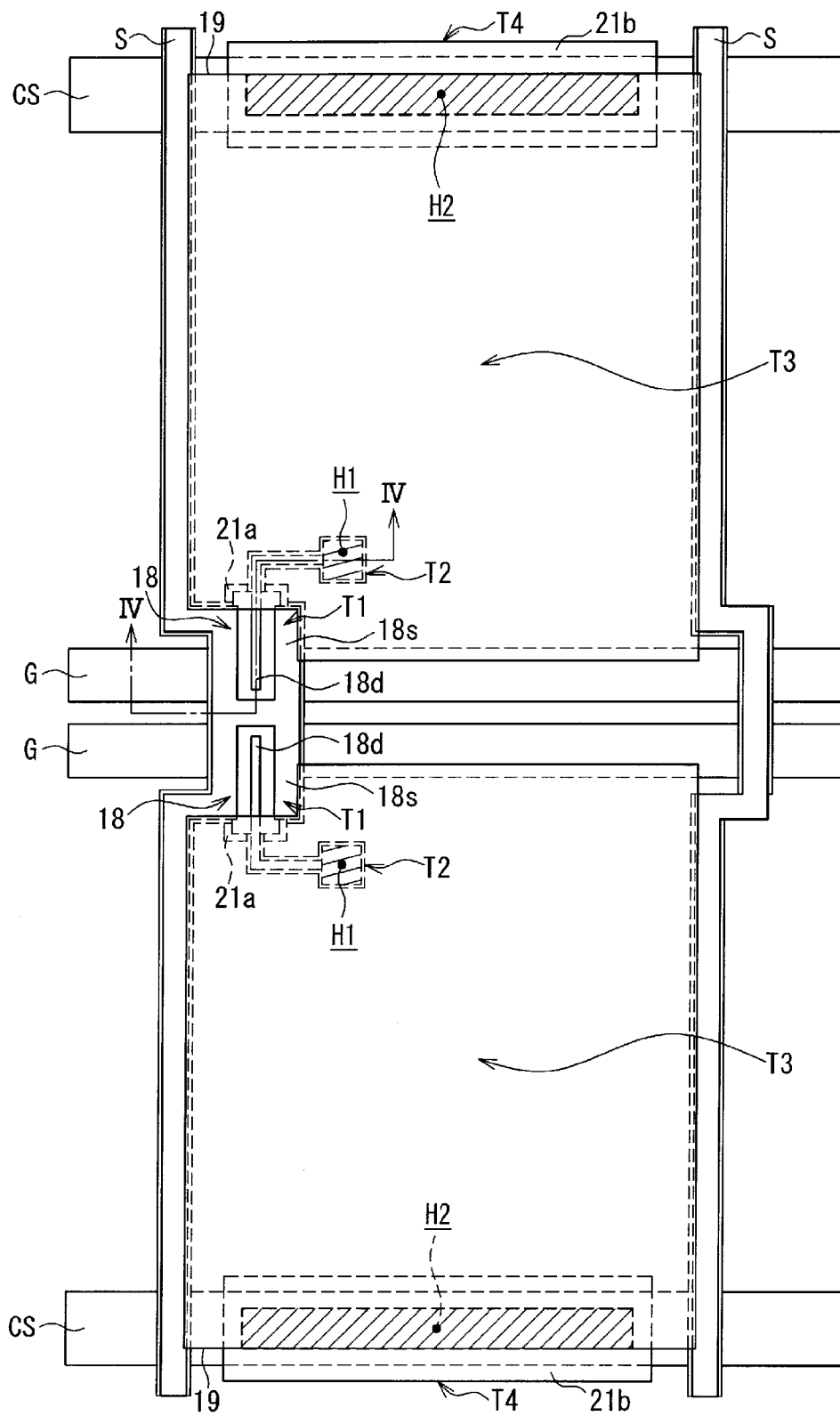
[請求項14] 前記第1工程では、前記補助容量部の補助容量配線において、幅太部を設けるとともに、当該幅太部にスリットが形成される請求項13に記載のアクティブマトリクス基板の製造方法。

[請求項15] 前記第1工程では、前記補助容量配線において、前記薄膜トランジスタ部側に分岐した分岐配線が設けられる請求項10～14のいずれか1項に記載のアクティブマトリクス基板の製造方法。

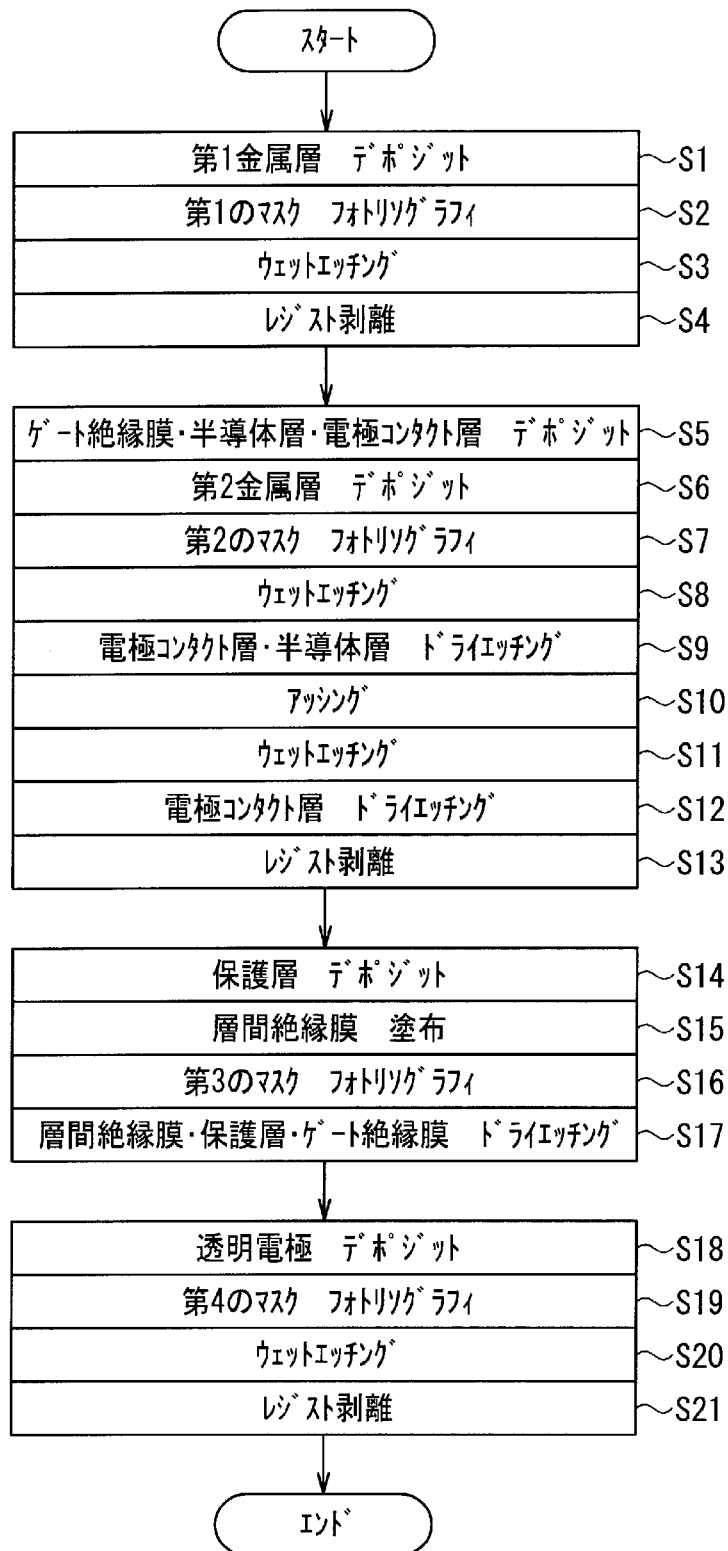
[図1]



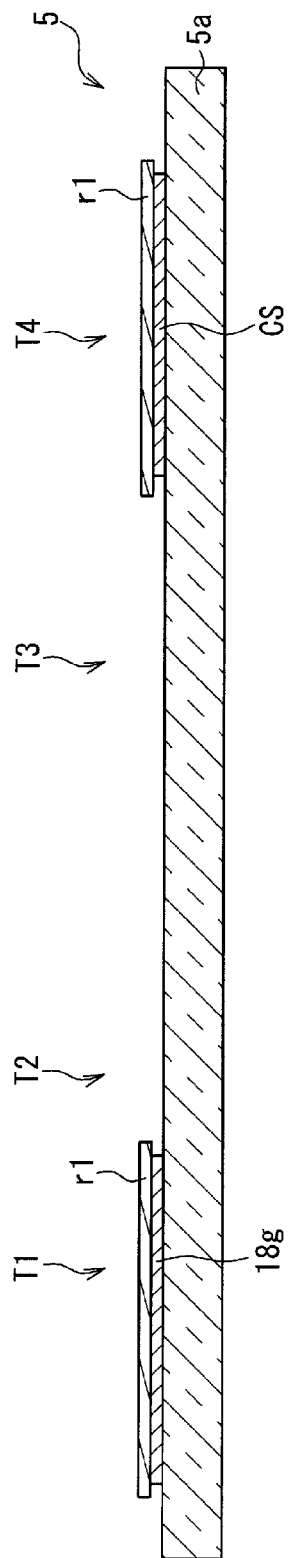
[図3]



[図6]

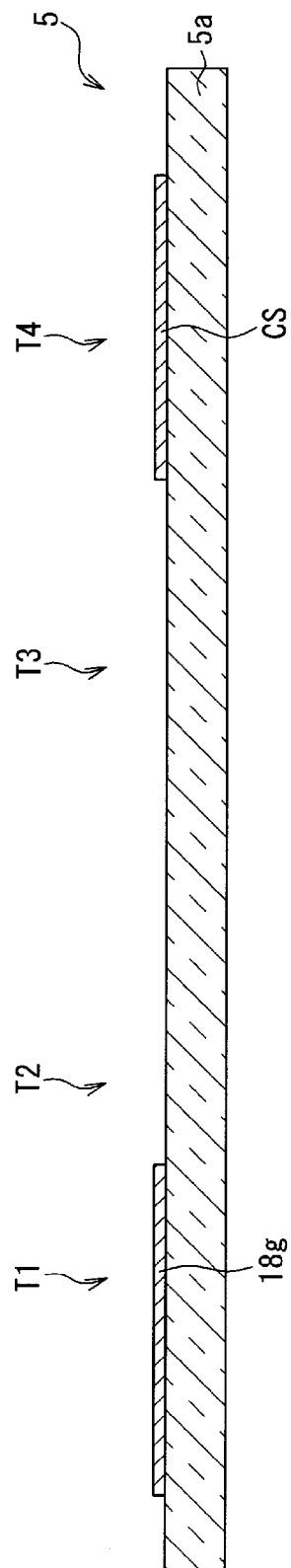


(a)

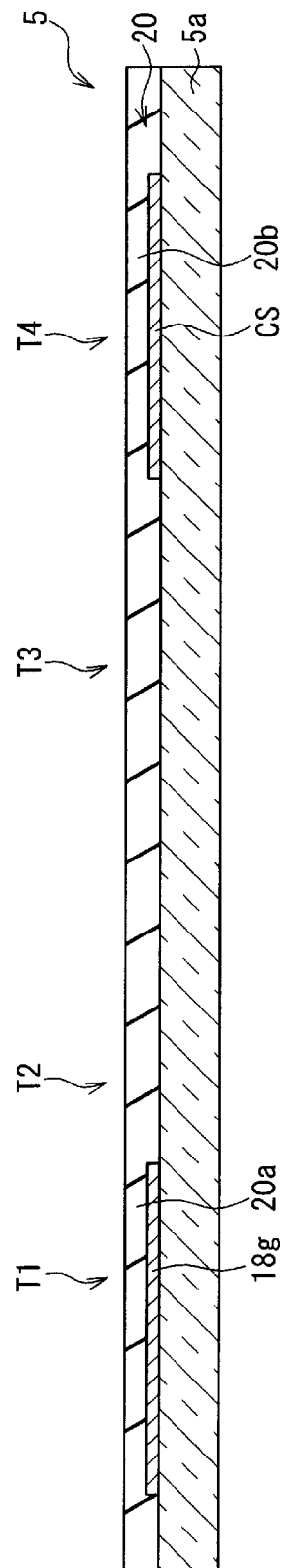


[図8]

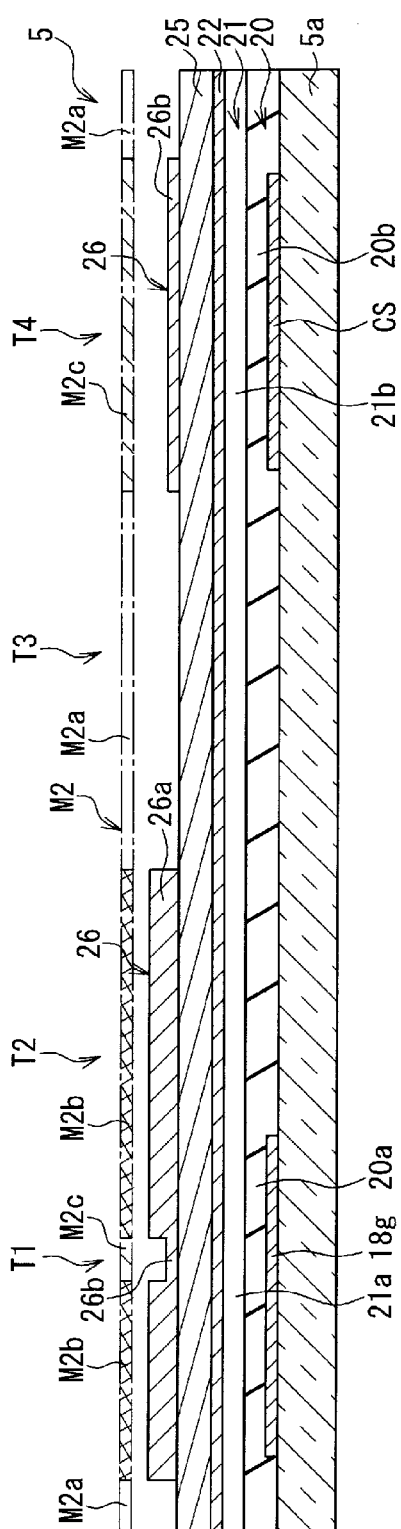
(a)



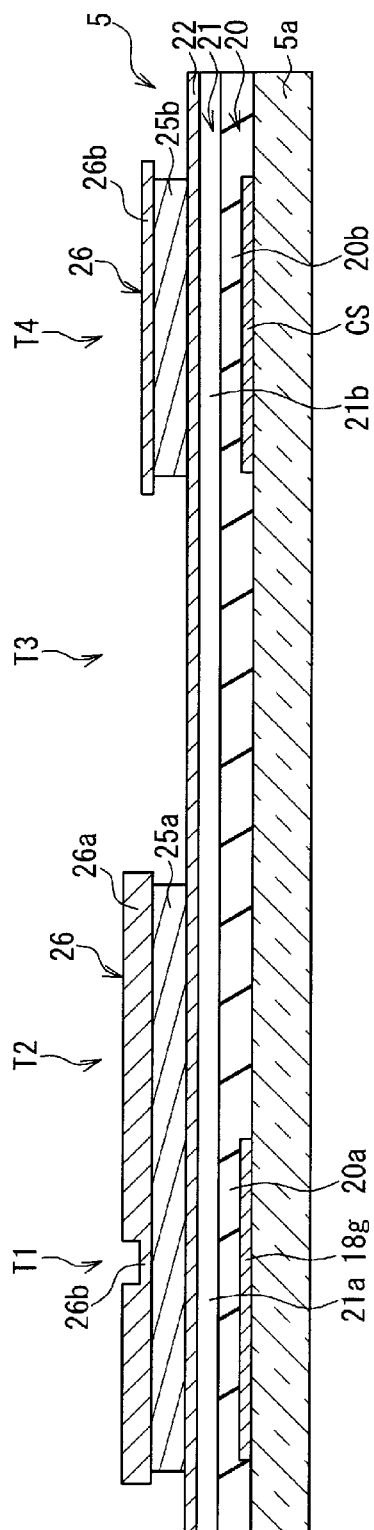
(b)



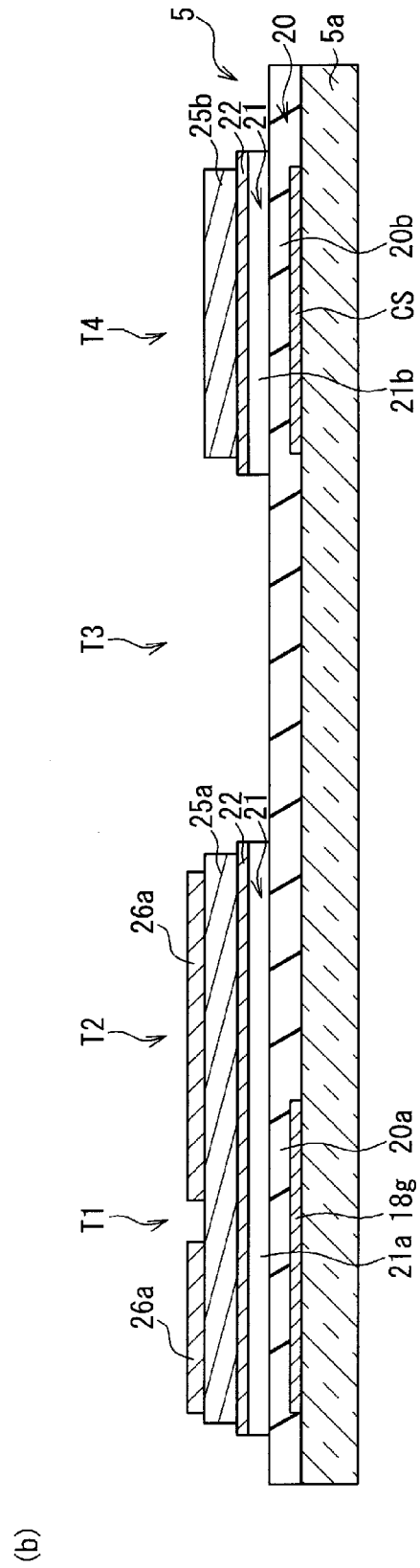
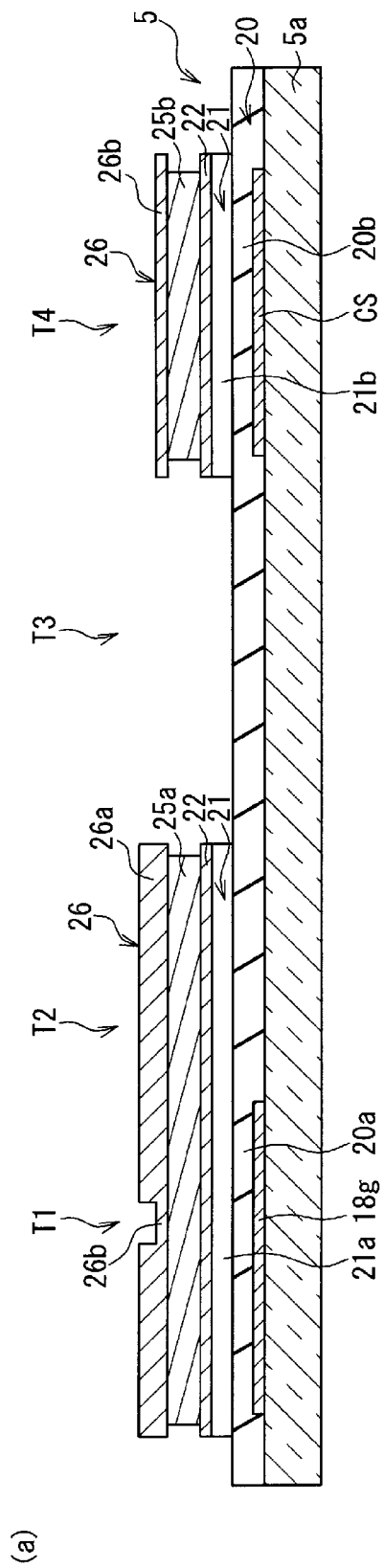
(a)

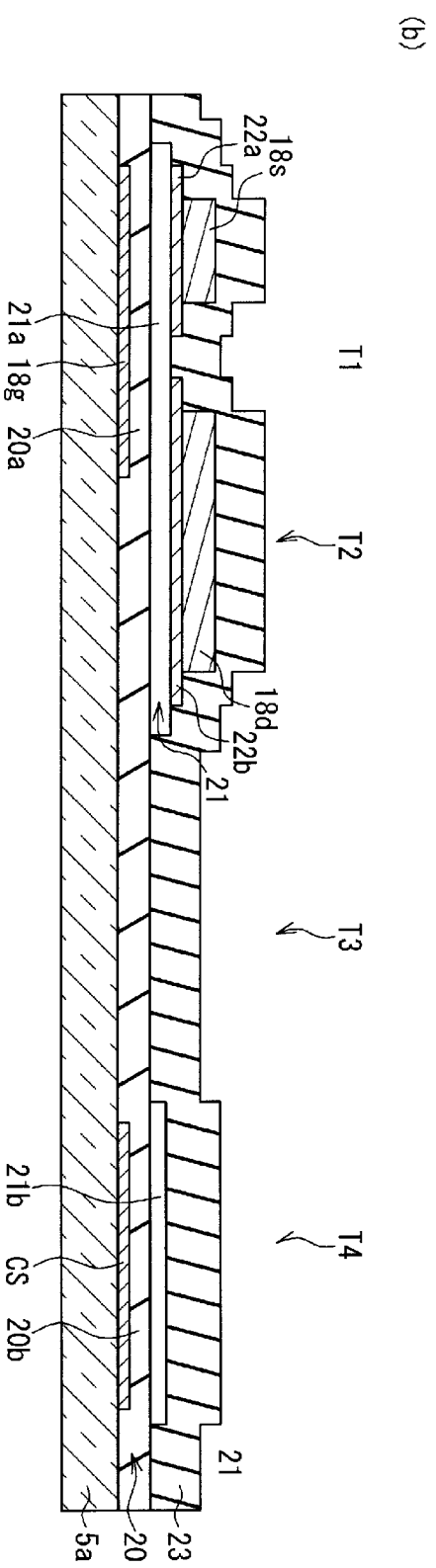
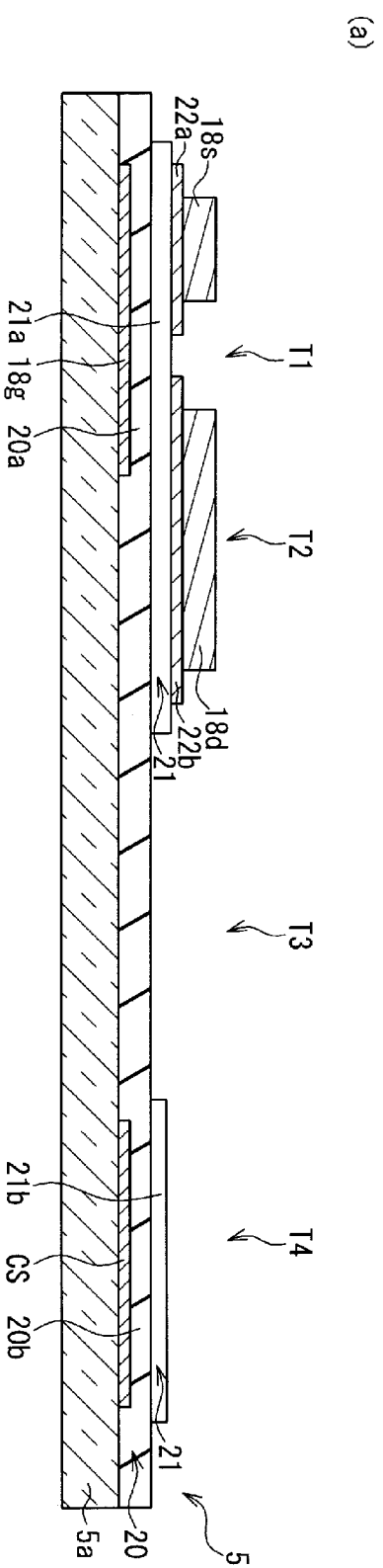


(b)

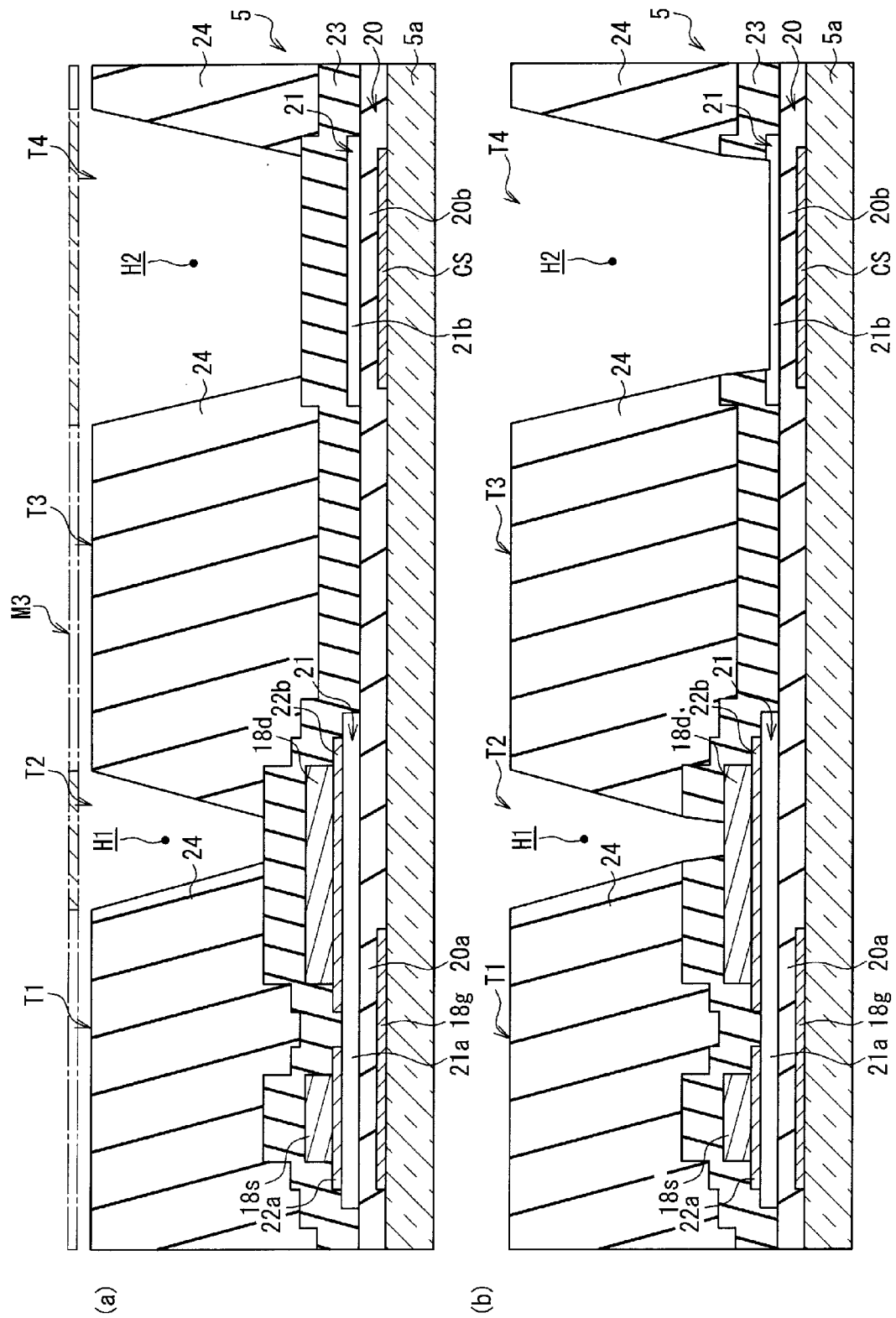


[図11]

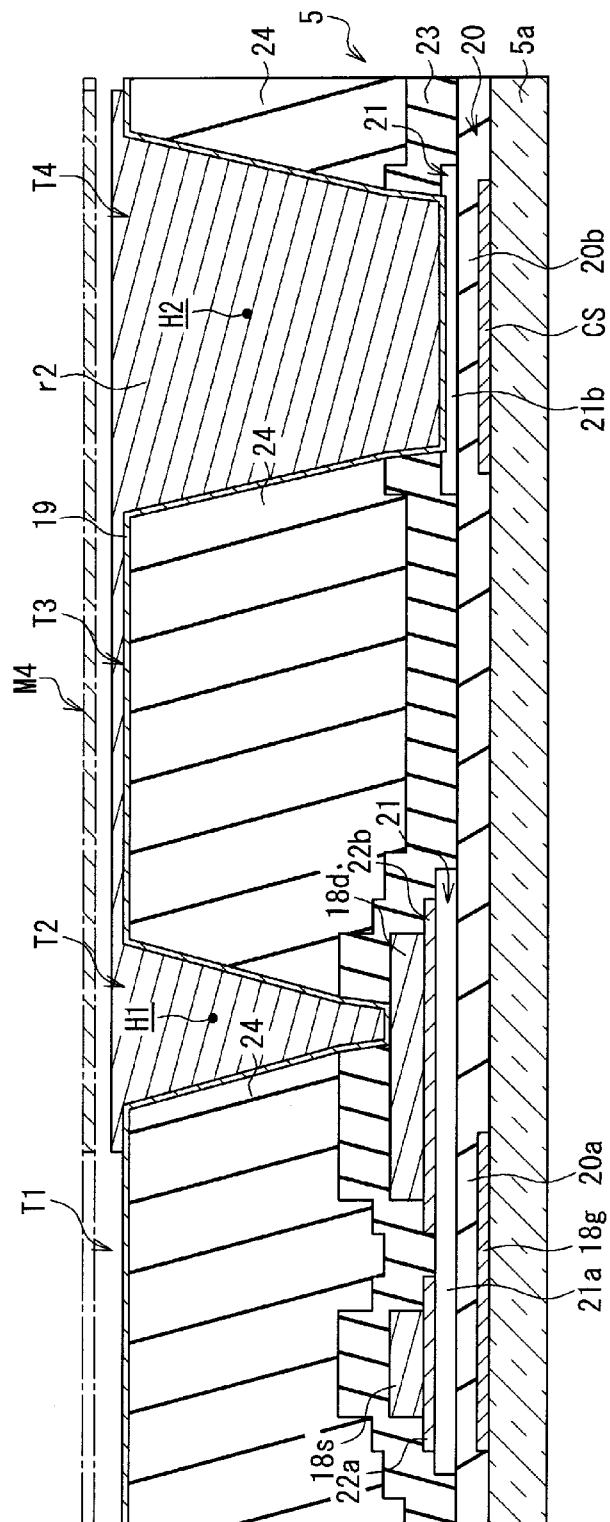




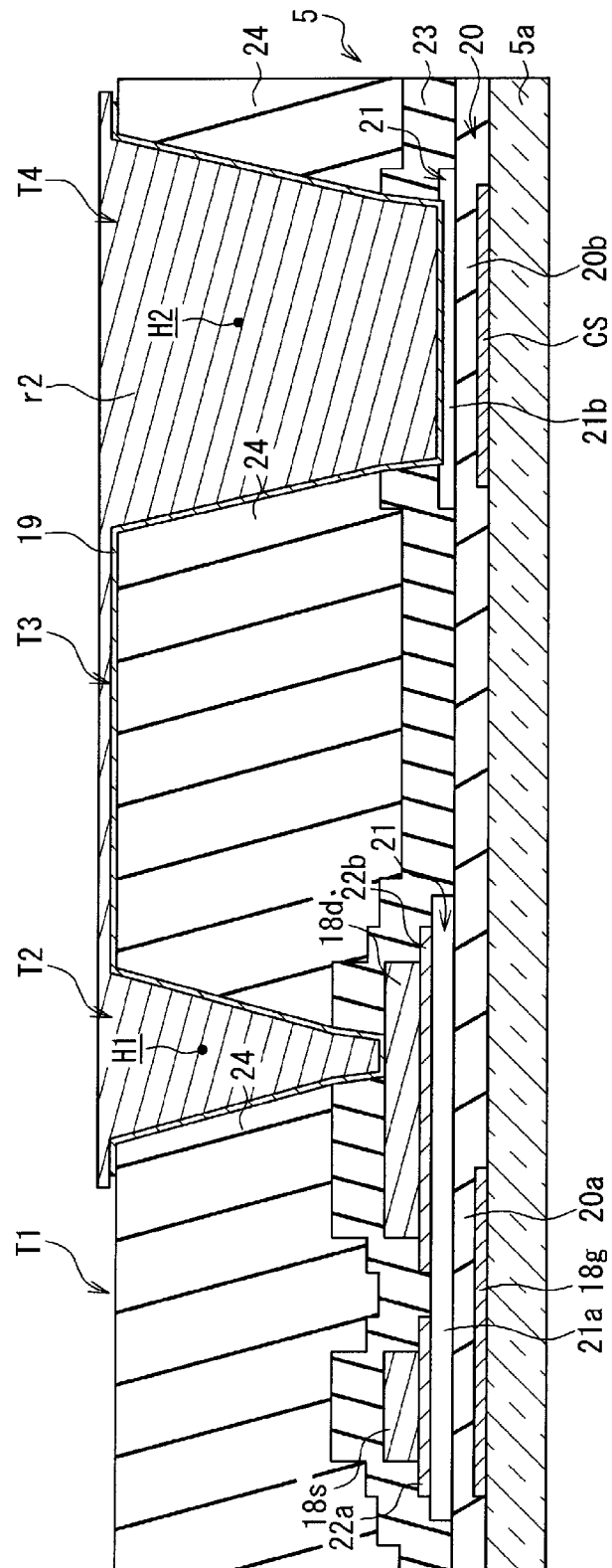
[図14]



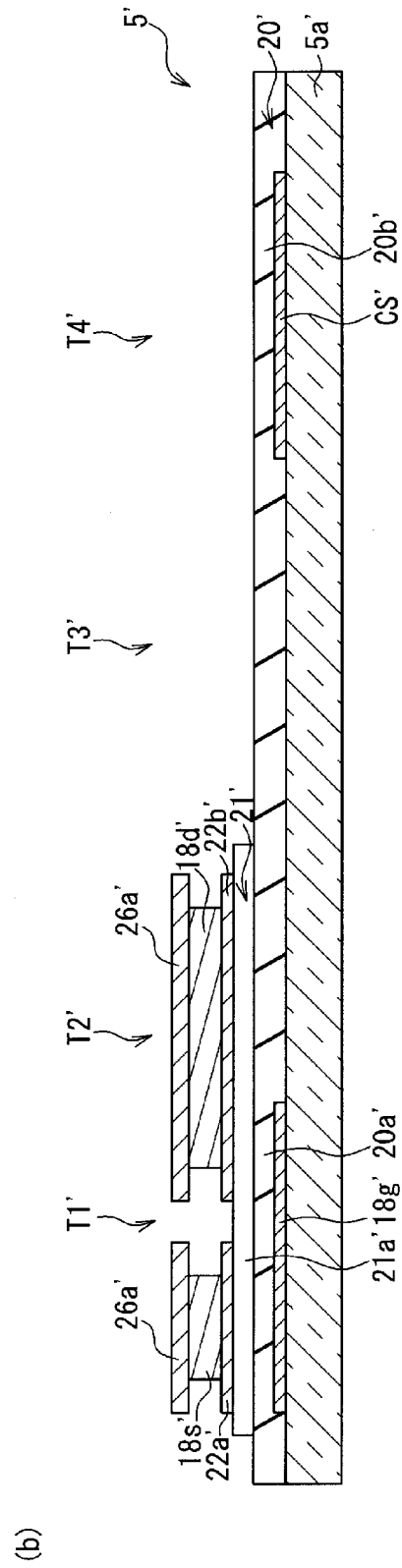
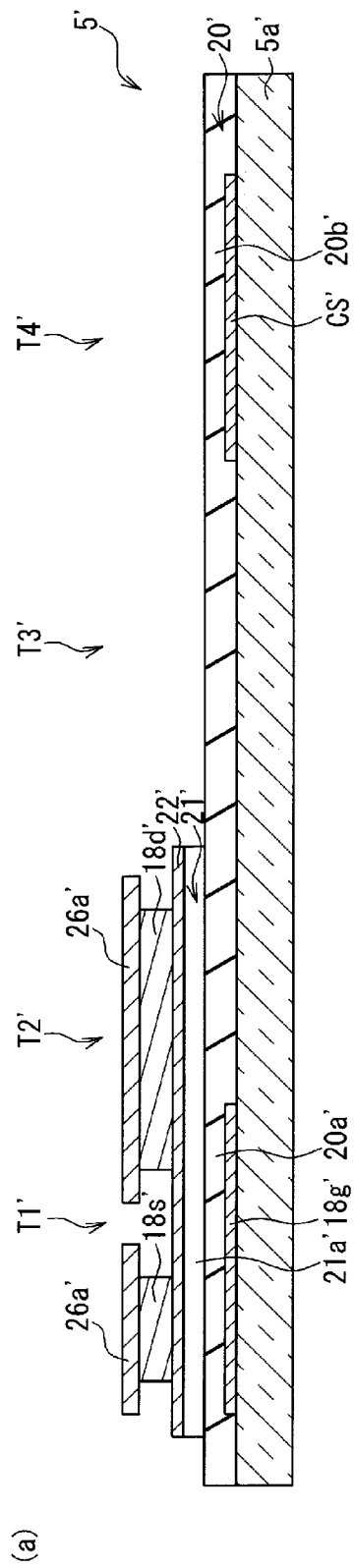
[図15]



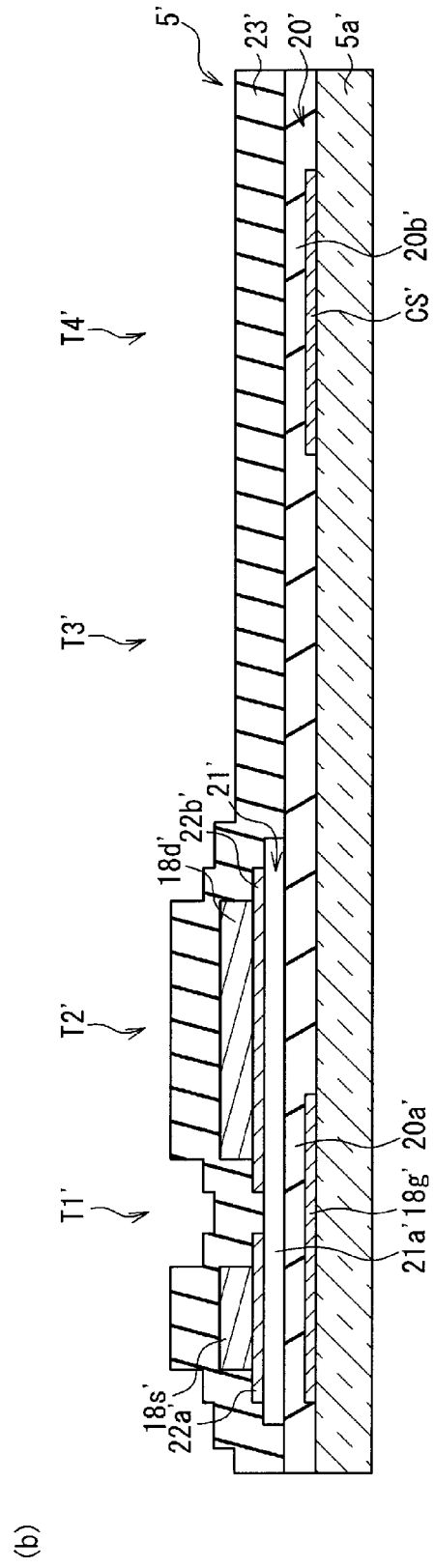
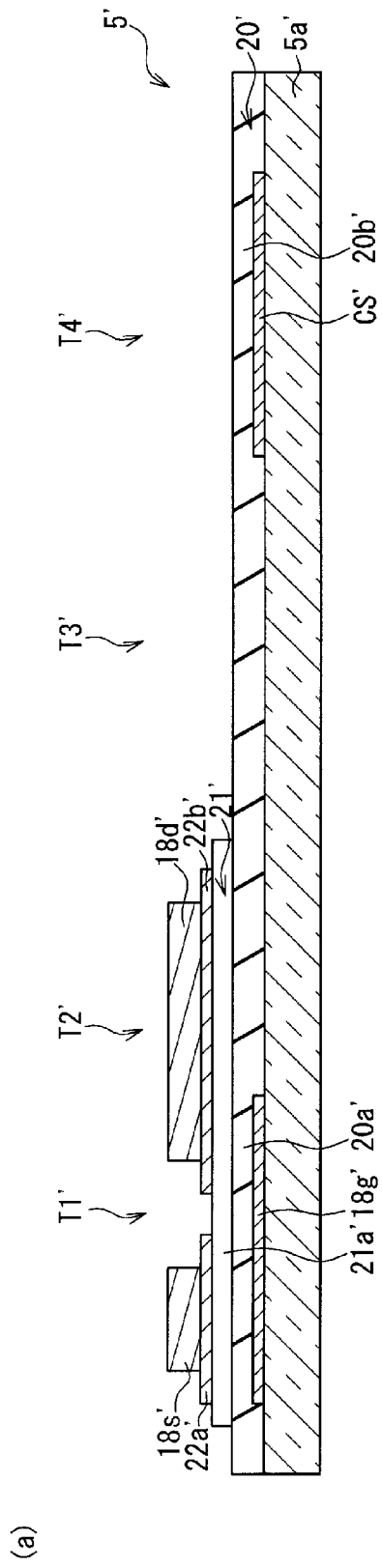
[図16]



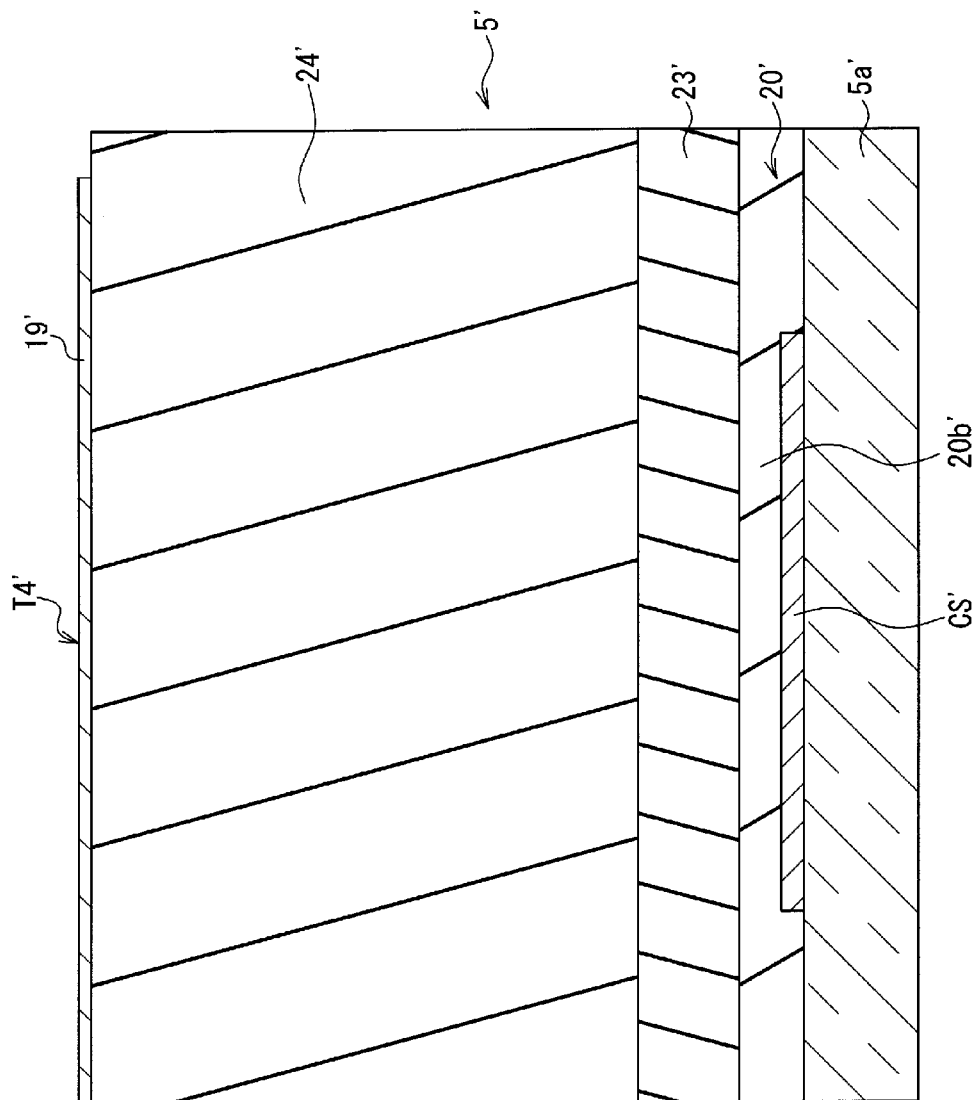
[図20]



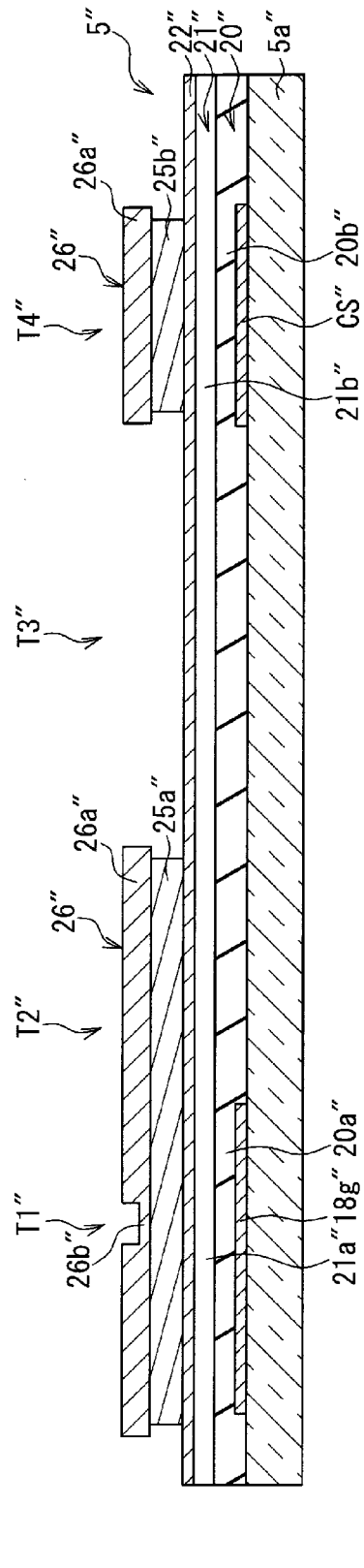
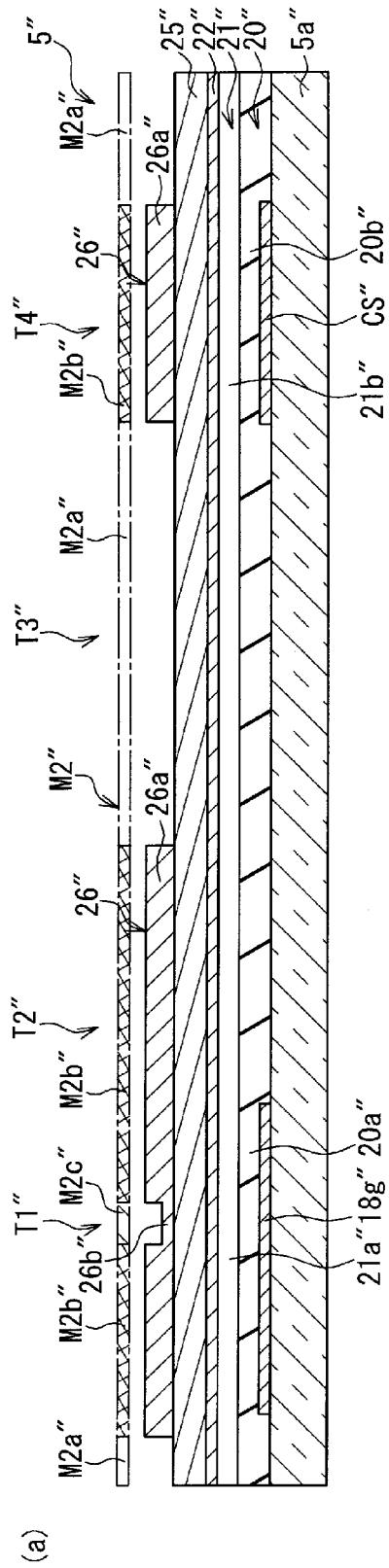
[図21]



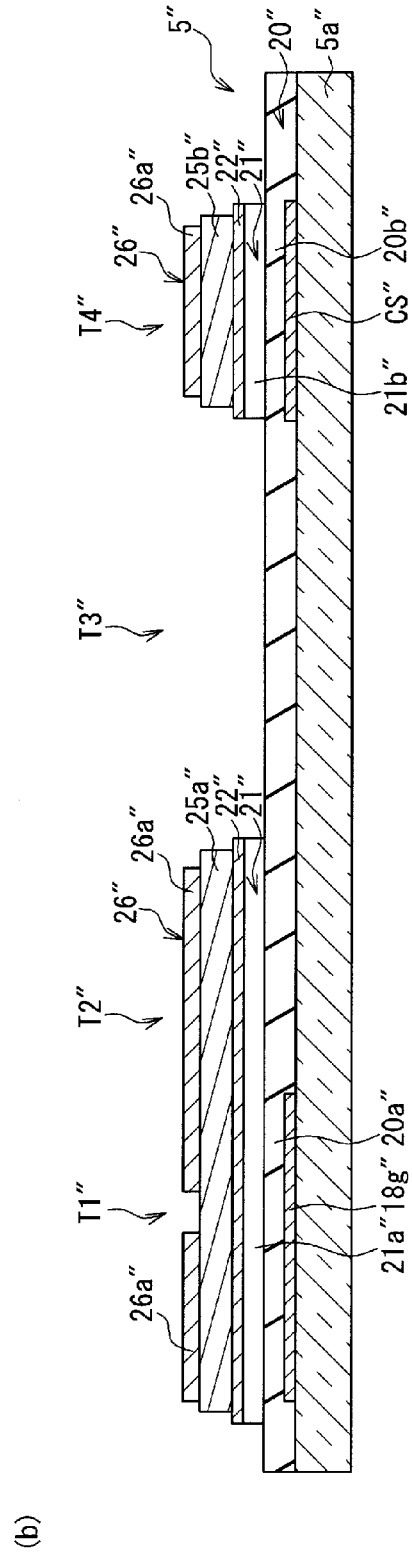
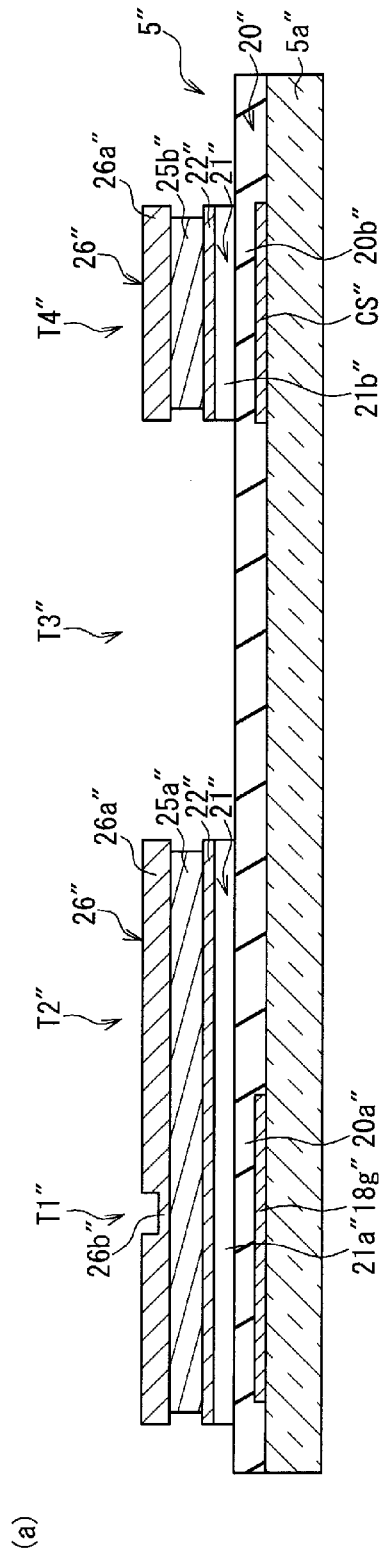
[図26]



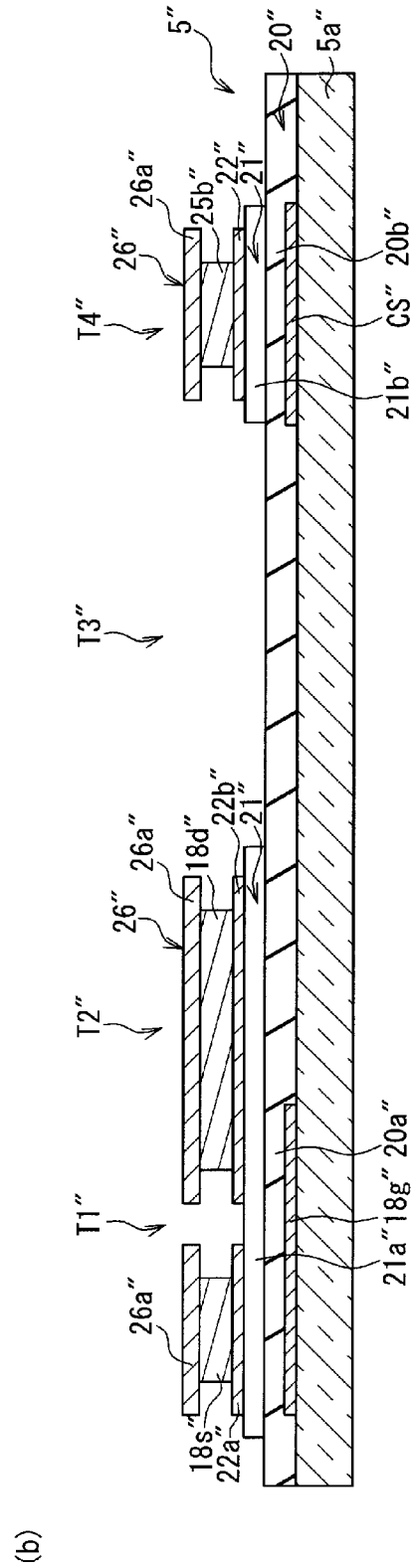
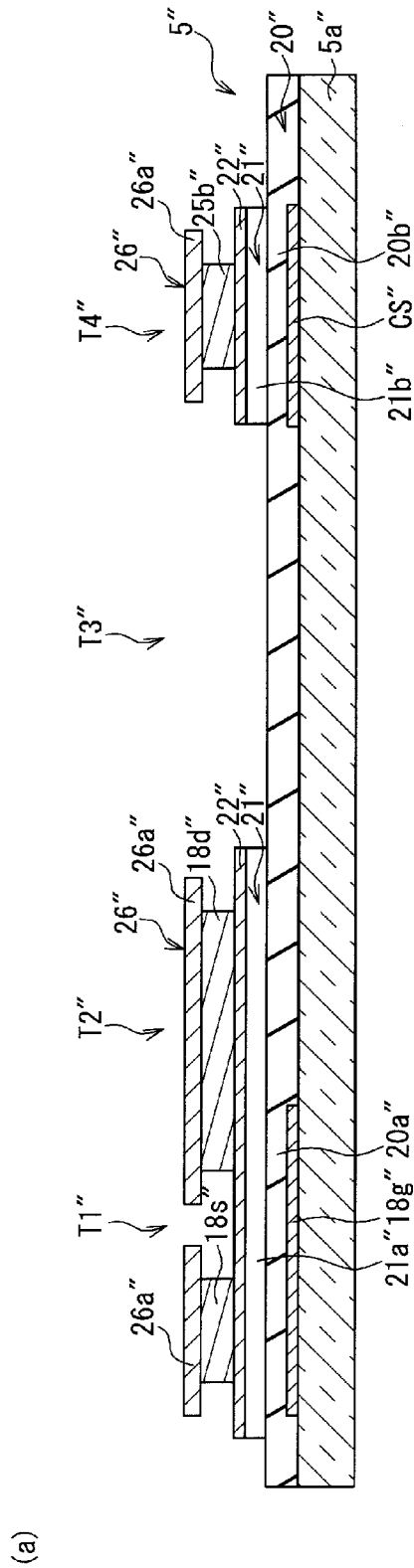
[図27]



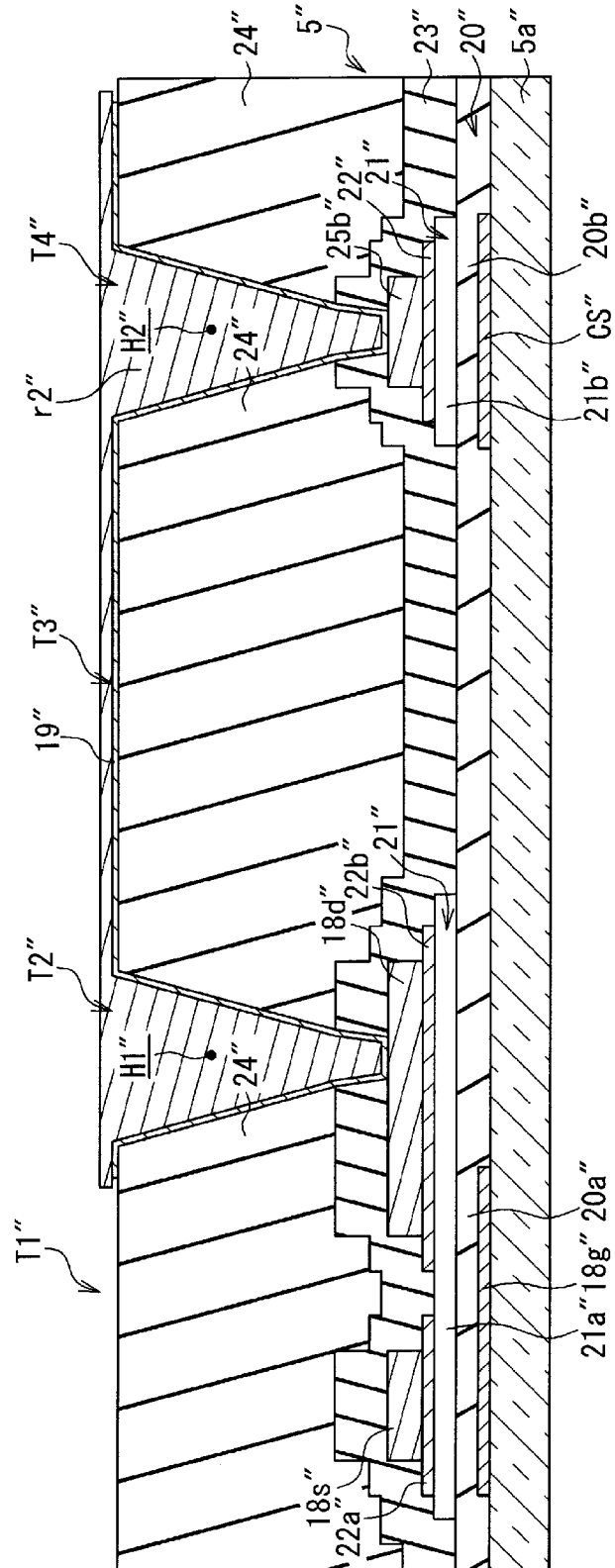
[図28]



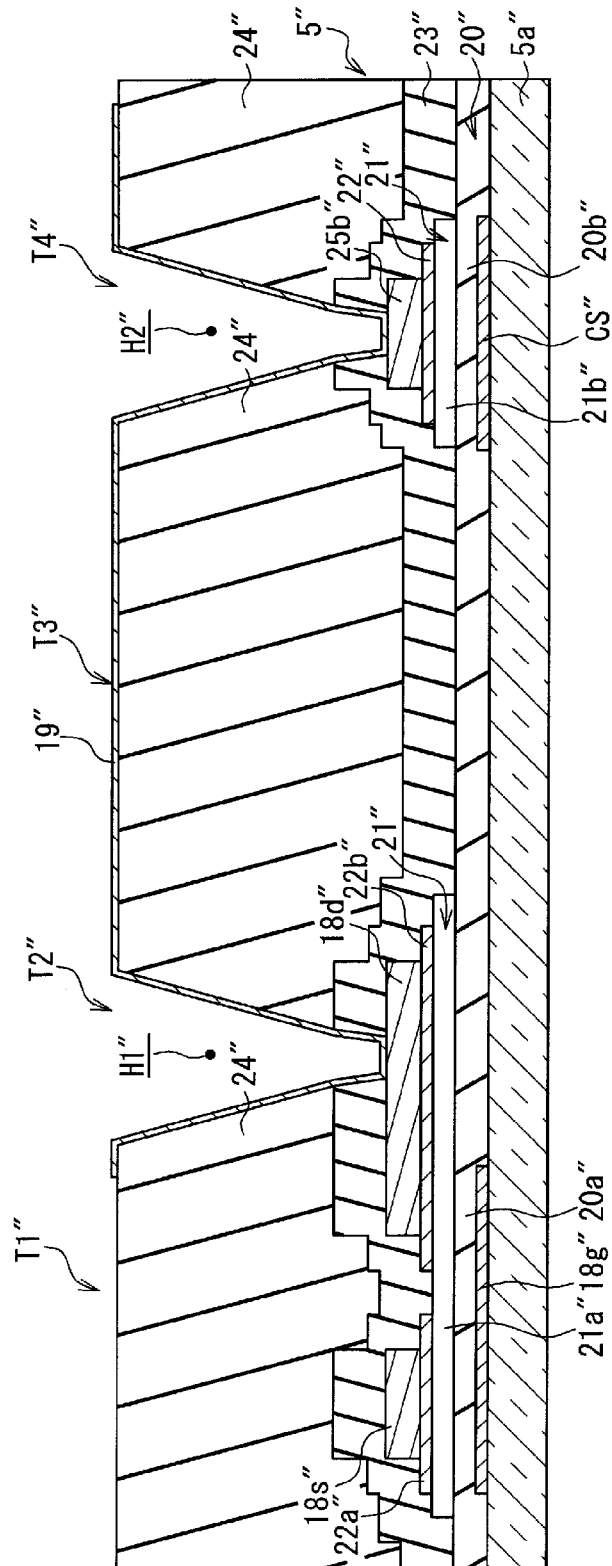
[図29]



[図33]

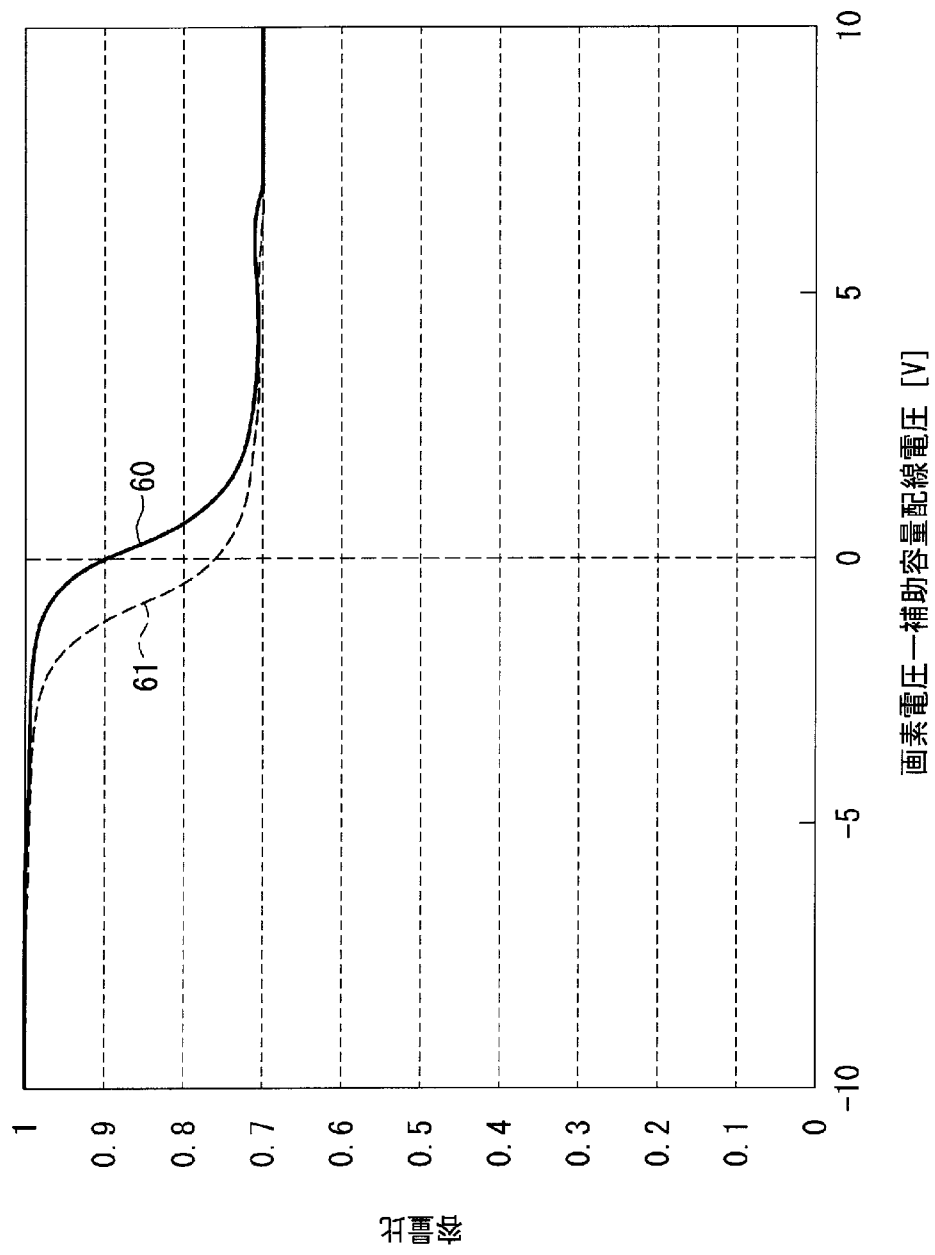


[図34]

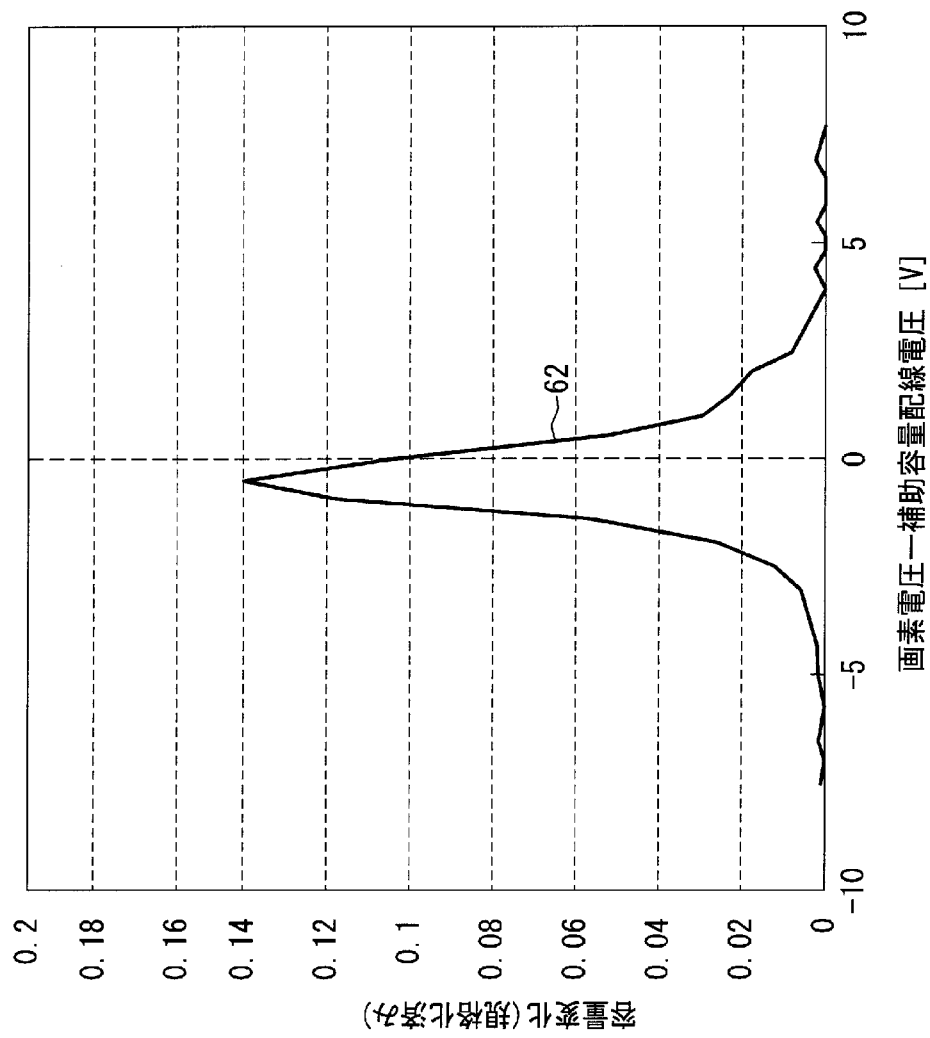


[illegible]

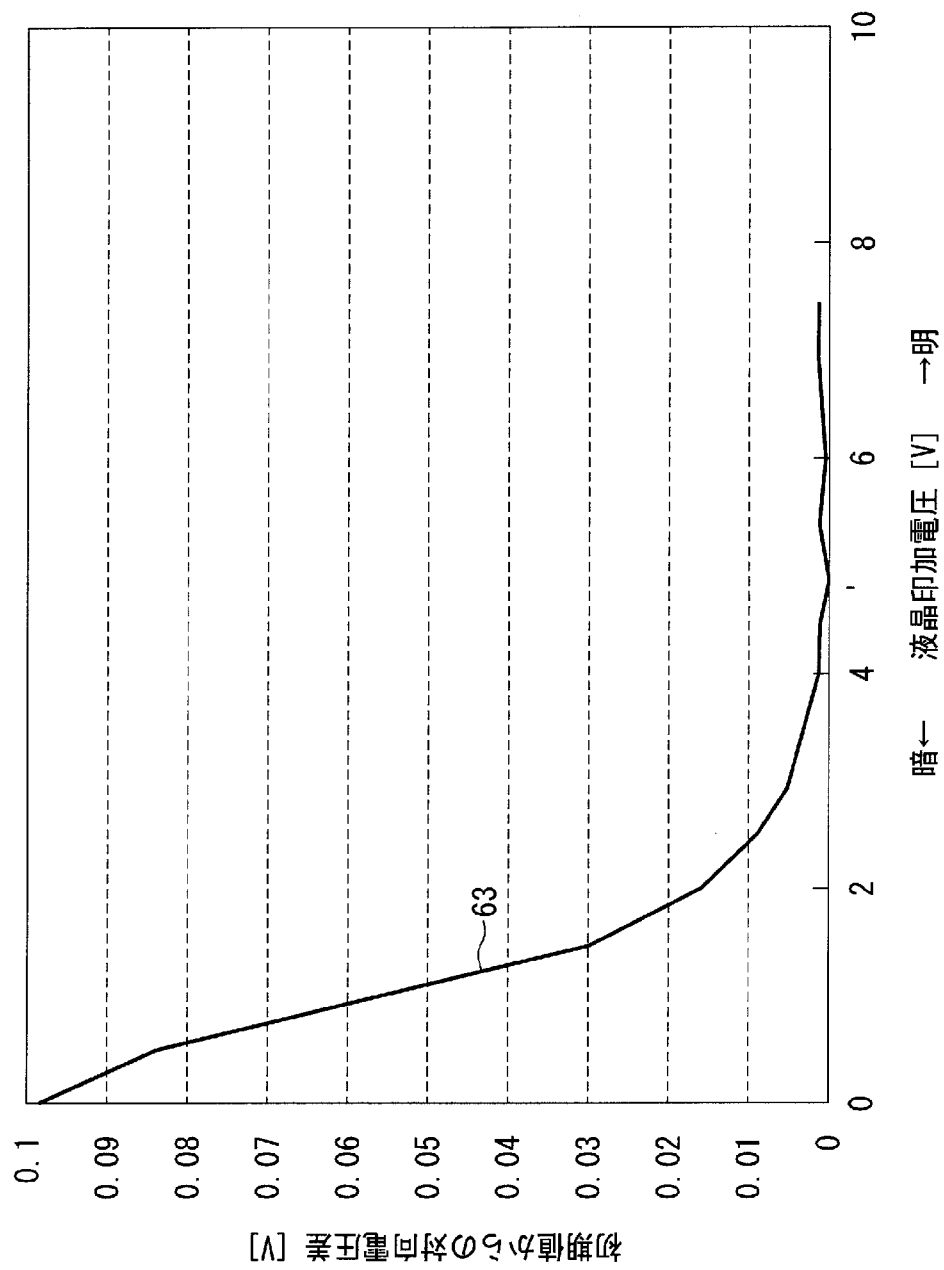
[図36]



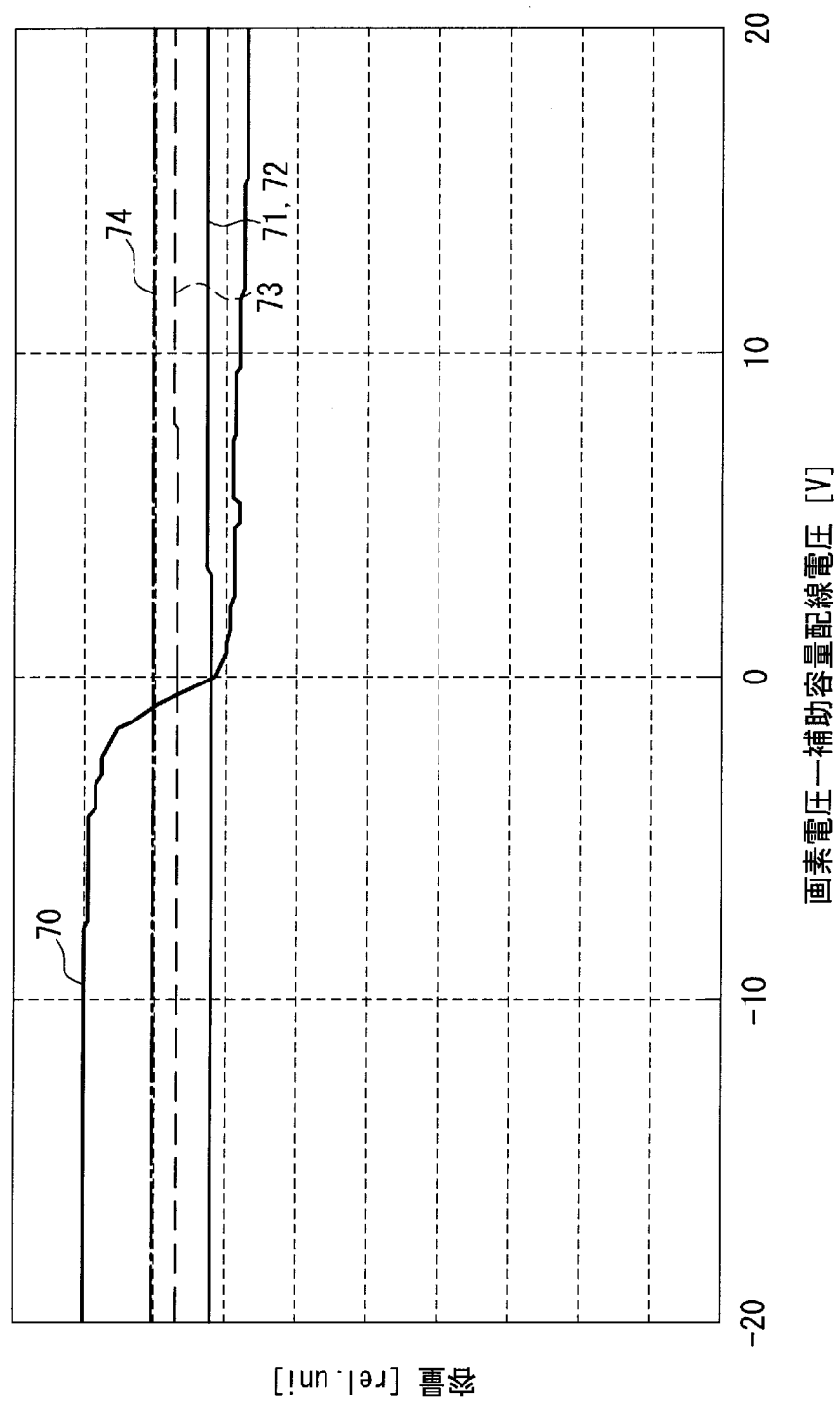
[図37]



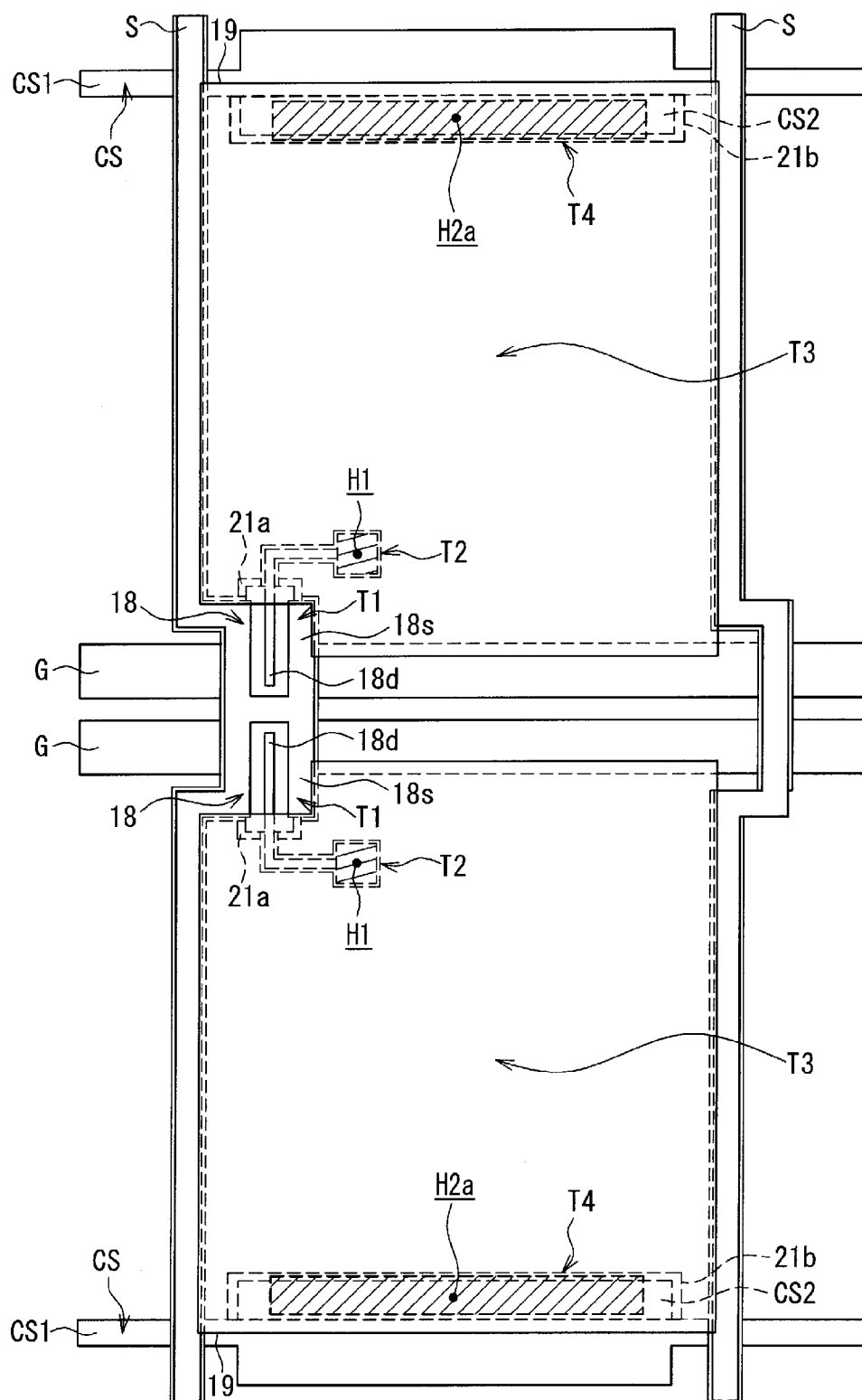
[図38]



[図39]

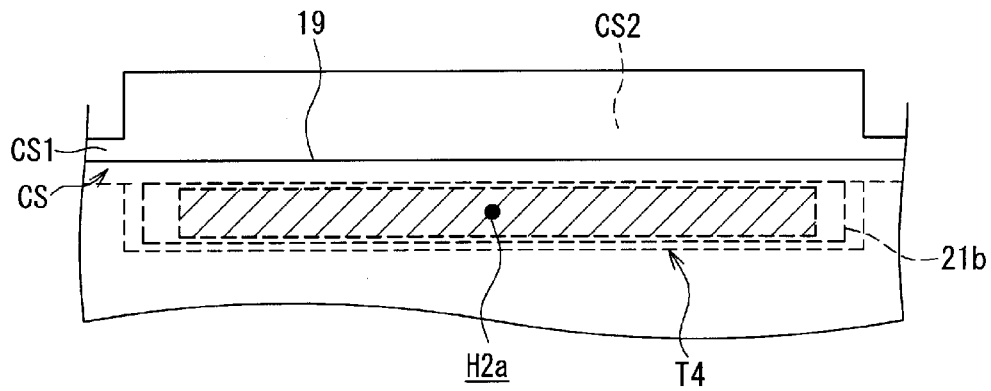


[図42]

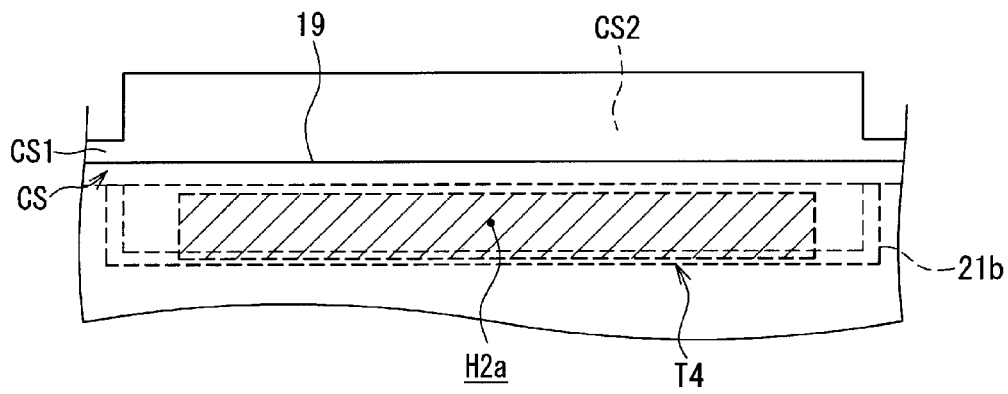


[図43]

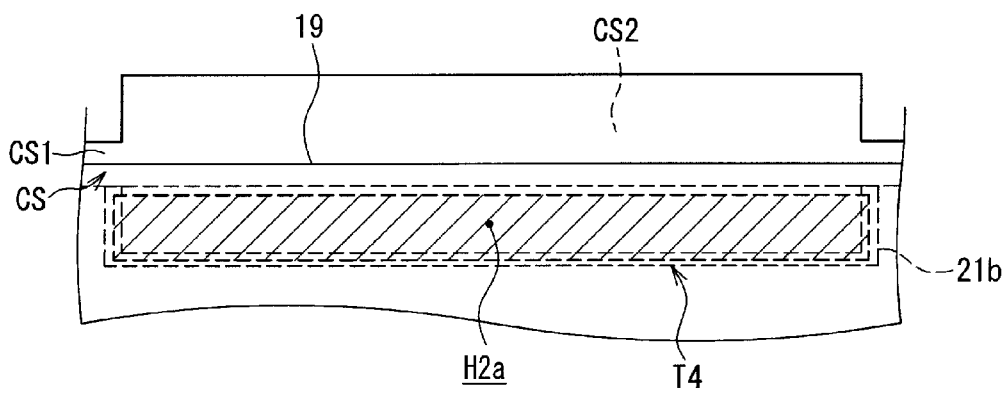
(a)



(b)



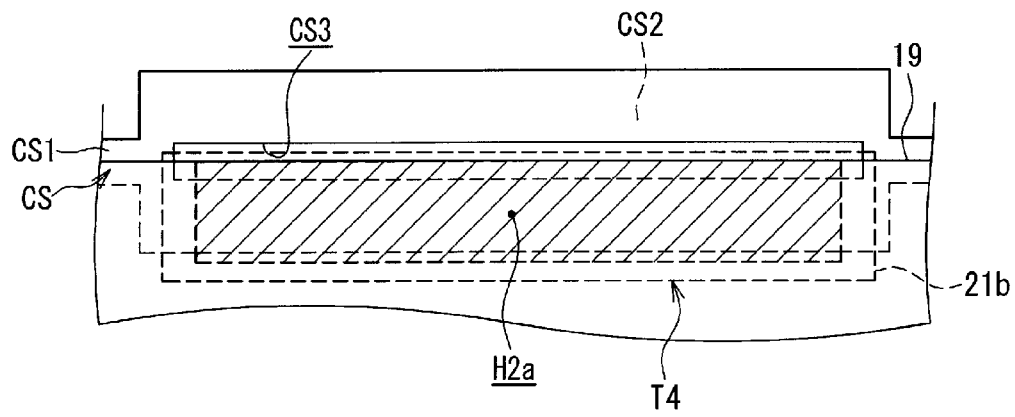
(c)



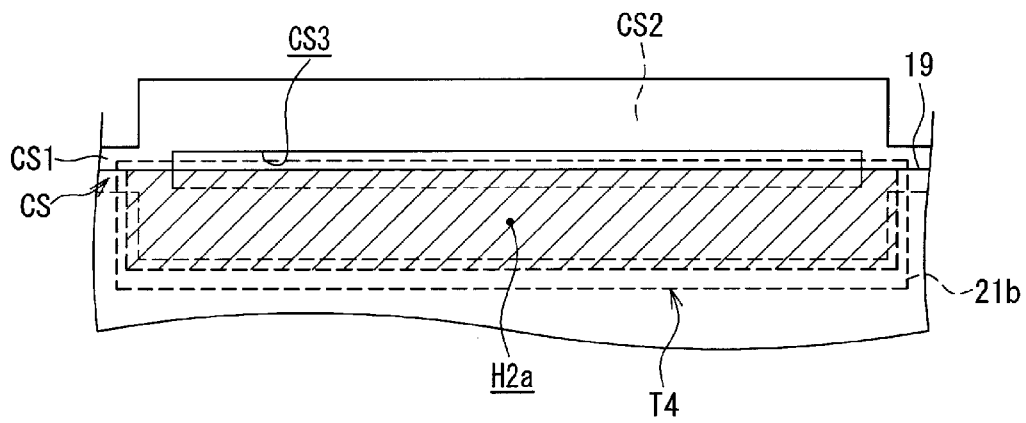
This diagram is a cross-sectional view of a semiconductor device. It shows a substrate with several layers: 5a (top layer), 20, 21, 23, and 24. A central region is labeled T4, and a specific point is labeled H2a. The device is shown in a perspective view with a top surface 5 and a bottom surface 19.

[図46]

(a)

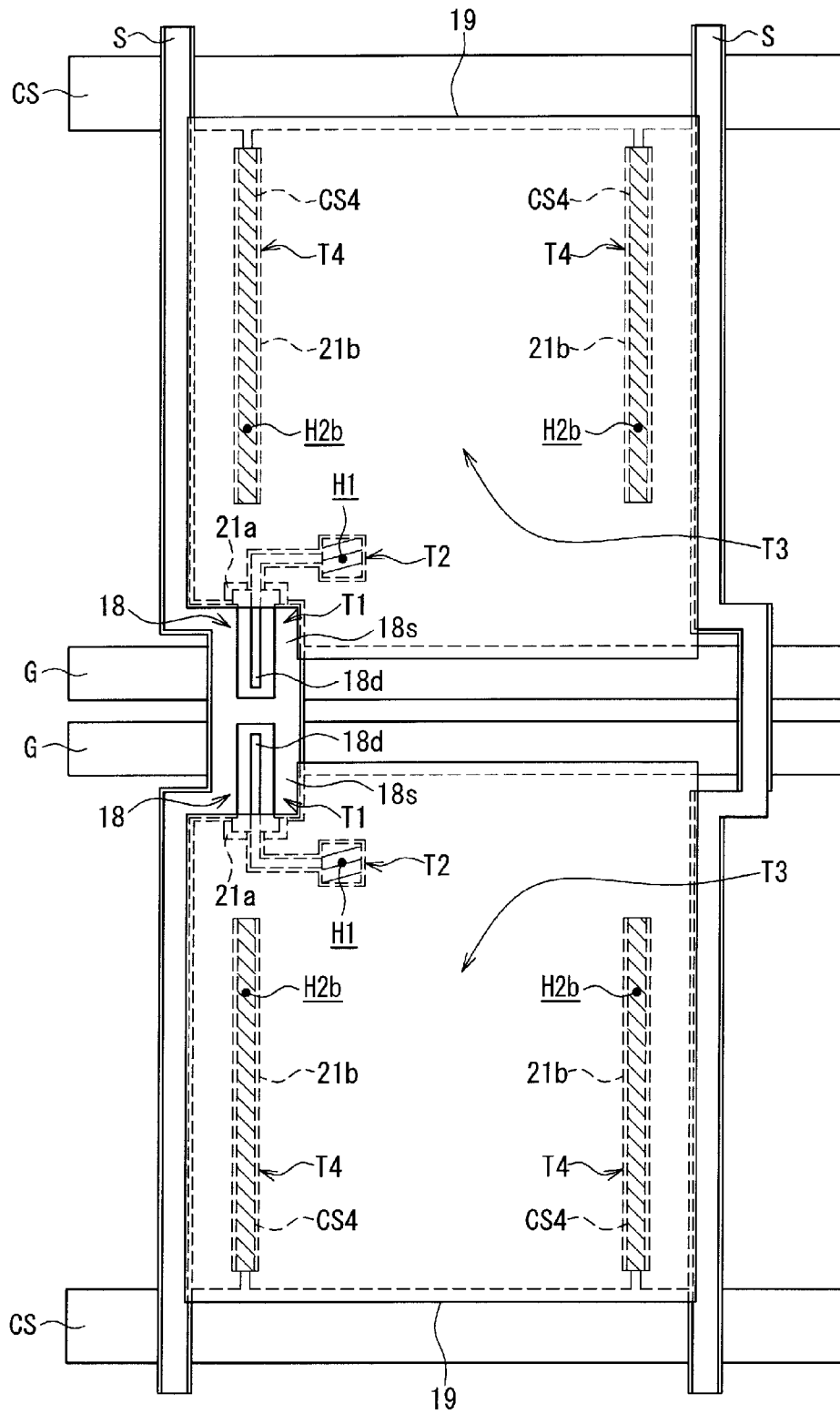


(b)

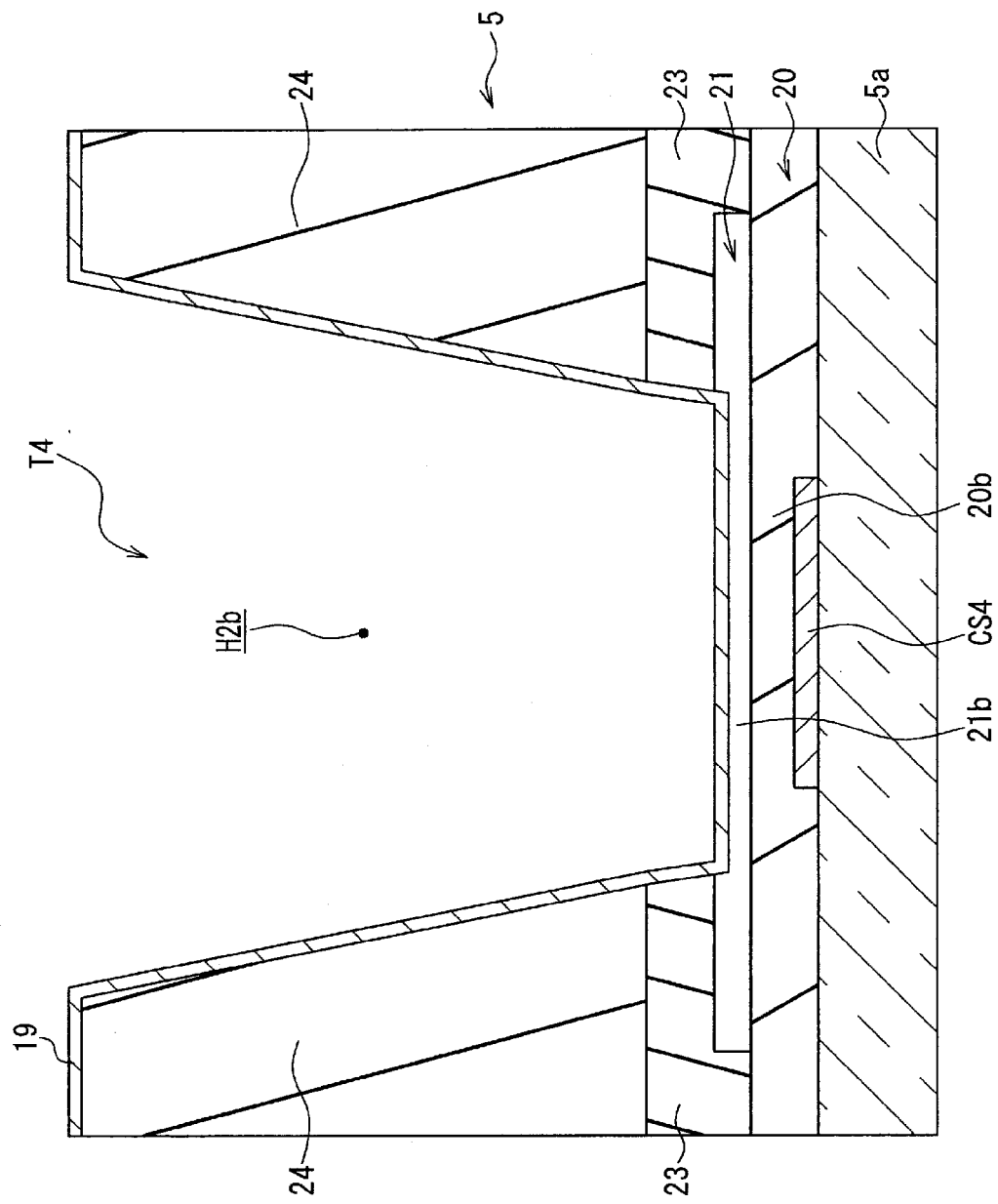


[illegible]

[図48]



[図49]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2013/073496

A. CLASSIFICATION OF SUBJECT MATTER

G09F9/30(2006.01)i, G02F1/1368(2006.01)i, G09F9/00(2006.01)i, H01L29/786(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09F9/00-46, G02F1/13-1/141, H01L29/786

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2013
Kokai Jitsuyo Shinan Koho	1971-2013	Toroku Jitsuyo Shinan Koho	1994-2013

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 2001-324725 A (Hitachi, Ltd.), 22 November 2001 (22.11.2001), paragraphs [0053] to [0062], [0070] to [0079]; fig. 7(a), 10 to 13, 16 to 18	1-7, 10-13 8-9, 14-15
Y	JP 2004-157543 A (L.G. Philips LCD Co., Ltd.), 03 June 2004 (03.06.2004), paragraphs [0029] to [0060]; fig. 4 to 6	1-15
Y	JP 11-103067 A (Semiconductor Energy Laboratory Co., Ltd.), 13 April 1999 (13.04.1999), paragraphs [0180] to [0185]; fig. 16	1-15



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"I" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
06 November, 2013 (06.11.13)

Date of mailing of the international search report
19 November, 2013 (19.11.13)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2013/073496

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2002-303876 A (Matsushita Electric Industrial Co., Ltd.), 18 October 2002 (18.10.2002), paragraph [0077]; fig. 16, 20	7-9, 13-15
A	JP 2003-179069 A (Matsushita Electric Industrial Co., Ltd.), 27 June 2003 (27.06.2003), entire text; all drawings	1-15
A	WO 2012/060362 A1 (Sharp Corp.), 10 May 2012 (10.05.2012), entire text; all drawings	1-15
A	JP 2007-226210 A (AU Optronics Corp.), 06 September 2007 (06.09.2007), entire text; all drawings	1-15
A	JP 2005-338596 A (Seiko Epson Corp.), 08 December 2005 (08.12.2005), entire text; all drawings	1-15

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/JP2013/073496

JP 2001-324725 A	2001.11.22	US 2001/0040648 A1	2001.11.15
		CN 1333475 A	2002.01.30
		TW 286257 B	2007.09.01
JP 2004-157543 A	2004.06.03	US 2004/0090562 A1	2004.05.13
		GB 2395343 A	2004.05.19
		DE 10351380 A	2004.07.15
		FR 2847043 A	2004.05.14
		KR 10-2004-0040682 A	2004.05.13
		TW 252955 B	2006.04.11
		CN 1499275 A	2004.05.26
JP 11-103067 A	1999.04.13	US 6218219 B1	2001.04.17
		KR 10-2005-0095816 A	2005.10.04
JP 2002-303876 A	2002.10.18	US 2002/0113913 A1	2002.08.22
		EP 1229379 A2	2002.08.07
		KR 10-2002-0064205 A	2002.08.07
		CN 1375734 A	2002.10.23
JP 2003-170969 A	2003.06.27	(Family: none)	
WO 2012/060362 A1	2012.05.10	CN 103201843 A	2013.07.10
JP 2007-226210 A	2007.09.06	US 2007/0196941 A1	2007.08.23
		KR 10-2007-0085134 A	2007.08.27
JP 2005-338596 A	2005.12.08	(Family: none)	

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. G09F9/30(2006.01)i, G02F1/1368(2006.01)i, G09F9/00(2006.01)i, H01L29/786(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. G09F9/00-46, G02F1/13-1/141, H01L29/786

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 3 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 3 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 3 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y	JP 2001-324725 A（株式会社日立製作所）2001.11.22, 段落【0053】 - 【0062】 , 【0070】 - 【0079】 , 図 7(a), 図 10-13, 図 16-18	1-7, 10-13 8-9, 14-15
Y	JP 2004-157543 A（エルジー フィリップス エルシーディ カン パニー リミテッド）2004.06.03, 段落【0029】 - 【0060】 , 図 4-6	1-15
Y	JP 11-103067 A（株式会社半導体エネルギー研究所）1999.04.13, 段落【0180】 - 【0185】 , 図 16	1-15

☒ C 欄の続きにも文献が列挙されている。☒ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

0 6 . 1 1 . 2 0 1 3

国際調査報告の発送日

1 9 . 1 1 . 2 0 1 3

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

田辺 正樹

2 I

4 4 0 3

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 2 7 3

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2002-303876 A (松下電器産業株式会社) 2002. 10. 18, 段落【0077】, 図 16, 図 20	7-9, 13-15
A	JP 2003-179069 A (松下電器産業株式会社) 2003. 06. 27, 全文, 全図	1-15
A	WO 2012/060362 A1 (シャープ株式会社) 2012. 05. 10, 全文, 全図	1-15
A	JP 2007-226210 A (友達光電股▲ふん▼有限公司) 2007. 09. 06, 全文, 全図	1-15
A	JP 2005-338596 A (セイコーエプソン株式会社) 2005. 12. 08, 全文, 全図	1-15

JP 2001-324725 A	2001. 11. 22	US 2001/0040648 A1	2001. 11. 15
		CN 1333475 A	2002. 01. 30
		TW 286257 B	2007. 09. 01
JP 2004-157543 A	2004. 06. 03	US 2004/0090562 A1	2004. 05. 13
		GB 2395343 A	2004. 05. 19
		DE 10351380 A	2004. 07. 15
		FR 2847043 A	2004. 05. 14
		KR 10-2004-0040682 A	2004. 05. 13
		TW 252955 B	2006. 04. 11
		CN 1499275 A	2004. 05. 26
JP 11-103067 A	1999. 04. 13	US 6218219 B1	2001. 04. 17
		KR 10-2005-0095816 A	2005. 10. 04
JP 2002-303876 A	2002. 10. 18	US 2002/0113913 A1	2002. 08. 22
		EP 1229379 A2	2002. 08. 07
		KR 10-2002-0064205 A	2002. 08. 07
		CN 1375734 A	2002. 10. 23
JP 2003-170969 A	2003. 06. 27	ファミリーなし	
WO 2012/060362 A1	2012. 05. 10	CN 103201843 A	2013. 07. 10
JP 2007-226210 A	2007. 09. 06	US 2007/0196941 A1	2007. 08. 23
		KR 10-2007-0085134 A	2007. 08. 27
JP 2005-338596 A	2005. 12. 08	ファミリーなし	