

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.
G11C 7/00 (2006.01)



[12] 发明专利说明书

专利号 ZL 02127285.9

[45] 授权公告日 2007 年 8 月 8 日

[11] 授权公告号 CN 1331153C

[22] 申请日 2002.7.31 [21] 申请号 02127285.9

[30] 优先权

[32] 2001. 7. 31 [33] US [31] 09/917882

[73] 专利权人 惠普公司

地址 美国加利福尼亚州

[72] 发明人 L·T·特兰 M·沙马

[56] 参考文献

US5684732A 1997. 11. 4

EP1082575A1 2001. 3. 14

US5257225A 1993. 10. 26

US5502395A 1996. 3. 26

EP1083575A1 2001. 3. 14

US5008855A 1991. 4. 16

审查员 李 菲

[74] 专利代理机构 中国专利代理(香港)有限公司

代理人 吴立明 王 勇

权利要求书 2 页 说明书 7 页 附图 4 页

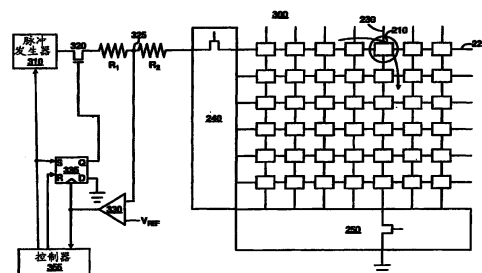
[54] 发明名称

一写多读存储器件的写脉冲限制

[57] 摘要

一种方法(400)和电路(300)写一个存储单元(210)。该方法(400)将一个脉冲(370、380)加到一条连接到该存储单元(210)的写线上。该脉冲(370、380)的持续时间不是预定的。该方法(400)将在存储单元(210)的输入侧上的一个值与一个参考值比较。该方法(400)响应该比较步骤,中断在所述写线上的所述脉冲(370、380),最好是,如果在所述写线上的所述值超过所述参考值。该电路(300)包括一个脉冲发生器(310)和一个比较器(330)。脉冲发生器(310)具有一个输出和一个允许输入。所述输出连接到一条写线上,该写线连接到所述存储单元(210)。当被启动时,所述输出载有脉冲(370、380)。所述比较器(330)具有两个输入和一个输出。这两个输入中的一个连接到所述写线上。这两个输入中的另一个连接到一个参考上。

所述输出连接到所述写线上,借此,根据比较器(330)的输出,在所述写线上所述脉冲被禁止或被允许。



1. 一种用于写一个存储单元的方法 (400), 该方法 (400) 包括:
借助于一个脉冲发生器 (310), 在连接到所述存储单元 (210) 的一条写线上发起 (420) 一个脉冲 (370、380);

将一个参考值与在所述存储单元 (210) 的一个输入侧上的一个值进行比较; 以及,

响应所述比较步骤的比较结果, 导通或关断连接在所述脉冲发生器和所述存储单元之间的一个开关, 使得在所述写线上的脉冲 (370、380) 出现或不出现,

其特征在于, 借助于所述脉冲出现或不出现在所述写线上, 使得所述写线上的脉冲 (370、380) 对于所述存储单元 (210) 的一个写操作刚好有效。

2. 权利要求 1 的方法 (400), 其中所述脉冲 (370、380) 是多层脉冲。

3. 权利要求 1 的方法 (400), 其中所述改变步骤包括:
减小所述脉冲 (370、380) 的幅度。

4. 权利要求 3 的方法 (400), 其中所述脉冲 (370、380) 的持续时间不是预定的, 并其中所述改变步骤还包括:

在所述减小步骤后某时间中断在所述写线上的所述脉冲 (370、380)。

5. 权利要求 1 的方法 (400), 其中所述改变步骤还包括:
响应所述比较步骤, 中断在所述写线上的所述脉冲 (370、380)。

6. 权利要求 1 的方法 (400) 还包括:
在一个预定的最大时间后中断在所述写线上的所述脉冲 (370、380)。

7. 一种用于写一个存储单元的电路 (300), 该电路 (300) 包括:
一个具有用于输出脉冲的输出端的脉冲发生器 (310);
一个开关 (320), 所述开关的一端通过写线连接到所述脉冲发生器 (310) 的输出端;

一个存储单元 (210), 所述存储单元通过写线连接到所述开关的另一端; 以及

一个具有两个输入和一个输出的比较器 (330), 所述两个输入中

的一个连接到所述开关和所述存储单元之间的写线，所述两个输入中的另一个连接到一个参考值，所述输出连接到所述开关（320）的控制端，借此，根据所述比较器（330）的输出，所述脉冲出现或不出现在所述写线上，

其特征在于，借助于所述脉冲出现或不出现在所述写线上，使得对于所述存储单元（210）一个写操作刚好有效。

8. 权利要求 7 的电路（300）还包括：

一个连接到所述比较器（330）和所述脉冲发生器（310）的控制器（355）。

9. 权利要求 7 的电路（300）还包括：

一个具有一个时钟输入和一个输出的触发器（335），所述时钟输入连接到所述比较器（330）的所述输出，所述触发器（335）的输出连接到所述开关（320）的控制端。

10. 权利要求 7 的电路（300）还包括：

一个在所述写线上的分压器，其中，所述分压器中的中间节点连接到所述比较器（330）的输入上。

一写多读存储器件的写脉冲限制

技术领域

本发明一般涉及电子存储器，更具体地涉及用于写一写多读（WORM）存储器件的方法和电路。

背景技术

在存储器领域内，存在一种对日益增加的密度和更低的成本的需求。这种情况尤其符合非易失性存储器。所述非易失性存储器就是当不供应电源时不丢失数据的那些存储器。非易失性存储器可以是一写多读（“WORM”）或可重编程序的。顾名思义，WORM存储器被写（被编程序）一次，以后它对于所有实际用途来说都是永久性的。大多WORM存储器是可现场编程的，而不需要在制造期间进行编程。可现场编程的WORM存储器的实例包括双极型 PROM（可编程只读存储器）、CMOS（互补金属氧化物半导体）PROM、EPROM（可擦除 PROM）以及基于隧道结的 ROM。

通过将相对大的电压加到所选择的单元上以便改变该所选择的单元的物理特性，对 WORM 存储器编程。改变机制取决于存储器的类型。例如，双极型或 CMOS PROM 的一个单个存储单元一般由一个与熔丝和/或反熔丝串联的晶体管组成，而一个 PROM 通过在所选择单元的熔丝和/或反熔丝上加一个大电压被编程。所加的电压使得熔丝开路或使得反熔丝短路（或者，如果熔丝和反熔丝都存在，则两种情况都有）。因此，跨在这个单元上的电阻改变了。通过将一个小读电压加到该单元上并且检测流过该单元的电流，读操作能够按照与未改变状态的对比探测到这种改变。作为另一个例子，EPROM 的一个单个存储单元一般由一个晶体管和一个浮栅组成，而通过加一大电位使电荷从所选单元的硅衬底转移到浮栅，EPROM 被编程。在这种情况下下的电荷转移的机制是 Fowler-Nordheim 电子隧道效应。

存储单元的另一个例子是反熔丝隧道结 100，如图 1 所示。反熔丝隧道结 100 包括底电极 120、绝缘隔离层 140 和顶电极 160。底电极 120 和顶电极 160 可以是如 Cu、Al 之类的导电金属，或者如 NiFe、

CoFe、NiFeCo 之类的磁性材料。绝缘隔离层 140 一般很薄,厚度从 $5\text{\AA}$ (埃)到 $100\text{\AA}$ 。绝缘隔离层 140 一般是由 TaO_x 、 AlO_x 、 SiO_x 、 SiN_x 、 AlN_x 等制成。当一个偏压加到结上时,薄绝缘隔离层允许量子力学隧道效应出现,从而一个电流从一个电极越过隔离层 140 流到另一个电极。隧道结的电阻指数地取决于隔离层的厚度。因此,通过在制造期间控制厚度,可以把隧道结做到所希望的、适于个别应用的电阻值。

用于对一个普通 WORM 存储器进行编程的电路是图 2 A 所示的 WORM 存储系统 200 的一部分。该 WORM 存储系统 200 包括一个存储单元 210 的阵列。存储单元 210 最好以行和列的矩形排列形式放置。每个存储单元 210 在行导线 220 和列导线 230 的交叉处。行解码器 240 连接到行导线 220,列解码器 250 连接到列导线 230。地址线(未示出)控制行解码器 240 和/或列解码器 250,选择所希望的行、列或者个别单元 210。如图 2 A 所示,一个个别单元 210 已被选中进行写。作为写过程的一部分,将写电压 V_{WR} 加到该单元 210 上。

在图 2B 上示出了一个写电压 V_{WR} 图形 260。写电压 V_{WR} 是一个高为 V_i 和固定宽度为 T_i 的脉冲 270。对于每个要被写的单元 210,通过行解码器 240 和列解码器 250 选择那个单元;然后,相同的脉冲 270 加到该所选择的单元上。

WORM 存储器的缺点是,为编程所述存储器一般需要 V_i 为高值。在 EPROM 的情况下,为出现 Fowler-Nordheim 电子隧道效应需要一个高电压。在带有作为可编程元件的多晶硅熔丝的 PROM 的情况下,为输出足够烧断该多晶硅熔丝的能量,需要一个大的电压。在带有作为存储单元的一个正向二极管和一个反向二极管的双极型 PROM 的情况下,为超过二极管的反向电压使它击穿,需要一个大电压。在带有作为可编程元件的隧道结反熔丝的 WORM 的情况下,该隧道结的击穿电压如 1.5V (伏)那样低。这个击穿电压可以由隧道结的阻挡层厚度来控制。较厚的阻挡层具有较高的击穿电压,而较薄的阻挡层具有较低的击穿电压。但是,这些类型的反熔丝结在击穿电压上呈现相当大的变化。

一些 WORM 存储器的编程在所需的写电压电平上呈现从单元到单元的相当大的变化。这种变化能由在制造过程中从单元到单元的物理变化引起。某些单元在被编程时可以需要较小的能量,而其他单元可以需要较大的能量。换句话说,脉冲 270 对某些单元或许是比需要的长,

然而对其他单元或许又是太短。为增加成品率，脉冲的持续时间 T_1 一般比大多数单元所需要的长得多。

在本专业都知道，当写操作试验失败时，要验证写操作的效率和重复标准写操作。一般地，通过检测来自连接到存储单元 210 输出的检测放大器（未示出）输出的电压，测试写操作的效率。在美国专利 5,684,741 中公开了这样的解决方法的例子。

发明内容

在一方面，本发明是一种用于写一个存储单元的方法，该方法包括：

借助于一个脉冲发生器，在连接到所述存储单元的一条写线上发起一个脉冲；

将一个参考值与在所述存储单元的一个输入侧上的一个值进行比较；以及，

响应所述比较步骤的比较结果，导通或关断连接在所述脉冲发生器和所述存储单元之间的一个开关，使得在所述写线上的脉冲出现或不出现，

其特征在于，借助于所述脉冲出现或不出现在所述写线上，使得所述写线上的脉冲对于所述存储单元的一个写操作刚好有效。该方法响应该比较步骤，改变在写线上的脉冲，最好通过减小脉冲幅度，然后中断脉冲。

在另一方面，本发明是一种一种用于写一个存储单元的电路，该电路包括：

一个具有用于输出脉冲的输出端的脉冲发生器；

一个开关，所述开关的一端通过写线连接到所述脉冲发生器的输出端；

一个存储单元，所述存储单元通过写线连接到所述开关的另一端；以及

一个具有两个输入和一个输出的比较器，所述两个输入中的一个连接到所述开关和所述存储单元之间的写线，所述两个输入中的另一个连接到一个参考值，所述输出连接到所述开关的控制端，借此，根据所述比较器的输出，所述脉冲出现或不出现在所述写线上，

其特征在于，借助于所述脉冲出现或不出现在所述写线上，使得对于所述存储单元一个写操作刚好有效。

在再另一方面，本发明是一个存储系统。该存储系统包括一个存储单元阵列、一个写线、一个脉冲发生器、一个开关和如上所述的比较器。

如在这里所使用的，措词“有”及其变形是可扩展的。于是，例如，除上面提到的输出和允许输入外，脉冲串发生器可以包括其他信号接口。另外，措词“连接”，如在这里所使用的，意指直接或通过中间元件间接连接。

同已知的现有技术比较，本发明的某些实施例是能够实现某些优点的，包括下述的一些或全部：（1）写过程更可靠；（2）与存储单元串联的元件（例如，行和列解码器）不大可能被损坏；（3）写过程使用很少的功率；（4）写时间减少；以及，（5）不需要交叉连接阵列输出，因为所有有关电路都只在阵列的写入侧。在阅读下面参照下列附图的一个优选实施例的详细说明时，本专业技术人员会认识到本发明的各种实施例的这些和其他优点以及益处。

附图说明

图 1 描写隧道结反熔丝存储单元。

图 2A 说明用于编程普通 WORM 存储器的现有技术电路。

图 2B 是个用于图 2A 的电路的写电压脉冲图。

图 3A 说明按照本发明的一个实施例的用于编程 WORM 存储器的电路。

图 3B 是个用于图 3A 电路的写电压脉冲图形。

图 4 是按照本发明的一个实施例的方法的流程图。

具体实施方式

图 3A 说明一个 WORM 存储系统 300，其包括一个按照本发明的一个实施例的用于编程所述存储器的电路。该 WORM 存储系统 300 包括图 2A 所示的相同的基本 WORM 存储器。但是，该 WORM 存储系统 300 包括一个不同的用于编程所述存储器的电路。该编程电路将一个受限脉冲加

到存储单元 210。该受限脉冲最好是双层脉冲。该编程电路监测何时写操作有效，以致减少不必要的能量和时间的消耗。

该编程电路包括一个脉冲发生器 310，其（间接地）连接到一条用于所选存储单元 210 的写线上。在这种情况下该写线是行导线 220 或经行解码器 240 可（直接地或间接地）连接到行导线 220 的一条线。标志“行”和“列”除了彼此有关以外是任意的。因此，一般说，写线会是列导线 230 或可经列解码器 250 连接到列导线 230 的一条线。

在一个实施例中，脉冲发生器 310 包括电流源电路。在另一个实施例中，脉冲发生器 310 包括带有以所希望的脉冲宽度、频率和幅度产生矩形脉冲的外围电路的电压源电路。

脉冲发生器 310 的输出连接到晶体管 320 的漏极端。晶体管 320 的源极端连接到串联的电阻 R_1 和电阻 R_2 上。电阻 R_2 连接到行解码器 240 上。晶体管 320 的栅极端是一个允许输入。当在栅极端的电压高时，晶体管 320 从漏极到源极导通，允许脉冲发生器 310 的输出到达存储单元 210（假定行解码器 240 和列解码器 250 被设置为选择存储单元 210）。当在栅极端的电压低时，晶体管 320 “关断”（即，源极和漏极之间开路）。在一些替换的实施例中，晶体管 320 可以被任何一般开关代替。

在电阻 R_1 和电阻 R_2 之间是一个节点 325，其连接到电压比较器 330 的一个输入上。电压比较器 330 的另一个输入连接到参考电压 V_{REF} 上。当在节点 325 上的电压超过 V_{REF} 时，电压比较器 330 的输出为高；否则，电压比较器 330 的输出为低。电压比较器 330 的输出连接到 SR 触发器 335 的时钟输入和控制器 355 的输入。当在节点 325 上的电压超过 V_{REF} 或降到 V_{REF} 以下（取决于被写时存储单元如何改变）时，电压比较器 330 的输出从高变到低，并使得 SR 触发器 335 的 Q 输出关断晶体管 320。控制器 355 也通过电压比较器 330 检测在节点 325 的变化，随后切断用于存储单元 210 的写线上的脉冲发生器 310 的输出。

如果写一个单元引起它的电阻减少，则在该写操作完成时，在节点 325 的电压将下降；如果写一个单元引起它的电阻增加（如用熔丝型存储器的情况），则在该写操作完成时，在节点 325 的电压将上升。在两者中的任何一种情况下，本专业技术人员能够容易地调整 V_{REF} 和比较器 330 的极性以鉴别写前和写后的条件。如果写一个单元的尝试不改变该

单元的电阻，控制器 355 关断脉冲发生器 310，并通过 SR 触发器 335 的 R 端将晶体管 320 的栅极带到低状态。电压比较器 330 的输出电压上升速率最好是快到足以探测在节点 325 的电压变化，以致该电路以无延迟的适当方式响应。

电阻 R_1 和电阻 R_2 起分压器的作用。最好是，电阻 R_1 和电阻 R_2 两者都是很小的电阻，以致写信号不被太严重地衰减。本专业技术人员可以选择 R_1 和 R_2 ，以使连通的存储系统 300 的比较器 330、存储单元 210 和其它电路能适当操作。

在一个替换的实施例中，由电阻 R_1 和电阻 R_2 组成的分压器可以由一个电流关闭装置来代替，而电压比较器 330 可以由电流比较器（连接到一个参考电流 I_{REF} ，而不是连接到一个参考电压 V_{REF} ）来代替。这样的替换电路能够探测作为单元 210 的成功写的结果的在存储单元 210 的输入侧上的电流变化。这样的替换的细节包含在本专业的普通技术范围内。

图 3B 是有效写电压脉冲 370 和无效写电压脉冲 380 的图形 360，两者都用于图 3A 的编程电路。当存储单元 210 被成功地写时，有效写电压脉冲 370，用实线表示为“犹他州”形脉冲，在该情况下是在节点 325 上的电压。有效写电压脉冲 370 是对于间隔 T_{21} 来说高度为 V_{21} 、然后对于间隔 T_{22} 来说高度为 V_{22} 的双层脉冲。该有效写电压脉冲 370 的总宽度为 $T_{21}+T_{22}$ 。这个宽度是可变的，最好比常规写脉冲 270（图 2B）的宽度 T_1 窄得多。间隔 T_{21} 是完成写一个单元所需要的时间。当写操作完成时，电压减少到 V_{REF} 以下，使得电压比较器 330、SR 触发器 335 和控制器 355 关闭晶体管 320 和脉冲发生器 310。间隔 T_{22} 是电路以这种方式响应所需要的时间。间隔 T_{22} 最好是尽量短。在最佳情况下，仅写一个单元所需要的足够脉冲能量被加到该单元，然后迅速关掉。用这种方法，有效写电压脉冲 370 最经常比常规写脉冲 270 短（通常相当地短）。因为间隔 T_{21} 可以从单元到单元变化，所以不同长度脉冲可以加到不同存储单元。这样，图 3B 的编程电路对每个单元自行调节。

当写存储单元 210 的尝试不成功时，无效写电压脉冲 380，部分地用虚轮廓线表示为一个矩形脉冲，是在节点 325 的电压。在这种情况下，控制器 355 在一个预定时间 T_2 后禁止脉冲。 T_2 是用一定的高几率足够写存储单元 210 的时间，如果该单元不是有故障的。因此，该预

定时间 T_2 是一个任何写操作的最大持续时间上的上限。

V_{21} 、 V_{22} 、 V_{RFF} 和 T_2 的值依赖于存储单元 210 的物理性质。电压 V_{21} 应该载有足够实现写的能量，但是不应该载有损坏其它电路（例如，行解码器 240 或列解码器 250）的那么大能量。选参考电压 V_{RFF} 为在 V_{21} 和 V_{22} 之间的某个值（即， $V_{21} < V_{RFF} < V_{22}$ ）。给定一个各别存储单元 210，本专业技术人员能够为 V_{21} 、 V_{22} （从而 R_1 和 R_2 ）和 T_2 选择合适的值。给定 V_{21} 和 V_{22} ，可以适当选择 V_{RFF} 。

虽然在图 3B 上按照具有完好方形边沿来表示脉冲 370 和 380，但这是理想形式。脉冲 370 和 380 一般具有在电平间的指数上升和下降。事实上，在完全一般意义上，这些脉冲的形状是任意的。脉冲 370 的多级，如果有的话，只代表不同的能级。

图 4 是按照本发明的一个实施例的方法 400 的流程图。方法 400 选择（410）一个或多个要被写的单元（例如，一整行）。方法 400 激发（420）一个脉冲到所选择的单元。激发步骤 420 接通脉冲 370 或类似的脉冲。接着，方法 400 监测（430）写入是否已成功。监测步骤 430 最好通过监测单元的输入侧，而不是检测单元输出来执行。如果写入成功时，则方法 400 任选地记录（440）写已成功的事实和/或脉冲的持续时间。该持续时间一般是单元的和存储系统的质量的一种量度。记录的数据可以在以后时间用于器件筛选或统计分析。如果按照监测步骤 430 写入不成功，则脉冲暂停；并方法 400 任选地记录（460）一个写单元的失败。

在这里已说明和表示的是本发明的一个优选实施例以及其它的一些变化。在这里使用的措词、描述和图是仅以说明的方式提出的，并非意为限制。本专业技术人员会认识到，在本发明的精神和范围内许多变化是可能的。打算用以下的权利要求和其相当的内容来定义本发明的精神和范围。其中，所有措词都被意指最广泛合理的意义，除非另有指明。

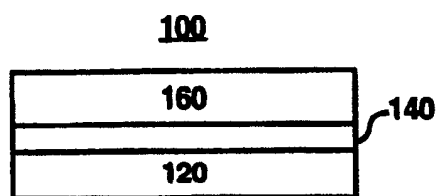


图 1
(现有技术)

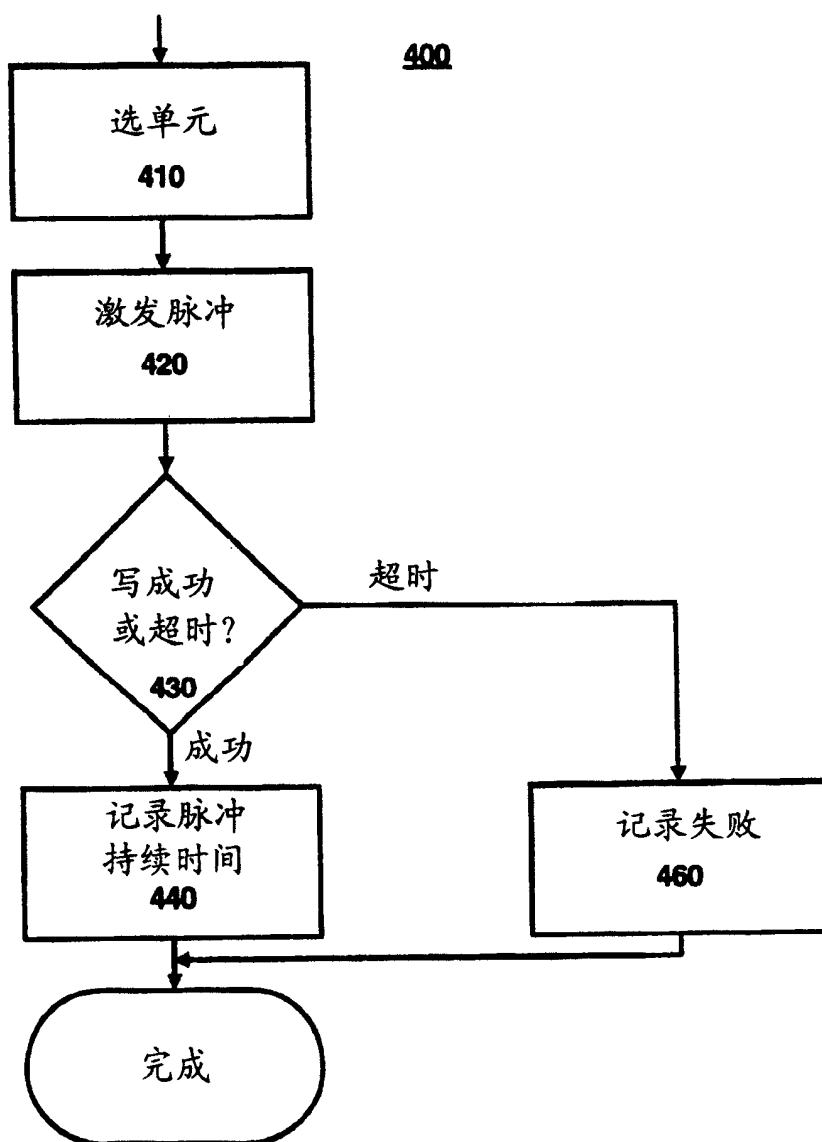


图 4

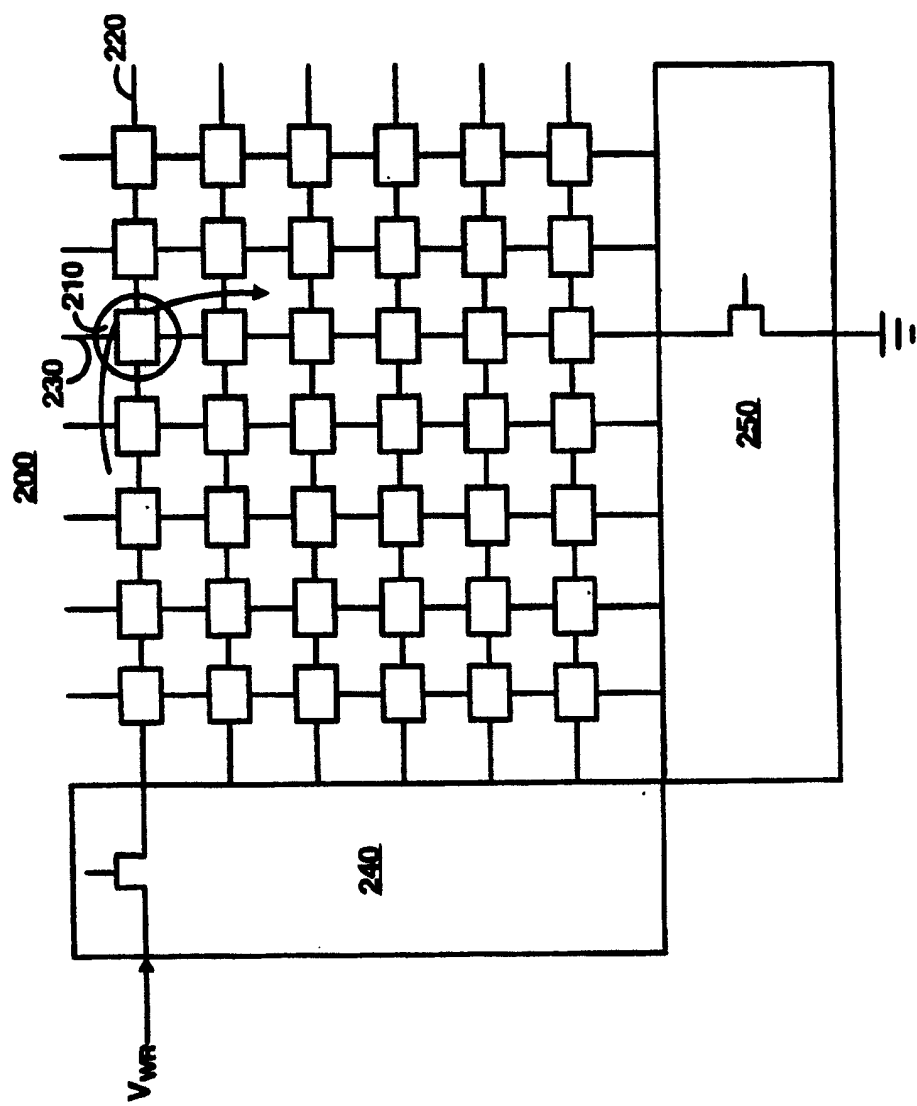


图 2A
(现有技术)

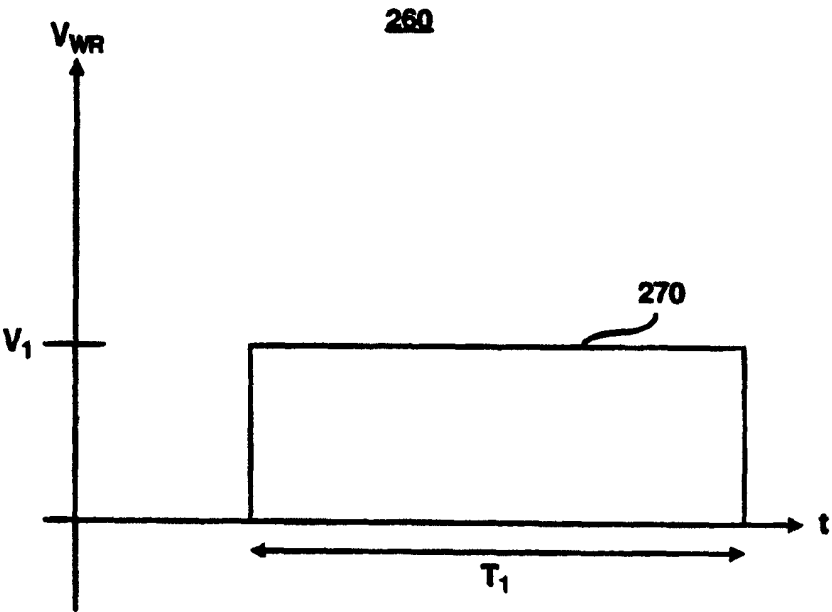


图 2B
(现有技术)

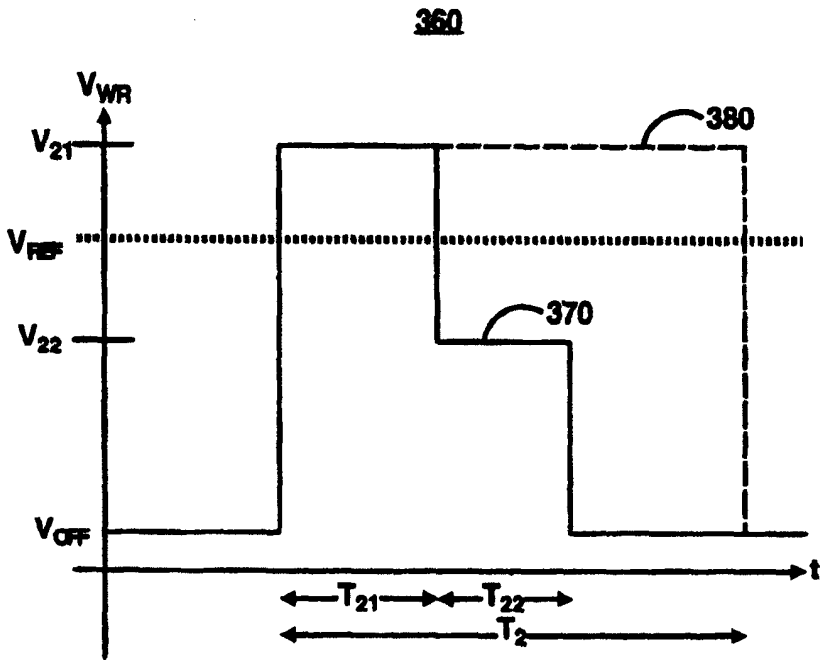


图 3B

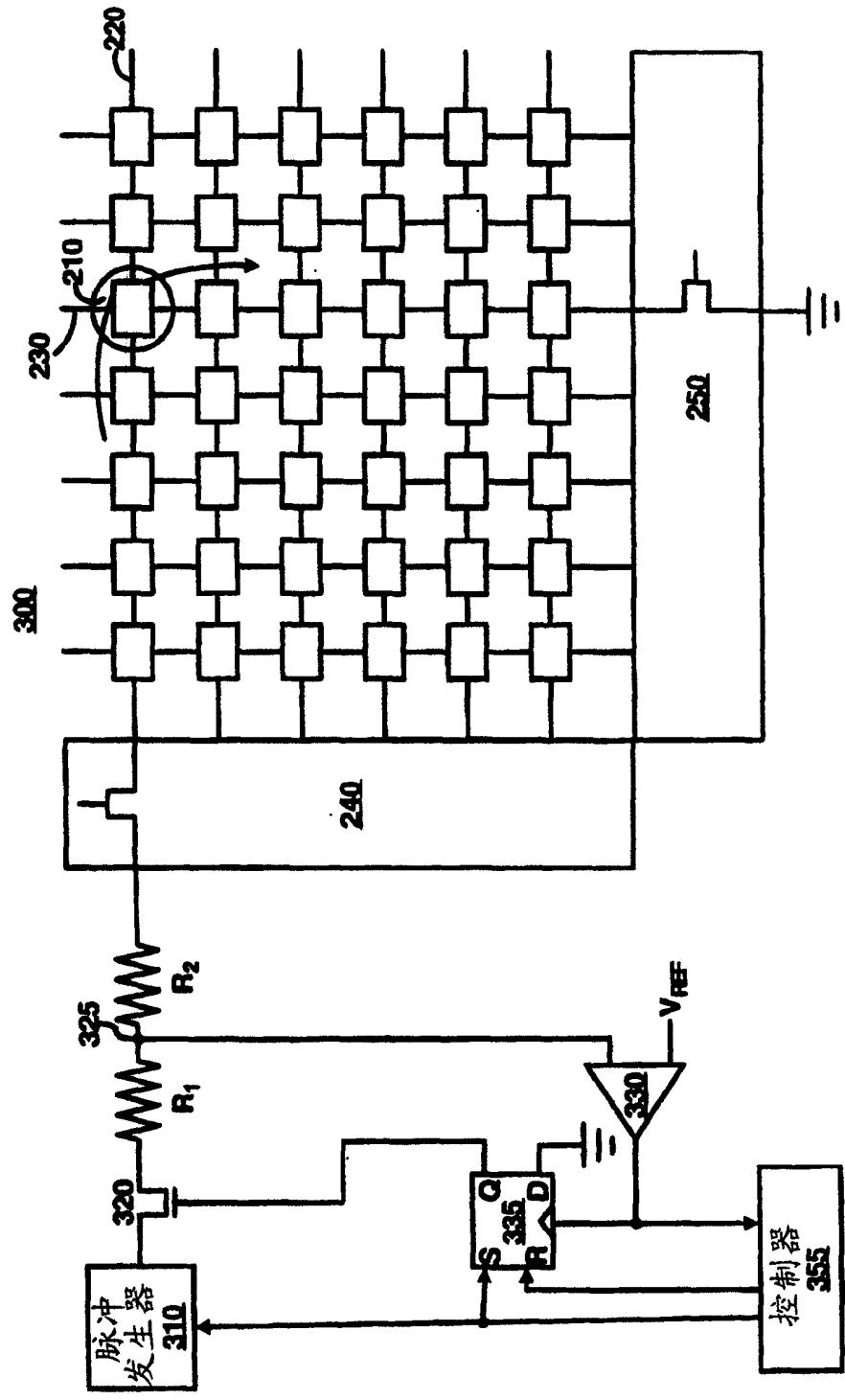


图 3A