

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2006-324326

(P2006-324326A)

(43) 公開日 平成18年11月30日(2006.11.30)

(51) Int. Cl.		F I			テーマコード (参考)	
H05K	1/14	(2006.01)	H05K	1/14	H	5E322
H05K	7/20	(2006.01)	H05K	1/14	D	5E344
			H05K	7/20	F	

審査請求 未請求 請求項の数 9 O L (全 9 頁)

(21) 出願番号	特願2005-144128 (P2005-144128)	(71) 出願人	500174247
(22) 出願日	平成17年5月17日 (2005.5.17)		エルピーダメモリ株式会社
			東京都中央区八重洲2-2-1
		(74) 代理人	100096231
			弁理士 稲垣 清
		(72) 発明者	長橋 治樹
			東京都中央区八重洲2-2-1 エルピー
			ダメモリ株式会社内
		Fターム(参考)	5E322 AA11 AB04 AB08 FA04
			5E344 AA08 AA12 AA19 BB02 CC05
			CC11 CD15 CD20 CD29 DD08
			DD16 EE02

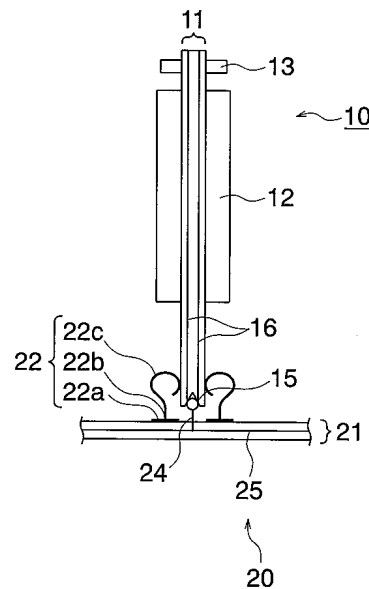
(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 電子部品が配設されたモジュール基板を実装基板上に搭載する半導体装置において、電子部品の温度上昇を効果的に抑制し、半導体装置の良好な動作特性を確保する。

【解決手段】 半導体装置は、メモリ・モジュール基板10とメモリ・モジュール基板10を搭載するマザーボード20とを備える。メモリ・モジュール基板10は、複数のパッド端子が表裏に配列され複数のパッド端子が全体としてプラグを構成する縁部を有する。マザーボード20が、プラグの複数のパッド端子に対応して配設された複数のコンタクト端子対(22)から成るソケットによってプラグを支持する。マザーボード20は、ソケットのコンタクト端子対(22)の相互間に配設され且つメモリ・モジュール基板10の縁部に当接するグランド端子24を備える。

【選択図】 図3



【特許請求の範囲】

【請求項 1】

モジュール基板と該モジュール基板を搭載する実装基板とを備え、前記モジュール基板は、複数の端子が表裏に配列され該複数の端子が全体としてプラグを構成する縁部を有し、前記実装基板が、前記プラグの複数の端子に対応して配設された複数の端子対から成るソケットによって前記プラグを支持する形式の半導体装置において、

前記実装基板は、前記ソケットの端子対の相互間に配設され且つ前記モジュール基板の縁部に当接する当接部材を備えることを特徴とする半導体装置。

【請求項 2】

前記当接部材が導電性を有する、請求項 1 に記載の半導体装置。

10

【請求項 3】

前記モジュール基板の縁部にグランド線が露出し、前記当接部材がグランド端子を構成する、請求項 2 に記載の半導体装置。

【請求項 4】

前記モジュール基板の縁部に電源線が露出し、前記当接部材が電源端子を構成する、請求項 2 に記載の半導体装置。

【請求項 5】

前記ソケットの前記プラグに接触する表面と逆側の表面が露出して配設される、請求項 1 ~ 4 の何れかーに記載の半導体装置。

【請求項 6】

前記当接部材は、前記複数の端子対のそれぞれに対応して配設される複数の当接部材を含む、請求項 1 ~ 5 の何れかーに記載の半導体装置。

20

【請求項 7】

前記当接部材は、前記複数の端子対の少なくとも一部に対応して配設され、前記縁部に沿って延びる長尺状の当接部材として構成される、請求項 1 ~ 5 の何れかーに記載の半導体装置。

【請求項 8】

前記当接部材が、弾性部材によって構成され、前記モジュール基板の縁部を前記実装基板と逆方向に付勢する、請求項 1 ~ 7 の何れかーに記載の半導体装置。

【請求項 9】

前記モジュール基板がメモリ装置を構成する、請求項 1 ~ 8 の何れかーに記載の半導体装置。

30

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、実装基板を備える半導体装置に関し、更に詳細には、半導体メモリ素子などの電子部品が配設されたモジュール基板を実装基板上に搭載する半導体装置に関する。

【背景技術】

【0002】

パーソナルコンピュータやサーバ等では、従来は、マザーボード（実装基板）上に D R A M（Dynamic Random Access Memory）等の半導体メモリ素子が直接に実装されていた。しかし、近年では、プリント基板に 1 又は複数のメモリ素子を搭載したメモリ・モジュール基板を別に用意し、このメモリ・モジュール基板を、実装基板上に配設されたソケットを介して実装する例が増えている。

40

【0003】

図 9 にメモリ・モジュール基板を備える半導体装置の構成を示す。同図中、符号 10 が、メモリ素子 12 を搭載したメモリ・モジュール基板を、符号 20 がマザーボードをそれぞれ示している。マザーボード 20 には、メモリ・モジュール基板 10 を搭載する、コの字形の断面形状を有するソケット 40 が配設されている。ソケット 40 には、メモリ・モジュール基板 10 の双方の基板面に配設されたパッド端子に対応して、コンタクト端子 4

50

１が配設され、メモリ・モジュール基板１０は、ソケット４０に対して脱着可能に実装される。符号１３は、バイパスコンデンサを示している。

【０００４】

メモリ・モジュール基板では、メモリ素子の高密度化や読出し／書込みの高速化に伴い、メモリ素子の発熱量が増大している。メモリ素子の発熱量の増大に伴い、メモリ・モジュール基板内の温度が過度に上昇し、メモリ素子の性能低下や熱破壊を引き起こす問題が発生している。メモリ素子の性能低下や熱破壊を防止し、半導体装置の良好な動作特性を確保するためには、メモリ素子で発生した熱を効率的に放散し、メモリ素子の温度（Ｔｃ）の上昇を抑制することが必須である。

【０００５】

特許文献１、２は、メモリ素子の温度上昇を抑制するために、メモリ素子が配設されたメモリ・モジュール基板の側面に種々の放熱部材を配設し、メモリ・モジュール基板の側面から放熱を行うことを提案している。

【特許文献１】特開平１０－３３５５４６号公報（図１）

【特許文献２】特開２００４－０７９９４０号公報（図２）

【発明の開示】

【発明が解決しようとする課題】

【０００６】

近年のメモリ・モジュール基板では、上記メモリ素子の高密度化及び高速化が更に進み、発熱量が益々大きくなっている。従って、半導体装置の良好な動作特性を確保するためには、メモリ・モジュール基板の側面から放熱を行うだけでは、メモリ・モジュール基板の温度上昇を十分に抑制することが困難になっている。

【０００７】

本発明は、上記に鑑み、電子部品が配設されたモジュール基板を実装基板上に搭載する半導体装置において、電子部品の温度上昇を効果的に抑制し、半導体装置の良好な動作特性を確保することを目的とする。

【課題を解決するための手段】

【０００８】

上記目的を達成するために、本発明に係る半導体装置は、モジュール基板と該モジュール基板を搭載する実装基板とを備え、前記モジュール基板は、複数の端子が表裏に配列され該複数の端子が全体としてプラグを構成する縁部を有し、前記実装基板が、前記プラグの複数の端子に対応して配設された複数の端子対から成るソケットによって前記プラグを支持する形式の半導体装置において、

前記実装基板は、前記ソケットの端子対の相互間に配設され且つ前記モジュール基板の縁部に当接する当接部材を備えることを特徴とする。

【発明の効果】

【０００９】

本発明によれば、当接部材がモジュール基板の縁部に当接することによって、モジュール基板を機械的に支持すると共に、モジュール基板の熱を当接部材を介して実装基板に効率的に放散できる。電子部品からモジュール基板に放散された熱を効率的に放散することによって、電子部品の温度上昇を効果的に抑制し、半導体装置の良好な動作特性を確保できる。

【００１０】

本発明の好適な実施態様では、前記当接部材が導電性を有することによって、高い熱伝導率を有する。当接部材の熱伝導率は、好ましくは、１Ｗ／（ｍ・Ｋ）以上である。

【００１１】

本発明の好適な実施態様では、前記モジュール基板の縁部にグランド線が露出し、前記当接部材がグランド端子を構成する。或いはこれに代えて、前記モジュール基板の縁部に電源線が露出し、前記当接部材が電源端子を構成する。グランド線及び電源線は大きな熱容量を有するため、実装基板及びモジュール基板のグランド線又は電源線を相互に接続す

10

20

30

40

50

ることによって、モジュール基板の熱を更に効率的に放散できる。

【0012】

本発明の好適な実施態様では、前記ソケットの前記プラグに接触する表面と逆側の表面が露出して配設される。ソケットの露出する表面が増えることによって、モジュール基板からソケットに伝導した熱を、ソケットの表面から効率的に放散できる。これによって、モジュール基板の熱を更に効率的に放散できる。

【0013】

本発明の好適な実施態様では、前記当接部材は、前記複数の端子対のそれぞれに対応して配設される複数の当接部材を含む。当接部材が相互に近接して配設されることによって、モジュール基板の熱を実装基板に効率的に放散することが出来る。より好ましくは、前記当接部材は、前記複数の端子対の少なくとも一部に対応して配設され、前記縁部に沿って延びる長尺状の当接部材として構成される。当接部材が連続的に配設されることによって、モジュール基板の熱を実装基板により効率的に放散することが出来る。

10

【0014】

本発明の好適な実施態様では、前記当接部材が、弾性部材によって構成され、前記モジュール基板の縁部を前記実装基板と逆方向に付勢する。当接部材の先端をモジュール基板の縁部に確実に当接させることによって、モジュール基板の熱を当接部材に効率的に伝導させることが出来る。

【0015】

本発明では、前記モジュール基板がメモリ装置を構成するものとすることが出来る。発熱量の大きなメモリ素子の温度上昇を効果的に抑制し、メモリ素子の性能低下や熱破壊を防止できる。

20

【発明を実施するための最良の形態】

【0016】

以下、図面を参照し、本発明に係る実施形態に基づいて本発明を更に詳細に説明する。図1は、本発明の第1実施形態に係る半導体装置の構成を示す正面図である。図2は、図1のII方向から見た一部平面図を示している。半導体装置100は、メモリ・モジュール基板10と、メモリ・モジュール基板10を基板面上に搭載するマザーボード20とを備える。

【0017】

メモリ・モジュール基板10は、基板本体11を備え、基板本体11は、絶縁層と、信号配線層、 V_{dd} 電源配線層、及びグランド配線層などの配線層とが交互に積層された多層プリント配線基板として構成される。基板本体11には、双方の基板面に、複数のメモリ素子12、バイパスコンデンサ13、及びEEPROM14が配設されている。EEPROM14は、メモリ・モジュール基板10の各種スベック情報を格納したSPD (Serial Presence Detect) として構成される。基板本体11の下部には、双方の基板面に複数の導電性パッド端子 (図示なし) が配設されている。

30

【0018】

マザーボード20は、基板本体21を備え、基板本体21は、メモリ・モジュール基板の基板本体11と同様に、絶縁層と、信号配線層、 V_{dd} 電源配線層、及びグランド配線層などの配線層とが交互に積層された多層プリント配線基板として構成される。基板本体21には、パッド端子に対応し、基板面から突出する複数の導電性コンタクト端子22が配設される。基板本体21には、メモリ・モジュール基板の基板本体11を、双方の端部で固定可能なコネクタラッチ23が配設されている。

40

【0019】

図3に、図1のIII-III方向に沿って見た断面を示す。各コンタクト端子22は、基板本体21上に固定された平面状の基部22aと、基部22aから基部22aに対して垂直に突出する支持部22bと、支持部22b上に支持されたコンタクト部22cとを備える。コンタクト部22cは、支持部22bの先端を略円形に折り曲げた形状を有し、支持部22bの弾性力によってメモリ・モジュール基板10のパッド端子に押し付けられる。こ

50

れによって、コンタクト端子 22 とメモリ・モジュール基板 10 のパッド端子とが電氣的に接続されると共に、メモリ・モジュール基板 10 がマザーボード 20 に対して固定される。

【0020】

メモリ・モジュール基板 10 には、基板本体 11 の下端縁部に沿って、V 字状の断面形状を有する切欠き 15 が形成されている。切欠き 15 の深さは 1 mm 程度であり、切欠き 15 の面からメモリ・モジュール基板のグランド配線層 16 が露出する。グランド配線層 16 は、基板本体 11 の略全面に渡って形成され、信号配線層や V_{dd} 電源配線層に比して表面積が大きく、大きな熱容量を有する。

【0021】

マザーボード 20 には、基板本体 21 に、切欠き 15 に沿って複数のグランド端子（当接部材）24 が配設されている。グランド端子 24 は、鉄から成る線材で構成され、直線状部分と直線状部分に支持されるリング状部分とから成る。グランド端子 24 は、基板本体 21 の表面寄りの層を貫通し、マザーボード 20 の一つのグランド配線層 25 に接続されている。

【0022】

メモリ・モジュール基板 10 が搭載された状態で、グランド端子 24 が切欠き 15 に対して付勢され、切欠き 15 の面から露出するグランド配線層 16 に接触する。これによって、グランド配線層 16 は、マザーボードのグランド配線層 25 と電氣的に接続される。

【0023】

図 4 (a) に、図 1 のマザーボードを示す。同図中、基板本体 21 の層内に形成されたグランド端子 24 及びグランド配線層 25 を図示している。図 4 (b) は、図 4 (a) の B 方向から見た一部平面図を示している。グランド端子 24 は、コンタクト端子 22 に対応して配設されている。グランド端子 24 を構成する鉄の熱伝導率は、 $84 \text{ W} / (\text{m} \cdot \text{K})$ 程度である。

【0024】

メモリ素子 12 で発生した熱は、一般的に、その 70 % がチップ表面からの熱放射、及びメモリ素子 12 近傍の大気対流によって放散され、残りの 30 % がメモリ・モジュール基板の基板本体 11 に放散される。図 9 に示した従来の半導体装置 200 では、ソケット 40 の熱伝導効率が充分でないため、メモリ・モジュール基板 10 に放散された熱を、マザーボード 20 に効率的に放散することが出来ない。

【0025】

これに対して、本実施形態の半導体装置 100 では、大きな熱容量を有するマザーボードのグランド配線層 25 に接続され、且つ高い熱伝導率を有するグランド端子 24 が、メモリ・モジュール基板の切欠き 15 の面に当接する。また、グランド端子 24 が、大きな熱容量を有するメモリ・モジュール基板のグランド配線層 16 に接触する。これらによって、メモリ・モジュール基板 10 の熱を、マザーボード 20 に効率的に放散できる。

【0026】

更に、プラスチック等から成るソケット本体部を除いたことによって、大気中に露出するコンタクト端子 22 の部分が増加し、メモリ・モジュール基板 10 の熱をコンタクト端子 22 の表面を介して効率的に放散することが出来る。従って、本実施形態の半導体装置 100 では、メモリ素子 12 からメモリ・モジュール基板の基板本体 11 に放散された熱を効率的に放散し、メモリ素子 12 の温度上昇を効果的に抑制できる。

【0027】

本実施形態の半導体装置 100 では、切欠き 15 が形成する空間にグランド端子 24 が収容されることによって、メモリ・モジュール基板 10 をその厚み方向に固定することが出来る。なお、上記実施形態では、複数のグランド端子 24 が相互に離隔して配設された例を示したが、相互に接触して配設されてもよく、この場合、グランド端子 24 の熱伝導効率を更に向上させることが出来る。

【0028】

10

20

30

40

50

図5は、本発明の第2実施形態に係る半導体装置の構成を示す断面図であり、図3に対応する断面を示している。半導体装置101では、グランド端子26は、鉄から成る板材で構成され、先端がテーパ状の形状を有する。この先端は、切欠き15の2つの面にそれぞれ接する2つの面を有する。グランド端子26は、また、基板本体21の表面寄りの層を貫通し、基板本体21内部のグランド配線層25に接続されている。

【0029】

本実施形態の半導体装置101では、メモリ・モジュール基板10のマザーボード20への搭載に際して、グランド端子26の先端が切欠き15に対して付勢され、この先端の面が切欠き15の面及びグランド配線層16に当接する。これによって、メモリ・モジュール基板10の熱を、マザーボード20に効率的に放散できる。また、切欠き15が形成する空間にグランド端子26の先端が収容されることによって、メモリ・モジュール基板10をその厚み方向に固定できる。

【0030】

図6は、本発明の第3実施形態に係る半導体装置の構成を示す断面図であり、図3に対応する断面を示している。半導体装置102は、グランド端子に代えて、絶縁部材27が配設されていることを除いては、図5に示した半導体装置101と同様の構成を有している。絶縁部材27は、高い熱伝導率を有するプラスチックの板材で構成されることを除いては、図5のグランド端子26と同様の構成を有する。高い熱伝導率を有するプラスチックとして、例えば出光興産株式会社製のNT-787がある。NT-787の熱伝導率は $20\text{ W / (m} \cdot \text{K)}$ 程度である。

【0031】

図7は、本発明の第4実施形態に係る半導体装置の構成を示す断面図であり、図3に対応する断面を示している。半導体装置103では、絶縁部材28は、弾性を有するシリコンRTV (Room Temperature Vulcanizable) ゴムから成る。シリコンRTVゴムは、 $5\text{ W / (m} \cdot \text{K)}$ 程度の高い熱伝導率を有し、低い硬度を有する。

【0032】

絶縁部材28は、三角形の断面形状を有する第1部分28aと、第1部分28aの延在方向に沿って、第1部分28aの双方の側面に配設された第2部分28bとから成る。第1部分28aの双方の側面は、第1部分28aの先端で、V字状の断面形状を有する切欠き15の2つの面に接する。第1部分28aの下部は、マザーボードの基板本体21の表面寄りの層を貫通し、グランド配線層25に接続されている。第2部分28bは、コンタクト端子の基部22aとメモリ・モジュール基板の基板本体11の縁部との間に延在し、コンタクト端子の支持部22bに当接する。

【0033】

本実施形態の半導体装置103では、絶縁部材28がコンタクト端子の支持部22bに当接することにより、コンタクト端子22の熱を絶縁部材28を介して効率的に放散できる。切欠き15が形成する空間に絶縁部材の第1部分28aの先端が収容され、且つ絶縁部材28がメモリ・モジュール基板の基板本体11の縁部に当接することにより、メモリ・モジュール基板10をその厚み方向に固定できる。

【0034】

図8は、本発明の第5実施形態に係る半導体装置の構成を示す断面図であり、図3に対応する断面を示している。半導体装置104では、マザーボードの基板本体21上に、ソケット30が配設される。ソケット30は、図9に示したコの字形の断面形状を有するソケット40と異なり、メモリ・モジュール基板10の直下に位置する部分が除かれ、メモリ・モジュール基板10を挟む2つの支持部31から構成される。

【0035】

支持部31の相互に対向する側面31aには、メモリ・モジュール基板10に配設されたパッド端子に対応して、円弧状のコンタクト端子32が配設され、コンタクト端子32は、その弾性力によってメモリ・モジュール基板10のパッド端子に押し付けられる。上記以外の構成は、第1実施形態の半導体装置100と同様である。なお、第1～第5実施

10

20

30

40

50

形態で、切欠き 15 の断面形状は V 字状に限定されず、凹状等の他の形状であっても構わない。

【0036】

以上、本発明をその好適な実施形態に基づいて説明したが、本発明に係る半導体装置は、上記実施形態の構成にのみ限定されるものではなく、上記実施形態の構成から種々の修正及び変更を施した半導体装置も、本発明の範囲に含まれる。

【図面の簡単な説明】

【0037】

【図1】本発明の第1実施形態に係る半導体装置の構成を示す正面図である。

【図2】図1のII方向から見た一部平面図である。

10

【図3】図1のIII-III方向に沿って見た断面を示す断面図である。

【図4】図4(a)は、図1のマザーボードを示す正面図であり、図4(b)は、図4(a)のB方向から見た一部平面図である。

【図5】本発明の第2実施形態に係る半導体装置の構成を示す断面図である。

【図6】本発明の第3実施形態に係る半導体装置の構成を示す断面図である。

【図7】本発明の第4実施形態に係る半導体装置の構成を示す断面図である。

【図8】本発明の第5実施形態に係る半導体装置の構成を示す断面図である。

【図9】従来の半導体装置の構成を示す断面図である。

【符号の説明】

【0038】

20

100, 101, 102, 103, 104 : 半導体装置

10 : メモリ・モジュール基板

11 : 基板本体

12 : メモリ素子

13 : バイパスコンデンサ

14 : EEPROM

15 : 切欠き

16 : グランド配線層

20 : マザーボード

21 : 基板本体

30

22 : コンタクト端子

22a : 基部

22b : 支持部

22c : コンタクト部

23 : コネクタラッチ

24 : グラント端子

25 : グランド配線層

26 : グラント端子

27 : 絶縁部材

28 : 絶縁部材

40

28a : 第1部分

28b : 第2部分

30 : ソケット

31 : 支持部

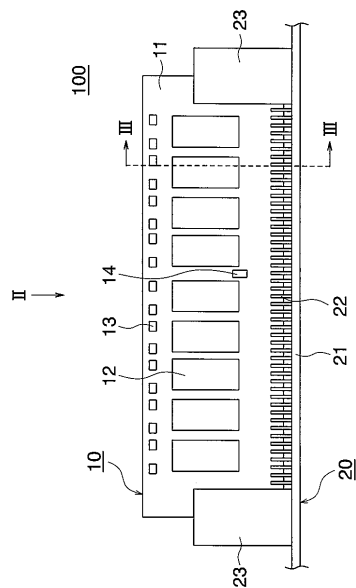
31a : (ソケットの)側面

32 : コンタクト端子

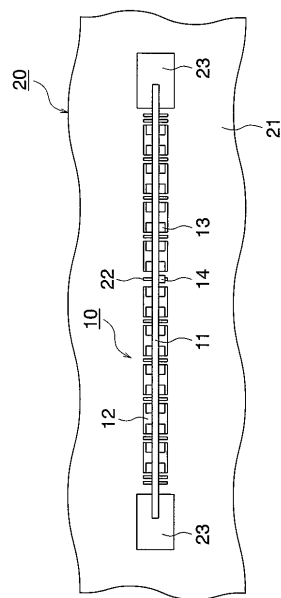
40 : ソケット

41 : コンタクト端子

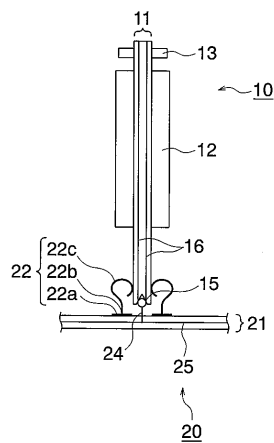
【図 1】



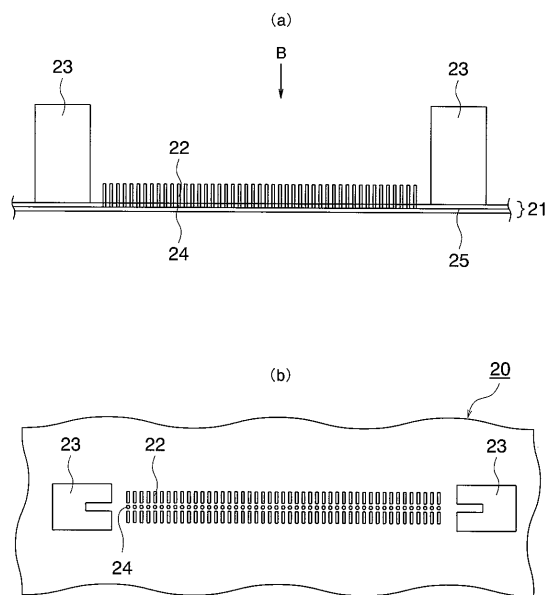
【図 2】



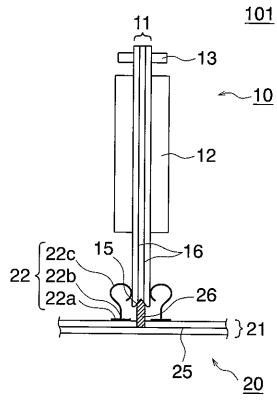
【図 3】



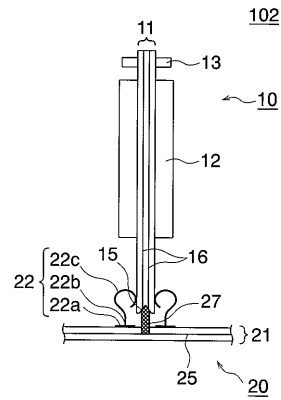
【図 4】



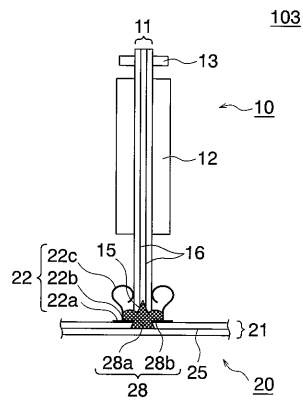
【 図 5 】



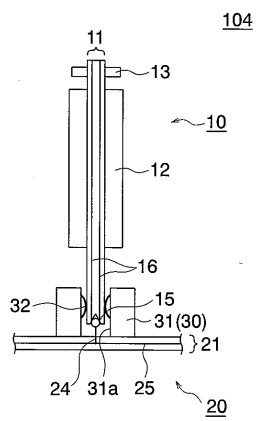
【 図 6 】



【 図 7 】



【 図 8 】



【 図 9 】

