



(19) 中華民國智慧財產局

(12) 發明說明書公開本

(11) 公開編號：TW 202341516 A

(43) 公開日：中華民國 112 (2023) 年 10 月 16 日

(21) 申請案號：112110730

(22) 申請日：中華民國 112 (2023) 年 03 月 22 日

(51) Int. Cl. :

*H01L31/12 (2006.01)**H01H47/00 (2006.01)**H01H49/00 (2006.01)**H03K17/78 (2006.01)*

(30) 優先權：2022/04/01

日本

2022-061746

(71) 申請人：日商松下知識產權經營股份有限公司 (日本) PANASONIC INTELLECTUAL PROPERTY MANAGEMENT CO., LTD. (JP)

日本

(72) 發明人：栗秋智成 KURIAKI, TOMONARI (JP)；北原大祐 KITAHARA, DAISUKE (JP)；

恒岡道朗 TSUNEOKA, MICHIAKI (JP)；梶本剛志 KAJIMOTO, YOSHIYUKI (JP)

(74) 代理人：劉法正；尹重君

申請實體審查：無 申請專利範圍項數：14 項 圖式數：16 共 53 頁

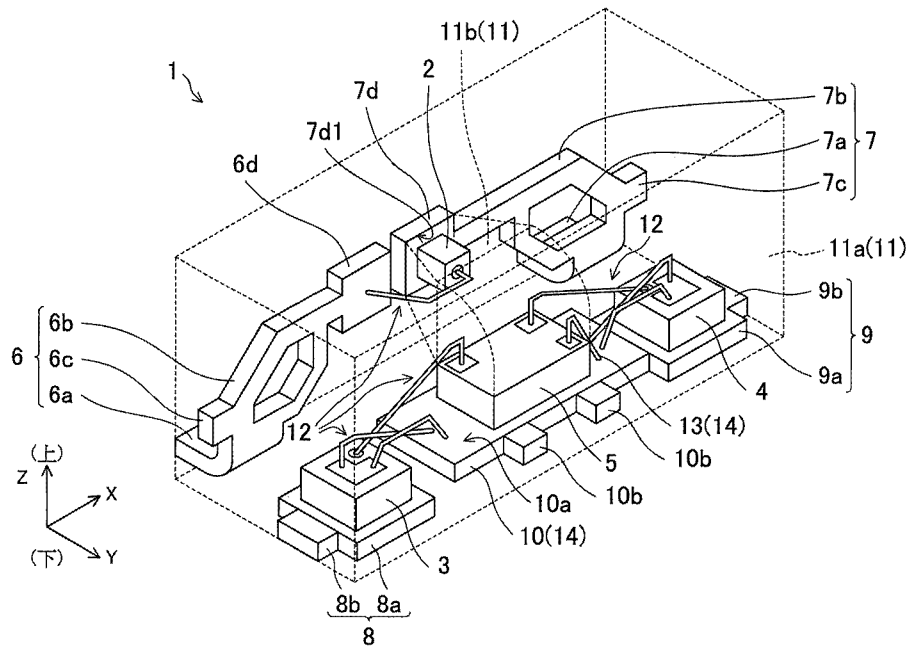
(54) 名稱

半導體繼電器及包括該半導體繼電器的半導體繼電器模組

(57) 摘要

本發明旨在提供一種半導體繼電器，其能夠抑制輸入側的構造所引起的輸出信號的劣化。半導體繼電器至少包括：殼體、第一輸入端子、第二輸入端子、第一輸出端子、第二輸出端子、發光元件、受光元件、第一 MOSFET 以及第二 MOSFET。在第一基體的第一主面上佈置有發光元件，在第二基體的第二主面上佈置有發光元件。受光驅動元件的源極電極與第二基體連接為電位相同。沿著第一軸觀察，第二基體佈置在第一 MOSFET 與第二 MOSFET 之間。第一基體的第一主面的法線與第二基體的第二主面的法線交叉。

指定代表圖：



【圖 1】

符號簡單說明：

- 1: 半導體繼電器
- 2: 發光元件
- 3: 第一 MOSFET
- 4: 第二 MOSFET
- 5: 受光驅動元件
- 6: 第一輸入端子
- 6a: 第一外部連接部位
- 6b: 第一立起部位
- 6c: 第四外部露出部位
- 6d: 第三基體
- 7: 第二輸入端子
- 7a: 第二外部連接部位
- 7b: 第二立起部位
- 7c: 第五外部露出部位
- 7d: 第一基體
- 7d1: 第一主面
- 8: 第一輸出端子
- 8a: 第四基體
- 8b: 第二外部露出部位
- 9: 第二輸出端子
- 9a: 第五基體
- 9b: 第三外部露出部位
- 10: 第二基體
- 10a: 第二主面
- 10b: 第一外部露出部位
- 11: 殼體
- 11a: 遮光部
- 11b: 透光部
- 12: 導線
- 13: 導線
- 14: 連接導體

發明摘要

【發明名稱】(中文/英文)

半導體繼電器及包括該半導體繼電器的半導體繼電器模組

【中文】

本發明旨在提供一種半導體繼電器，其能夠抑制輸入側的構造所引起的輸出信號的劣化。半導體繼電器至少包括：殼體、第一輸入端子、第二輸入端子、第一輸出端子、第二輸出端子、發光元件、受光元件、第一MOSFET以及第二MOSFET。在第一基體的第一主面上佈置有發光元件，在第二基體的第二主面上佈置有發光元件。受光驅動元件的源極電極與第二基體連接為電位相同。沿著第一軸觀察，第二基體佈置在第一MOSFET與第二MOSFET之間。第一基體的第一主面的法線與第二基體的第二主面的法線交叉。

【代表圖】

【本案指定代表圖】：圖1

【本代表圖之符號簡單說明】：

1:半導體繼電器

2:發光元件

3:第一MOSFET

4:第二MOSFET

5:受光驅動元件

6:第一輸入端子

6a:第一外部連接部位

6b:第一立起部位

6c:第四外部露出部位

6d:第三基體

7:第二輸入端子

7a:第二外部連接部位

7b:第二立起部位

7c:第五外部露出部位

7d:第一基體

7d1:第一主面

8:第一輸出端子

8a:第四基體

8b:第二外部露出部位

9:第二輸出端子

9a:第五基體

9b:第三外部露出部位

10:第二基體

10a:第二主面

10b:第一外部露出部位

11:殼體

11a:遮光部

11b:透光部

12:導線

13:導線

14:連接導體

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

半導體繼電器及包括該半導體繼電器的半導體繼電器模組

【技術領域】

本公開關係一種半導體繼電器及包括該半導體繼電器的半導體繼電器模組。

【先前技術】

以往，作為交流信號的傳輸單元，已知有被稱為MOSFET輸出光電耦合器或光MOSFET的半導體繼電器。

現有的半導體繼電器，由於輸入端子、輸出端子以及與它們連接的導電部件的佈置方式，在內部形成短截線，即信號的分支部分，由於在該短截線中產生共振，而存在共振頻率附近的插入損耗（Insertion Loss）增加，可使用頻帶變窄的問題。

為了解決該問題，例如在專利文獻1中，提出了在供載置受光元件的導體框架的兩側分別佈置有供載置MOSFET的導體框架的構成。藉由如此佈置各框架，能夠縮短短截線的長度，防止可使用頻帶因短截線的影響而變窄。

專利文獻1：日本特開2011-082916號公報

【發明內容】

—發明欲解決之技術問題—

然而，在專利文獻1所公開的以往的構成中，由於信號的輸出入間的構造產生電容耦合及電感耦合，在向輸出側傳輸高頻信號的情況下，信號有可能藉由這些耦合而向輸入側泄漏。

在以往的構成中，與信號輸入用發光元件連接的輸入端子

的物理長度變長，與此相應，輸入側的電長度變長。需要說明的是，電長度是以電磁波在信號的傳輸媒介中的傳播速度為基準的長度，在真空中物理長度與電長度相同，然而在一般的傳輸媒介中，電長度比物理長度長。

當輸入側的電長度變長時，會在半導體繼電器中發生與此相應的共振現象，輸出側的高頻特性有可能劣化。

本公開正是鑑於上述問題而完成者，其目的在於提供一種半導體繼電器以及包括該半導體繼電器的半導體繼電器模組，其能夠抑制輸入側的構造所引起的輸出信號的劣化。

—用於解決技術問題之技術手段—

為了達成上述目的，本公開所關係之半導體繼電器至少包括：殼體，其具有上表面及相對於前述上表面沿著第一軸位於下方的下表面；第一輸入端子與第二輸入端子；第一輸出端子與第二輸出端子；發光元件，其與前述第一輸入端子及前述第二輸入端子電連接；受光驅動元件，其具有接受前述發光元件的輸出光的第一面、相對於前述第一面沿著前述第一軸位於下方的第二面、以及第一電極；第一MOSFET，其具有與前述第一電極電連接的第一中間電極、與前述第一輸出端子電連接的第一輸出電極、以及第一閘電極；第二MOSFET，其具有與前述第一電極電連接的第二中間電極、與前述第二輸出端子電連接的第二輸出電極、以及第二閘電極；第一基體，其具有供佈置前述發光元件的第一主面；連接導體，其具有供佈置前述受光驅動元件的第二主面，並且與前述第一電極連接為電位相同；沿著前述第一軸觀察時，前述連接導體的至少一部分佈置在前述第一MOSFET與前述第二MOSFET之間，前述第一主面的法線與前述第二主面的法線交叉。

本公開所關係之半導體繼電器模組至少包括：前述半導體繼電器；電路基板，第一至第四佈線分別形成在該電路基板上；前述第一佈線與前述第二佈線分別與前述半導體繼電器的前述第一輸入端子與前述第二輸入端子相連接，前述第三佈線與前述第四佈線分別與前述半導體繼電器的前述第一輸出端子及前述第二輸出端子相連接。

— 發明之效果 —

根據本公開，能夠降低輸出入間的電容耦合、電感耦合，能夠縮短輸入側的電長度。藉此，能夠提升輸出側的高頻特性。

【圖式簡單說明】

圖1為第一實施形態所關係之半導體繼電器的立體圖。

圖2為沿著第二軸觀察到的半導體繼電器的圖。

圖3為載置有發光元件的第一輸入端子及第二輸入端子的立體圖。

圖4為沿著第一軸觀察到的受光驅動元件、第一MOSFET以及第二MOSFET的圖。

圖5為半導體繼電器的等效電路圖。

圖6為半導體繼電器的立體圖。

圖7為比較例所關係之半導體繼電器的立體圖。

圖8表示半導體繼電器的輸出側的傳輸信號中的插入損耗對頻率依賴性的一例。

圖9為變形例1所關係之半導體繼電器的立體圖。

圖10為沿著第一軸觀察到的變形例2所關係之半導體繼電器的圖。

圖11為沿著第一軸觀察到的變形例3所關係之受光驅動元件、第一MOSFET以及第二MOSFET的圖。

圖12為第二實施形態所關係之半導體繼電器的立體圖。

圖13為說明向輸入側插入電阻前後的共振現象的差異的示意圖。

圖14為第三實施形態所關係之半導體繼電器模組的立體圖。

圖15為沿著第二軸觀察到的半導體繼電器模組的圖。

圖16為沿著第三軸觀察到的半導體繼電器模組的圖。

【實施方式】

以下參照圖式說明本公開的實施形態。需要說明的是，以下較佳實施形態僅為本質上之示例，並無限制本公開、本公開之適用對象或用途的意圖。

（第一實施形態）

〔1：半導體繼電器的構成〕

圖1為表示第一實施形態所關係之半導體繼電器的立體圖，圖2為表示沿著第二軸觀察到的半導體繼電器的圖。圖3為表示載置有發光元件的第一輸入端子與第二輸入端子的立體圖，圖4為表示沿著第一軸觀察到的受光驅動元件、第一MOSFET以及第二MOSFET的圖。需要說明的是，為了方便說明，在圖1、圖2及以後所示的各圖式中，用虛線表示殼體11及構成殼體11的遮光性樹脂與透光性樹脂各自的輪廓。

需要說明的是，在以後的說明中，將第一輸入端子6與第二輸入端子7的排列方向稱為X方向。將沿X方向延伸的假想軸稱為第二軸。X方向（第二軸方向）亦為第一輸出端子8與第二輸出端子9的排列方向。將第一輸入端子6與第一輸出端子8的排列方向稱為Y方向。將沿Y方向延伸的假想軸稱為第三軸。Y方向（第三軸方向）也是第二輸入端子7與第二輸出端子9的排列方

向。Y方向也是發光元件2與受光驅動元件5的排列方向。

將與X方向及Y方向分別交叉的方向稱為Z方向。將沿Z方向延伸的假想軸稱為第一軸。X方向、Y方向以及Z方向相互正交。需要說明的是，在本申請說明書中，「正交」是指包含構成半導體繼電器1的各部件的加工公差、製造公差、以及部件間的組裝公差而正交的意思，並不是指比較對象彼此在嚴格意義上正交。

在Z方向（第一軸方向）上，有時將佈置有發光元件2的一側稱為上或上方，將佈置有受光驅動元件5的一側稱為下或下方。需要說明的是，本申請說明書中的「上」、「下」的稱呼僅為相對性的術語，並不表示例如沿著鉛垂方向的「上」、「下」。

如圖1所示，半導體繼電器1具有發光元件2、受光驅動元件5、第一MOSFET3以及第二MOSFET4。半導體繼電器1具有第一輸入端子6、第二輸入端子7、第一輸出端子8、第二輸出端子9、第二基體10以及殼體11。

〔1-1：發光元件、受光驅動元件以及第二基體的構成〕

發光元件2為公知的LED（Light Emitting Diode）元件。如圖1至圖3所示，發光元件2的陰極電極（未圖示）經由銀膠等導電黏著劑（未圖示）連接固定在第一基體7d上。第一基體7d與第二輸入端子7相連接。

發光元件2的陽極電極2a經由導線12與三基體電連接。第三基體6d與第一輸入端子6相連接。第一輸入端子6及第二輸入端子7、以及第一基體7d及第三基體6d的詳情後述。

受光驅動元件5具有受光元件51與控制電路52（皆參照圖5）。受光元件51接受來自發光元件2的輸出光，例如將公知的光電二極體佈置成陣列狀。如圖1至圖3所示，在受光驅動元件5

的上表面（第一面）上形成有源極電極5a與汲極電極5b。汲極電極5b在上表面上的相互分離的位置處設置有兩處。需要說明的是，在受光驅動元件5的上表面上，也形成有接受受光元件51的輸出光的部位即受光部，但為了方便說明，省略了其圖示。

需要說明的是，源極電極5a相當於受光元件51的陰極電極51a（以下，有時稱為第一電極5a或第一電極51a），汲極電極5b相當於受光元件51的陽極電極51b。

受光驅動元件5的下表面（第二面）經由未圖示的接著劑連接固定在第二基體10上。第二基體10是沿著第一軸觀察時為四邊形的導體。將第二基體10中的受光驅動元件5的載置面稱為第二主面10a。第二主面10a的法線與第一軸平行，即沿著Z方向。然而，這並不意味著該法線與第一軸在嚴格意義上平行。

第二基體10具有從在Y方向上相對的兩個側面中的位於與第一輸入端子6或第二輸入端子7相反側的側面突出、且從殼體11的側面向外部露出的部位（以下稱為第一外部露出部位10b），第一外部露出部位10b在第二基體10的前述側面中，在沿著第二軸相互分離的位置處設置有兩處。然而，第一外部露出部位10b的位置、個數並不特別限定於此。

如圖1至圖3所示，受光驅動元件5的源極電極5a，換而言之，受光元件51的陰極電極51a（第一電極51a）經由導線13與第二基體10電連接。亦即，受光元件51的陰極電極51a與第二基體10電位相同。受光驅動元件5的兩個汲極電極5b、5b中的一個經由導線12與第一MOSFET3的第一閘電極3b電連接，另一個經由導線12與第二MOSFET4的第二閘電極4b電連接。

〔1-3：第一MOSFET及第二MOSFET的構成〕

如圖1、圖2、圖4所示，第一MOSFET3為公知的縱型

MOSFET，在上表面形成有第一閘電極3b與第一源極電極3a（以下，有時稱為第一中間電極3a），在下表面形成有第一汲極電極（未圖示）。第一MOSFET3的第一汲極電極（以下，有時稱為第一輸出電極）經由銀膠等導電性黏著劑（未圖示）與第一輸出端子8、具體而言與第四基體8a電連接。

第一MOSFET3的第一源極電極3a經由導線12與第二基體10電連接。亦即，第一MOSFET3的第一源極電極3a經由第二基體10與導線12與受光驅動元件5的源極電極5a電連接。需要說明的是，在圖1、圖3所示的例子中，為了強化連接，第一MOSFET3的第一源極電極3a與第二基體10之間藉由兩根導線12、12相連接。

第二MOSFET4為公知的縱型MOSFET，在上表面形成有第二閘電極4b與第二源極電極4a（以下，有時稱為第二中間電極4a），在下表面形成有第二汲極電極（未圖示）。第二MOSFET4的第二汲極電極（以下，有時稱為第二輸出電極）經由銀膠等導電性黏著劑（未圖示）與第二輸出端子9、具體而言與第五基體9a電連接。第一輸出端子8及第二輸出端子9的詳情後述。

第二MOSFET4的第二源極電極4a經由導線12與第二基體10電連接。亦即，第二MOSFET4的第二源極電極4a經由第二基體10與導線12與受光驅動元件5的源極電極5a電連接。需要說明的是，在圖1、圖3所示的例子中，為了強化連接，第二MOSFET4的第二源極電極4a與第二基體10之間藉由兩根導線12、12相連接。

〔1-4：第一輸入端子及第二輸入端子的構成〕

如圖1、圖3所示，第一輸入端子6為具有第一立起部位6b與第一外部連接部位6a的導電部件。第一輸入端子6與第三基體

6d形成為一體。第三基體6d、第一立起部位6b以及第一外部連接部位6a例如藉由對一張銅板進行打洞加工或彎曲加工而得到。然而，第一輸入端子6的製造方法並不特別限定於此。需要說明的是，在銅板的表面鍍有其他金屬膜，例如含鎳的金屬膜（未圖示）。需要說明的是，金屬膜的材質並不特別限定於此。

第三基體6d位於殼體11的內部，是沿著第三軸觀察時為四邊形的板狀導體。與發光元件2的陽極電極2a連接的導線12與第三基體6d相連接。進而，在第三基體6d的在X方向上相對的兩個側面中的、位於與第二輸入端子7相反側的側面上連接有第一立起部位6b。第三基體6d的與導線12的連接面的法線與第三軸平行，即沿著Y方向。然而，這並不意味著該法線與第三軸在嚴格意義上平行。

第一立起部位6b的一端與第一外部連接部位6a相連接，從第一外部連接部位6a沿著第一軸延伸，另一端與第三基體6d相連接。第一立起部位6b以相對於殼體11的下表面正交的方式沿著第一軸延伸地設置。在第一立起部位6b中，有時將法線與第三軸平行的面稱為主面6b1、6b2。第一立起部位6b是厚度方向沿著第三軸的板狀部位。因此，第一立起部位6b的主面6b1、6b2有兩個，一個主面6b1位於靠近第二基體10的位置，另一個主面6b2位於靠近殼體11的側面的位置。

第一立起部位6b的主面6b1、6b2的法線沿著第三軸。

沿著第三軸觀察，第一立起部位6b形成有環狀部6b3。在第一立起部位6b的中途設置有沿著第二軸突出並從殼體11的側面向外部露出的部位（以下稱為第四外部露出部位6c）。

第一外部連接部位6a形成為，從第一立起部位6b的一端向下方延伸，在殼體11的下表面附近彎曲而沿Y方向且從殼體11

的側面及下表面露出。

第二輸入端子7是具有第二立起部位7b與第二外部連接部位7a的導電部件。第二輸入端子7與第一基體7d形成為一體。第一基體7d及第二輸入端子7的材質、製造方法與第三基體6d及第一輸入端子6相同，因此省略說明。第一基體7d、第二立起部位7b以及第二外部連接部位7a各自的形狀、相互的連接關係與第三基體6d、第一立起部位6b以及第一外部連接部位6a相同，因此省略詳細說明。第二立起部位7b具有一對主面7b1、7b2的情況也與第一立起部位6b相同。

需要說明的是，在第二立起部位7b的中途設置有沿著第一軸突出並從殼體11的側面向外部露出的部位（以下稱為第五外部露出部位7c），第五外部露出部位7c佈置在與第四外部露出部位6c在X方向上相對的位置。需要說明的是，在之後的說明中，有時將第一立起部位6b與第二立起部位7b總稱為立起部位。有時將第一外部連接部位6a與第二外部連接部位7a總稱為外部連接部位。

第一基體7d位於殼體11的內部，是沿著第三軸觀察時為四邊形的板狀導體。將第一基體7d上的發光元件2的載置面稱為第一主面7d1。第一主面7d1的法線與第三軸平行，即沿著Y方向。然而，這並不意味著該法線與第三軸在嚴格意義上平行。

第一基體7d在第一主面7d1上連接固定有發光元件2。在第一基體7d的在X方向上相對的兩個側面中的、位於與第一輸入端子6相反側的側面上連接有第二立起部位7b。第一基體7d的第一主面7d1的法線與第三軸平行，即沿著Y方向。然而，這並不意味著該法線與第三軸在嚴格意義上平行。

〔1-5：第一輸出端子及第二輸出端子的構成〕

如圖1、圖3、圖4所示，第一輸出端子8包括沿著第一軸觀察為四邊形的板狀導體即第四基體8a。第四基體8a的下表面從殼體11的下表面露出，成為與後述的電路基板40（參照圖14至圖16）連接的連接端子。

第四基體8a具有從在X方向上相對的兩個側面中的位於與第二MOSFET4或受光驅動元件5相反側的側面突出、且從殼體11的側面向外部露出的部位（以下稱為第二外部露出部位8b），需要說明的是，第二外部露出部位8b的個數並無特別限定於圖1、圖3所示的個數。

第二輸出端子9包括沿著第一軸觀察為四邊形的板狀導體即第五基體9a。第五基體9a的下表面從殼體11的下表面露出，成為與後述的電路基板40（參照圖14至圖16）連接的連接端子。

第五基體9a具有從在X方向上相對的兩個側面中的位於與第一MOSFET3或受光驅動元件5相反側的側面突出、且從殼體11的側面向外部露出的部位（以下稱為第三外部露出部位9b），需要說明的是，第三外部露出部位9b的個數並無特別限定於圖1、圖3所示的個數。

〔1-6：殼體的構成〕

如圖1、圖2所示，殼體11具有上表面、下表面以及四個側面。下表面相對於上表面沿著第一軸位於下方。四個側面分別與上表面與下表面連續，並且與第一軸平行。在X方向上相對的兩個側面的法線與第二軸交叉，在Y方向上相對的兩個側面的法線與第三軸交叉。

殼體11具有遮光部11a與透光部11b。遮光部11a例如由含有黑色色素的絕緣性環氧樹脂形成。然而，並不特別限定於此，只要是遮蔽光的絕緣材料即可。透光部11b設置在受光驅動元件

5與發光元件2之間，被遮光部11a封裝起來。具體而言，透光部11b覆蓋發光元件2與第一基體7d的第一主面7d1，沿著第三軸延伸，進而向下方彎曲，以覆蓋受光驅動元件5的上表面的方式設置。

透光部11b例如由絕緣性透明矽樹脂形成。然而，並不特別限定於此，只要是至少對發光元件2發出的光透明的絕緣材料即可。透光部11b構成使受光驅動元件5的受光元件51（參照圖5）與發光元件2光學耦合的光耦合部。

殼體11將第一輸入端子6、第二輸入端子7、第一至第三基體7d、10、6d、第一輸出端子8以及第二輸出端子9封裝起來，並對各自的位置進行固定。載置在第一基體7d上的發光元件2、載置在第四基體8a上的第一MOSFET3、載置在第五基體9a上的第二MOSFET4、以及載置在第二基體10上的受光驅動元件5各自的位置由殼體11固定。

第一輸入端子6及第二輸入端子7與第一輸出端子8及第二輸出端子9藉由殼體11相互電絕緣。發光元件2、受光驅動元件5、第一MOSFET3以及第二MOSFET4藉由殼體11相互電絕緣。亦即，本申請說明書所示的半導體繼電器1是在已將輸入信號與輸出信號電絕緣的狀態下進行輸出信號的接通／切斷的輸入絕緣型半導體繼電器1。

〔1-7：第一至第五基體間的關係〕

如上所述，第一基體7d的第一主面7d1的法線沿著第三軸。另一方面，第二基體10的第二主面10a的法線沿著第一軸。亦即，第一基體7d的第一主面7d1的法線與第二基體10的第二主面10a的法線正交。需要說明的是，這兩條法線也可以不必正交。交叉角度也可以從90度偏離規定的範圍。沿著第一軸觀察，第

一基體7d與第二基體10在Y方向上隔開間距佈置。第一基體7d沿著第一軸位於第二基體10的上方。

沿著第一軸觀察，第三基體6d與第一基體7d並列著佈置。亦即，在X方向上相互隔開間距，且第三基體6d與第一基體7d佈置在沿著第一軸觀察時離開第二基體10的位置。具體而言，將第三基體6d與第一基體7d佈置成相對於第二基體10對稱，離開第二基體10的距離相同。

第二基體10經由導線13與受光驅動元件5的源極電極5a電連接。亦即，第二基體10以與受光驅動元件5的源極電極5a電位相同的方式相連接。在之後的說明中，有時將第二基體10與連接受光驅動元件5的源極電極5a（受光元件51的陰極電極51a）與第二基體10的導線13統稱為連接導體14。

第二基體10經由導線12與第一MOSFET3的第一源極電極3a（第一中間電極3a）電連接。第二基體10還經由導線12與第二MOSFET4的第二源極電極4a（第二中間電極4a）電連接。亦即，受光驅動元件5的源極電極5a與第一MOSFET3及第二MOSFET4各自的源極電極3a、4a以電位相同的方式相連接。

沿著第一軸觀察，第二基體10佈置在第四基體8a與第五基體9a之間，分別與第四基體8a和第五基體9a隔開間距。換而言之，沿著第一軸觀察，第二基體10佈置在第一MOSFET3與第二MOSFET4之間。進一步而言，沿著第一軸觀察，第二基體10佈置在第一MOSFET3的第一源極電極3a與第二MOSFET4的第二源極電極4a之間。需要說明的是，在圖1、圖2所示的例子中，以殼體11的下表面為基準且沿著第一軸，第二基體10位於比第四基體8a及第五基體9a更靠上方的位置。亦即，第二基體10的下表面被殼體11的遮光部11a覆蓋。

〔2：半導體繼電器的工作情況〕

圖5示出了半導體繼電器的等效電路圖。

當將輸入信號輸入第一輸入端子6與第二輸入端子7之間時，發光元件2輸出規定波長的光。發光元件2所產生的光在透光部11b的內部傳播，由受光元件51受光。

在受光元件51中，藉由光電轉換產生電流，控制電路52根據該電流工作。經由導線12，與發光元件2的光量相應的電壓信號即驅動信號被分別施加到第一MOSFET3的第一閘電極3b及第二MOSFET4的第二閘電極4b。

當驅動信號的電壓超過第一MOSFET3及第二MOSFET4各自的臨界電壓（threshold voltage）時，第一MOSFET3的源極（S）－汲極（D）間及第二MOSFET4的源極（S）－汲極（D）間分別成為接通（ON）狀態。進而，經由第一MOSFET3與第二MOSFET4，第一輸出端子8與第二輸出端子9之間成為導通狀態。藉此，能夠在第一輸出端子8與第二輸出端子9之間雙向地傳輸高頻信號。

當在第一輸入端子6與第二輸入端子7之間，輸入信號的輸入停止時，來自發光元件2的發光也停止。與此相對應，在受光元件51中不再產生電流，控制電路52停止。

其結果，分別施加於第一MOSFET3的第一閘電極3b及第二MOSFET4的第二閘電極4b的驅動信號的電壓降低。當驅動信號的電壓低於前述臨界電壓時，第一MOSFET3的源極（S）－汲極（D）間及第二MOSFET4的源極（S）－漏極（D）間分別成為切斷（OFF）狀態。進而，第一輸出端子8與第二輸出端子9之間成為非導通狀態。藉此，在第一輸出端子8與第二輸出端子9之間，信號的傳輸中斷。

〔3：效果等〕

如上所述，本實施形態所關係之半導體繼電器1至少包括殼體11、第一輸入端子6、第二輸入端子7、第一輸出端子8以及第二輸出端子9。半導體繼電器1還包括發光元件2、受光驅動元件5、第一MOSFET3以及第二MOSFET4。

殼體11具有上表面與相對於上表面沿著第一軸位於下方的下表面。

發光元件2與第一輸入端子6和第二輸入端子7電連接。

受光驅動元件5具有形成在受光驅動元件5的上表面（第一面）上用於接受發光元件2的輸出光的部位即受光部、及設置於受光部附近的源極電極5a（第一電極5a）。受光驅動元件5具有汲極電極5b。

第一MOSFET3具有與受光驅動元件5的源極電極5a電連接的第一源極電極3a（第一中間電極3a）、與第一輸出端子8電連接的第一汲極電極（第一輸出電極）、以及第一閘電極3b。

第二MOSFET4具有與受光驅動元件5的源極電極5a電連接的第二源極電極4a（第二中間電極4a）、與第二輸出端子9電連接的第二汲極電極（第二輸出電極）、以及第二閘電極4b。

半導體繼電器1具有第一基體7d與連接導體14。第一基體7d具有供佈置發光元件2的第一主面7d1。第一基體7d與第二輸入端子7相連接。連接導體14包括第二基體10。第二基體10具有供佈置受光元件51的第二主面10a，以與受光驅動元件5的源極電極5a電位相同的方式與源極電極5a電連接。

沿著第一軸觀察，連接導體14的一部分即第二基體10佈置在第一MOSFET3與第二MOSFET4之間。進一步而言，沿著第一軸觀察，第二基體10佈置在第一MOSFET3的第一源極電極3a與

第二MOSFET4的第二源極電極4a之間。從另一個角度來看，沿著第一軸觀察，第二基體10佈置在載置第一MOSFET3的第四基體8a與載置第二MOSFET4的第五基體9a之間。需要說明的是，連接受光驅動元件5的源極電極5a與第二基體10的導線13，沿著第一軸看，佈置在第四基體8a與第五基體9a之間，當然也是可以的。

第一基體7d的第一主面7d1的法線與第二基體10的第二主面10a的法線交叉。

藉由如此構成半導體繼電器1，能夠降低輸出入間的電容耦合或電感耦合，此外，能夠縮短輸入側的電長度。藉此，能夠抑制輸出側的高頻特性的劣化。對此進一步進行說明。

圖6為表示本實施形態所關係之半導體繼電器的立體圖，圖7為表示比較例所關係之半導體繼電器的立體圖。需要說明的是，在圖6及圖7中，圖示了通往發光元件2的導電路徑及寄生電容、寄生互感（parasitic mutual inductance）。為了方便，將圖6及圖7所示的寄生電容C1、C2、寄生互感M1、M2表示為集中常數。本實施形態所關係之半導體繼電器的等效電路圖也可以作為存在於第一輸入端子6與第一輸出端子8之間、第一輸入端子6與第二基體10之間等的分布常數進行圖示。

圖7所示的半導體繼電器20為表示構成與專利文獻1所公開的構成相同的比較例，在以下方面與圖1所示的實施形態的半導體繼電器1不同。

首先，在輸入側，第一基體7d形成為從第一輸入端子6的上端沿著第二軸延伸。第三基體6d形成為從第二輸入端子7的上端沿著第二軸延伸。沿著第一軸觀察，第一基體7d與第三基體6d延伸著設置到受光驅動元件5的上方。在第三基體6d的下表面連

接固定有發光元件2。需要說明的是，發光元件2的陽極電極（未圖示）與第一基體7d經由導線12相連接。

藉由具有這些構成，在圖7所示的半導體繼電器20中，受光元件51沿著第一軸佈置在發光元件2的正下方。來自發光元件2的輸出光向下方行進，直接入射到受光元件51。

根據該構成方式，如上所述，能夠縮短短截線的長度，能夠防止可使用頻率由於短截線的影響而變窄。另一方面，由於第一基體7d、第三基體6d以延伸到受光驅動元件5的上方的方式設置，所以輸入側的導電路徑、即從第一輸入端子6經由發光元件2與導線12到達第二輸入端子7的輸入信號的傳輸路徑變長。換而言之，輸入側的電長度變長。與此相應，由於第一輸入端子6與第二基體10及受光驅動元件5之間的電感耦合引起的寄生互感 $M2$ 變大。需要說明的是，雖然在圖7中未圖示，但由於同樣的理由，由於第二輸入端子7與第二基體10及受光驅動元件5之間的電感耦合引起的寄生互感也變大。

沿著第一軸觀察，載置有發光元件2的第三基體6d與載置有受光驅動元件5的第二基體10相對，重疊的面積變大。與此相應，由於第一基體7d與第二基體10及受光驅動元件5之間的電容耦合引起的寄生電容 $C2$ 變大。

若如此在輸入輸出間寄生互感 $M2$ 、寄生電容 $C2$ 變大，則在第一輸出端子8與第二輸出端子9之間傳輸高頻信號的情況下，輸出側的高頻信號有可能藉由寄生互感 $M2$ 或寄生電容 $C2$ 泄漏到輸入側。

在輸入側，若電長度變長，則共振頻率降低，有時發生共振現象。於此情況，輸出側的信號傳輸特性，換句話說，輸出側的高頻特性可能劣化。

另一方面，根據本實施形態，如圖1、圖2、圖6所示，與以沿著第一軸延伸的方式設置的第二立起部位7b連續地設置有第一基體7d。第一基體7d的第一主面7d1與第二立起部位7b的一個主面7b1相連續。亦即，第一基體7d的第一主面7d1的法線沿著第三軸。另一方面，第二基體10的第二主面10a的法線沿著第一軸，兩條法線相互交叉。亦即，第一基體7d的第一主面7d1與第二基體10的第二主面10a不沿著第一軸相對。藉此，能夠使由於第一基體7d、第二基體10以及受光驅動元件5之間的電容耦合引起的寄生電容C1比前述的寄生電容C2大幅度地降低。

由於能夠減小第一基體7d、第三基體6d的尺寸，因此能夠使輸入側的電長度比圖7所示的半導體繼電器20短。藉此，能夠使由於第一輸入端子6、第二基體10以及受光驅動元件5之間的電感耦合引起的寄生互感M1比前述寄生互感M2降低。基於同樣的理由，由於第二輸入端子7與第二基體10及受光驅動元件5之間的電感耦合引起的寄生互感也能夠比圖7所示的半導體繼電器20降低。藉此，能夠抑制輸出側的高頻信號泄漏到輸入側，能夠抑制輸出側的高頻特性劣化。

在輸入側，若電長度變長，則共振頻率降低，有時發生共振現象。於此情況，輸出側的信號傳輸特性，換句話說，輸出側的高頻特性可能劣化。

另一方面，根據本實施形態，與圖7所示的半導體繼電器20相比，輸入側的電長度也能夠降低。藉此，能夠提升輸入側的共振頻率。

圖8表示半導體繼電器的輸出側的傳輸信號的插入損耗對頻率依賴性的一例。

如圖8所示，在已使本實施形態的半導體繼電器1工作的情

況下，與圖7所示的比較例的半導體繼電器20相比，插入損耗開始增加的頻率向高頻側移動。亦即，可見抑制了半導體繼電器1的輸出側的高頻特性的劣化。

根據本實施形態，沿著第一軸觀察，連接導體14的至少一部分佈置在第一MOSFET3與第二MOSFET4之間。如此，能夠抑制在從第一輸出端子8經由第一MOSFET3、第二基體10以及第二MOSFET4到達第二輸出端子9的路徑中形成短截線。藉此，能夠防止由半導體繼電器1傳輸的輸出信號的頻帶變窄。

沿著第一軸觀察，發光元件2與受光元件51相互分離地佈置，如此，藉由透光部11b，能夠使來自發光元件2的輸出光可靠地入射到受光元件51。

需要說明的是，較佳為第一基體7d的第一主面7d1的法線與第二基體10的第二主面10a的法線正交。如此，與比較例相比，尤其能減小第一基體7d與第二基體10及受光驅動元件5之間的電容耦合。

第一輸入端子6與第二輸入端子7分別具有外部連接部位與立起部位。外部連接部位以沿著殼體11的下表面延伸的方式設置，且外端露出在殼體11的外部。立起部位形成為：與外部連接部位的基端連續，與殼體11的下表面交叉，並且在立起部位的主面的法線沿著第三軸的狀態下向殼體11的內部延伸。藉由將立起部位的主面設置成法線沿著第三軸，能夠縮短外部連接部位與第一基體7d之間的物理導電路徑。亦即，能夠縮短輸入側的電長度。

藉由將與外部電連接的外部連接部位設置成沿著殼體11的下表面延伸，能夠將半導體繼電器1相對於例如佈線來進行面安裝，該佈線設置於電路基板40（參照圖14至圖16）的上表面。

藉由與外部連接部位連續地以與殼體11的下表面交叉的方式設置立起部位，能夠將發光元件2佈置在靠近殼體11的上表面的一側。藉此，能夠確保位於靠近殼體11的下表面側的受光元件51與發光元件2之間的距離。藉由透光部11b，能夠將來自發光元件2的輸出光導向受光元件51。

外部連接部位的長邊方向與立起部位的長邊方向交叉，且外部連接部位與立起部位的連結部位位於殼體11的內部。藉此，第一輸入端子6與第二輸入端子7被殼體11的遮光部11a可靠地保持。

立起部位較佳為具有向殼體11的外部露出的部位。具體而言，較佳為第一立起部位6b在其中途具有第四外部露出部位6c，第二立起部位7b在其中途具有第五外部露出部位7c。

通常情況下，第一輸入端子6、第三基體6d、第二輸入端子7以及第一基體7d是對一張金屬板材進行加工而得到的。另一方面，在製造複數個半導體繼電器1時，如果在將第一輸入端子6、第二輸入端子7單片化之後組裝發光元件2，則效率較差。

因此，首先，對金屬板材進行加工，以第一輸入端子6、第三基體6d、第二輸入端子7以及第一基體7d的各部件為一組，形成複數組連結在一起的輸入端子原型。在該狀態下，發光元件2連接固定在各個第一基體7d上，進而發光元件2的陽極電極2a與第三基體6d用導線12連接在一起。在發光元件2與受光元件驅動元件5之間形成有光透過性樹脂的透光部11b。

在輸出側也進行相同的製程。亦即，對金屬板材進行加工，以第一輸出端子8、第二基體10以及第二輸入端子7的各部件為一組，形成複數組連結在一起的輸出端子原型。在該狀態下，第二基體10、第四基體8a以及第五基體9a上分別連接固定

有受光驅動元件5、第一MOSFET3、第二MOSFET4。進而，用導線12、13連接各部。

在它們形成後，將輸入端子原型與輸出端子原型對位佈置，進而藉由樹脂注入將各元件封裝起來，形成殼體11。在形成殼體11之後，切斷與金屬框架的連結部分，將複數個半導體繼電器1分別單片化。

第四外部露出部位6c、第五外部露出部位7c相當於第一輸入端子6、第二輸入端子7與金屬框架的連結部分。藉由以殘留下第四外部露出部位6c、第五外部露出部位7c的方式形成第一輸入端子6、第二輸入端子7，能夠簡便地進行半導體繼電器1的組裝。能夠簡便地製造大量的半導體繼電器1。

基於同樣的理由，連接導體14，具體而言，第二基體10較佳為具有第一外部露出部位10b作為向殼體11的外部露出的部位。較佳為第四基體8a具有第二外部露出部位8b作為向殼體11的外部露出的部位，第五基體9a具有第三外部露出部位9b作為向殼體11的外部露出的部位。

連接導體14包括供載置受光元件51的第二基體10，第二基體10較佳為佈置在供載置第一MOSFET3的第四基體8a與供載置第二MOSFET4的第五基體9a之間。更佳為第二基體10佈置在第一MOSFET3的第一源極電極3a與第二MOSFET4的第二源極電極4a之間。

由此，能夠將從第一輸出端子8經由第一MOSFET3、第二基體10以及第二MOSFET4最終到達第二輸出端子9的路徑沿著第二軸設置成直線狀，從而能夠可靠地抑制短截線的形成。藉此，能夠可靠地防止由半導體繼電器1傳輸的輸出信號的頻帶變窄。

需要說明的是，沿著第二軸觀察，第一立起部位6b在中途形成有環狀部6b3，第二立起部位7b在中途形成有環狀部7b3。如圖3所示，環狀部6b3具有貫通第一立起部位6b的通孔。環狀部7b3具有貫通第二立起部位7b的通孔。由此，能夠降低自感（self inductance）或由於電感耦合引起的寄生互感。能夠降低與第二基體10或受光驅動元件5之間的電容耦合。與使第一立起部位6b及第二立起部位7b的寬度分別較細的情況相比，能夠確保第一輸入端子6、第二輸入端子7的機械強度。

<變形例1>

圖9為表示變形例1所關係之半導體繼電器的立體圖。需要說明的是，為了方便說明，在圖9及以後所示的各附圖中，對與第一實施形態相同的部位標注相同的符號並省略詳細說明。

圖9所示的本變形例的半導體繼電器30在以下所示的方面與圖1所示的第一實施形態的半導體繼電器1不同。

首先，沿著第一軸觀察，第一輸入端子6及第二輸入端子7各自的外部連接部位即第一外部連接部位6a及第二外部連接部位7皆位於第一輸出端子8及第二輸出端子9之間。沿著第二軸觀察時，第一立起部位6b及第二立起部位7b分別呈L字形狀，而非環狀。

如本變形例所示，也可以變更第一輸入端子6、第二輸入端子7的佈置或形狀。由此，能夠使從第一輸入端子6到發光元件2的導電路徑、以及從發光元件2到第二輸入端子7的導電路徑分別比第一實施形態所示的半導體繼電器1中的該導電路徑短。亦即，能夠使輸入側的電長度比第一實施形態所示的半導體繼電器1短。

藉此，能夠提升輸入側的共振頻率，能夠抑制共振現象的

發生。進而，能夠抑制輸出側的高頻特性的劣化。

需要說明的是，由於能夠使第一立起部位6b、第二立起部位7b的長度比第一實施形態所示的情況短，因此為了降低電感耦合、電容耦合，也可以不將它們的形狀形成為第一實施形態所示的環狀。

< 變形例2 >

圖10為沿著第一軸觀察到的變形例2所關係之半導體繼電器的圖，圖10所示的本變形例的半導體繼電器31在以下所示的方面與圖1所示的第一實施形態的半導體繼電器1不同。

亦即，在第二輸入端子7中，第二立起部位7b的前端沿著第三軸彎曲。第一輸入端子6及第二輸入端子7與第一實施形態所示的情況相比，位於沿著第三軸與輸出側相反一側且偏移了的位置。換而言之，沿著第一軸觀察，第一基體7d位於比第一輸入端子6及第二輸入端子7的一部分更靠近連接導體14的一部分即第二基體10一側。

藉此，能夠與第一實施形態的光耦合效率同樣地確保發光元件2與受光元件51之間的光耦合效率，並且與第一實施形態相比能夠減小寄生電容成分，能夠提升高頻特性。因此，根據來自發光元件2的輸出光，能夠在第一輸出端子8及第二輸出端子9之間可靠地進行高頻信號的通過及中斷。

< 變形例3 >

圖11為沿著第一軸觀察到的變形例3所關係之受光驅動元件、第一MOSFET以及第二MOSFET的圖。

圖11所示的第二基體10與圖3所示的第一實施形態的第二基體10的不同點在於，該第二基體10沿著第三軸的寬度W2比第一輸出端子8及第二輸出端子9的沿著第三軸的寬度W1寬。

藉由如此規定第二基體10的寬度 W_2 ，能夠抑制由於位於比殼體11的底面高的位置的第二基體10的部位引起的傳輸線路的特性阻抗的增加，能夠降低插入損耗。

（第二實施形態）

圖12為表示第二實施形態所關係之半導體繼電器的立體圖。

圖12所示的本實施形態的半導體繼電器32與圖1所示的第一實施形態的半導體繼電器1的不同點在於，在第一輸入端子6的中間部分及第二輸入端子7的中間部分分別插入有作為電阻元件的電子部件即晶片電阻器15。

具體而言，第一輸入端子6的第一立起部位6b在中途被分割，晶片電阻器15以連接被分割部分的方式與第一立起部位6b串聯連接。同樣地，第二輸入端子7的第二立起部位7b在中途被分割，晶片電阻器15以連接被分割部分的方式與第二立起部位7b串聯連接。發光元件2的陽極電極2a經由導線12與第一立起部位6b電連接。設置有第六外部露出部位6e，該第六外部露出部位6e從經由導線12與發光元件2連接的第一立起部位6b沿著第二軸呈直線狀延伸，並到達殼體11的側面。設置有第七外部露出部位7e，該第七外部露出部位7e從第一基體7d沿著第二軸向與第六外部露出部位6e相反的一側直線狀地延伸，並到達殼體11的側面。將第一至第七外部露出部位10b、8b、9b、6c、7c、6e、7e統稱為外部露出部位。

需要說明的是，由於是晶片電阻器15與第一立起部位6b及第二立起部位7b分別串聯連接，因此第一立起部位6b及第二立起部位7b分別不是環狀。省略了與第一輸入端子6連接的第三基體6d。這是為了防止半導體繼電器32的沿著第二軸的尺寸由於

晶片電阻器15的插入而變大。在能夠容許該尺寸變大的範圍內，也可以設置第三基體6d。

根據本實施形態，與第一實施形態所示的構成相比，能夠可靠地縮短輸入側的電長度。藉此，能夠提升輸入側的共振頻率，能夠抑制共振現象的發生。進而，能夠抑制輸出側的高頻特性的劣化。用圖13作進一步說明。

圖13是說明向輸入側插入電阻前後的共振現象的差異的示意圖。

在高頻信號輸入第一輸入端子6與第二輸入端子7之間的情況下，如圖13的左側所示，當輸入側的電長度成為規定值時，產生駐波，有時會引起共振現象。因此，為了提升輸入側的共振頻率，需要縮短駐波的波長。

因此，如本實施形態所示，在輸入側的導電路徑的中途，以串聯地電連接的方式插入電阻值比該導電路徑的電阻值高的電阻元件。由此，駐波的振動在插入了電阻元件的位置大幅衰減。亦即，電阻元件的插入位置成為駐波的節點。其結果，如圖13的右側所示，能夠縮短駐波的波長，提升輸入側的共振頻率。其結果，能夠抑制共振現象的發生及輸出側的高頻特性的劣化。

需要說明的是，如圖13的右側所示，為了縮短駐波的波長，將電阻元件插入在駐波的原節點與節點之間的中間點處是有效的。亦即，如果在插入電阻元件之前的半導體繼電器1中發生共振現象，則較佳為不是在第一輸入端子6、第二輸入端子7各自的端部附近串聯地插入電阻元件，而是在第一輸入端子6、第二輸入端子7各自的物理中間部分串聯地插入電阻元件。

如圖12所示，不需要在第一輸入端子6與第二輸入端子7中

都插入作為電阻元件的晶片電阻器15。只要晶片電阻器15串聯在連接第一輸入端子6與發光元件2的導電路徑以及連接第二輸入端子7與發光元件2的導電路徑的至少一者中即可。

需要說明的是，晶片電阻器15的電阻值較佳為高於前述導電路徑的電阻值，但具體的值可以根據輸入信號的頻率或導電路徑的電阻值等進行適當的變更。

為了縮短輸入側的電長度，也可以採用插入電阻元件以外的方法。例如，藉由將為在高頻區域中能夠得到阻抗高於前述導電路徑的阻抗的電感元件變更為晶片電感器來代替電阻器15，也能夠縮短輸入側的電長度。於此情況，也能夠抑制共振現象的發生及輸出側的高頻特性的劣化。

（第三實施形態）

圖14為表示第三實施形態所關係之半導體繼電器模組的立體圖，圖15為表示沿著第二軸觀察到的半導體繼電器模組的圖，圖16為表示沿著第三軸觀察到的半導體繼電器模組的圖。

如圖14至圖16所示，半導體繼電器模組100至少包括半導體繼電器1及電路基板40。關於半導體繼電器1，由於是與第一實施形態所示相同的構成，所以省略其詳細說明。

電路基板40是第一至第四佈線41至44分別形成在由具有規定的相對介電係數的介電材料構成的介電基板40a上而得到的、所謂的印刷電路板（Printed Wiring Board）。

第一至第四佈線41至44藉由在介電基板40a的上表面上實施鍍銅等而形成。在第一至第四佈線41至44各自的一端連接有導電通孔45。導電通孔45是在沿著厚度方向貫通介電基板40a的通孔的內面上藉由鍍銅等埋入導體而得到的。需要說明的是，為了簡化半導體繼電器模組100的製造製程，較佳在形成第

一至第四佈線41至44時同時形成該導體。

半導體繼電器1的第一輸出端子8連接到第三佈線43的與連接有導電通孔45的一端相反一側的端部(以下稱為另一端),半導體繼電器1的第二輸出端子9連接到第四佈線44的與連接有導電通孔45的一端相反一側的端部(以下稱為另一端)。連接時,使用銀膠或膏狀焊料等導電性黏著劑。

在第一佈線41的另一端連接有半導體繼電器1的第一輸入端子6。在第二佈線42的另一端連接有半導體繼電器1的第二輸入端子7。連接時,使用銀膠或膏狀焊料等導電性黏著劑。

另一方面,第一佈線41與第二佈線42分別在另一端附近被分割。在第一佈線41與第二佈線42各佈線中,以將被分割部分彼此連接的方式,串聯連接有作為電阻元件的晶片電阻器16。

輸入信號從與第一佈線41連接的導電通孔45向第一佈線41傳輸。輸入信號從與第二佈線42連接的導電通孔45向第二佈線42傳輸。輸入信號進一步被傳輸給半導體繼電器1的第一輸入端子6及第二輸入端子7。在輸入規定以上的振幅的輸入信號的期間,高頻信號經由半導體繼電器1在連接有第一輸出端子8的第三佈線43與連接有第二輸出端子9的第四佈線44之間傳輸。高頻信號進一步在與第三佈線43連接的導電通孔45及與第四佈線44連接的導電通孔45之間傳輸。當輸入信號的振幅成為規定以下時,高頻信號在第三佈線43與第四佈線44之間,進而在連接於第三佈線43的導電通孔45與連接於第四佈線44的導電通孔45之間的傳輸被中斷。

根據本實施形態,就半導體繼電器1而言,能夠降低輸出入間的電容耦合、電感耦合,此外,還能夠縮短輸入側的電長度。藉此,能夠抑制在第三佈線43及第四佈線44之間傳輸的輸出信

號的高頻特性的劣化。

本實施形態的半導體繼電器模組100，在第一佈線41及與第二輸入端子7連接的第二佈線42各佈線中，在第一輸入端子6與第二輸入端子7附近分別串聯連接有晶片電阻器16。進一步而言，在第一佈線41的與第一輸入端子6連接的連接部位附近，作為具有規定電阻值的電阻元件以串聯地電連接的方式插入有晶片電阻器16。在第二佈線42的與第二輸入端子7連接的連接部位附近，作為具有規定電阻值的電阻元件，以串聯地電連接的方式插入有晶片電阻器16。

由此，在第二實施形態中，如用圖13說明的那樣，能夠縮短駐波的波長，能夠提升輸入側的共振頻率。其結果，能夠抑制共振現象的發生及輸出側的高頻特性的劣化。

需要說明的是，也可以不連接與第一佈線41連接的電阻元件及與第二佈線42連接的電阻元件中的任一個電阻元件。在將半導體繼電器1及半導體繼電器模組100設計成輸入側的共振頻率高於規定以上的情況下，作為電阻元件而連接晶片電阻器16並非必需的，也可以不連接晶片電阻器16。於此情況，第一佈線41、第二佈線42不被分割，而是從導電通孔45連續設置到第一輸入端子6、第二輸入端子7。此外，可以使用晶片電感器代替電阻器15。

需要說明的是，在圖14至圖16中，示出了在電路基板40上僅安裝有半導體繼電器1的半導體繼電器模組100，但也可以在電路基板40上安裝其他元件。也並非一定要設置貫通電路基板40的導電通孔45。也可以是在電路基板40的上表面設置複數個與外部連接的連接用焊墊電極（未圖示）、複數個焊墊電極分別與第一至第四佈線41至44連接的構造。

(其他實施形態)

也可以將第一至第三實施形態及變形例1至3所示的各構成要素進行適當組合，作為新的實施形態。例如，在第三實施形態所示的半導體繼電器模組100中，也可以將半導體繼電器1的構成設為第二實施形態或變形例1至3所示的構成。

在本申請說明書中，第一輸出端子8及第二輸出端子9將第四基體8a及第五基體9a各自的從殼體11露出的背面作為外部、例如圖14至圖16所示的第三佈線43或第四佈線44的連接部位，但並不特別限定於此。半導體繼電器1只要是面安裝型繼電器即可，例如，也可以如第一輸入端子6或第二輸入端子7那樣，在第一輸出端子8及第二輸出端子9上分別設置沿著殼體11的下表面且從殼體11的側面向外部露出並突出的外部連接部位。

第一輸入端子6的第一外部連接部位6a、第二輸入端子7的第二外部連接部位7a也可以不從殼體11的側面向外部突出。亦即，外部連接部位只要至少從殼體11的下表面露出即可。由此，能夠實現面安裝型半導體繼電器1。

也可以將控制電路52形成在與受光元件51不同的半導體晶片上。於此情況，控制電路52較佳被殼體11的遮光部11a封裝起來。

— 產業上之可利用性 —

本公開的半導體繼電器能夠抑制輸出側的高頻特性的劣化，作為高頻信號的傳輸用繼電器是有用的。

【符號說明】

1:半導體繼電器

2:發光元件

2a:陽極電極

- 3:第一MOSFET
 - 3a:第一源極電極（第一中間電極）
 - 3b:第一閘電極
- 4:第二MOSFET
 - 4a:第二源極電極（第二中間電極）
 - 4b:第二閘電極
- 5:受光驅動元件
 - 5a:源極電極（第一電極）
 - 5b:汲極電極
- 6:第一輸入端子
 - 6a:第一外部連接部位
 - 6b:第一立起部位
 - 6c:第四外部露出部位
 - 6d:第三基體
 - 6e:第六外部露出部位
- 7:第二輸入端子
 - 7a:第二外部連接部位
 - 7b:第二立起部位
 - 7c:第五外部露出部位
 - 7d:第一基體
 - 7d1:第一主面
 - 7e:第七外部露出部位
- 8:第一輸出端子
 - 8a:第四基體
 - 8b:第二外部露出部位
- 9:第二輸出端子

- 9a:第五基體
- 9b:第三外部露出部位
- 10:第二基體
- 10a:第二主面
- 10b:第一外部露出部位
- 11:殼體
- 11a:遮光部
- 11b:透光部
- 12:導線
- 13:導線
- 14:連接導體
- 15:晶片電阻器（電阻元件）
- 16:晶片電阻器（電阻元件）
- 20:半導體繼電器
- 30～32:半導體繼電器
- 40:電路基板
- 40a:介電基板
- 41～44:第一～第四佈線
- 45:導電通孔
- 51:受光元件
- 51a:陰極電極（第一電極）
- 51b:陽極電極
- 52:控制電路
- 100:半導體繼電器模組

申請專利範圍

【請求項1】一種半導體繼電器，其至少包括：

殼體，其具有上表面及相對於前述上表面沿著第一軸位於下方的下表面；

第一輸入端子與第二輸入端子；

第一輸出端子與第二輸出端子；

發光元件，其與前述第一輸入端子及前述第二輸入端子電連接；

受光驅動元件，其具有接受前述發光元件的輸出光的第一面、相對於前述第一面沿著前述第一軸位於下方的第二面、以及第一電極；

第一MOSFET，其具有與前述第一電極電連接的第一中間電極、與前述第一輸出端子電連接的第一輸出電極、以及第一閘電極；

第二MOSFET，其具有與前述第一電極電連接的第二中間電極、與前述第二輸出端子電連接的第二輸出電極、以及第二閘電極；

第一基體，其具有供佈置前述發光元件的第一主面；

連接導體，其具有供佈置前述受光驅動元件的第二主面，並且與前述第一電極連接為電位相同；

沿著前述第一軸觀察時，前述連接導體的至少一部分佈置在前述第一MOSFET與前述第二MOSFET之間，

前述第一主面的法線與前述第二主面的法線交叉。

【請求項2】如請求項1所記載之半導體繼電器，其中沿著前述第一軸觀察時，前述發光元件與前述受光驅動元件彼此分離。

【請求項3】如請求項1所記載之半導體繼電器，其中前述第一主面的法線與前述第二主面的法線正交。

【請求項4】如請求項1所記載之半導體繼電器，其中前述第一輸入端子與前述第二輸入端子分別具有外部連接部位與立起部位，

前述外部連接部位以沿著前述殼體的下表面延伸的方式設置，且外端露出在前述殼體的外部，

前述立起部位形成為與前述外部連接部位的基端連續、與前述殼體的下表面交叉且向前述殼體的內部延伸，

在將沿著前述發光元件與前述受光驅動元件的排列方向的軸設為第三軸時，前述立起部位的主面的法線沿著前述第三軸。

【請求項5】如請求項4所記載之半導體繼電器，其中在前述立起部位形成有環狀部，該環狀部具有貫通前述立起部位的通孔。

【請求項6】如請求項4所記載之半導體繼電器，其中前述立起部位具有向前述殼體外部露出的部位。

【請求項7】如請求項1所記載之半導體繼電器，其中前述連接導體具有向前述殼體外部露出的部位。

【請求項8】如請求項1所記載之半導體繼電器，其中前述連接導體包括供載置前述受光驅動元件的第二基體，

前述第二基體具有前述第二主面，並且前述第二基體佈置在供載置前述第一MOSFET的基體與供載置前述第二MOSFET的基體之間。

【請求項9】如請求項1所記載之半導體繼電器，其中在連接前述第一輸入端子與前述發光元件的導電路徑以及連接

前述第二輸入端子與前述發光元件的導電路徑中的至少一導電路徑上，串聯地電連接有具有規定電阻的電阻元件或具有規定阻抗的電感元件。

【請求項10】如請求項8所記載之半導體繼電器，其中將沿著前述發光元件與前述受光驅動元件的排列方向的軸設為第三軸時，

沿著前述第三軸的前述第二基體的寬度比沿著前述第三軸的前述第一輸出端子的寬度或沿著前述第三軸的前述第二輸出端子的寬度還寬。

【請求項11】如請求項1所記載之半導體繼電器，其中沿著前述第一軸觀察時，前述第一基體位於比前述第一輸入端子及前述第二輸出端子更靠近前述連接導體的一側。

【請求項12】如請求項4所記載之半導體繼電器，其中沿著前述第一軸觀察時，前述第一輸入端子及前述第二輸入端子各自的前述外部連接部位位於前述第一輸出端子與前述第二輸出端子之間。

【請求項13】一種半導體繼電器模組，其至少包括：

請求項1所記載之半導體繼電器；

電路基板，第一至第四佈線分別形成在該電路基板上；

前述第一佈線與前述第二佈線分別與前述半導體繼電器的前述第一輸入端子與前述第二輸入端子相連接，

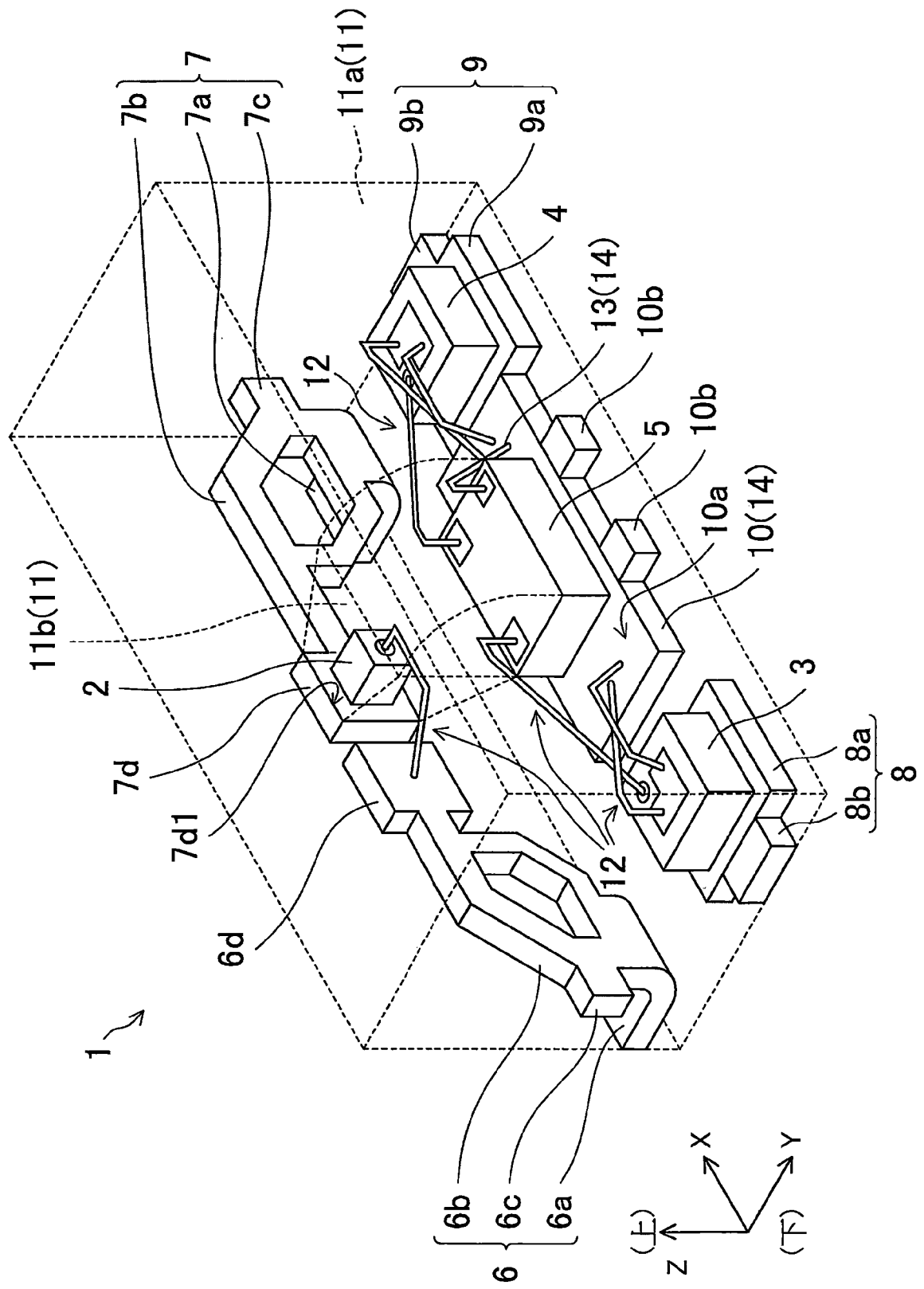
前述第三佈線與前述第四佈線分別與前述半導體繼電器的前述第一輸出端子與前述第二輸出端子相連接。

【請求項14】如請求項13所記載之半導體繼電器模組，其中在前述第一佈線的與前述第一輸入端子連接的連接部位

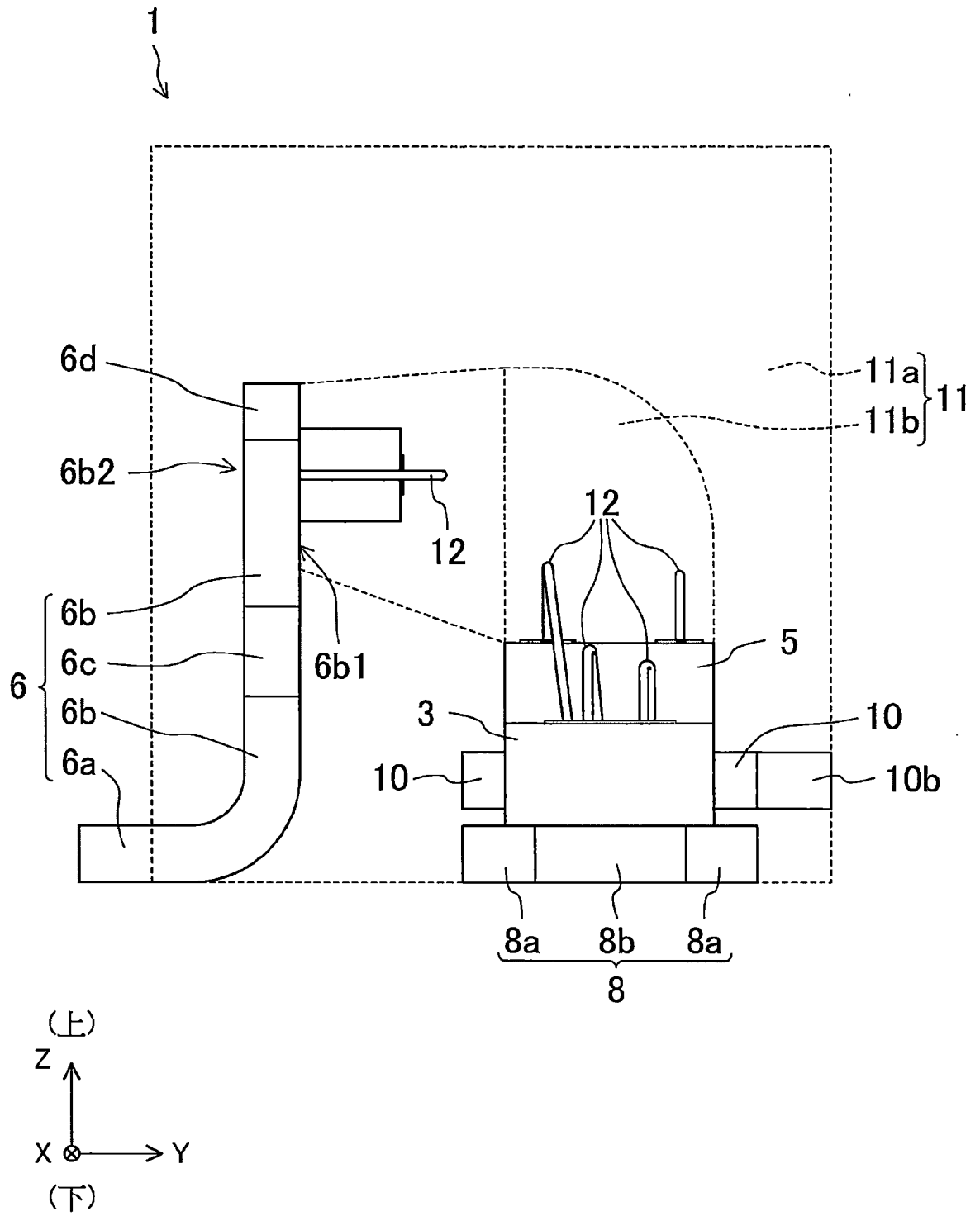
附近，串聯地電連接有具有規定電阻的電阻元件或具有規定阻抗的電感元件，及／或，

在前述第二佈線的與前述第二輸入端子連接的連接部位附近，串聯地電連接有具有規定電阻的電阻元件或具有規定阻抗的電感元件。

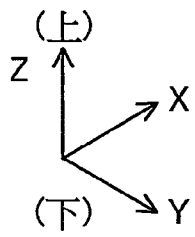
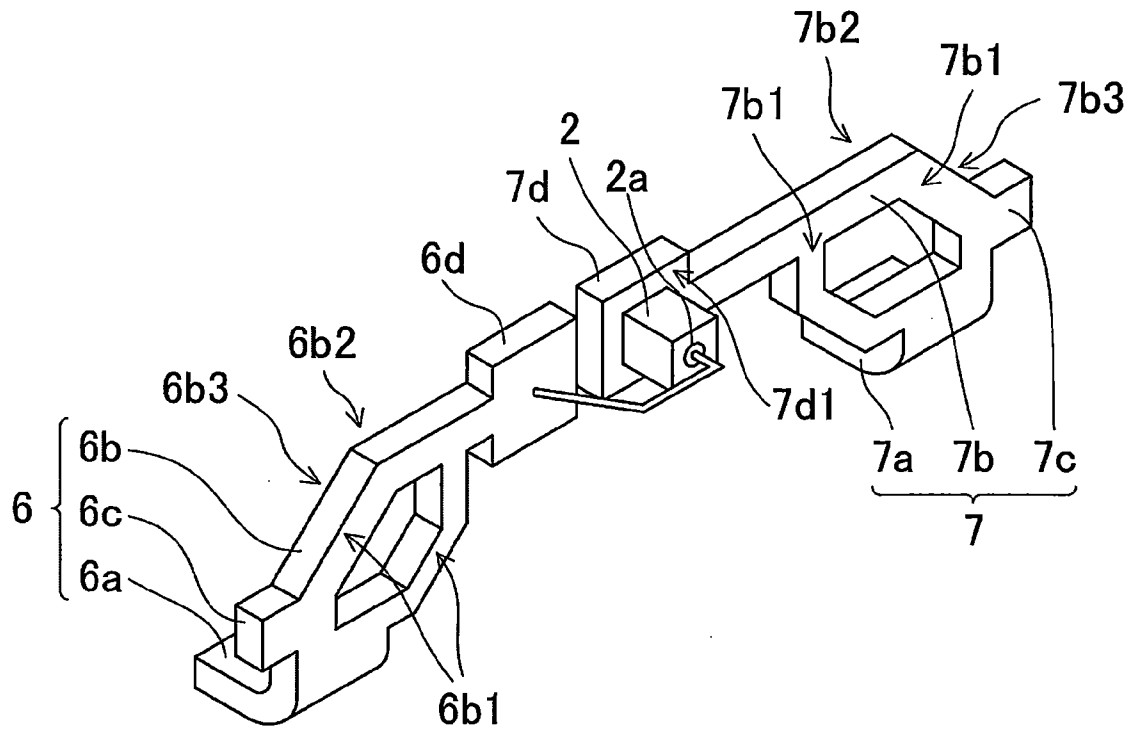
圖式



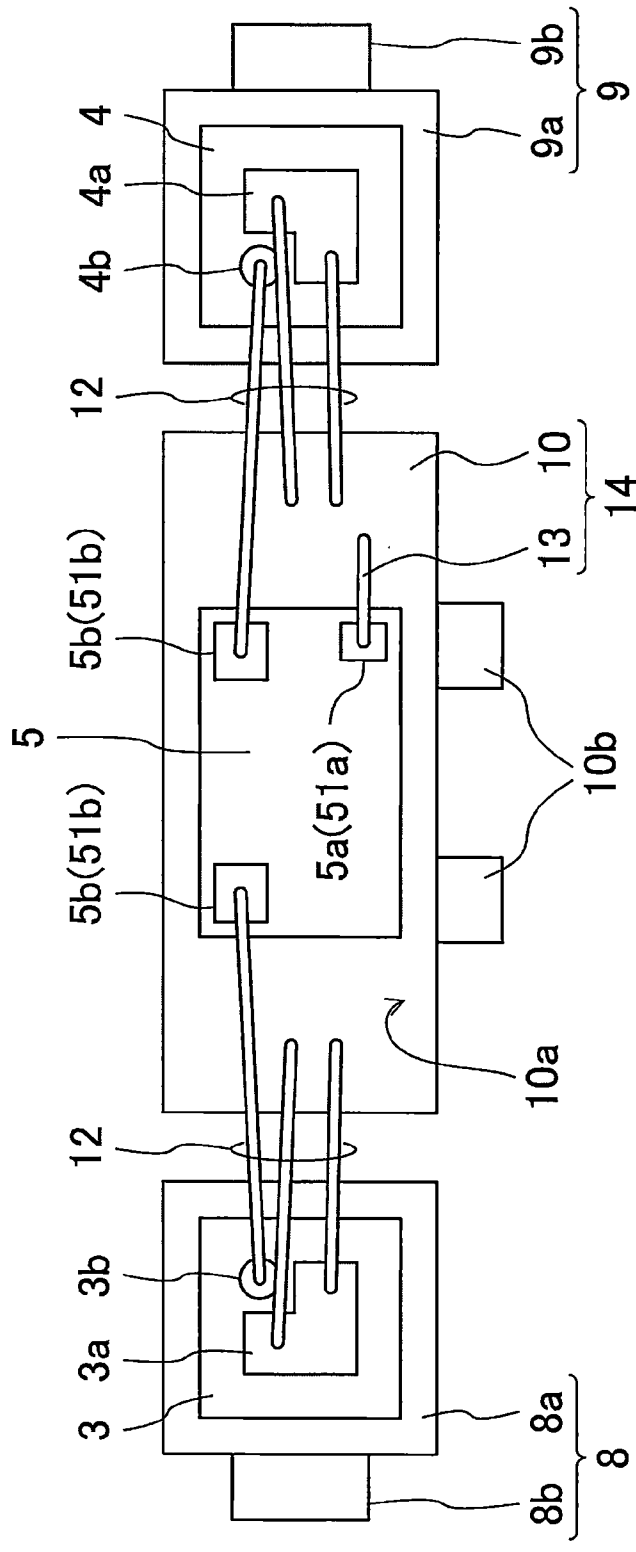
【圖 1】



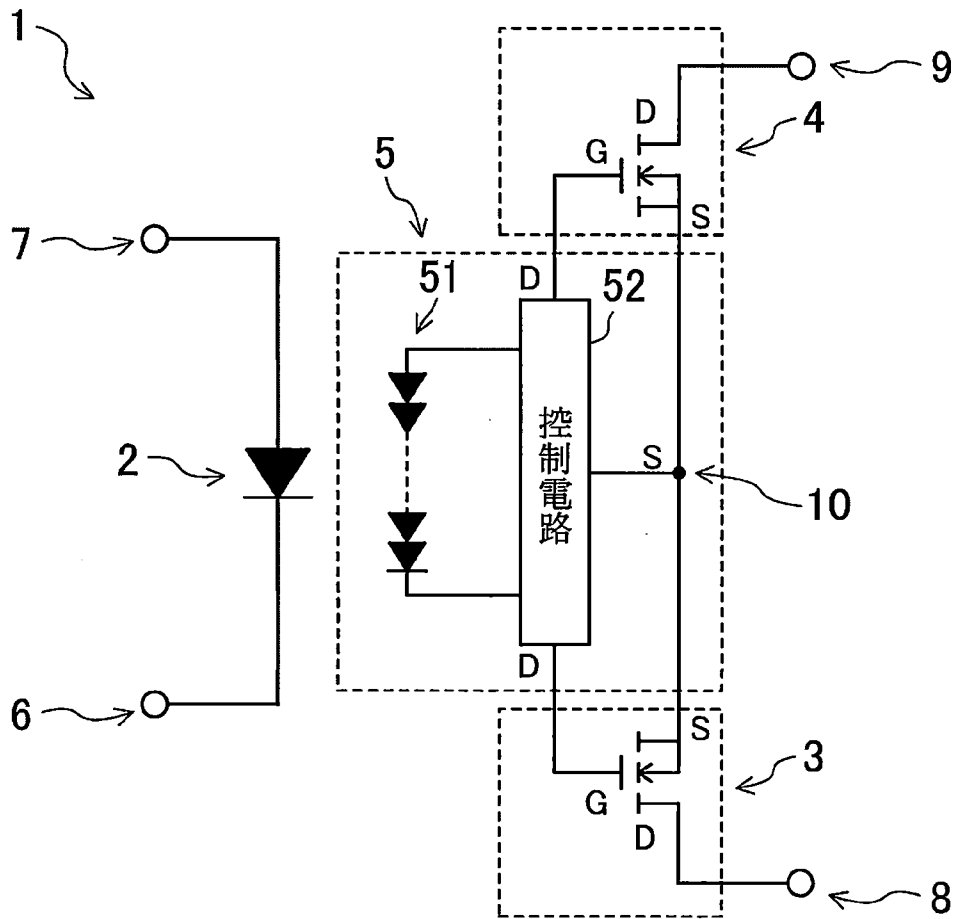
【圖 2】



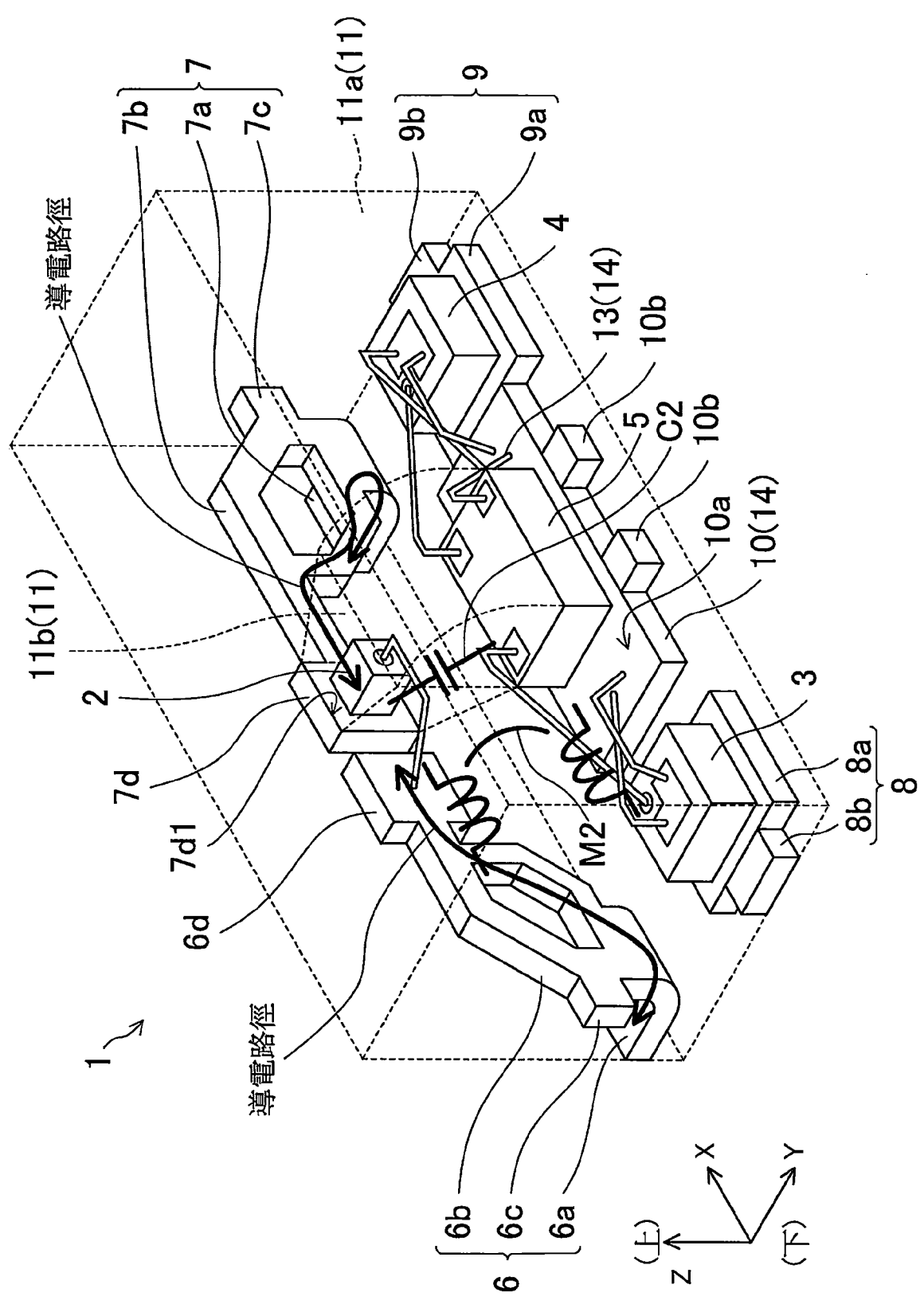
【圖 3】



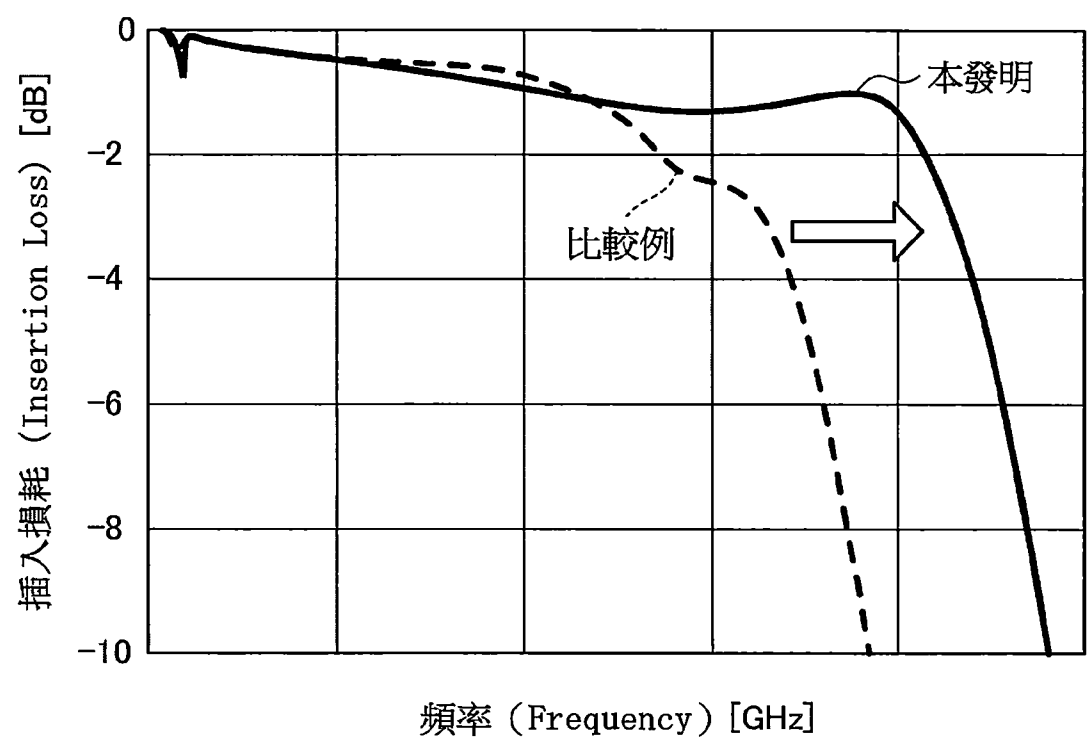
【圖 4】



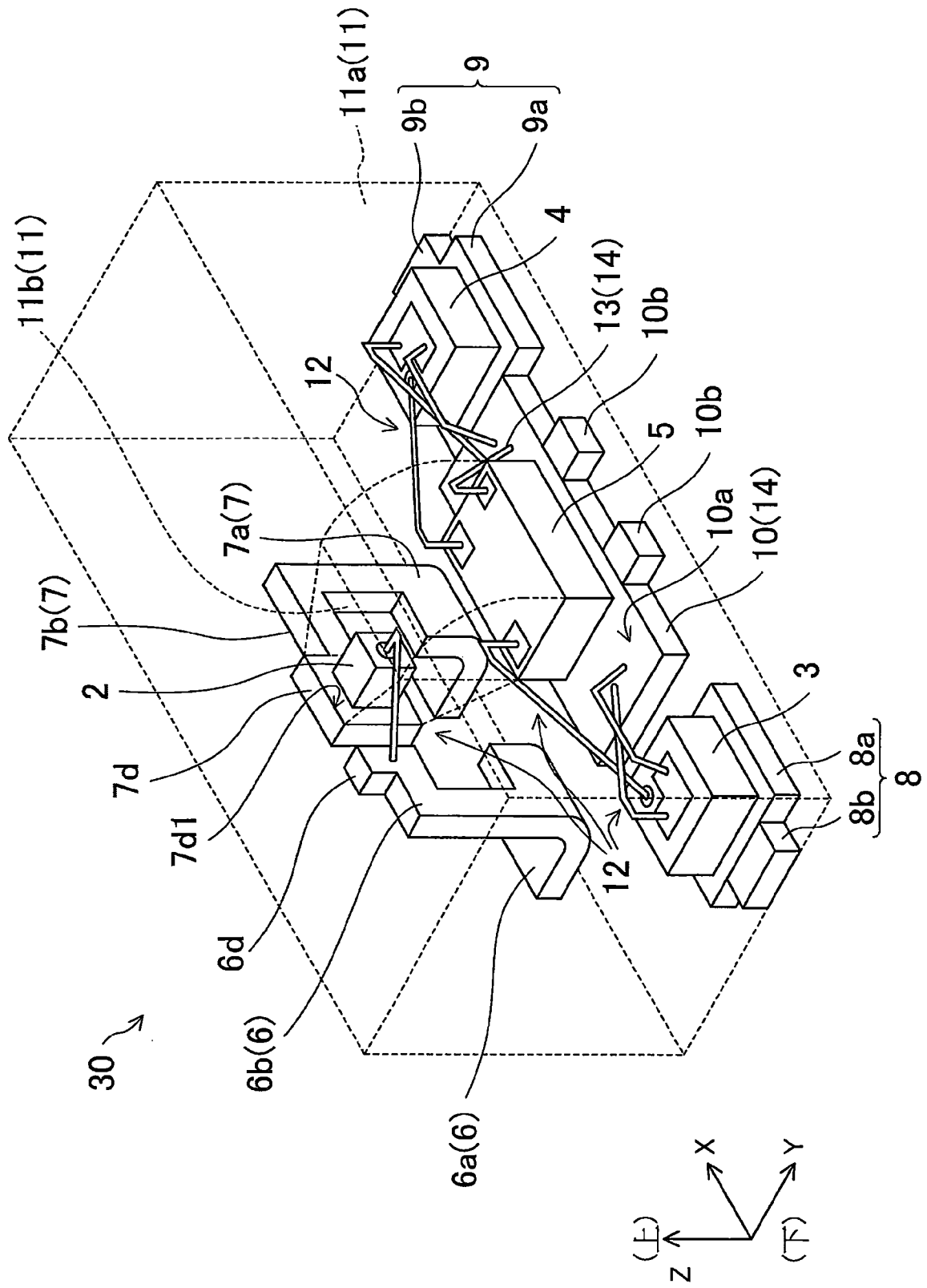
【圖 5】



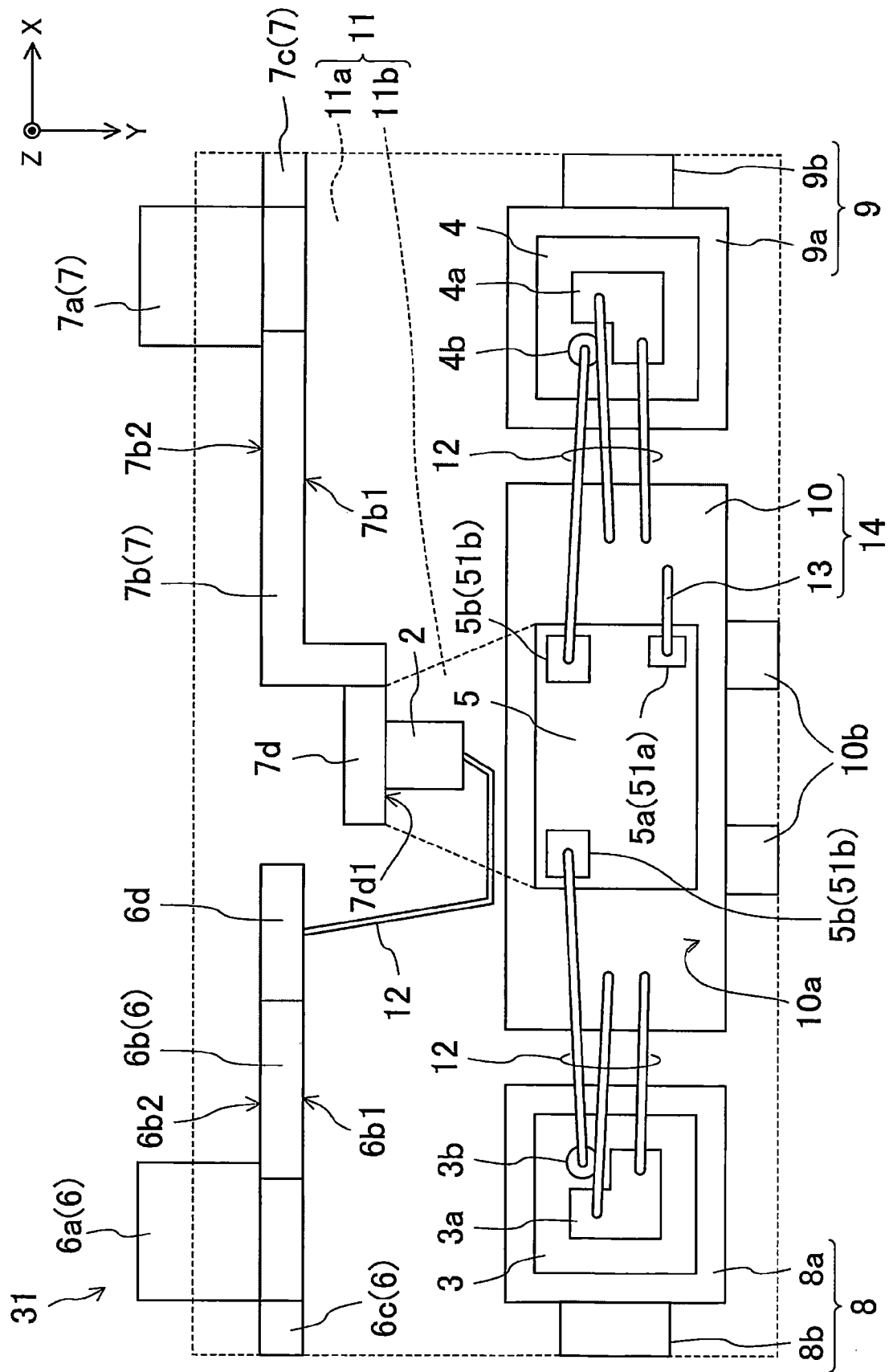
【圖 6】



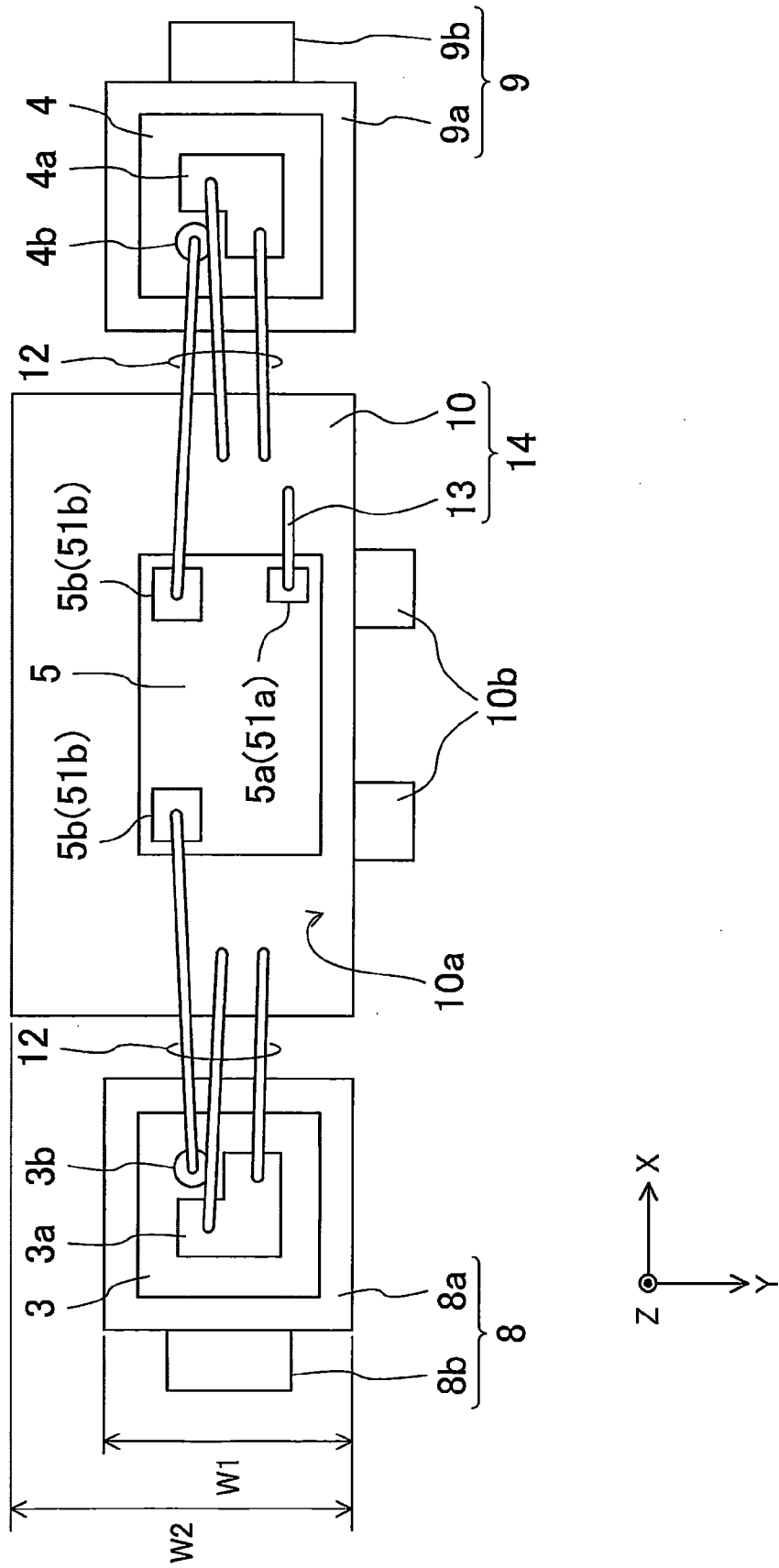
【圖 8】



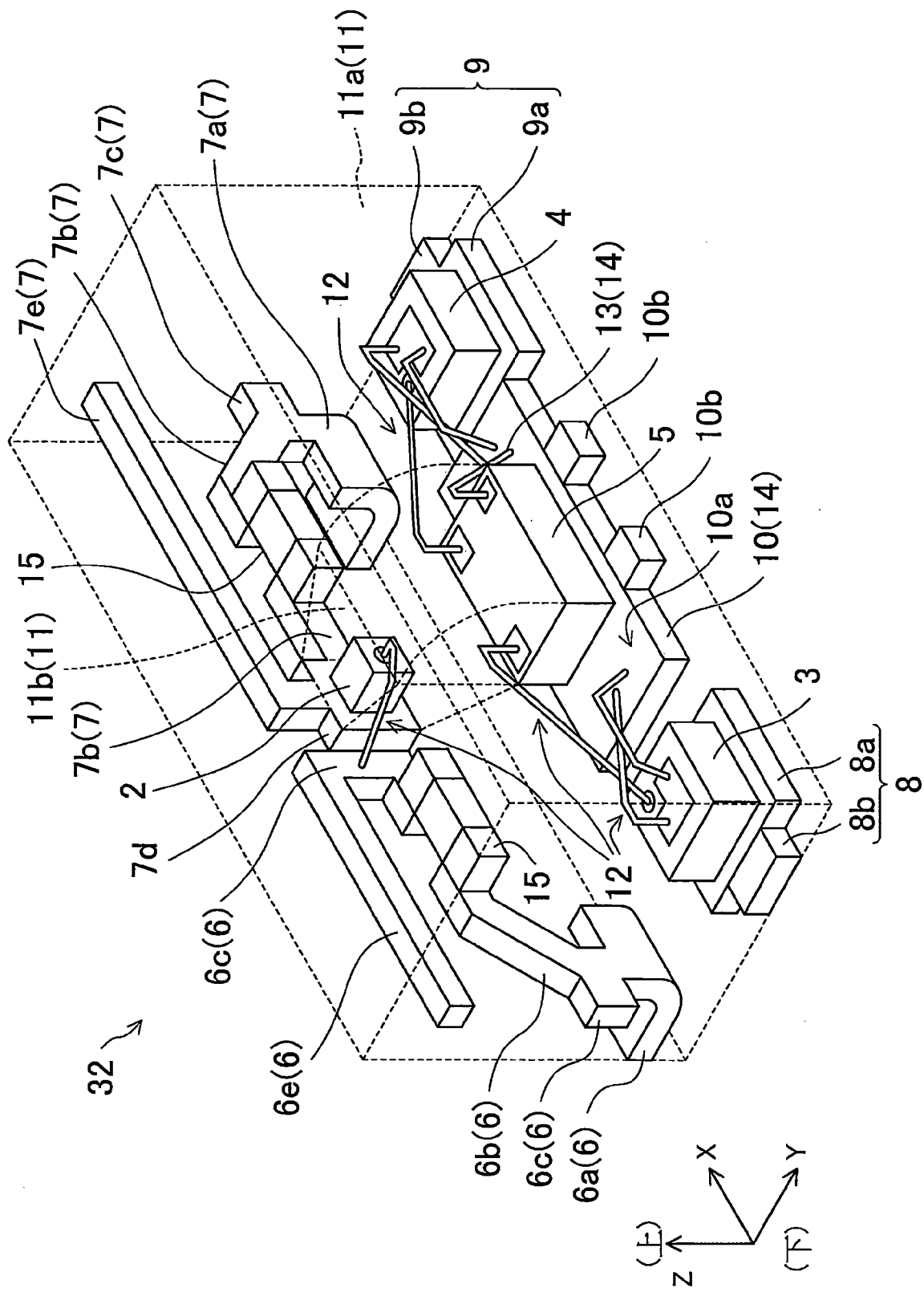
【圖 9】



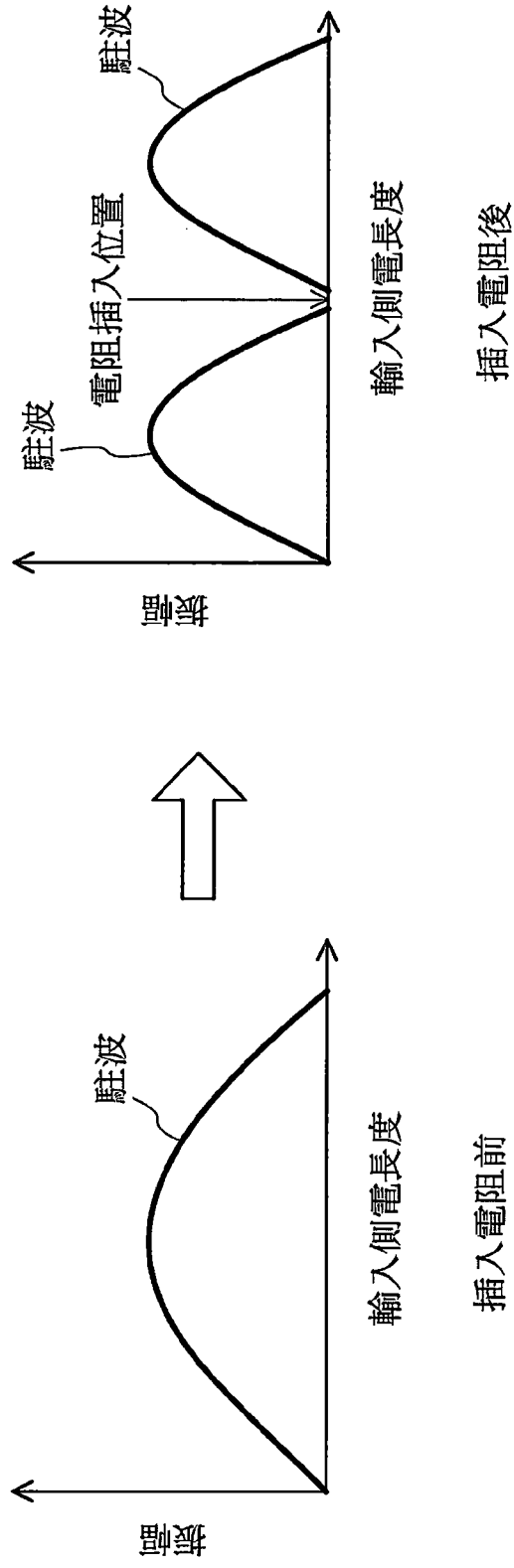
【圖 10】



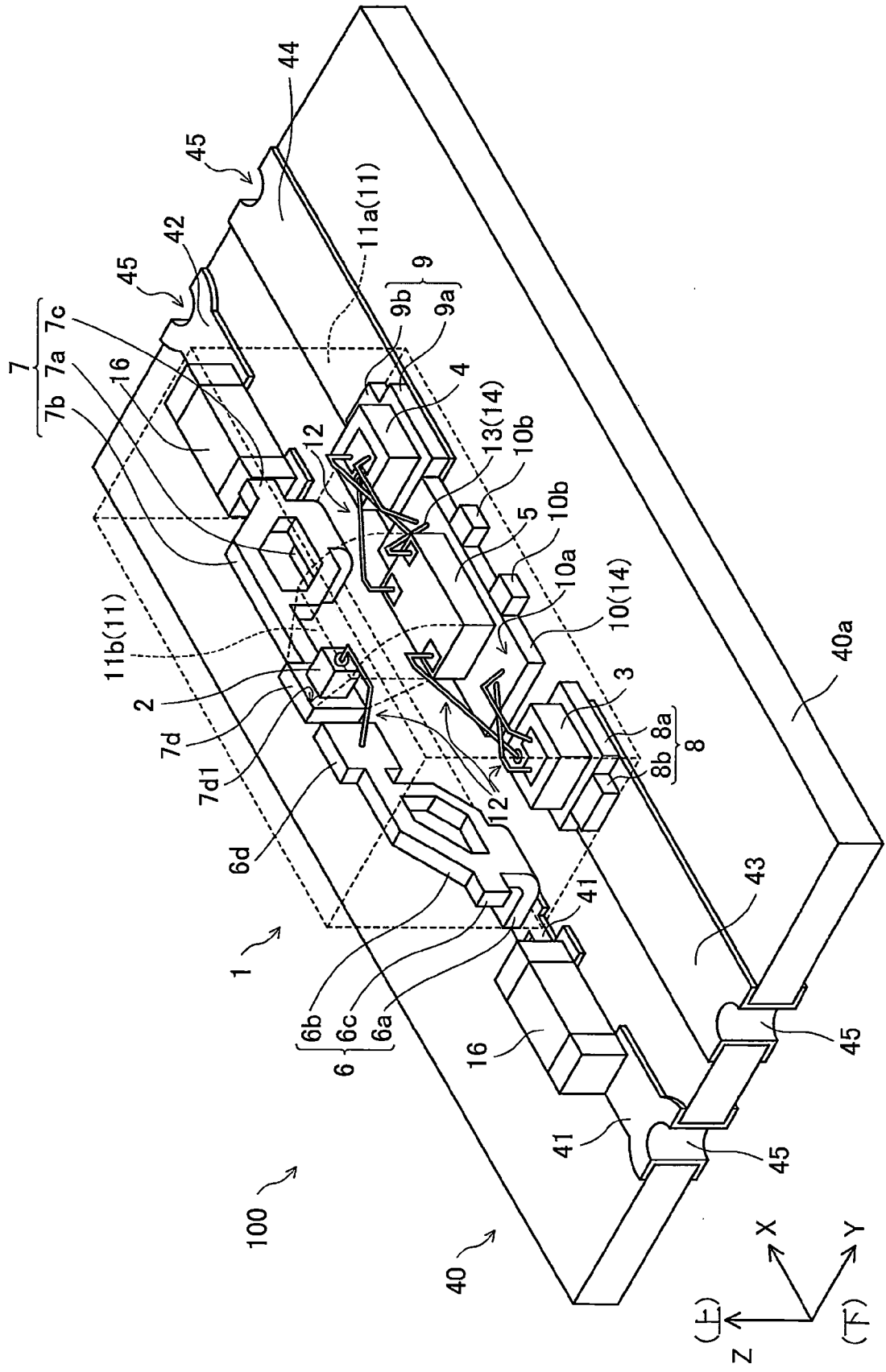
【圖 11】



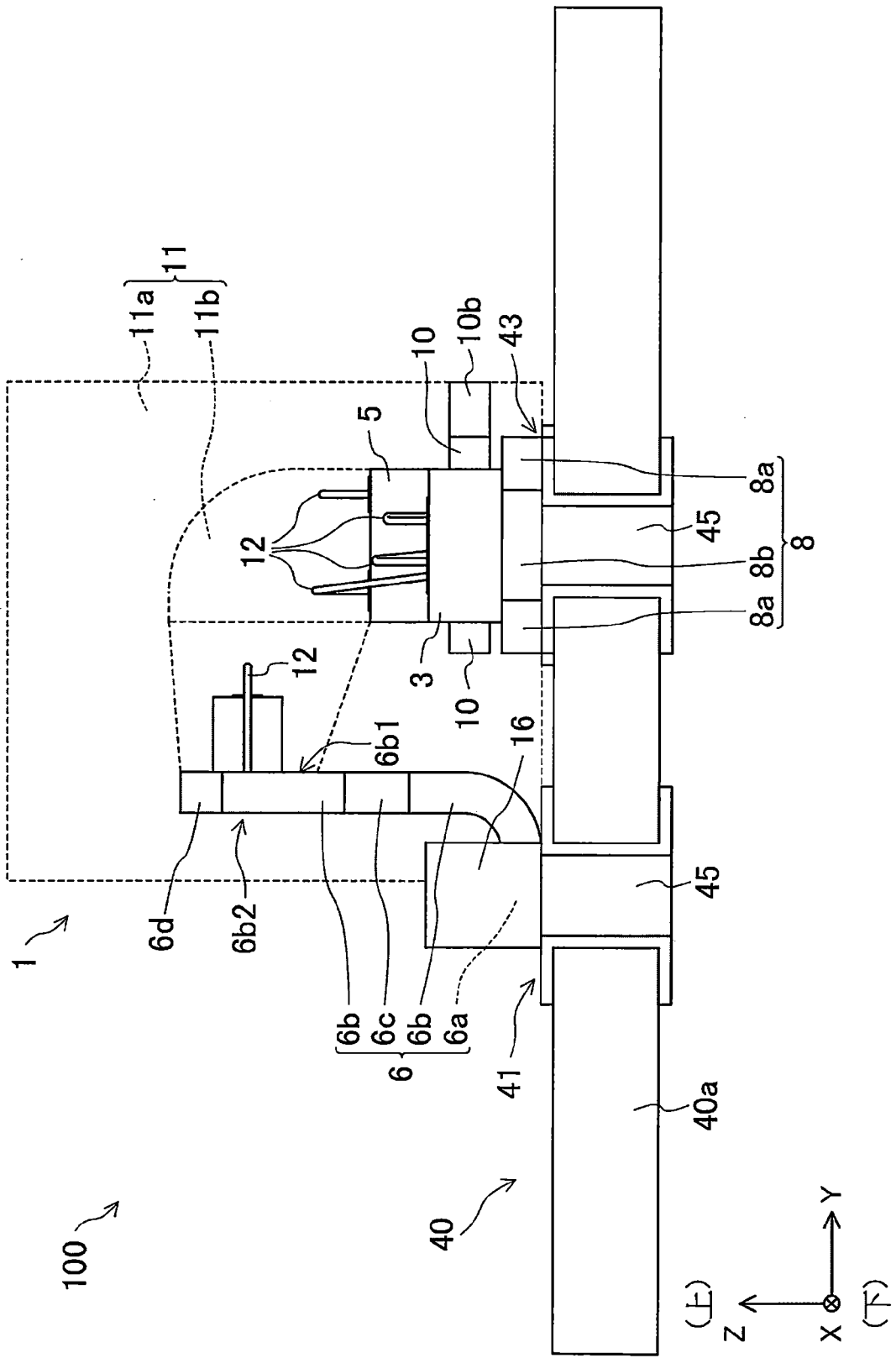
【圖 12】



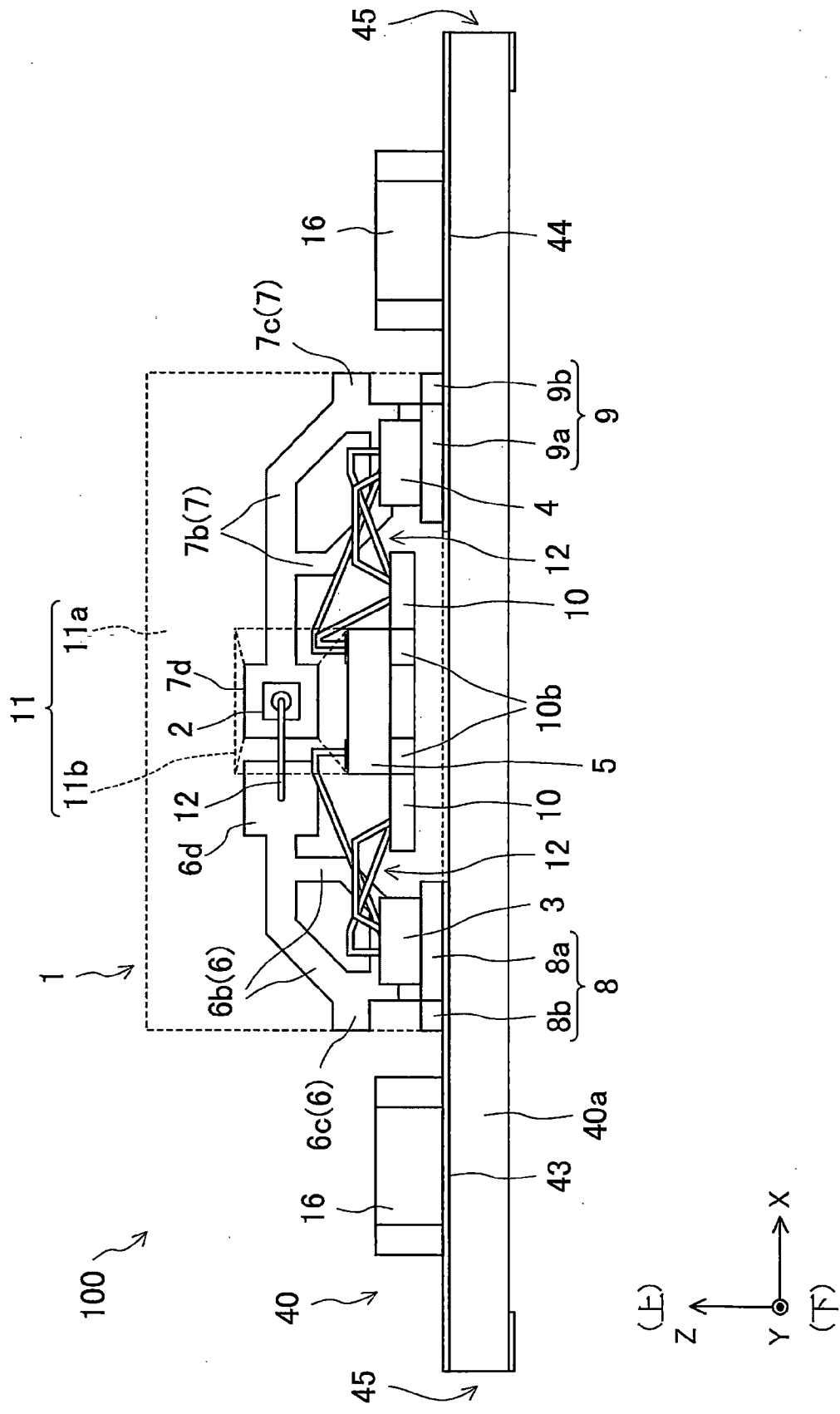
【圖 13】



【圖 14】



【圖 15】



【圖 16】