(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2010-0009068
(43) 공개일자 2010년01월27일

(51) Int. Cl.
H03L 7/00 (2006.01)
(21) 출원번호 10-2008-0069756
(22) 출원일자 2008년07월17일
심사청구일자 2008년07월17일

(71) 출원인
고려대학교 산학협력단
서울 성북구 안암동5가1 고려대학교 내
(72) 발명자
김철우
서울 성북구 길음동 1283 길음뉴타운 605-1301
옥성화
서울 동대문구 용두2동 738-2 효명빌딩 210호
구자범
서울 서초구 방배동 경남아파트 2-205
(74) 대리인
전종학

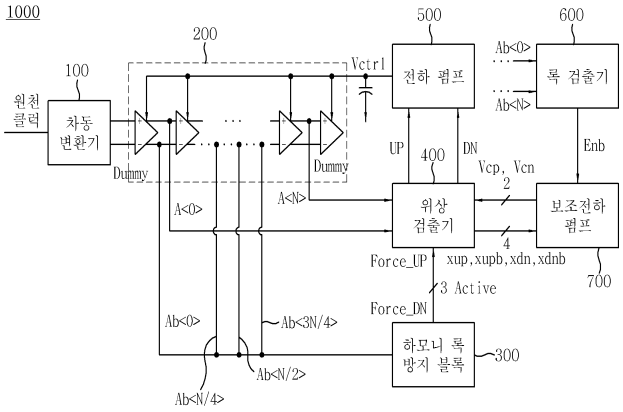
전체 청구항 수 : 총 16 항

(54) 정적 위상 오차를 감소시키는 지연고정루프 및 그 제어방법

(57) 요 약

본 발명은 지연고정루프 기술을 개시한다. 즉, 지연고정루프에서 전하 펌프 전류 미스매치 등으로 인해 발생되는 정적 위상 오차를 줄이는 지연고정루프 및 그 제어 방법을 구현함으로써, 지연고정루프의 출력 클록을 더욱 정확하게 기준 입력클록에 동기 시킬 수 있다.

대 표 도 - 도1



특허청구의 범위

청구항 1

입.출력 클록 사이에 형성되는 정적 위상 오차를 감소시키는 지연고정루프에 있어서,

다중 클록에 포함된 0번째 기준 다상 클록과 N번째 다상 클록을 수신하며, 정상 록킹된 상기 0번째 기준 다상 클록과 N번째 다상 클록 간의 정적 위상 오차를 내부 업, 다운 신호 및 그 역신호들로 나타내고, 상기 내부 업, 다운 신호 및 그 역신호들로 산출된 내부 업 조절전압 및 내부 다운 조절전압을 제어하여 상기 정적 위상 오차를 감소시키는 것을 특징으로 하는 지연고정루프.

청구항 2

0번째 기준 다상 클록과 0번째 기준 다상 역 클록을 기준으로 일정량의 시간 지연차를 갖으며 N+1개만큼 생성된 다상 클록들을 포함하는 제 1 다상 클록 그룹과 다상 역 클록들을 포함하는 제 2 다상 클록 그룹을 생성하는 전압제어 지연단;

상기 0번째 기준 다상 역 클록과 N번째 다상 역 클록을 수신하며, 상기 N번째 다상 역 클록의 당해 펄스가 0번째 다상 역 클록의 한 주기 내에 위치하는 정상 록킹 상태를 인식하여 인에이블바 신호를 하이 상태로 동작시키는 록 검출기;

상기 하이 상태의 인에이블바 신호를 수신할 경우 시동작하고, 상기 정상 록킹된 상기 0번째 기준 다상 클록과 N번째 다상 클록 간의 자연차를 나타내는 내부 업, 다운 신호 및 그 역 신호들로부터 산출된 내부 업 조절전압 및 내부 다운 조절전압을 생성하는 보조 전하 펌프; 및

상기 보조 전하 펌프와 연동되며, 상기 내부 업 조절전압 및 내부 다운 조절전압을 제어하여 상기 정상 록킹된 상기 0 번째 입력 클록와 N 번째 입력 클록 간의 정적 위상 오차를 감소시키는 위상 검출기;

를 포함하는 지연고정루프.

청구항 3

청구항 2에 있어서,

외부로부터 전달된 원천 클록을 차동 클록과 차동 역 클록으로 변환시키고, 상기 차동 클록에서 0번째 기준 다상 클록과 N번째 다상 클록을 생성시키고, 차동 역 클록에서 0번째 기준 다상 역 클록과 N번째 다상 역 클록을 생성시키는 차동 변환기;를 더 포함하는 지연고정루프.

청구항 4

청구항 2에 있어서,

상기 보조 전하 펌프로 인가된 제 1 리셋 신호와 제 2 리셋 신호가 온일 경우, 상기 내부 업 조절전압 및 내부 다운 조절전압은 0 값이 배제된 바이어스 전압치로 리셋되는 것을 특징으로 하는 지연고정루프.

청구항 5

청구항 2에 있어서,

상기 위상 검출기는,

상기 정상 록킹된 0번째 기준 다상 클록과 N번째 다상 클록 간에 나타나는 내부 업 신호, 내부 업 역신호, 내부 다운 신호 및 내부 다운 역신호를 판독하여 정적 위상 오차 범위를 산정하는 것을 특징으로 하는 지연고정루프.

청구항 6

청구항 5에 있어서,

상기 위상 검출기는,

상기 내부 다운 신호를 상기 내부 다운 조절전압으로 제어하여 상기 내부 다운 신호의 당해 하이 펄스를 1/2 주기 내에서 더 연장시키는 것을 특징으로 하는 지연고정루프.

청구항 7

입.출력 클록 사이에 형성된 정적 위상 오차를 감소시키는 지연고정루프의 제어 방법에 있어서,

다중 클록에 포함된 0번째 기준 다상 클록와 N 번째 다상 클록이 정상 록킹되는 단계;

상기 정상 록킹된 상기 0 번째 기준 다상 클록와 N 번째 다상 클록 간의 위상 불일치로 인해 정적 위상 오차가 형성되는 단계;

상기 정적 위상 오차를 나타내는 내부 업, 다운 신호 및 그 역신호들이 내부 업 조절전압 및 내부 다운 조절전압으로 산출되는 단계; 및

상기 산출된 내부 업 조절전압 및 내부 다운 조절전압이 상기 정적 위상 오차를 제어하여 상기 정적 위상 오차를 감소시키는 단계;

를 포함하는 지연고정루프의 제어 방법.

청구항 8

전압제어 지연단이 0번째 기준 다상 클록을 기준으로 일정량의 시간 지연차를 갖는 서로 다른 다상 클록들을 N개 발생시키고, 0번째 기준 다상 역 클록을 기준으로 일정량의 시간 지연차를 갖는 서로 다른 다상 역 클록들을 N개 발생시키는 단계;

상기 전압제어 지연단이 N+1개의 다상 클록들을 포함하는 제 1 다상 클록 그룹과, N+1개의 다상 역 클록들을 포함하는 제 2 다상 클록 그룹을 생성하는 단계;

록 검출기가 상기 0번째 기준 다상 역 클록과 N번째 다상 역 클록을 수신하여 상기 N번째 다상 역 클록의 당해 펄스가 0번째 다상 역 클록의 한 주기 내에 위치함에 의한 정상 록킹됨을 파악하는 단계;

상기 록 검출기가 상기 정상 록킹됨을 인식함에 따라, 인에이블바 신호를 하이 상태로 동작시키는 단계;

보조 전하 펌프가 상기 하이 상태의 인에이블 바 신호를 수신할 경우에 한하여 동작을 시작하는 단계;

상기 보조 전하 펌프가 시동작시 상기 정상 록킹된 0번째 기준 다상 클록과 N번째 다상 클록 간의 지연차를 나타내는 내부 업, 다운 신호 및 그 역 신호들로부터 산출된 내부 업 조절전압 및 내부 다운 조절전압을 생성하는 단계; 및

위상 검출기가 상기 보조 전하 펌프와 연동되며, 상기 내부 업 조절전압 및 내부 다운 조절전압을 보상 처리 및 제어하여 상기 정상 록킹된 0번째 기준 다상 클록과 N번째 다상 클록 간의 정적 위상 오차를 감소시키는 단계;

를 포함하는 지연고정루프의 제어 방법.

청구항 9

청구항 8에 있어서,

상기 0번째 기준 다상 클록과 N번째 다상 클록을 포함하는 차동 클록 및 상기 0번째 기준 다상 역 클록과 N번째 다상 역 클록을 포함하는 차동 역 클록이 차동 변환기에 의해 나눠 생성되는 단계;를 더 포함하는 지연고정루프의 제어 방법.

청구항 10

청구항 8에 있어서,

상기 보조 전하 펌프로 인가된 제 1 리셋 신호와 제 2 리셋 신호가 온일 경우, 상기 내부 업 조절전압 및 내부 다운 조절전압은 0 값이 배제된 바이어스 전압치로 설정되는 단계;를 더 포함하는 지연고정루프의 제어 방법.

청구항 11

청구항 8에 있어서,

상기 위상 검출기가,

상기 정상 록킹된 0번째 기준 다상 클록과 N번째 다상 클록 간을 표시하는 내부 업 신호, 내부 업 역신호, 내부

다운 신호 및 내부 다운 역신호를 판독하여 정적 위상 오차 범위를 산정하는 단계;를 더 포함하는 지연고정루프의 제어 방법.

청구항 12

청구항 11에 있어서,

상기 위상 검출기가,

상기 내부 다운 신호를 상기 내부 다운 조절전압으로 제어하여 상기 내부 다운 신호의 당해 펄스를 1/2 주기 내에서 더 길게 연장시키는 단계;를 더 포함하는 지연고정루프의 제어 방법.

청구항 13

다중 클록에 포함된 0번째 기준 다상 클록과 N 번째 다상 클록을 외부로부터 수신하며, 정상 록킹된 상기 0번째 기준 다상 클록과 N 번째 다상 클록 간의 정적 위상 오차에 대한 펄스 폭을 표시하는 복수의 신호 수신부;

상기 양 클록 간의 정상 록킹 상태를 파악하고, 외부로부터 전달된 다수의 강제조절신호 중 Active 신호를 상기 양 클록에 적용시켜 동기화를 실시하는 활성 동작부;

상기 활성 동작부의 동기화 실시에 따라, 정상 선형 위상치를 검출하는 복수의 신호 검출부;

상기 양 클록 간의 정적 위상 오차를 나타내는 내부 업 신호, 내부 업 역신호, 내부 다운 신호 및 내부 다운 역신호를 외부로 출력하는 다수의 신호 출력 라인;

상기 외부 출력된 내부 업 신호, 내부 업 역신호, 내부 다운 신호 및 내부 다운 역신호에 대한 리턴 응답으로 외부로부터 전달된 내부 업 조절전압 및 내부 다운 조절전압을 제어하여 상기 정적 위상 오차를 감소시키는 복수의 정적위상오차 보상부; 및

상기 양 클록 간의 록킹이 비정상일 경우, 상기 비정상으로 록킹된 양 클록에 상기 다수의 강제조절신호 중에 Force_UP 신호 및 Force_DN 신호를 적용시켜 상기 양 클록 간의 위상차를 나타내는 UP 신호 및 DOWN 신호를 강제 조절하고, 상기 강제 조절된 UP 신호 및 DOWN 신호를 출력하는 신호 출력부;를 포함하는 지연고정루프에 구비된 위상 검출기.

청구항 14

청구항 13에 있어서,

상기 양 클록 간에 동기화가 미성립된 경우,

상기 정상 선형 위상치는 상기 정적 위상 오차 또는 위상차에 의해 왜곡된 값으로 나타나는 것을 특징으로 하는 지연고정루프에 구비된 위상 검출기.

청구항 15

복수의 신호 수신부가 0번째 입력 클록과 N 번째 입력 클록을 외부로부터 수신하며, 정상 록킹된 상기 0번째 입력 클록과 N 번째 입력 클록 간의 정적 위상 오차에 대한 펄스 폭을 표시하는 단계;

활성 동작부가 상기 양 클록 간의 정상 록킹 상태를 파악하고, 외부로부터 전달된 다수의 강제조절신호 중 Active 신호를 상기 양 클록에 적용시켜 동기화를 실시하는 단계;

복수의 신호 검출부가 상기 활성 동작부의 동기화 실시에 따라, 정상 선형 위상치를 검출하는 단계;

다수의 신호 출력 라인이 상기 양 클록 간의 정적 위상 오차를 나타내는 내부 업 신호, 내부 업 역신호, 내부 다운 신호 및 내부 다운 역신호를 외부로 출력하는 단계; 및

복수의 정적위상오차 보상부가 상기 내부 업 신호, 내부 업 역신호, 내부 다운 신호 및 내부 다운 역신호에 대한 리턴 응답으로 외부로부터 입력된 내부 업 조절전압 및 내부 다운 조절전압을 제어하여 상기 정적 위상 오차를 감소시키는 단계;를 포함하는 위상 검출기의 제어 방법.

청구항 16

청구항 15에 있어서,

상기 양 클록 간의 록킹이 비정상일 경우,

신호 출력부가 상기 비정상으로 록킹된 양 클록에 상기 다수의 강제조절신호 중에 Force_UP 신호 및 Force_DN 신호를 적용시켜 상기 양 클록 간의 위상차를 나타내는 UP 신호 및 DOWN 신호를 강제 조절하는 단계; 및

상기 신호 출력부가 상기 강제 조절된 UP 신호 및 DOWN 신호를 출력하는 단계;를 더 포함하는 지연고정루프에 구비된 위상 검출기의 제어 방법.

명 세 서

발명의 상세한 설명

기 술 분 야

<1> 본 발명은 보조 전하 펌프를 구비하며, 정적 위상 오차(Static Phase Offset)를 줄이는 기능을 하는 지연 고정 루프에 관한 것으로, 더욱 상세하게는 위상 검출기를 보조 전하 펌프(Auxiliary Charge Pump)와 연동시켜 정적 위상 오차를 감소시키는 지연 고정 루프에 관한 것이다.

배 경 기 술

<2> 지연고정루프는 기준 입력 클록을 받아들여 일정한 지연 시간을 부과함으로써 출력 클록의 위상을 기준 입력 클록과 동일하게 만드는 것이 목적이다.

<3> 전하 펌프를 사용하는 지연 고정 루프는 레이아웃 상에서의 미스매치 또는 전하 펌프에서 충/방전하는 전류량의 미스매치 등으로 인하여 기준 입력 클록과 출력클록이 일정한 위상 오차를 가지면서 동기 되는 정적 위상 오차(Static Phase Offset)를 가지게 된다.

<4> 본 발명의 지연고정루프는 출력 클록보다 정적 위상 오차를 줄여 보다 정확한 입/출력 클록의 동기를 구현하기 위하여 보조 전하 펌프와 연동하는 위상 검출기를 제안하였다.

발명의 내용

해결 하고자하는 과제

<5> 본 발명의 목적은 전하 펌프를 이용하는 지연 고정루프가 가지는 정적 위상 오차 발생을 줄여서 지연 고정 루프가 록킹이 되었을 때 입력 기준 클록과 출력 클록의 위상 차이를 최소화하는 데 있다. PMOS, NMOS의 특성 차이나 공정, 전원 전압, 온도 등에 의해서 발생하는 전하 펌프의 업, 다운 전류 미스매치를 위상 검출기와 연동하는 보조 전하 펌프를 이용하여 보상해 주는 장치 및 그 방법을 제안하였다.

과제 해결수단

<6> 전하 펌프 전류 미스매치 등으로 인해 발생되는 정적 위상 오차를 줄이는 지연고정루프 및 그 제어 방법을 구현함으로써, 지연고정루프의 출력 클록을 더욱 정확하게 기준 입력클록에 동기시키기 위함이다.

<7> 상기의 과제를 달성하기 위한 본 발명은 다음과 같은 구성을 포함한다.

<8> 즉, 입.출력 클록 사이에 형성된 정적 위상 오차를 감소시키는 지연고정루프에 있어서, 다중 클록에 포함된 0번째 기준 다상 클록과 N번째 다상 클록을 수신하며, 정상 록킹된 상기 0번째 기준 다상 클록과 N번째 다상 클록 간의 정적 위상 오차를 내부 업, 다운 신호 및 그 역신호들로 나타내고, 상기 내부 업, 다운 신호 및 그 역신호들로 산출된 내부 업 조절전압 및 내부 다운 조절전압을 제어하여 상기 정적 위상 오차를 감소시키는 것을 특징으로 한다.

<9> 본 발명에 따른 지연고정루프는, 0번째 기준 다상 클록과 0번째 기준 다상 역 클록을 기준으로 일정량의 시간 지연차를 갖으며 N+1개만큼 생성된 다상 클록들을 포함하는 제 1 다상 클록 그룹과 다상 역 클록들을 포함하는 제 2 다상 클록 그룹을 생성하는 전압제어 지연단; 상기 0번째 기준 다상 역 클록과 N번째 다상 역 클록을 수신하며, 상기 N번째 다상 역 클록의 당해 펄스가 0번째 다상 역 클록의 한 주기 내에 위치하는 정상 록킹 상태를 인식하여 인에이블바 신호를 하이 상태로 동작시키는 록 검출기; 상기 하이 상태의 인에이블바 신호를 수신할

경우 시동작하고, 상기 정상 록킹된 상기 0번째 기준 다상 클록과 N번째 다상 클록 간의 자연차를 나타내는 내부 업, 다운 신호 및 그 역 신호들로부터 산출된 내부 업 조절전압 및 내부 다운 조절전압을 생성하는 보조 전하 펌프; 및 상기 보조 전하 펌프와 연동되며, 상기 내부 업 조절전압 및 내부 다운 조절전압을 제어하여 상기 정상 록킹된 상기 0 번째 입력 클록와 N 번째 입력 클록 간의 정적 위상 오차를 감소시키는 위상 검출기;를 포함한다.

<10> 본 발명에 따른 입.출력 클록 사이에 형성된 정적 위상 오차를 감소시키는 지연고정루프의 제어 방법에 있어서, 다중 클록에 포함된 0번째 기준 다상 클록와 N 번째 다상 클록이 정상 록킹되는 단계; 상기 정상 록킹된 상기 0번째 기준 다상 클록와 N 번째 다상 클록 간의 위상 불일치로 인해 정적 위상 오차가 형성되는 단계; 상기 정적 위상 오차를 나타내는 내부 업, 다운 신호 및 그 역신호들이 내부 업 조절전압 및 내부 다운 조절전압으로 산출되는 단계; 및 상기 산출된 내부 업 조절전압 및 내부 다운 조절전압이 상기 정적 위상 오차를 제어하여 상기 정적 위상 오차를 감소시키는 단계;를 포함한다.

<11> 본 발명에 따른 지연고정루프의 제어 방법은, 전압제어 지연단이 0번째 기준 다상 클록을 기준으로 일정량의 시간 지연차를 갖는 서로 다른 다상 클록들을 N개 발생시키고, 0번째 기준 다상 역 클록을 기준으로 일정량의 시간 지연차를 갖는 서로 다른 다상 역 클록들을 N개 발생시키는 단계; 상기 전압제어 지연단이 N+1개의 다상 클록들을 포함하는 제 1 다상 클록 그룹과, N+1개의 다상 역 클록들을 포함하는 제 2 다상 클록 그룹을 생성하는 단계; 록 검출기가 상기 0번째 기준 다상 역 클록과 N번째 다상 역 클록을 수신하여 상기 N번째 다상 역 클록의 당해 펄스가 0번째 다상 역 클록의 한 주기 내에 위치함에 의한 정상 록킹됨을 파악하는 단계; 상기 록 검출기가 상기 정상 록킹됨을 인식함에 따라, 인에이블바 신호를 하이 상태로 동작시키는 단계; 보조 전하 펌프가 상기 하이 상태의 인에이블 바 신호를 수신할 경우에 한하여 동작을 시작하는 단계; 상기 보조 전하 펌프가 시동작시 상기 정상 록킹된 0번째 기준 다상 클록과 N번째 다상 클록 간의 지연차를 나타내는 내부 업, 다운 신호 및 그 역 신호들로부터 산출된 내부 업 조절전압 및 내부 다운 조절전압을 생성하는 단계; 및 위상 검출기가 상기 보조 전하 펌프와 연동되며, 상기 내부 업 조절전압 및 내부 다운 조절전압을 보상 처리 및 제어하여 상기 정상 록킹된 0번째 기준 다상 클록과 N번째 다상 클록 간의 정적 위상 오차를 감소시키는 단계;를 포함한다.

<12> 본 발명에 따른 지연고정루프에 구비된 위상 검출기는, 다중 클록에 포함된 0번째 기준 다상 클록과 N 번째 다상 클록을 외부로부터 수신하며, 정상 록킹된 상기 0번째 기준 다상 클록과 N 번째 다상 클록 간의 정적 위상 오차에 대한 펄스 폭을 표시하는 복수의 신호 수신부; 상기 양 클록 간의 정상 록킹 상태를 파악하고, 외부로부터 전달된 다수의 강제조절신호 중 Active 신호를 상기 양 클록에 적용시켜 동기화를 실시하는 활성 동작부; 상기 활성 동작부의 동기화 실시에 따라, 정상 선형 위상치를 검출하는 복수의 신호 검출부; 상기 양 클록 간의 정적 위상 오차를 나타내는 내부 업 신호, 내부 업 역신호, 내부 다운 신호 및 내부 다운 역신호를 외부로 출력하는 다수의 신호 출력 라인; 상기 외부 출력된 내부 업 신호, 내부 업 역신호, 내부 다운 신호 및 내부 다운 역신호에 대한 리턴 응답으로 외부로부터 전달된 내부 업 조절전압 및 내부 다운 조절전압을 제어하여 상기 정적 위상 오차를 감소시키는 복수의 정적위상오차 보상부; 및 상기 양 클록 간의 록킹이 비정상일 경우, 상기 비정상으로 록킹된 양 클록에 상기 다수의 강제조절신호 중에 Force_UP 신호 및 Force_DN 신호를 적용시켜 상기 양 클록 간의 위상차를 나타내는 UP 신호 및 DOWN 신호를 강제 조절하고, 상기 강제 조절된 UP 신호 및 DOWN 신호를 출력하는 신호 출력부;를 포함한다.

<13> 본 발명에 따른 위상 검출기의 제어 방법은, 복수의 신호 수신부가 0번째 기준 다상 클록과 N 번째 다상 클록을 외부로부터 수신하며, 정상 록킹된 상기 0번째 기준 다상 클록과 N 번째 다상 클록 간의 정적 위상 오차에 대한 펄스 폭을 표시하는 단계; 활성 동작부가 상기 양 클록 간의 정상 록킹 상태를 파악하고, 외부로부터 전달된 다수의 강제조절신호 중 Active 신호를 상기 양 클록에 적용시켜 동기화를 실시하는 단계; 복수의 신호 검출부가 상기 활성 동작부의 동기화 실시에 따라, 정상 선형 위상치를 검출하는 단계; 다수의 신호 출력 라인이 상기 양 클록 간의 정적 위상 오차를 나타내는 내부 업 신호, 내부 업 역신호, 내부 다운 신호 및 내부 다운 역신호를 외부로 출력하는 단계; 및 복수의 정적위상오차 보상부가 상기 내부 업 신호, 내부 업 역신호, 내부 다운 신호 및 내부 다운 역신호에 대한 리턴 응답으로 외부로부터 입력된 내부 업 조절전압 및 내부 다운 조절전압을 제어하여 상기 정적 위상 오차를 감소시키는 단계;를 포함한다.

효 과

<14> 본 발명은 지연고정루프에서 전하 펌프 전류 미스매치 등으로 인해 발생되는 정적 위상 오차를 줄이는 지연고정루프 및 그 제어 방법을 구현함으로써, 지연고정루프의 출력 클록을 더욱 정확하게 기준 입력 클록에 동기시킬 수 있다.

발명의 실시를 위한 구체적인 내용

<15> [실시예]

<16> 이하, 본 발명의 실시예를 첨부된 도면을 참조하여 상세히 설명하면 다음과 같다.

<17> 도 1은 본 발명의 실시예에 따른 정적 위상 오차를 줄이는 지연고정루프를 도시한 도면이다.

<18> 도 1를 참조하면, 지연고정루프(Delay Lock Loop : 1000)는 다중 클록에 포함된 0번째 기준 다상 클록<A(0)>와 N번째 다상 클록<A(N)>을 수신하며, 정상 록킹된 양 클록(<A(0)>, <A(N)>) 간의 위상 불일치로 인해 형성된 정적 위상 오차를 내부 업 조절전압(Vcp) 및 내부 다운 조절전압(Vcn)으로 제어하여 정적 위상 오차를 감소시키는 장치이다.

<19> 지연고정루프(DLL : 1000)는 차동 변환기(Single-to-Differential Converter, S2D : 100), 전압제어 지연단(Voltage Control Delay Line : VCDL : 200), 하모닉 록 방지 블록(Anti-Harmonic Lock Block : 300), 위상 검출기(Phase Detector : 400), 전하 펌프(Charge Pump : 500), 록 검출기(Lock Detector : 600) 및 보조 전하 펌프(Auxiliary Charge Pump : 700)을 포함한다.

<20> 먼저, 차동 변환기(100)는 외부로부터 원천 클록(Clock)을 입력받아, 차동 클록과 차동 역 클록으로 나눠 생성한다.

<21> 전압제어 지연단(200)은 차동 클록과 차동 역 클록을 수신하며, 차동 클록으로부터 추출된 0번째 기준 다상 클록<A(0)>을 기준으로 일정량의 시간 지연 간격을 갖는 N+1 개의 다상 클록을 포함하는 제 1 다상 클록 그룹(<A(0)>~<A(N)>)을 생성한다.

<22> 마찬가지로, 전압제어 지연단(200)은 차동 역 클록으로부터 추출된 0번째 기준 다상 역 클록<Ab(0)>을 기준으로 일정량의 시간 간격을 갖는 N+1 개의 다상 역 클록을 포함하는 제 2 다상 클록 그룹(<Ab(0)>~<Ab(N)>)을 생성한다.

<23> 하모닉 록 방지 블록(300)은 전압제어 지연단(200)으로부터 출력된 제 2 다상 클록 그룹(<Ab(0)>~<Ab(N)>) 중에 0번째 기준 다상 역 클록<Ab(0)>, 4번째 다상 역 클록<Ab(4)>, 8번째 다상 역 클록<Ab(8)> 및 12번째 다상 역 클록<Ab(12)> 4개 클록 신호를 수신한다.

<24> 하모닉 록 방지 블록(300)은 4개의 다상 역 클록(<Ab(0)>, <Ab(4)>, <Ab(8)>, <Ab(12)>)을 이용하여 강제조절 신호인 Active,신호, Force_UP 신호 및 Force_DN 신호로 변환시킨다.

<25> 위상 검출기(400)는 하모닉 록 방지 블록(300)으로부터 전달된 강제조절신호(Active 신호, Force_UP 신호, Force_DN 신호)을 수신하며, 전압제어 지연단(200)으로부터 형성된 A<0> 과 A<N> 클록들을 수신한다.

<26> 위상 검출기(400)는 하모닉 록 방지 블록(300)의 강제조절신호(Active 신호, Force_UP 신호, Force_DN 신호)로 하여금 제 1 다상 클록 그룹(<A(0)>~<A(N)>)에 형성된 N번째 다상 클록<A(N)>이 0번째 기준 다상 클록<A(0)>의 한 주기에 정상 록킹(Locking)되도록 강제 조절되게 한다.

<27> 다시 말해, 하모닉 록 방지 블록(300)은 강제조절신호(Active 신호, Force_UP 신호 또는 Force_DN 신호)를 위상 검출기(400)에 적용하여 위상 검출기(400)에 입력된 N번째 다상 클록<A(N)>이 0번째 기준 다상 클록<A(0)>의 한 주기에 정상 록킹되도록 제어한다.

<28> 이 때, 위상 검출기(400)는 N번째 다상 클록<A(N)>이 0번째 기준 다상 클록<A(0)>에 록킹되지 않을 시에, 0번째 기준 다상 클록<A(0)>과 N번째 다상 클록<A(N)> 간의 위상차를 나타내는 UP 신호 및 DOWN 신호를 생성한다.

<29> 위상 검출기(400)는 UP 신호 및 DOWN 신호를 전하 펌프(500)에 전달하고, 전하 펌프(500)는 UP 신호 및 DOWN 신호에 매칭되는 조절 전압(Vc)를 생성한다.

<30> 전하 펌프(500)는 조절 전압(Vc)를 전압조절 지연단(200)에 대입함에 따라, 전압조절 지연단(200)의 제 1 다상 클록 그룹(<A(0)>~<A(N)>)에 형성된 N+1개의 다상 클록들과 제 2 다상 클록 그룹(<Ab(0)>~<Ab(N)>)에 형성된 N+1개의 다상 역 클록들 간에 기설정된 시간 지연차를 조절하고, 제 1 다상 클록 그룹(<A(0)>~<A(N)>)의 N번째 다상 클록<A(N)>이 0 번째 기준 다상 클록<A(0)>에 정상 록킹되도록 위상차 제어 및 동기화시킨다.

<31> 본 발명의 실시예를 따른 전하 펌프(500)는 위상 검출기(400)로부터 UP 신호 및 DOWN 신호를 수신함에 있어, UP 신호 및 DOWN 신호 간의 전류량 미스 매치(mismatch)로 인하여 N번째 다상 클록<A(N)>이 0번째 다상 클록<A

(0)>에 정상 록킹된 상태이더라도 양 클록(<A(0)>, <A(N)>) 간에 정적 위상 오차가 존재함을 파악한다.

<32> 이로 인해, 위상 검출기(400)는 양 클록(<A(0)>, <A(N)>) 간의 정적 위상 오차를 나타내는 내부 업 신호(xup), 내부 업 역신호(xdn), 내부 다운 신호(xdn) 및 내부 다운 역신호(xdnb)를 생성한다.

<33> 즉, 본 발명의 실시예에 따른 지연고정루프(1000)는 상기 양 클록(<A(0)>, <A(N)>) 간에 발생된 정적 위상 오차를 감소시키기 위하여 위상 검출기(400)와 연동하는 별도의 보조 전하 펌프(700)를 구비한다.

<34> 록 검출기(600)는 전압제어 지연단(200)으로부터 출력된 제 2 다상 클록 그룹(<Ab(0)>~<Ab(N)>) 중에 0번째 기준 다상 역 클록<Ab(0)>과 N번째 다상 역 클록<Ab(N)>을 수신하며, N번째 다상 클록<A(N)>의 당해 펄스가 0번째 기준 다상 클록<A(0)>과 근소한 지연차를 가짐에 의한 지연고정루프의 정상 록킹을 파악할 경우, 인에이블바 신호(Enb)를 "high" 상태로 동작시킨다.

<35> 여기서, 록 검출기(600)는 N번째 다상 클록<A(N)>의 당해 펄스가 0번째 기준 다상 클록<A(0)>의 한 주기에 록킹되지 않았을 경우, 인에이블바 신호(Enb)를 "Low" 로 동작시킨다.

<36> 보조 전하 펌프(700)는 록 검출기(600)로부터 생성된 인에이블바 신호(Enb)의 "high" 상태를 수신한 경우에 한하여 동작을 시작하며, 이 때 전압제어 지연단(200)로부터 제 1 다상 클록 그룹(<Ab(0)>~<Ab(N)>)에 포함된 0번째 기준 다상 클록<A(0)>, N번째 다상 클록<A(N)>과, 전원 공급원으로부터 바이어스 전압(Vbias)을 수신한다.

<37> 보조 전하 펌프(700) 정상 록킹된 0번째 기준 다상 클록과 N번째 다상 클록 간의 자연차를 나타내는 내부 업, 다운 신호(xup, xdn) 및 그 역 신호(xupb, xdnb)들을 위상 검출기로부터 입력받아, 내부 업, 다운 신호(xup, xdn) 및 그 역 신호(xupb, xdnb)들로부터 산출된 내부 업 조절전압(Vcp) 및 내부 다운 조절전압(Vcn)을 생성한다.

<38> 보조 전하 펌프(700)가 제공받는 바이어스 전압 Vbias는 제 1 리셋 신호(reset1) 및 제 2 리셋 신호(reset2)가 "high" 일 경우, 내부 업 조절전압(Vcp) 및 내부 다운 조절전압(Vcn)이 "0"으로 떨어지지 않도록 방지한다.

<39> 여기서, 제 1 리셋 신호(reset1) 및 제 2 리셋 신호(reset2)는 보조 전하 펌프(700)의 현재 인가된 상태 전압치를 리셋시키기 위하여 제 2 다상 클록 그룹(<Ab(0)> ~<Ab(N)>)의 0번째 기준 다상 역 클록<Ab(0)>과 N번째 다상 역 클록<Ab(N)>를 각각 이용한다.

<40> 반복적으로, 위상 검출기(400)와 연동되는 보조 전하 펌프(700)는 위상 검출기(400)로부터 출력되는 내부 업 신호(xup), 내부 업 역신호(xupb), 내부 다운 신호(xdn) 및 내부 다운 역신호(xdnb)로부터 판독되는 양 클록(<A(0)>, <A(N)>) 간의 정적 위상 오차를 신호 보상 처리 및 제어하는 내부 업 조절전압(Vcp) 및 내부 다운 조절전압(Vcn)를 생성한다.

<41> 보조 전하 펌프(700)와 연동되는 위상 검출기(400)는 보조 전하 펌프(700)로부터 전달된 내부 업 조절전압(Vcp) 및 내부 다운 조절전압(Vcn)를 사용하여 내부 업 신호(xup) 및 다운 신호(xdn)를 강제로 왜곡시킴으로써 양 클록(<A(0)>, <A(N)>) 간의 정적 위상 오차를 감소시킨다.

<42> 도 2는 본 발명의 실시예에 따른 보조 전하 펌프의 회로도를 도시한 도면이다.

<43> 도 3은 발명의 실시예에 따른 위상 검출기의 동작 파형을 나타낸 타이밍도이다.

<44> 도 4는 본 발명의 실시예에 따른 보조 전하 펌프의 동작에 의해 위상 검출기의 출력 신호가 제어되는 파형을 나타낸 타이밍도이다.

<45> 도 2, 도 3 및 도 4를 참조하면, 보조 전하 펌프는 내부 업 신호(xup), 내부 업 역신호(xdn), 내부 다운 신호(xdn) 및 내부 다운 역신호(xdnb)들 간의 시간 지연 차이를 고려하여 내부 업 신호(xup), 내부 업 역신호(xupb)를 제어하는 내부 업 조절 전압(Vcp)와, 내부 다운 신호(xdn), 내부 다운 역신호(xdnb)를 제어하는 내부 다운 조절 전압(Vcn)을 각각 생성한다.

<46> 도 2의 회로도를 통해 알 수 있는 바와 같이, 보조 전하 펌프는 록 검출기로부터 생성된 인에이블바 신호(Enb)를 "high"로 수신한 경우에 한하여 시동작하며, 이 때 외부로부터 제 1 다상 클록 그룹의 0번째 기준 다상 클록<A(0)>, N번째 다상 클록<A(N)> 및 바이어스 전압(Vbias)을 수신한다.

<47> 보조 전하 펌프는 바이어스 전압(Vbias)를 공급받으며, 이 바이어스 전압은 제 1 리셋 신호(reset1) 및 제 2 리셋 신호(reset2)가 "high" 가 될 경우 내부 업 조절전압(Vcp) 및 내부 다운 조절전압(Vcn) 값을 "0"으로 떨어지지 않도록 방지한다.

<48> 여기서, 제 1 리셋 신호(reset1) 및 제 2 리셋 신호(reset2)는 보조 전하 펌프의 현 설정 상태를 리셋시키기 위하여 제 2 입력 클록 그룹의 0번째 기준 다상 역클록<Ab(0)>과 N번째 다상 역 클록<Ab(N)>을 각각 이용한다.

<49> 계속해서, 위상 검출기와 연동되는 보조 전하 펌프는 위상 검출기로부터 출력된 내부 업 신호(xup), 내부 업 역신호(xdn), 내부 다운 신호(xdn) 및 내부 다운 역신호(xdnb)로부터 인식되는 양 클록(<A(0)>, <A(N)>) 간의 정적 위상 오차를 보상 제어하기 위한 내부 업 조절전압(Vcp) 및 내부 다운 조절전압(Vcn)으로 생성한다.

<50> 예를 들어, 양 클록(<A(0)>, <A(N)>)이 도 3에 나타난 파형처럼 △te 만큼의 정적 위상 오차를 가지면서 정상 록킹된 경우, 내부 업 조절전압(Vcp)은 감소하고 내부 다운 조절전압(Vcn)은 증가한다.

<51> 증가된 내부 다운 조절전압(Vcn)은 도 5에서 설명될 위상 검출기의 제 2 트랜지스터(S2)를 스위치 온시켜, 내부 다운 역신호(xdnb)와 통하는 제 1 로드와 내부 다운 신호(xdn)와 통하는 제 2 로드 간에 형성된 제 2 인버터(Inv 2)의 구동력을 감쇄시킨다.

<52> 상기 예에 대한 좀 더 구체적 설명으로, 위상 검출기의 두 입력 클록인 0번째 입력 클록<A(0)>, N번째 입력 클록<A(N)>이 도 3에 나타난 파형처럼 록킹이 된 경우에 ,내부 업 신호(xup)의 당해 펄스가 "high"로 유지되는 구간이 내부 다운 역신호(xdnb)의 당해 펄스가 "Low"로 유지되는 구간보다 넓어짐으로 인해 내부 업 조절전압(Vcp)은 종전치보다 감소하게 된다.

<53> 반대로, 내부 업 역신호(xupb)의 당해 펄스가 "Low"로 유지되는 구간이 내부 다운 신호(xdn)의 당해 펄스가 "high"로 유지되는 구간보다 넓기 때문에 내부 다운 조절전압(Vcn)은 종전값보다 증가하게 된다.

<54> 이에 따라, 도 2와 도 4에서 나타낸 바와 같이 내부 다운 신호(xdn)의 상승 시간은 내부 다운 조절전압(Vcn)의 제어에 의해 1/2 주기 이하 범위 내에서 더 길게 연장되고, 보조 전하 펌프에 구비된 제 1 커패시터(C1)와 제 2 커패시터(C2) 간의 전하량 차이는 내부 업 신호(xup)와 내부 다운 신호(xdn)의 신호 처리에 의해 증가됨에 따라 록킹된 제 1 입력 클록 그룹의 0번째 기준 다상 클록<A(0)>과 N번째 다상 클록 <A(N)> 간의 정적 위상 오차는 내부 업 신호(xup)와 내부 다운 신호(xdn)의 신호 보상 처리에 의해 감소된다.

<55> 도 5는 본 발명의 실시예에 따른 보조 전하 펌프의 회로도를 등가화시킨 등가 회로도를 도시한 도면이다.

<56> 도 5를 참조하면, 보조 전하 펌프는 내부 업 신호(xup), 내부 업 역신호(xupb)를 스위칭 제어함에 따라 제 1 캐패시터(C1)에 내부 업 조절전압(Vcp)을 충전 혹은 방전하여 내부 업 조절전압(Vcp)을 생성하고, 제 1 리셋 신호(reset1)가 "high" 되었을 때, 내부 업 조절전압(Vcp)를 Vbias로 리셋하게 된다.

<57> 마찬가지로, 보조 전하 펌프는 내부 다운 신호(xdn), 내부 업 역신호(xdnb)를 스위칭 제어함에 따라, 제 2 캐패시터(C2)에 내부 다운 조절전압(Vcn)를 충전 혹은 방전하여 내부 다운 조절전압(Vcn)을 생성하고, 제 2 리셋 신호(reset2)가 "high" 되었을 경우, 내부 다운 조절전압(Vcn)을 Vbias로 리셋하게 된다.

<58> 도 6은 본 발명의 실시예에 따른 정적 위상 오차를 줄이는 지연고정루프의 제어 방법을 나타낸 순서도이다.

<59> 도 6를 참조하면, 정적 위상 오차를 줄이는 지연고정루프의 제어 방법은 전하 펌프의 업, 다운 전류량의 미스매치로 인해 발생되는 정적 위상 오차를 감소시키는 지연고정루프의 제어 방법이다.

<60> 먼저, 전압제어 지연단은 차동 클록으로부터 표출 생성된 0번째 기준 다상 클록<A(0)>을 기준으로 일정량의 시간 지연 간격을 동시에 갖는 다상 클록들을 N개 발생시키고, 차동 역 클록으로부터 표출 생성된 0번째 기준 다상 역 클록<Ab(0)>을 기준으로 일정량의 시간 지연 간격을 동시에 갖는 다상 역 클록들을 N개 발생시킨다(S10).

<61> 여기서, 차동 클록과 차동 역 클록은 외부로부터 전달된 원천 클록을 변환하는 차동 변환기에 의해 나눠 생성된 신호이다.

<62> 전압제어 지연단은 N+1개의 다상 클록들(<A(0)>~<A(N)>)을 포함하는 제 1 다상 클록 그룹과, N+1개의 다상 역 클록들(<Ab(0)>~<Ab(N)>)을 포함하는 제 2 다상 클록 그룹을 생성한다(S20).

<63> 록 검출기는 0번째 다상 역 클록<Ab(0)>과 N번째 다상 역 클록<Ab(N)>을 수신하여 N번째 다상 역 클록<Ab(N)>의 당해 펄스가 0번째 기준 다상 역 클록<Ab(0)>과 근소한 지연차를 가짐에 의한 록킹을 파악한다(S30).

<64> 록 검출기는 N번째 다상 역 클록<Ab(N)>이 0번째 기준 다상 역 클록<Ab(0)>에 근소한 지연차를 가지는 것을 인식함에 따라, 인에이블바 신호(Enb)를 하이 상태로 동작시킨다(S40).

<65> 보조 전하 펌프는 하이 상태의 인에이블 바 신호(Enb)를 수신할 경우에 한하여 동작을 시작한다(S50).

<66> 외부로부터 바이어스 전압(Vbias)을 수신하는 보조 전하 펌프는 시동작시, 제 1 리셋 신호(reset1)와 제 2 리셋 신호(reset2)가 오프 일 때 내부 업 조절전압(Vcp) 및 내부 다운 조절전압(Vcn)을 생성한다.

<67> 제 1 리셋 신호(reset1)와 제 2 리셋 신호(reset2)가 온 되면, 내부 업 조절전압(Vcp) 및 내부 다운 조절전압(Vcn)이 0 값을 갖지 않게 하고, 제 1 리셋 신호(reset1)와 제 2 리셋 신호(reset2)는 보조 전하 펌프의 현 상태 전압을 Vbias로 리셋시킨다.(S60)

<68> 위상 검출기는 정상 록킹된 0번째 기준 다상 클록<A(0)>과 N번째 다상 클록<A(N)> 간을 표시하는 내부 업 신호(xup), 내부 업 역신호(xupb), 내부 다운 신호(xdn) 및 내부 다운 역신호(xdnb)를 판독하여 정적 위상 오차의 펄스 폭을 측정한다.

<69> 위상 검출기는 보조 전하 펌프와 연동되며, 내부 다운 조절전압(Vcn)을 조절하여 내부 다운 신호(xdn)의 당해 현 하이 펄스를 1/2 주기 내에서 더 길게 연장되도록 강제로 왜곡시킨다.

<70> 위상 검출기는 내부 업 조절전압(Vcp) 및 내부 다운 조절전압(Vcn)을 신호 보상 처리 및 제어하여 0번째 다상 클록<A(0)>과 N번째 다상 클록<A(N)> 간의 정적 위상 오차를 감소시킨다(S70).

<71> 도 7은 본 발명의 실시예에 따른 위상 검출기의 회로도를 도시한 도면이다.

<72> 도 7를 참조하면, 위상 검출기(400)는 증가된 내부 다운 조절전압(Vcn)에 의해 위상 검출기(400)의 제 2 트랜지스터(S2)를 스위치 온시켜 내부 다운 역신호(xdnb)로 통하는 제 1 로드와 내부 다운 신호(xdn)로 통하는 제 2 로드 간에 형성된 제 2 인버터(Inv2)의 구동력을 감쇄시킨다.

<73> 이에 따라, 위상 검출기(400)는 내부 다운 신호(xdn)의 상승 시간을 길게 하고, 이에 따라 내부 다운 신호(xdn)이 Vcn 노드를 방전 시키는 시간도 짧아진다. 결과적으로 UP 신호에 의해 루프 필터에 충전되는 전하량과 DN 신호에 의해 루프 필터로부터 방전되는 전하량의 차이가 더욱 증가하여 N번째 다상 클록<A(N)>이 정적 위상 오차가 감소하는 방향으로 이동하게 된다. 그러므로 정상 록킹된 0번째 기준 다상 클록<A(0)>과 N번째 다상 클록<A(N)> 간의 정적 위상 오차를 감소시킬 수 있다.

<74> 도 7 회로도를 바탕으로 한 위상 검출기(400)는 제 1, 2 신호 수신부(410), 활성 동작부(420), 제 1, 2 신호 검출부(430), 다수의 신호 출력 라인(xup, xupb xdn, xdnb), 제 1, 2 정적위상오차 보상부(440) 및 신호 출력부(450)를 포함한다.

<75> 제 1, 2 신호 수신부(410)의 각각은 전압제어 지연단으로부터 출력된 제 1 다상 클록 그룹의 0번째 다상 다상 클록<A(0)>과 N 번째 다상 클록<A(N)>를 수신하며, 0번째 기준 다상 클록<A(0)>과 N 번째 다상 클록<A(N)> 간의 위상 차이를 업 또는 다운 펄스폭으로 표현한다.

<76> 활성 동작부(420)는 0번째 기준 다상 클록<A(0)>과 N 번째 다상 클록<A(N)> 이 정상적으로 록킹할 수 있는 범위 내에 있을 때, 하모니 록 방지 블록으로부터 전달된 다수의 강제조절신호 중 Active 신호를 입력받아 위상 검출기가 정상 작동할 수 있도록한다.

<77> 제 1, 2 검출부(430)는 활성 동작부(420)의 동기화 실시에 따라, 정상적인 선형 위상(linear phase)을 검출하도록 양 클록(<A(0)>, <A(N)>)을 신호 처리하여 위상 차이에 따른 업/다운 펄스를 생성한다.

<78> 다수의 신호 출력 라인(xup, xdn, xdn, xdnb)은 내부 업 신호(xup), 내부 업 역신호(xdnb), 내부 다운 신호(xdn) 및 내부 다운 역신호(xdnb)를 외부로 출력한다.

<79> 제 1, 2 정적위상오차 보상부(440)는 내부 업 신호(xup), 내부 업 역신호(xdnb), 내부 다운 신호(xdn) 및 내부 다운 역신호(xdnb)를 보조 전하 펌프에 전달함에 의해 리턴 응답값으로 변환 생성된 내부 업 조절전압(Vcp)와 내부 다운 조절전압(Vcn)를 수신한다.

<80> 제 1, 2 정적위상오차 보상부(440)는 내부 업 조절전압(Vcp)와 내부 다운 조절전압(Vcn)을 정상 록킹된 0번째 기준 다상 클록<A(0)>과 N번째 다상 클록<A(N)>간의 정적 위상 오차를 나타내는 내부 업 신호(xup), 내부 업 역신호(xdn), 내부 다운 신호(xdn) 및 내부 다운 역신호(xdnb)에 적용한다.

<81> 즉, 제 1, 2 정적위상오차 보상부(440)는 내부 업 조절전압(Vcp)와 내부 다운 조절전압(Vcn)을 신호 보상 처리 및 제어하여 내부 업 신호(xup), 내부 업 역신호(xdn), 내부 다운 신호(xdn) 및 내부 다운 역신호(xdnb) 간에 나타나는 정적 위상 오차를 감소시킨다.

<82> 신호 출력부(450)는 N번째 다상 클록<A(N)>아 하모닉 록킹을 발생시킬 수 있는 범위에 있는 경우, 하모니 록 방

지 블록으로부터 전달된 다수의 강제조절신호 중에 Force_UP 신호 및 Force_DN 신호를 N번째 다상 클록<A(N)>에 적용시켜 0번째 입력 클록<A(0)>와 N번째 입력 클록<A(N)> 간에 위상차를 나타내는 UP 신호 및 DOWN 신호를 강제 조절하여 정상적인 록킹이 될 수 있는 범위로 유도하는 강제 조절된 UP 신호 및 DOWN 신호를 외부에 출력한다.

<83> 도 8은 본 발명의 실시예에 따른 지연고정루프에 구비된 위상 검출기의 제어 방법을 나타낸 순서도이다.

<84> 도 8를 참조하면, 지연고정루프에 구비된 위상 검출기의 제어 방법은 정상 록킹된 0 번째 기준 다상 클록<A(0)>과 N 번째 다상 클록<A(N)> 간의 정적 위상 오차를 내부 업 조절전압(Vcp) 및 내부 다운 조절전압(Vcn)으로 신호 보상 처리하여 정적 위상 오차를 감소시키는 위상 검출기의 제어 방법이다.

<85> 복수의 신호 수신부는 0번째 기준 다상 클록<A(0)>과 N 번째 다상 클록<A(N)>을 외부로부터 수신하며, 정상 록킹된 0번째 기준 다상 클록<A(0)>과 N 번째 다상 클록<A(N)> 간의 정적 위상 오차에 대한 펄스 폭을 표시한다(S10', S20').

<86> 활성 동작부는 양 클록(<A(0)>, <A(N)>) 간의 정상 록킹 상태를 파악하고, 외부로부터 전달된 다수의 강제조절신호 중 Active 신호를 수신하여 양 클록(<A(0)>, <A(N)>)의 동기화를 실시한다(S30').

<87> 복수의 신호 검출부는 활성 동작부의 동기화 실시에 따라, 정상 선형 위상치를 검출한다(S40').

<88> 다수의 신호 출력 라인은 양 클록(<A(0)>, <A(N)>) 간의 정적 위상 오차를 나타내는 내부 업 신호(xup), 내부 업 역신호(xupb), 내부 다운 신호(xdn) 및 내부 다운 역신호(xdnb)를 외부로 출력한다(S50').

<89> 복수의 정적위상오차 보상부는 내부 업 신호(xup), 내부 업 역신호(xupb), 내부 다운 신호(xdn) 및 내부 다운 역신호(xdnb)에 대한 리턴 응답으로 외부로부터 입력된 내부 업 조절전압(Vcp) 및 내부 다운 조절전압(Vcn)을 신호 보상 처리하여 정적 위상 오차를 감소시킨다(S60').

<90> 신호 출력부는 양 클록(<A(0)>, <A(N)>) 간의 록킹이 비정상일 경우, 비정상으로 록킹된 양 클록(<A(0)>, <A(N)>)에 다수의 강제조절신호 중에 Force_UP 신호 및 Force_DN 신호를 적용시켜 양 클록(<A(0)>, <A(N)>) 간의 위상차를 나타내는 UP 신호 및 DOWN 신호를 강제 조절하고, 강제 조절된 UP 신호 및 DOWN 신호를 외부에 출력한다.

<91> 상기에서는 본 발명의 바람직한 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허청구범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

도면의 간단한 설명

<92> 도 1은 본 발명의 실시예에 따른 정적 위상 오차를 줄이는 지연고정루프를 도시한 도면이다.

<93> 도 2는 본 발명의 실시예에 따른 보조 전하 펌프의 회로도를 도시한 도면이다.

<94> 도 3은 발명의 실시예에 따른 위상 검출기의 동작 파형을 나타낸 타이밍도이다.

<95> 도 4는 본 발명의 실시예에 따른 보조 전하 펌프의 동작에 의해 위상 검출기의 출력 신호가 제어되는 파형을 나타낸 타이밍도이다.

<96> 도 5는 본 발명의 실시예에 따른 보조 전하 펌프의 회로도를 등가화시킨 등가 회로도를 도시한 도면이다.

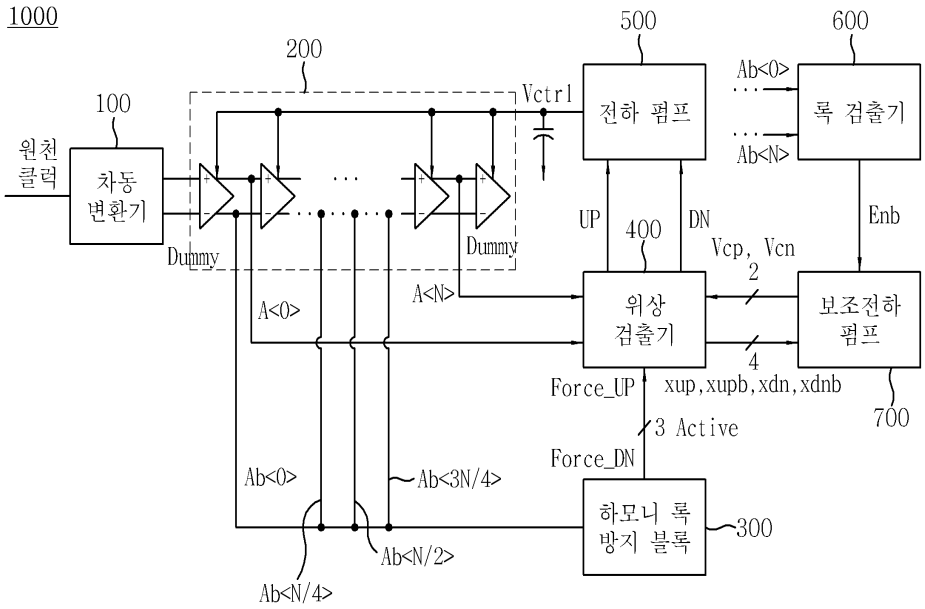
<97> 도 6은 본 발명의 실시예에 따른 정적 위상 오차를 줄이는 지연고정루프의 제어 방법을 나타낸 순서도이다.

<98> 도 7은 본 발명의 실시예에 따른 위상 검출기의 회로도를 도시한 도면이다.

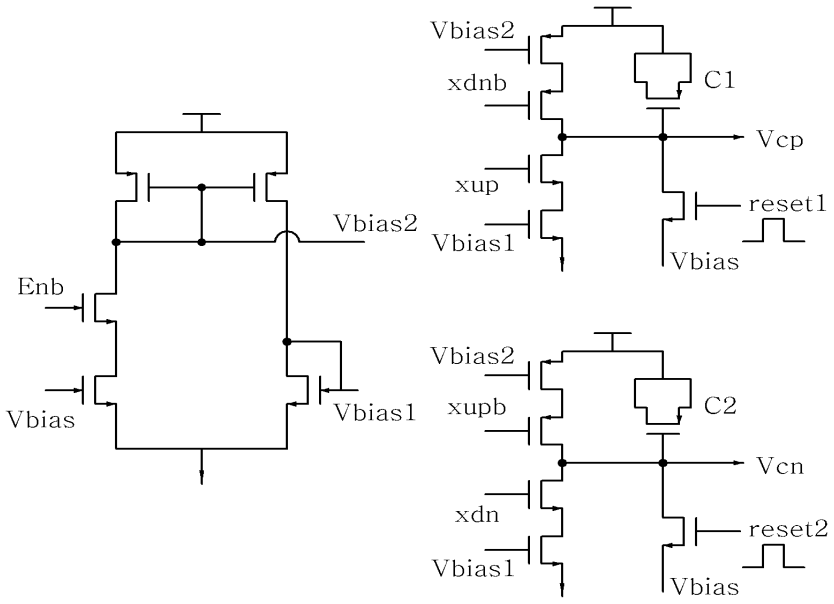
<99> 도 8은 본 발명의 실시예에 따른 지연고정루프에 구비된 위상 검출기의 제어 방법을 나타낸 순서도이다.

도면

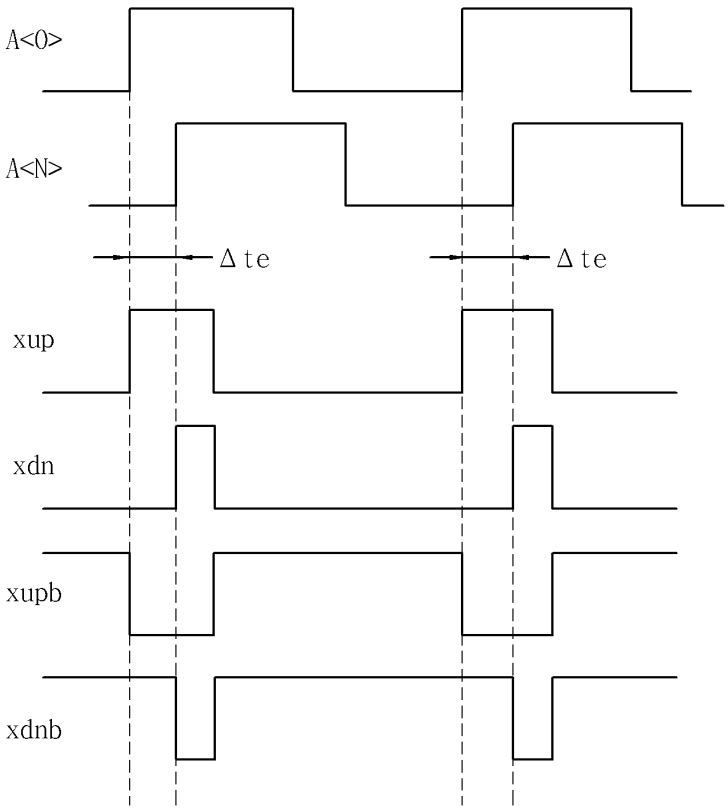
도면1


1000
200
500
600
100
원천
클럭
차동
변환기
Vctrl
전하 펌프
Ab<0>
Ab<N>
록 검출기
Dummy
Dummy
UP
400
DN
Enb
Vcp, Vcn
2
A<0>
A<N>
위상
검출기
보조전하
펌프
4
Force_UP
xup,xupb,xdn,xdnb
700
3 Active
Force_DN
Ab<0>
Ab<3N/4>
하모니 록
방지 블록
300
Ab<N/2>
Ab<N/4>

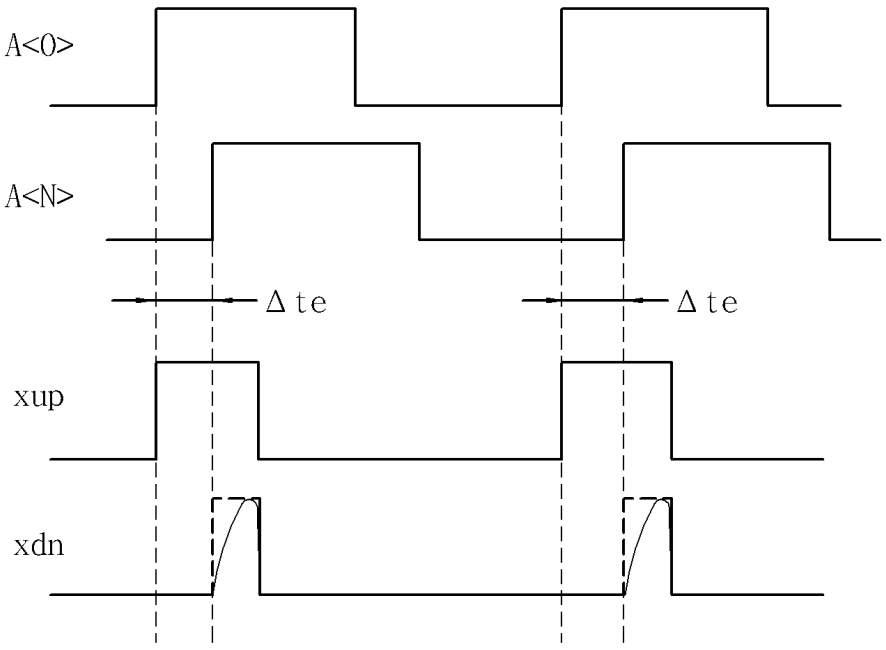
도면2


Vbias2
xdnb
C1
Vcp
xup
reset1
Vbias1
Vbias
Vbias2
Enb
Vbias
Vbias1
Vbias2
xupb
C2
Vcn
xdn
reset2
Vbias1
Vbias

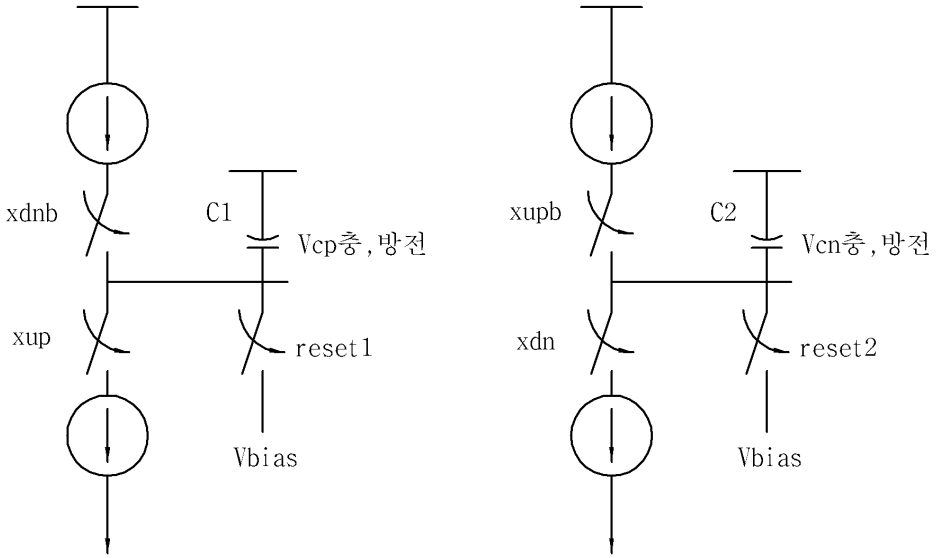
도면3



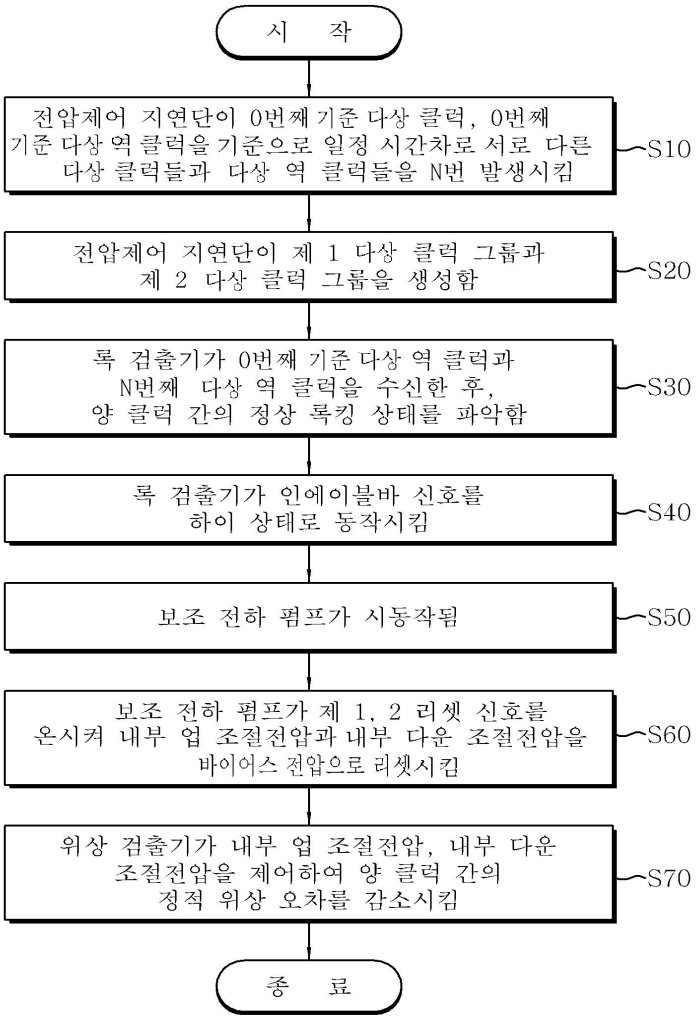
도면4



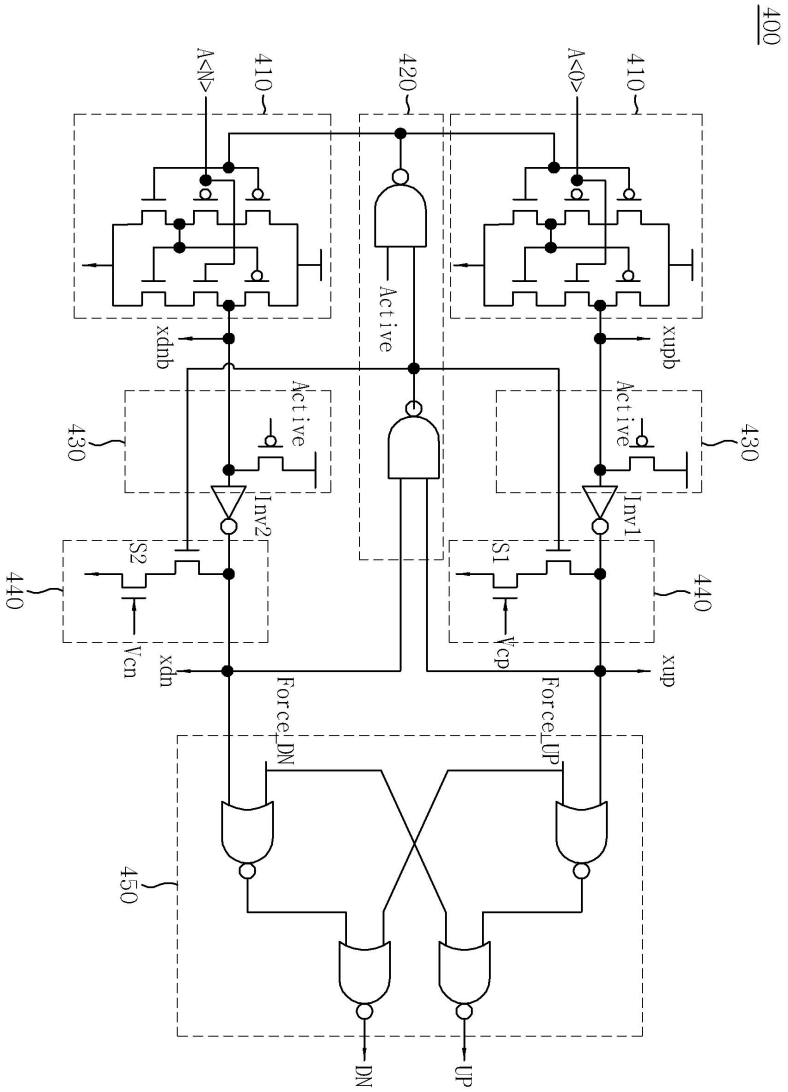
도면5


xdnb
C1
Vcp충,방전
xup
reset1
Vbias
xupb
C2
Vcn충,방전
xdn
reset2
Vbias

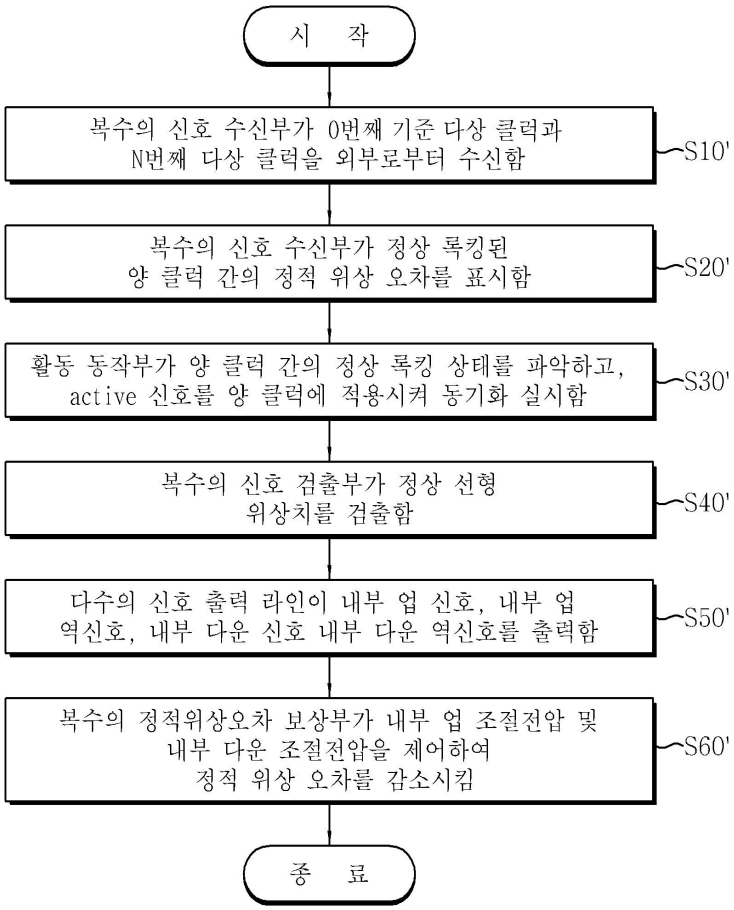
도면6


시 작
전압제어 지연단이 0번째 기준 다상 클럭, 0번째 기준 다상 역 클럭을 기준으로 일정 시간차로 서로 다른 다상 클럭들과 다상 역 클럭들을 N번 발생시킴
S10
전압제어 지연단이 제 1 다상 클럭 그룹과 제 2 다상 클럭 그룹을 생성함
S20
록 검출기가 0번째 기준 다상 역 클럭과 N번째 다상 역 클럭을 수신한 후, 양 클럭 간의 정상 록킹 상태를 파악함
S30
록 검출기가 인에이블바 신호를 하이 상태로 동작시킴
S40
보조 전하 펌프가 시동작됨
S50
보조 전하 펌프가 제 1, 2 리셋 신호를 온시켜 내부 업 조절전압과 내부 다운 조절전압을 바이어스 전압으로 리셋시킴
S60
위상 검출기가 내부 업 조절전압, 내부 다운 조절전압을 제어하여 양 클럭 간의 정적 위상 오차를 감소시킴
S70
종 료

도면7


400
A<N>
410
420
A<0>
410
Active
xdnb
xupb
Active
Active
430
430
Inv2
Inv1
S2
S1
440
440
Vcn
Vcp
xdn
xup
Force_DN
Force_UP
450
DN
UP

도면8


시 작
복수의 신호 수신부가 0번째 기준 다상 클럭과 N번째 다상 클럭을 외부로부터 수신함
S10'
복수의 신호 수신부가 정상 록킹된 양 클럭 간의 정적 위상 오차를 표시함
S20'
활동 동작부가 양 클럭 간의 정상 록킹 상태를 파악하고, active 신호를 양 클럭에 적용시켜 동기화 실시함
S30'
복수의 신호 검출부가 정상 선형 위상치를 검출함
S40'
다수의 신호 출력 라인이 내부 업 신호, 내부 업 역신호, 내부 다운 신호 내부 다운 역신호를 출력함
S50'
복수의 정적위상오차 보상부가 내부 업 조절전압 및 내부 다운 조절전압을 제어하여 정적 위상 오차를 감소시킴
S60'
종 료