



(12) 发明专利

(10) 授权公告号 CN 108091367 B

(45) 授权公告日 2021.06.29

(21) 申请号 201710598870.7
 (22) 申请日 2017.07.21
 (65) 同一申请的已公布的文献号
 申请公布号 CN 108091367 A
 (43) 申请公布日 2018.05.29
 (30) 优先权数据
 10-2016-0155188 2016.11.21 KR
 (73) 专利权人 爱思开海力士有限公司
 地址 韩国京畿道
 (72) 发明人 洪龙焕 金炳烈
 (74) 专利代理机构 北京路浩知识产权代理有限公司 11002
 代理人 王莹 王朋飞

(51) Int.Cl.
 G11C 29/20 (2006.01)
 G11C 29/44 (2006.01)
 (56) 对比文件
 CN 101447227 A, 2009.06.03
 US 2003088815 A1, 2003.05.08
 US 8625355 B2, 2014.01.07
 CN 103680614 A, 2014.03.26
 CN 101447227 A, 2009.06.03
 US 8929149 B2, 2015.01.06
 JP 2010040144 A, 2010.02.18
 审查员 夏永强

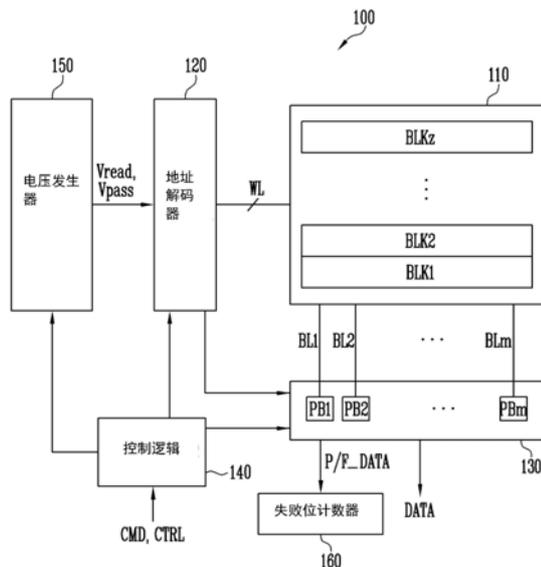
权利要求书2页 说明书15页 附图7页

(54) 发明名称

失败位计数器和具有其的半导体存储器装置

(57) 摘要

本发明提供一种失败位计数器。失败位计数器包括：通过/失败数据接收器，其接收指示联接到位线的存储器单元是顺序地通过还是失败的通过/失败数据；以及失败位累加器，其从通过/失败数据接收器接收失败位生成信号，并且对生成的失败位进行累加和计数。



1. 一种失败位计数器,其包括:

通过/失败数据接收器,其顺序地接收通过/失败数据并且基于所述通过/失败数据生成失败位生成信号,所述通过/失败数据指示联接到位线的至少一个存储器单元是通过还是失败;以及

失败位累加器,其从所述通过/失败数据接收器接收所述失败位生成信号,并且基于所述失败位生成信号对失败位累加地计数,

其中所述通过/失败数据接收器包括:

接收锁存器,其临时存储所述通过/失败数据;

接收设置晶体管,其联接在所述接收锁存器的第一端子和公共传输节点之间;

接收重置晶体管,其联接在所述接收锁存器的第二端子和所述公共传输节点之间;

接收晶体管,其包括联接在所述接收锁存器的第一端子的栅极;以及

掩蔽晶体管,其联接在所述接收晶体管和S0节点之间。

2. 根据权利要求1所述的失败位计数器,其中所述失败位累加器包括联接在所述S0节点和所述公共传输节点之间的第一累加器,以及

所述通过/失败数据被传输到所述接收锁存器的所述第二端子。

3. 根据权利要求2所述的失败位计数器,其中所述第一累加器包括:

第一累加锁存器;

第一设置晶体管,其联接在所述第一累加锁存器的第一端子和所述公共传输节点之间;

第一重置晶体管,其联接在所述第一累加锁存器的第二端子和所述公共传输节点之间;以及

第一传输晶体管,其联接在所述第一累加锁存器的所述第二端子和所述S0节点之间。

4. 根据权利要求1所述的失败位计数器,其中所述失败位累加器包括联接在所述S0节点和所述公共传输节点之间的多个累加器,其中所述通过/失败数据被传输到所述接收锁存器的第二端子。

5. 根据权利要求2所述的失败位计数器,其中所述累加器的每一个包括:

累加锁存器;

设置晶体管,其联接在所述累加锁存器的第一端子和所述公共传输节点之间;

重置晶体管,其联接在所述累加锁存器的第二端子和所述公共传输节点之间;以及

传输晶体管,其联接在所述累加锁存器的所述第二端子和所述S0节点之间。

6. 一种半导体存储器装置,其包括:

存储器单元阵列,其包括多个存储器单元;

页面缓冲器,其通过位线联接在所述存储器单元阵列;以及

失败位计数器,其通过所述页面缓冲器顺序地接收指示联接在所述位线的多个存储器单元中的一个是通过还是失败的通过/失败数据,并且基于所述通过/失败数据累加地对失败位计数,

其中所述失败位计数器包括:通过/失败数据接收器,其中所述通过/失败数据接收器包括:

接收锁存器,其临时存储所述通过/失败数据;

接收设置晶体管,其联接在所述接收锁存器的第一端子和公共传输节点之间;
接收重置晶体管,其联接在所述接收锁存器的第二端子和所述公共传输节点之间;
接收晶体管,其包括联接到所述接收锁存器的第一端子的栅极;以及
掩蔽晶体管,其联接在所述接收晶体管和S0节点之间。

7. 根据权利要求6所述的半导体存储器装置,其中所述失败位计数器进一步包括:
失败位累加器,其基于所述失败位生成信号输出多个失败位激活信号。

8. 根据权利要求7所述的半导体存储器装置,其中所述失败位累加器包括:
第一累加器至第N累加器,
其中所述第一累加器至第N累加器中的第i累加器基于所述失败位生成信号输出当生成i个或更多个失败位时激活的第i失败位激活信号,

其中N是大于或等于1的自然数,并且i是大于或等于1且小于或等于N的自然数。

9. 根据权利要求8所述的半导体存储器装置,
所述第一累加器至所述第N累加器联接在所述S0节点和所述公共传输节点之间,并且
所述通过/失败数据被传输到所述接收锁存器的第二端子。

10. 根据权利要求9所述的半导体存储器装置,所述第i累加器包括:

第i累加锁存器;

第i设置晶体管,其联接在所述累加锁存器的第一端子和所述公共传输节点之间;

第i重置晶体管,其联接在所述累加锁存器的第二端子和所述公共传输节点之间;以及

第i传输晶体管,其联接在所述累加锁存器的第二端子和所述S0节点之间。

失败位计数器和具有其的半导体存储器装置

[0001] 相关申请的交叉引用

[0002] 本申请要求于2016年11月21日提交的申请号为10-2016-0155188的韩国专利申请的优先权,其整体通过引用并入本文。

技术领域

[0003] 本发明的各个实施例总体涉及一种电子装置,并且更特别地,涉及一种失败位(fail bit)计数器以及具有其的半导体存储器装置。

背景技术

[0004] 半导体存储器装置是在诸如硅(Si)、锗(Ge)、砷化镓(GaAs)、磷化铟(InP)等的半导体上实施的集成电路。半导体存储器装置可以是易失性存储器装置或非易失性存储器装置。

[0005] 在易失性存储器装置中,当电源中断时,存储在易失性存储器件装置的数据丢失。易失性存储器装置的示例包括静态RAM(SRAM)、动态RAM(DRAM)、同步DRAM(SDRAM)等。即使当电源中断时,非易失性存储器装置也保留存储的数据。非易失性存储器装置的示例可以包括只读存储器(ROM)、可编程ROM(PROM)、电可编程ROM(EPROM)、电可擦除可编程ROM(EEPROM)、闪存存储器、相变RAM(PRAM)、磁性RAM(MRAM)、电阻式RAM(RRAM)、铁电RAM(FRAM)等。闪存存储器可以是NAND型、NOR型或混合NAND-NOR型。

发明内容

[0006] 根据本发明的一个方面,提供一种可以对存储器装置的失败位计数的失败位计数器。存储器装置可以是易失性存储器装置或非易失性存储器装置。失败位计数器可以累加地对存储器装置的失败位计数。

[0007] 本发明的另一方面涉及一种包括失败位计数器的半导体存储器装置。

[0008] 本发明的一个实施例提供一种包括通过/失败数据接收器和失败位累加器的失败位计数器。通过/失败数据接收器适于顺序地接收通过/失败数据并且基于通过/失败数据生成失败位生成信号。通过/失败数据指示联接到至少一个位线的存储器单元是通过还是失败。失败位累加器适于从通过/失败数据接收器接收失败位生成信号,并且基于失败位生成信号累加地对失败位计数。

[0009] 根据实施例,通过/失败数据接收器可以包括接收触发器,其由重置信号初始化并且基于读取信号接收通过/失败数据作为输入。

[0010] 接收触发器可以响应于读取信号来输出通过/失败数据作为失败位生成信号。

[0011] 失败位累加器可以包括第一累加器,其基于失败位生成信号输出当生成一个或多个失败位时激活的第一失败位激活信号。

[0012] 第一累加器可以包括接收失败位生成信号作为第一输入的第一多路复用器以及被初始化信号初始化并且基于第一传输信号接收第一多路复用器的输出的第一累加触发

器。第一累加触发器的输出可以被反馈作为第一多路复用器的第二输入,并且第一多路复用器可以基于失败位生成信号输出第一输入和第二输入中的一个。

[0013] 失败位累加器可以包括第一累加器到第N累加器,并且第一累加器到第N累加器的第i累加器基于失败位生成信号输出当生成一个或多个失败位时激活的第i失败位激活信号,其中N是大于或等于1的自然数,并且i是大于或等于1且小于或等于N的自然数。

[0014] 第i累加器可以联接到第(i-1)累加器,并且基于失败位生成信号接收从第(i-1)累加器输出的第(i-1)失败位激活信号。

[0015] 第i累加器可以输出从第(i-1)累加器接收的第(i-1)失败位激活信号作为第i失败位激活信号。

[0016] 第i累加器可以包括第i多路复用器和第i累加触发器。第i多路复用器可以接收第(i-1)失败位激活信号作为第一输入,并且第一累加器的多路复用器可以接收失败位生成信号作为第一输入。第i累加触发器可以被初始化信号初始化并且基于第i传输信号接收第i多路复用器的输出。第i累加触发器的输出可以被反馈作为第i多路复用器的第二输入,并且第i多路复用器可以基于失败位生成信号输出第一输入和第二输入中的一个。

[0017] 通过/失败数据接收器可以包括:接收锁存器,其临时存储通过/失败数据;接收设置晶体管,其联接在接收锁存器的第一端子和公共传输节点之间;接收重置晶体管,其联接在接收锁存器的第二端子和公共传输节点之间;接收晶体管,其包括联接到接收锁存器的第一端子的栅极;以及掩蔽晶体管,其联接在接收晶体管和S0节点之间。

[0018] 失败位累加器可以包括联接在S0节点和公共传输节点之间的第一累加器,并且通过/失败数据可以被传输到接收锁存器的第二端子。

[0019] 第一累加器可以包括:第一累加锁存器;第一设置晶体管,其联接在第一累加锁存器的第一端子和公共传输节点之间;第一重置晶体管,其联接在第一累加锁存器的第二端子和公共传输节点之间;以及第一传输晶体管,其联接在第一累加锁存器的第二端子和S0节点之间。

[0020] 失败位累加器可以包括联接在S0节点和公共传输节点之间的多个累加器。通过/失败数据可以被传输到接收锁存器的第二端子。

[0021] 累加器的每一个可以包括:累加锁存器;设置晶体管,其联接在累加锁存器的第一端子和公共传输节点之间;重置晶体管,其联接在累加锁存器的第二端子和公共传输节点之间;以及传输晶体管,其联接在累加锁存器的第二端子和S0节点之间。

[0022] 本发明的另一实施例提供一种包括存储器单元阵列的半导体存储器装置,该存储器单元阵列包括多个存储器单元;页面缓冲器,其通过位线联接到存储器单元阵列;以及失败位计数器,其从页面缓冲器顺序地接收指示联接到位线的多个存储器单元是通过还是失败的通过/失败数据,并且基于通过/失败数据累加地对失败位计数。

[0023] 根据实施例,失败位计数器可以包括:通过/失败数据接收器,其包括被重置信号初始化的接收触发器,并且基于读取信号接收通过/失败数据以输出失败位生成信号;以及失败位累加器,其基于失败位生成信号输出多个失败位激活信号。

[0024] 失败位累加器可以包括第一累加器到第N累加器。第一累加器至第N累加器中的第i累加器可以基于失败位生成信号输出当生成i个或更多个失败位时激活的第i失败位激活信号。N是大于或等于1的自然数,并且i是大于或等于1且小于或等于N的自然数。

[0025] 第*i*累加器可以包括第*i*多路复用器和第*i*累加触发器。第*i*多路复用器可以接收第(*i*-1)失败位激活信号作为第一输入。第一累加器的多路复用器可以接收失败位生成信号作为第一输入。第*i*累加触发器可以被初始化信号初始化并且可以基于第*i*传输信号接收第*i*多路复用器的输出。第*i*累加触发器的输出可以被反馈作为第*i*多路复用器的第二输入。第*i*多路复用器可以基于失败位生成信号输出第一输入和第二输入中的一个。

附图说明

[0026] 通过参照附图的以下详细的说明,本发明的以上和其它特征及优点对于本发明所属领域的技术人员将变得更加显而易见,其中:

[0027] 图1是示出根据本发明的实施例的半导体存储器装置的框图;

[0028] 图2是示出根据本发明的实施例的失败位计数器的框图;

[0029] 图3是示出图2的失败位计数器的失败位累加器的示例性配置的框图;

[0030] 图4是图2的失败位计数器的详细示例性电路图;

[0031] 图5是示出图4的失败位计数器的示例性操作的时序图;

[0032] 图6是示出图2的失败位计数器的另一示例性实施例的电路图;

[0033] 图7是示出根据本发明的实施例的存储器系统的框图;

[0034] 图8是示出根据本发明的实施例的存储器系统的框图;以及

[0035] 图9是示出根据本发明的实施例的包括图8的存储器系统的计算系统的框图。

具体实施方式

[0036] 将通过以下参照附图详细描述的实施例来描述本发明的各种优点和特征以及如何完成本发明。然而,注意的是,本发明不限于本文描述的实施例,而是可以以其它形式体现。相反,提供这些实施例使得本发明将是彻底且完全的,并且将向本领域技术人员完全传达本示例性实施例的范围。

[0037] 在整个说明书中,当元件被称为“联接”到另一元件时,应当理解的是,其既指元件被“直接连接”的情况,又指元件“间接连接”到其它元件的情况。在整个说明书中,当元件被称为“包括”或“包含”另一元件或多个元件时,其应当被理解为意味着元件还可以包括除了所述元件之外的更多元件的开放式限制。

[0038] 在下文中,将参照附图详细地描述本发明的示例性实施例。应当注意的是,即使在其它附图中示出,附图中相同的附图标记也表示相同的元件。

[0039] 进一步注意的是,在以下说明中,为了便于理解本发明而阐述具体细节,然而,可以在没有这些具体细节的一部分的情况下实施本发明。并且,注意的是,可能仅简要描述或根本没有描述公知的结构和/或进程,以避免不必要的公知细节使得本公开不清楚。

[0040] 也注意的是,在一些情况下,对相关领域的技术人员显而易见的是,结合一个实施例描述的元件可单独使用或与另一实施例的其它元件结合使用,除非另有明确说明。

[0041] 图1是示出根据本发明的实施例的半导体存储器装置100的框图。

[0042] 参照图1,半导体存储器装置100可以包括存储器单元阵列110、地址解码器120、读取和写入电路130、控制逻辑140和电压发生器150。

[0043] 存储器单元阵列110可以包括多个存储块BLK1至BLK_z。多个存储块BLK1至BLK_z可

以经由多个字线WL联接到地址解码器120。多个存储块BLK1至BLKz可以经由位线BL1至BLm联接到读取和写入电路130。多个存储块BLK1至BLKz中的每一个可以包括多个存储器单元。在实施例中，多个存储器单元可以包括具有垂直通道结构的非易失性存储器单元。存储器单元阵列110可以是具有二维结构的存储器单元阵列。根据实施例，存储器单元阵列110可以是具有三维结构的存储器单元阵列。根据本发明的实施例，包括在存储器单元阵列110中的多个存储块BLK1至BLKz中的每一个可以包括多个子块。例如，多个存储块BLK1至BLKz中的每一个可以包括两个子块。在另一实施例中，多个存储块BLK1至BLKz中的每一个可以包括四个子块。依照根据本发明实施例的半导体存储器装置及其操作方法，包括在存储块BLK1至BLKz中的子块不限于此，而是各种数量的子块可以被包括在存储块BLK1至BLKz中的每一个中。包括在存储器单元阵列110中的多个存储器单元可以存储至少一位的数据。在一个实施例中，包括在存储器单元阵列110中的多个存储器单元中的每一个可以是存储一位的数据的单层单元(SLC)。在另一实施例中，包括在存储器单元阵列110中的多个存储器单元中的每一个可以是存储两位的数据的多层单元(MLC)。在另一实施例中，包括在存储器单元阵列110中的多个存储器单元中的每一个可以是存储三位的数据的三层MLC。在另一实施例中，包括在存储器单元阵列110中的多个存储器单元中的每一个可以是存储四位的数据的四层MLC。根据实施例，存储器单元阵列110可以包括多个MLC，每个MLC存储五位或更多位的数据。

[0044] 地址解码器120、读取和写入电路130、控制逻辑140和电压发生器150可以作为用于驱动存储器单元阵列110的外围电路而操作。地址解码器120可以经由字线WL联接到存储器单元阵列110。列解码器120可以被配置为响应于控制逻辑140的控制来操作。地址解码器120可以通过半导体存储器装置100中的输入/输出缓冲器(未示出)来接收地址。

[0045] 地址解码器120可以被配置为对接收的地址中的块地址解码。地址解码器120可以根据解码的块地址来选择至少一个存储块。地址解码器120可以对接收的地址中的行地址解码。地址解码器120可以根据解码的行地址来选择至少一个字线。另外，地址解码器120可以在读取操作的读取电压施加操作期间将由电压发生器150生成的读取电压Vread施加到选择的存储块的选择的字线，并且将通过电压Vpass施加到剩余的未选择的字线。另外，在编程验证操作期间，由电压发生器150生成的验证电压可以被施加到选择的存储块的选择的字线，并且通过电压Vpass可以被施加到剩余的未选择的字线。

[0046] 地址解码器120可以被配置为对接收的地址中的列地址解码。地址解码器120可以例如在编程操作期间，将解码的列地址传输到读取和写入电路130以用于选择单元阵列110的列。

[0047] 半导体存储器装置100的读取操作和编程操作可以在页面单元中执行。在请求读取操作和编程操作的时候接收的地址可以包括块地址、行地址和列地址。地址解码器120可以根据块地址和行地址来选择一个存储块和一个字线。列地址可以由地址解码器120解码并且被提供到读取和写入电路130以用于选择列。

[0048] 地址解码器120可以包括块解码器、行解码器、列解码器、地址缓冲器等。

[0049] 读取和写入电路130可以包括多个页面缓冲器PB1至PBm。读取和写入电路130可以在存储器单元阵列110的读取操作期间作为读取电路来操作，并且在写入操作期间作为写入电路来操作。多个页面缓冲器PB1至PBm可以通过各个位线BL1至BLm联接到存储器单元阵

列110。多个页面缓冲器PB1至PB_m可以在读取操作和编程验证操作期间将感测电流连续地施加到被联接到存储器单元的位线BL1至BL_m以用于感测存储器单元的阈值电压,并且检测感测节点处的电流的变化以锁存感测节点处的感测数据。读取和写入电路130可以响应于从控制逻辑140输出的页面缓冲器控制信号来操作。

[0050] 在读取操作期间,读取和写入电路130可以感测存储器单元的数据,临时存储读取数据,并且将数据DATA输出到半导体存储器装置100的输入/输出缓冲器(未示出)。在示例性实施例中,除了页面缓冲器(或页面电阻器(page resistor))之外,读取和写入电路130还可以包括列选择电路等。

[0051] 控制逻辑140可以联接到地址解码器120、读取和写入电路130以及电压发生器150。控制逻辑140可以通过半导体存储器装置100的输入/输出缓冲器(未示出)来接收命令CMD和控制信号CTRL。控制逻辑140可以被配置为响应于控制信号CTRL来控制半导体存储器装置100的全部操作。控制逻辑140可以输出控制信号以用于调整多个页面缓冲器PB1至PB_m中的感测节点的预充电电位水平。控制逻辑140可以控制读取和写入电路130执行存储器单元阵列110的读取操作。

[0052] 电压发生器150可以响应于从控制逻辑140输出的电压发生器控制信号在读取操作期间生成读取电压V_{read}和通过电压V_{pass}。

[0053] 失败位计数器160可以联接到读取和写入电路130的页面缓冲器PB1至PB_m中的至少一个。在图1中,失败位计数器160被示出为与读取和写入电路130分离,但是根据实施例,失败位计数器160可以被包括在读取和写入电路130中。另外,根据实施例,失败位计数器160可以被包括在页面缓冲器PB1到PB_m中的至少一个中。失败位计数器160可以从页面缓冲器接收指示联接到位线BL1至BL_m中的至少一个的存储器单元是顺序地通过还是失败的通过/失败数据P/F_DATA。失败位计数器160可以累加地计算基于通过/失败数据P/F_DATA生成的失败位。具体地,根据本发明的失败位计数器160可以累加在位线方向上的数据读取失败,并且检测其中预定列即位线的失败位的数量等于或大于预定数量的状态。因此,可以在半导体存储器件100中执行通过/失败检查,而不需要任何附加的设备,从而减少通过/失败检查的成本。

[0054] 图2是示出根据本发明的实施例的失败位计数器200的框图。

[0055] 参照图2,根据本发明的实施例的失败位计数器200可以包括通过/失败数据接收器210和失败位累加器230。通过/失败数据接收器210可以顺序地接收指示被联接到位线BL1至BL_m中的至少一个的存储器单元是通过还是失败的通过/失败数据P/F_DATA。失败数据接收器210可以基于通过/失败数据P/F_DATA生成失败位生成信号FB。失败位累加器230可以从通过/失败数据接收器210接收失败位生成信号FB并且累加地对生成的失败位计数。计数结果可以被输出作为失败位计数信号FBA。下面将参照图4和图5描述图2所示的失败位计数器的示例性实施例。

[0056] 图3是示出图2的失败位累加器的示例性实施例的框图。

[0057] 参照图3,失败位累加器330可以包括第一累加器至第N累加器331_1、331_2、.....、和331_N,其中N是大于或等于1的自然数。因此,根据实施例,失败位累加器330可以包括第一累加器331_1或多个累加器。

[0058] 第一累加器331_1可以基于失败位生成信号FB输出当生成一个或多个失败位时激

活的第一失败位激活信号FN1。即,当失败位的数量小于1(即失败位的数量为0)时第一累加器331_1可以失活,并且当失败位的数量等于或大于1时被激活。

[0059] 第二累加器331_2可以基于失败位生成信号FB输出当生成两个或更多个失败位时激活的第二失败位激活信号FN2。即,当失败位的数量小于2时第二失败位激活信号FN2可以失活,并且当失败位的数量等于或大于2时被激活。

[0060] 以该方式,第N累加器331_N可以基于失败位生成信号FB输出当生成N个或更多个失败位时激活的第N失败位激活信号FNN。即,当失败位的数量小于N时第N失败位激活信号FNN可以失活,并且当失败位的数量等于或大于N时被激活。

[0061] 第一失败位激活信号FN1至第N失败位激活信号FNN可以作为图2所示的失败位计数信号FBA被输出。

[0062] 如参照图2和图3描述的,根据本发明的实施例的失败位计数器200可以根据包括在失败位累加器230中的累加器的数量对累加的失败位计数。

[0063] 例如,当累加器的数量为1时,根据本发明的实施例的失败位计数器可以对失败位计数,以查明失败位的数量是为0还是等于或大于1。在累加器的数量为2的情况下,根据本发明的实施例的失败位计数器可以对失败位计数,以查明失败位的数量是为0、1、还是等于或大于2。在累加器的数量为3的情况下,根据本发明的实施例的失败位计数器可以对失败位计数,以查明失败位的数量是为0、1、2、还是等于或大于3。以该方式,当累加器的数量为N时,根据本发明的实施例的失败位计数器可以对失败位计数,以查明失败位的数量是为0、1、2、.....N-1、还是等于或大于N。

[0064] 第二累加器331_2可以联接到第一累加器331_1。虽然未在图3中详细示出,但是第二累加器331_2可以基于失败位生成信号FB接收从第一累加器331_1输出的第一失败位激活信号FN1。另外,第二累加器331_2可以输出接收的第一失败位激活信号FN1作为第二失败位激活信号FN2。

[0065] 类似于第二累加器331_2,第i累加器可以联接到第(i-1)累加器,i是大于2且小于或等于N的自然数。另外,第i累加器可以基于失败位生成信号FB接收从第(i-1)累加器输出的第(i-1)失败位激活信号。另外,第i累加器可以输出第(i-1)失败位激活信号作为第i失败位激活信号。

[0066] 下面将参照图4描述失败位累加器330的示例性实施例。

[0067] 图4是示出图2的失败位计数器的示例性实施例的示例性电路图。

[0068] 参照图4,失败位计数器400可以包括通过/失败数据接收器410和失败位累加器430。

[0069] 通过/失败数据接收器410可以包括接收触发器415。接收触发器415可以用D触发器来实现。接收触发器415可以通过重置信号Rst被初始化,并且基于读取信号Read接收通过/失败数据P/F_DATA作为输入。接收触发器415可以响应于读取信号Read来输出通过/失败数据P/F_DATA作为失败位生成信号FB。

[0070] 失败位累加器430可以包括第一累加器431_1、第二累加器431_2和第三累加器431_3。即,失败位累加器430可以包括三个累加器。因此,如上所述,图4所示的失败位计数器400可以对失败位计数,以查明失败位的数量是为0、1、2、还是等于或大于3。

[0071] 第一累加器431_1可以包括第一多路复用器433_1和第一累加D触发器435_1。第一

多路复用器433_1可被联接到接收触发器415的输出端子,以接收失败位生成信号FB作为第一输入。第一多路复用器433_1的输出端子可以联接到第一累加D触发器435_1的输入端子。另外,第一累加D触发器435_1的输出可以被反馈作为第一多路复用器433_1的第二输入。第一累加D触发器435_1可以被初始化信号Init初始化,并且基于第一传输信号TR1接收第一多路复用器433_1的输出。基于失败位生成信号FB,第一多路复用器433_1可以选择并输出作为第一输入接收的失败位生成信号FB和作为第二输入被反馈的第一失败位激活信号FN1中的一个。第一累加D触发器435_1可以响应于第一传输信号TR1而输出第一多路复用器433_1的输出作为第一失败位激活信号FN1。

[0072] 第二累加器431_2可以包括第二多路复用器433_2和第二累加D触发器435_2。第二多路复用器433_2可以联接到第一累加D触发器435_1的输出端子,以接收第一失败位激活信号FN1作为第一输入。第二多路复用器433_2的输出端子可以联接到第二累加D触发器435_2的输入端子。另外,第二累加D触发器435_2的输出可以被反馈作为第二多路复用器433_2的第二输入。第二累加D触发器435_2可以被初始化信号Init初始化,并且基于第二传输信号TR2接收第二多路复用器433_2的输出。另外,基于失败位生成信号FB,第二多路复用器433_2可以选择并输出作为第一输入接收的第一失败位激活信号FN1和作为第二输入反馈的第二失败位激活信号FN2中的一个。第二累加D触发器435_2可以响应于第二传输信号TR2而输出第二多路复用器433_2的输出作为第二失败位激活信号FN2。

[0073] 第三累加器431_3可以包括第三多路复用器433_3和第三累加D触发器435_3。第三多路复用器433_3可以联接到第二累加D触发器435_2的输出端子,以接收第二失败位激活信号FN2作为第一输入。第三多路复用器433_3的输出端子可以联接到第三累加D触发器435_3的输入端子。另外,第三累加D触发器435_3的输出可以被反馈作为第三多路复用器433_3的第二输入。第三累加D触发器435_3可以被初始化信号Init初始化,并且基于第三传输信号TR3接收第三多路复用器433_3的输出。另外,基于失败位生成信号FB,第三多路复用器433_3可以选择并输出作为第一输入接收的第二失败位激活信号FN2和作为第二输入反馈的第三失败位激活信号FN3中的一个。第三累加D触发器435_3可以响应于第三传输信号TR3而输出第三多路复用器433_3的输出作为第三失败位激活信号FN3。

[0074] 下面将示意性地描述图4所示的失败位计数器400的操作。通过/失败数据接收器410可以接收通过/失败数据P/F_DATA。作为示例,当发生位失败时,通过/失败数据P/F_DATA可以具有逻辑高电平“1”。当发生位通过(bit pass)时,通过/失败数据P/F_DATA可以具有逻辑低电平“0”。当通过/失败数据P/F_DATA具有逻辑低电平时,为“0”的失败位生成信号FB不可以被传输到失败位累加器430。然而,当通过/失败数据P/F_DATA具有逻辑高电平时,为“1”的失败位生成信号FB可以被传输到失败位累加器430。

[0075] 分别包括在失败位累加器430的第一累加器431_1至第三累加器431_3中的第一累加D触发器435_1至第三累加D触发器435_3可以输出作为初始值“0”的第一失败位激活信号FN1至第三失败位激活信号FN3。当第一失败位被生成并且为“1”的失败位生成信号FB被传输到第一累加器431_1时,第一累加D触发器435_1可以输出为“1”的第一失败位激活信号FN1,同时第二累加D触发器435_2和第三累加D触发器435_3输出作为初始值的为“0”的第二失败位激活信号FN2和第三失败位激活信号FN3。当第二失败位被生成并且为“1”的失败位生成信号FB被传输到第一累加器431_1时,第一累加D触发器435_1和第二累加D触发器435_

2可以输出为“1”的第一失败位激活信号FN1和第二失败位激活信号FN2,同时第三累加D触发器435_3输出作为初始值的为“0”的第三失败位激活信号FN3。当第三失败位被生成并且为“1”的失败位生成信号FB被传输到第一累加器431_1至第三累加器431_3时,第一累加D触发器435_1至第三累加D触发器435_3可以输出为“1”的第一失败位激活信号FN1至第三失败位激活信号FN3。虽然失败位被生成四次或更多次,但是第一累加D触发器435_1至第三累加D触发器435_3输出为“1”的第一失败位激活信号FN1至第三失败位激活信号FN3。

[0076] 因此,当没有失败位被生成时,第一失败位激活信号FN1至第三失败位激活信号FN3可以具有值“0”。当失败位被生成一次时,第一失败位激活信号FN1可以具有值“1”,同时第二失败位激活信号FN2和第三失败位激活信号FN3可以具有值“0”。当失败位被生成两次时,第一失败位激活信号FN1和第二失败位激活信号FN2可以具有值“1”,同时第三失败位激活信号FN3可以具有值“0”。当失败位被生成三次或更多次时,第一失败位激活信号FN1至第三失败位激活信号FN3具有值“1”。因此,在图4的实施例中,其中累加器的数量为3,失败位计数器400可以对失败位计数,以查明失败位的数量是为0、1、2、还是等于或大于3。下面将参照图5描述当施加每个信号时失败位计数器400的具体操作。

[0077] 图5是示出图4的失败位计数器的操作的时序图。

[0078] 参照图5,初始化信号Init、重置信号Rst、读取信号Read、第三传输信号TR3、第二传输信号TR2、第一传输信号TR1、通过/失败数据P/F_DATA、失败位生成信号FB、第一失败位激活信号FN1、第二失败位激活信号FN2和第三失败位激活信号FN3被顺序地示出。如图4所示,初始化信号Init可以被施加到第一累加D触发器435_1至第三累加D触发器435_3,并且重置信号Rst和读取信号Read可以被施加到接收触发器415。

[0079] 第一传输信号TR1至第三传输信号TR3可以分别被施加到第一累加D触发器435_1至第三累加D触发器435_3。通过/失败数据P/F_DATA可以被施加到接收触发器415。另外,失败位生成信号FB可以从接收触发器415被输出并被施加作为第一多路复用器433_1至第三多路复用器433_3的选择信号。失败位生成信号FB还可以被施加作为第一多路复用器433_1的第一输入。第一失败位激活信号FN1可以从第一累加D触发器435_1被输出,并且被反馈作为第一多路复用器433_1的第二输入,并且被施加作为第二多路复用器433_2的第一输入。第二失败位激活信号FN2可以从第二累加D触发器435_2被输出,并且被反馈作为第二多路复用器433_2的第二输入,并且被施加作为第三多路复用器433_3的第一输入。第三失败位激活信号FN3可以从第三累加D触发器435_3被输出,并且被反馈作为第三多路复用器433_3的第二输入。

[0080] 在时间t0处,初始化信号Init可以被激活。因此,分别从第一累加D触发器435_1至第三累加D触发器435_3输出的第一失败位激活信号FN1至第三失败位激活信号FN3可以被初始化为初始值“0”。

[0081] 在时间t1处,第一通过/失败计数阶段可以开始。第二通过/失败计数阶段可以在时间t2处开始,第三通过/失败计数阶段可以在时间t3处开始,并且第四通过/失败计数阶段可以在时间t4处开始。即,在图5中,整个四个通过/失败计数阶段被示出。因此,通过/失败数据P/F_DATA可以传输四位数据,以查明四个位是通过还是失败。参照图5,具有值“1011”的通过/失败数据P/F_DATA示被例性地施加。

[0082] 在时间t1处,第一通过/失败计数阶段可以开始,并且重置信号Rst可以被激活。因

此,从接收触发器415输出的失败位生成信号FB可以被初始化为初始值“0”。

[0083] 在时间 t^{11} 处,激活的读取信号Read可以被施加,并且指示失败状态的为“1”的通过/失败数据P/F_DATA可以被输入。从接收触发器415输出的失败位生成信号FB可以转换到“1”。在时间 t^{12} 处,激活的读取信号Read可以失活。

[0084] 在时间 t^{13} 处,第三传输信号TR3可以被首先激活。第三多路复用器433_3可以响应于为“1”的失败位生成信号FB而选择第二失败位激活信号FN2并且将其输出到第三累加D触发器435_3的输入端子。由于第三传输信号TR3被激活,因此第三累加D触发器435_3可以输出第二失败位激活信号FN2作为第三失败位激活信号FN3。然而,由于第二失败位激活信号FN2在时间 t^{13} 处具有值“0”,因此第三失败位激活信号FN3可以保持值“0”。

[0085] 在时间 t^{14} 处,第二传输信号TR2可以被激活。第二多路复用器433_2可以响应于为“1”的失败位生成信号FB而选择第一失败位激活信号FN1并且将其输出到第二累加D触发器435_2的输入端子。由于第二传输信号TR2被激活,因此第二累加D触发器435_2可以输出第一失败位激活信号FN1作为第二失败位激活信号FN2。然而,由于第一失败位激活信号FN1在时间 t^{14} 处具有值“0”,因此第二失败位激活信号FN2可以保持值“0”。

[0086] 在时间 t^{15} 处,第一传输信号TR1可以被激活。第一复用器433_1可以响应于为“1”的第一输入失败位生成信号FB而选择并输出失败位生成信号FB。由于第一传输信号TR1被激活,因此第一累加D触发器435_1可以输出失败位生成信号FB作为第一失败位激活信号FN1。由于失败位生成信号FB在时间 t^{15} 处具有值“1”,因此第一失败位激活信号FN1可以转换到值“1”。

[0087] 因此,在从时间 t_1 到时间 t_2 的第一通过/失败计数阶段,从第一累加D触发器435_1输出的第一失败位激活信号FN1可以响应于生成的位失败而转换到值“1”,并且第二失败位激活信号FN2和第三失败位激活信号FN3可以保持值“0”。

[0088] 在时间 t_2 处,第二通过/失败计数阶段可以开始,并且重置信号Rst可以被激活。因此,从接收触发器415输出的失败位生成信号FB可以被初始化为初始值“0”。

[0089] 在时间 t^{21} 处,激活的读取信号Read被施加,并且指示通过状态的为“0”的通过/失败数据P/F_DATA可以被输入。从接收触发器415输出的失败位生成信号FB可以保持值“0”。在时间 t^{22} 处,激活的读取信号Read可以失活。

[0090] 在时间 t^{23} 处,第三传输信号TR3可以被首先激活。第三多路复用器433_3可以响应于为“0”的失败位生成信号FB而选择反馈的第三失败位激活信号FN3以将第三失败位激活信号FN3输出到第三累加D触发器435_3的输入端子。由于第三传输信号TR3被激活,因此第三累加D触发器435_3可以输出保持值“0”的第三失败位激活信号FN3。

[0091] 在时间 t^{24} 处,第二传输信号TR2可以被激活。类似于第三多路复用器433_3,第二多路复用器433_2可以选择反馈的第二失败位激活信号FN2并将其输出到第二累加D触发器435_2的输入端子。因此,第二累加D触发器435_2可以输出保持值“0”的第二失败位激活信号FN2。

[0092] 在时间 t^{25} 处,第一传输信号TR1可以被激活。由于失败位生成信号FB具有值“0”,因此第一多路复用器433_1可以选择反馈的第一失败位激活信号FN1并将其输出到第一累加D触发器435_1的输入端子。因此,因此第一累加D触发器435_1可以输出保持值“1”的第一失败位激活信号FN1。

[0093] 因此,在从时间 t_2 到时间 t_3 的第二通过/失败计数阶段期间,分别从第一累加D触发器435_1至第三累加D触发器435_3输出的第一失败位激活信号FN1至第三失败位激活信号FN3可以响应于生成的位通过而保持其先前的值。

[0094] 在时间 t_3 处,第三通过/失败计数阶段可以开始,并且重置信号Rst可以被激活。因此,从接收触发器415输出的失败位生成信号FB可以被初始化为初始值“0”。

[0095] 在时间 t^{31} 处,激活的读取信号Read可以被施加,并且指示失败状态的为“1”的接收的通过/失败数据P/F_DATA可以被输入。从接收触发器415输出的失败位生成信号FB可以转换到值“1”。在时间 t^{32} 处,激活的读取信号Read可以失活。

[0096] 在时间 t^{33} 处,第三传输信号TR3可以被首先激活。第三多路复用器433_3可以响应于为“1”的失败位生成信号FB而选择第二失败位激活信号FN2并且将其输出到第三累加D触发器435_3的输入端子。由于第三传输信号TR3被激活,因此第三累加D触发器435_3可以输出第二失败位激活信号FN2作为第三失败位激活信号FN3。然而,由于第二失败位激活信号FN2在时间 t^{33} 处具有值“0”,因此第三失败位激活信号FN3可以保持值“0”。

[0097] 在时间 t^{34} 处,第二传输信号TR2可以被激活。类似于第三多路复用器433_3,第二多路复用器433_2可以响应于为“1”的失败位生成信号FB而选择第一失败位激活信号FN1并且将其输出到第二累加D触发器435_2的输入端子。由于第二传输信号TR2被激活,因此第二累加D触发器435_2可以输出第一失败位激活信号FN1作为第二失败位激活信号FN2。由于第一失败位激活信号FN1在时间 t^{34} 处具有值“1”,因此第二失败位激活信号FN2可以转换到值“1”。

[0098] 在时间 t^{35} 处,第一传输信号TR1可以被激活。第一复用器433_1可以响应于为“1”的第一输入失败位生成信号FB而选择并输出失败位生成信号FB。由于第一传输信号TR1被激活,因此第一累加D触发器435_1可以输出失败位生成信号FB作为第一失败位激活信号FN1。因此,第一累加D触发器435_1可以输出保持值“1”的第一失败位激活信号FN1。

[0099] 因此,在从时间 t_3 到时间 t_4 的第三通过/失败计数阶段期间,响应于生成的位失败,第一失败位激活信号FN1可以保持值“1”,第二失败位激活信号FN2可以转换到值“1”,并且第三失败位激活信号FN3可以保持值“0”。

[0100] 在时间 t_4 处,第四通过/失败计数阶段可以开始,并且重置信号Rst可以被激活。因此,从接收触发器415输出的失败位生成信号FB可以被初始化为初始值“0”。

[0101] 在时间 t^{41} 处,激活的读取信号Read可以被施加,并且指示失败状态的为“1”的输入的通过/失败数据P/F_DATA可以被输入。从接收触发器415输出的失败位生成信号FB可以转换到值“1”。在时间 t^{42} 处,激活的读取信号Read可以失活。

[0102] 在时间 t^{43} 处,第三传输信号TR3可以被首先激活。第三多路复用器433_3可以响应于为“1”的失败位生成信号FB而选择第二失败位激活信号FN2并且将其输出到第三累加D触发器435_3的输入端子。由于第三传输信号TR3被激活,因此第三累加D触发器435_3可以输出第二失败位激活信号FN2作为第三失败位激活信号FN3。由于第二失败位激活信号FN2在时间 t^{43} 处具有值“1”,因此第三失败位激活信号FN3可以转换到值“1”。

[0103] 在时间 t^{44} 处,第二传输信号TR2可以被激活。类似于第三多路复用器433_3,第二多路复用器433_2可以响应于为“1”的失败位生成信号FB而选择第一失败位激活信号FN1并且将其输出到第二累加D触发器435_2的输入端子。由于第二传输信号TR2被激活,因此第二累

加D触发器435_2可以输出第一失败位激活信号FN1作为第二失败位激活信号FN2。因此，第二累加D触发器435_2可以输出保持值“1”的第一失败位激活信号FN1。

[0104] 在时间 t^{45} 处，第一传输信号TR1可以被激活。第一复用器433_1可以响应于为“1”的第一输入失败位生成信号FB而选择并输出失败位生成信号FB。由于第一传输信号TR1被激活，因此第一累加D触发器435_1可以输出失败位生成信号FB作为第一失败位激活信号FN1。因此，第一累加D触发器435_1可以输出保持值“1”的第一失败位激活信号FN1。

[0105] 因此，在第四通过/失败计数阶段期间，响应于生成的位失败，第一失败位激活信号FN1和第二失败位激活信号FN2可以保持值“1”，并且第三失败位激活信号可以转换到值“1”。

[0106] 将简要描述上述失败位计数器400的操作。第一累加D触发器435_1至第三累加D触发器4435_3的第一失败位激活信号FN1至第三失败位激活信号FN3可以被初始化为初始值“0”，并且每当失败位被生成时，值“1”可以从第一累加D触发器435_1被传输到第三累加D触发器435_3。因此，在每个时间点处，累加的失败位的数量可以被检测。

[0107] 图6是示出图2的失败位计数器的另一示例性实施例的电路图。

[0108] 参照图6，失败位计数器600可以包括晶体管TPR、TMS、TN、TRAN1、TRAN2、TRAN3、TSS、TS0、TS1、TS2、TS3、TRS0、TRS1、TRS2和TRS3以及锁存器610_0、610_1、610_2和610_3。锁存器610_0、610_1、610_2和610_3可以由控制信号SET0、SET1、SET2和SET3设置，并且由控制信号RST0、RST1、RST2和RST2重置。图6所示的失败位计数器可以通过“SO-掩蔽(SO-Masking)”累加地对失败位计数。图2的通过/失败数据P/F_DATA可以被施加到节点ND0。图6所示的失败位计数器600可以利用联接到位线的页面缓冲器被一体地实施。

[0109] 在图6的实施例中，失败位可以由节点ND1、ND2和ND3的电压来计数。简要描述图6所示的实施例，当失败位被生成时，节点ND0的电压可以变成逻辑高电平“1”，并且当通过位被生成时，节点ND0的电压可以变成逻辑低电平“0”。当节点ND0的电压变成逻辑高电平“1”时，节点ND2的电压值可以被传输到节点ND3，节点ND1的值可以被传输到节点ND2，并且节点ND0的值可以被传输到节点ND1。当节点ND0的电压变为逻辑低电平“0”时，不可以产生上述电压传输。

[0110] 可以通过以下进程来执行节点ND2到节点ND3的电压值的传输。节点ND3可以被初始化为初始值“0”。可以通过经由控制信号RST3导通晶体管TRS3并经由控制信号SO_PRECH_N导通晶体管TPR和TSS来执行上述特征。在这种状态下，当施加到晶体管TRAN2的栅极的控制信号Tran2被激活到“1”值时，节点ND2的电压值可以被传输到节点S0。当控制信号Tran2失活到“0”值时，节点S0可以浮动并且保持电压值。随后，当施加到晶体管TMS的栅极的控制信号Masking被激活到值“1”时，可以根据锁存器610_0中的节点ND0的值来确定节点S0的值。在当控制信号Masking被激活为值“1”时，即，当位通过被生成时，节点ND0的值为“0”的情况下，节点NI的值可以变成“1”并且晶体管TN可以被导通，使得节点S0可被联接接地。作为结果，节点S0的电压可以变成值“0”，这被称为“掩蔽(Masking)”。在当控制信号Masking被激活为值“1”时，即，当位失败被生成时，节点ND0的值为“1”的情况下，节点NI的值可以变成“0”并且晶体管TN可以被关断，使得节点S0可以保持先前的值。当施加到晶体管TS3的栅极的控制信号SET3被激活时，晶体管TS3可以被导通。

[0111] 在节点S0被掩蔽的情况下，即，当位失败被生成时，节点S0的电压可以变成值“0”。

因此,晶体管TSS可以保持关断状态,并且节点NS也可以浮动。因此,虽然晶体管TS3被导通,但是节点ND3的电压不可以改变。

[0112] 在节点S0未被掩蔽的情况下,即,当位失败被生成时,节点S0的电压可以保持从节点ND2接收的电压值。当晶体管TS3在节点ND2具有值“0”的状态下被导通时,节点S0可以具有值“0”,并且节点ND3的电压可以保持不变以保持值“0”。当晶体管TS3在节点ND2具有值“1”的状态下被导通时,节点S0可以具有值“1”并且晶体管TSS可以被导通,使得晶体管TS3可以将接地电压传输到锁存器610_3。作为结果,节点ND3可以具有值“1”。如上所述,在控制信号Tran2被激活预定时间之后,控制信号Masking被激活预定时间,并且控制信号SET3被激活预定时间,仅当节点ND0的值为“0”,即,位失败被生成时,节点ND2的电压值可以被传输到节点ND3。

[0113] 以相同的方式,在控制信号Tran1被激活预定时间之后,控制信号Masking被激活预定时间,并且控制信号SET2被激活预定时间,仅当节点ND0的值为“0”时,节点ND1的电压值可以被传输到节点ND2。

[0114] 接收通过/失败数据P/F_DATA的节点ND0的值可以通过以下过程被传输到节点ND1。可以通过经由控制信号RST1导通晶体管TRS1并通过控制信号SO_PRECH_N导通晶体管TPR和TSS来将节点ND1初始化为初始值“0”。

[0115] 当控制信号SO_PRECH_N被设置为值“0”时,节点S0可以具有值“1”。随后,当控制信号SO_PRECH_N具有值“1”时,节点S0可以浮动并且保持值“1”。此后,当控制信号Masking被激活到值“1”时,可以根据锁存器610_0中的节点ND0的值来确定节点S0的值。在当控制信号Masking被激活为值“1”,即,当位通过被生成时,节点ND0的值为“0”的情况下,节点NI的值可以变成“1”并且晶体管TN可以被导通,使得节点S0可以联接到地。作为结果,节点S0的电压可以变成待被掩蔽的值“0”。在当控制信号Masking可以被激活为值“1”时,即,当位失败被生成时,节点ND0的值为“1”的情况下,节点NI的值可以变成“0”并且晶体管TN可以被关断,使得节点S0可以保持先前的值“1”。随后,当施加到晶体管TS1的栅极的控制信号SET1被激活时,晶体管TS1可以被导通。

[0116] 在节点S0可以被掩蔽的情况下,即,当位通过被生成时,节点S0的电压可以变成值“0”。因此,晶体管TSS可以保持关断状态,并且节点NS可以浮动。因此,即使当晶体管TS1被导通时,节点ND1的电压可以不变并且保持值“0”。

[0117] 在节点S0未被掩蔽的情况下,即,当位失败被生成时,节点S0可以保持值“1”。作为结果,晶体管TSS可以被导通,并且晶体管TS1可以将接地电压传输到锁存器610_1。因此,节点ND1可以具有值“1”。如上所述,在控制信号SO_PRECH_N、控制信号Masking和控制信号SET1被顺序地激活各个预定时间之后,仅当节点ND0具有值“0”时,即,当位失败被生成时,节点ND1的电压值可以从“0”转换到“1”。因此,图6所示的失败位计数器600可以执行与图4所示的失败位计数器400基本相同的功能。

[0118] 参照图2和图6,图2所示的通过/失败数据接收器210可以对应于图6所示的锁存器610_0和晶体管TS0、TRS0、TN和TMS。在本说明书中,锁存器610_0可以被称为“接收锁存器”,并且晶体管TS0和TRS0可以分别被称为“接收设置晶体管”和“接收重置晶体管”。进一步地,晶体管TN可以被称为“接收晶体管”,并且晶体管TMS可以被称为“掩蔽晶体管”。节点NS可以被称为“公共传输节点”,并且节点S0可以被称为“S0节点”。因此,在图6的实施例中,通过/

失败数据接收器210可以包括：接收锁存器610_0；接收设置晶体管TS0，其联接在接收锁存器610_0的第一端子（即，节点NI）和公共传输节点NS之间；接收重置晶体管TRS0，其联接在接收锁存器610_0的第二端子（即，节点ND0）和公共传输节点NS之间；接收晶体管TN，其具有联接到接收锁存器610_0的第一端子的栅极；以及掩蔽晶体管TMS，其联接在接收晶体管TN和S0节点之间。

[0119] 在本说明书中，图2的失败位累加器230可以包括如图3所示的第一累加器至第N累加器331_1、331_2、……、331_N。参照图3和图6，图3的第一累加器331_1可对应于图6所示的锁存器610_1和晶体管TRN1、TS1和TRS1。在本说明书中，锁存器610_1可以被称为“第一累加锁存器”，晶体管TRN1可以被称为“第一传输晶体管”，并且晶体管TS1和TRS1可以分别被称为“第一设置晶体管”和“第一重置晶体管”。因此，在图6所示的实施例中，包括在失败位累加器330中的第一累加器331_1可以联接在S0节点和公共传输节点NS之间。第一累加器331_1可以包括：第一累加锁存器610_1；第一设置晶体管TS1，其联接在第一累加锁存器610_1的第一端子和公共传输节点NS之间；第一重置晶体管TRS1，其联接在第一累加锁存器610_1的第二端子（即，节点ND1）和公共传输节点NS之间；以及第一传输晶体管TRN1，其联接在第一累加锁存器的第二端子和S0节点之间。

[0120] 以相同的方式，图3的第二累加器331_2可以对应于图6所示的锁存器610_2和晶体管TRN2、TS2和TRS2。类似于第一累加器331_1，第二累加器331_2可以包括：“第二累加锁存器”610_2；“第二设置晶体管”TS2，其联接在第二累加锁存器610_2的第一端子和公共传输节点NS之间；“第二重置晶体管”TRS2，其联接在第二累加锁存器610_2的第二端子（即，节点ND2）和公共传输节点NS之间；以及“第二传输晶体管”TRN2，其联接在第二累加锁存器610_2的第二端子和S0节点之间。

[0121] 在图6中示出仅包括三个累加器的失败位计数器600。然而，本领域技术人员将容易地理解，根据实施例，失败位计数器可以包括四个或更多个累加器。

[0122] 图7是示出根据本发明的实施例的存储器系统1000的框图。

[0123] 参照图7，存储器系统1000可以包括半导体存储器装置100和控制器1100。半导体存储器装置100可以具有与参照图1描述的半导体存储器装置100基本相同的结构。在下文中，将省略重复的描述。

[0124] 控制器1100可以联接到主机和半导体存储器装置100。响应于来自主机Host的请求，控制器1100可以被配置为访问半导体存储器装置100。例如，控制器1100可以被配置为控制半导体存储器装置100的读取操作、写入操作、擦除操作和后台操作。控制器1100可以被配置为在半导体存储器装置100和主机之间提供接口。控制器1100可以被配置为驱动用于控制半导体存储器装置100的固件。

[0125] 控制器1100可以包括随机存取存储器（RAM）1110、处理单元1120、主机接口1130、存储器接口1140和错误校正块1150。RAM 1110可以被用作处理单元1120的操作存储器、半导体存储器装置100和主机之间的高速缓冲存储器以及半导体存储器装置100和主机之间的缓冲存储器中的至少一个。处理单元1120可以控制控制器1100的全部操作。另外，在写入操作期间，控制器1100可临时存储从主机提供的编程数据。

[0126] 主机接口1130可以包括用于在主机和控制器1100之间执行数据交换的协议。作为示例性实施例，控制器1100可以通过诸如以下的各种接口协议中的至少一种与主机Host通

信:通用串行总线(USB)协议、多媒体卡(MMC)协议、外围组件互连(PCI)协议、高速PCI(PCI-E)协议、高级技术附件(ATA)协议、串行ATA协议、并行ATA协议、小型计算机小型接口(SCSI)协议、强型小型磁盘接口(ESDI)协议、集成驱动电路(IDE)协议等。

[0127] 存储器接口1140可以与半导体存储器装置100接口连接。例如,存储器接口1140可以包括NAND接口或NOR接口。

[0128] 错误校正块1150可以被配置为通过使用错误校正码(ECC)来检测和校正从半导体存储器装置100接收的数据的错误。处理单元1120可以根据错误校正块1150的错误检测结果控制半导体存储器装置100来调整读取电压并且执行重新读取操作。在示例性实施例中,错误校正块可以被设置为控制器1100的组成元件。

[0129] 控制器1100和半导体存储器装置100可以被集成到一个半导体装置中。在示例性实施例中,控制器1100和半导体存储器装置100可以被集成到一个半导体装置中以形成存储卡。例如,控制器1100和半导体存储器装置100可以集成到一个半导体器装置中并且可以是个人计算机存储卡国际协会(PCMCIA)的PC卡、标准闪存卡(CF),智能媒体卡(SM和SMC),记忆棒、多媒体卡(MMC、RS-MMC和微型MMC)、SD卡(SD、迷你SD、微型SD和SDHC)以及通用闪速存储器(UFS)等。

[0130] 控制器1100和半导体存储器装置100可以被集成到单个半导体装置中以形成固态驱动器SSD。固态驱动器SSD可以包括被配置为将数据存储在半导体的存储器中的存储装置。当存储器系统1000被用作固态驱动器SSD时,联接到存储器系统2000的主机Host的操作速度可以被显著提高。

[0131] 在另一实施例中,存储器系统1000可以被设置为电子装置的诸如以下的各种元件中的一个:计算机、超移动PC(UMPC)、工作站、上网本、个人数字助理(PDA)、便携式计算机、网络平板、无线电话、移动电话、智能电话、电子书、便携式多媒体播放器(PMP)、游戏机、导航系统、黑盒、数码相机、3维电视、数字音频记录器、数字音频播放器、数字图片播放器、数字图片记录器、数字视频记录器、能够在无线环境下传输/接收信息的装置、形成家庭网络的各种电子装置中的一个、形成计算机网络的各种电子装置中的一个、形成远程信息处理网络的各种电子装置中的一个、RFID装置、或形成计算系统的各种元件中的一个等。

[0132] 在示例性实施例中,半导体存储器装置100或存储器系统1000可以被嵌入在各种形式的封装中。例如,半导体存储器装置100或存储器系统1000可以被嵌入在诸如以下的封装中:堆叠封装(PoP)、球栅阵列(BGA)、芯片级封装(CSP)、塑料引线芯片载体(PLCC)、塑料双列直插封装(PDIP)、窝伏尔组件管芯(Die in Waffle Pack)、晶圆型管芯(Die in Wafer Form)、片上芯片(COB)、陶瓷双列直插封装(CERDIP)、塑料公制四方扁平封装(MQFP)、薄四方扁平封装(TQFP)、小外形(SOIC)、收缩小外形封装(SSOP)、薄型小外形封装(TSOP)、薄四方扁平封装(TQFP)、系统级封装(SIP)、多芯片封装(MCP)、晶圆级制造封装(WFP)、晶圆级处理堆叠封装(WSP)等。

[0133] 图8是示出根据本发明的实施例的存储器系统2000的框图。

[0134] 参照图8,存储器系统2000可以包括半导体存储器装置2100和控制器2200。半导体存储器装置2100可以包括多个半导体存储器芯片。多个半导体存储器芯片可以被划分成多个组。

[0135] 在图8中,多个组可以分别通过第一通道CH1至第k通道CHk与控制器2200通信。每

个半导体存储器芯片可以类似于参照图1描述的半导体存储器装置100配置和操作。

[0136] 每个组可以被配置成通过单个公共通道与控制器2200通信。控制器2200可以类似地配置为参照图7描述的控制器1100并且被配置为通过多个通道CH1至CHk来控制半导体存储器装置2100的多个存储器芯片。

[0137] 图9是示出根据本发明的实施例的包括图8的存储器系统2000的计算系统3000的框图。

[0138] 参照图9,计算系统3000可以包括中央处理单元3100、随机存取存储器 (RAM) 3200、用户接口3300、电源3400、系统总线3500和存储器系统2000。

[0139] 存储器系统2000可以经由系统总线3500联接到中央处理单元3100、RAM 3200、用户接口3300和电源3400。经由用户接口3300提供的数据或由中央处理单元3100处理的数据被存储在存储器系统2000中。

[0140] 在图9中,半导体存储器装置2100被示为通过控制器2200联接到系统总线3500。然而,半导体存储器装置2100可以被配置为直接联接到系统总线3500。控制器2200的功能可以由中央处理单元3100和RAM3200执行。

[0141] 在图9中,提供参照图8描述的存储器系统2000。然而,可以利用参照图7描述的存储器系统1000替换存储器系统2000。如示例性实施例,计算系统3000可以被配置为包括参照图7和图8描述的所有存储器系统1000和2000。

[0142] 根据本发明的实施例,可以提供用于累加地对失败位计数的失败位计数器。

[0143] 根据本发明的另一实施例,提供包括用于累加地对失败位计数的失败位计数器的半导体存储器装置。

[0144] 在本说明书和附图中公开的本发明的实施例仅仅是本发明的说明性示例,以便于理解本发明,并且因此不旨在限制本发明的范围。对于本领域技术人员显而易见的是,在不脱离如所附权利要求中限定的本发明的范围的情况下,除了本文公开的实施例之外,基于本发明的技术思想的其它变型是可能的。

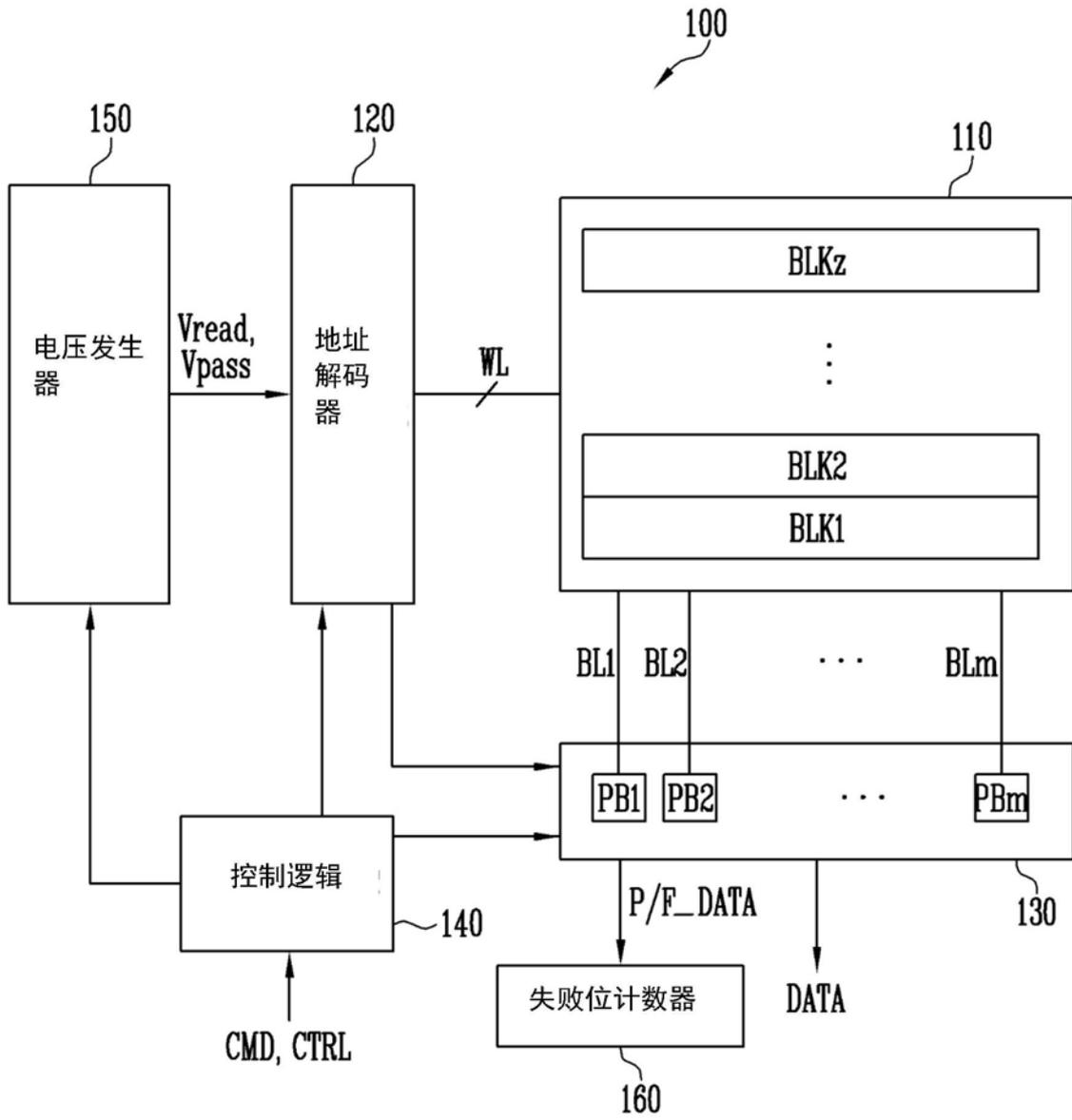


图1

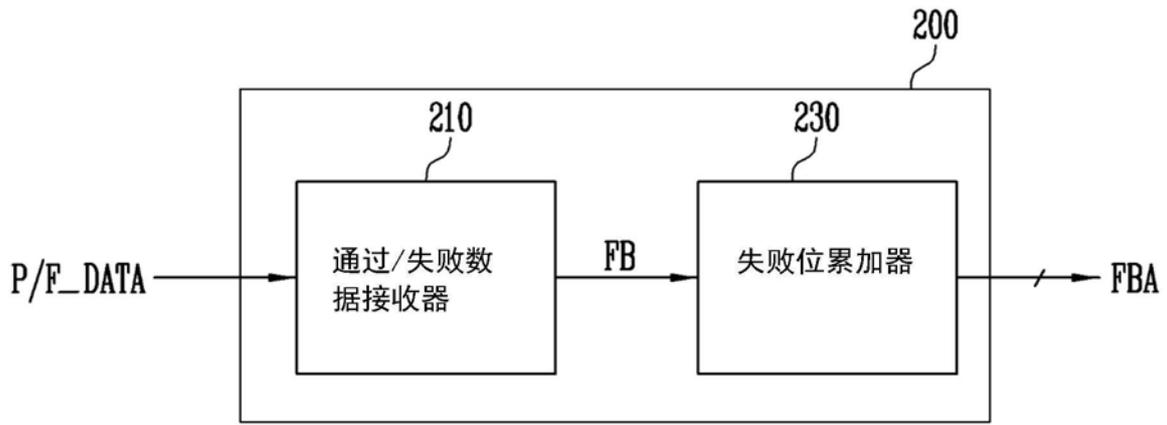


图2

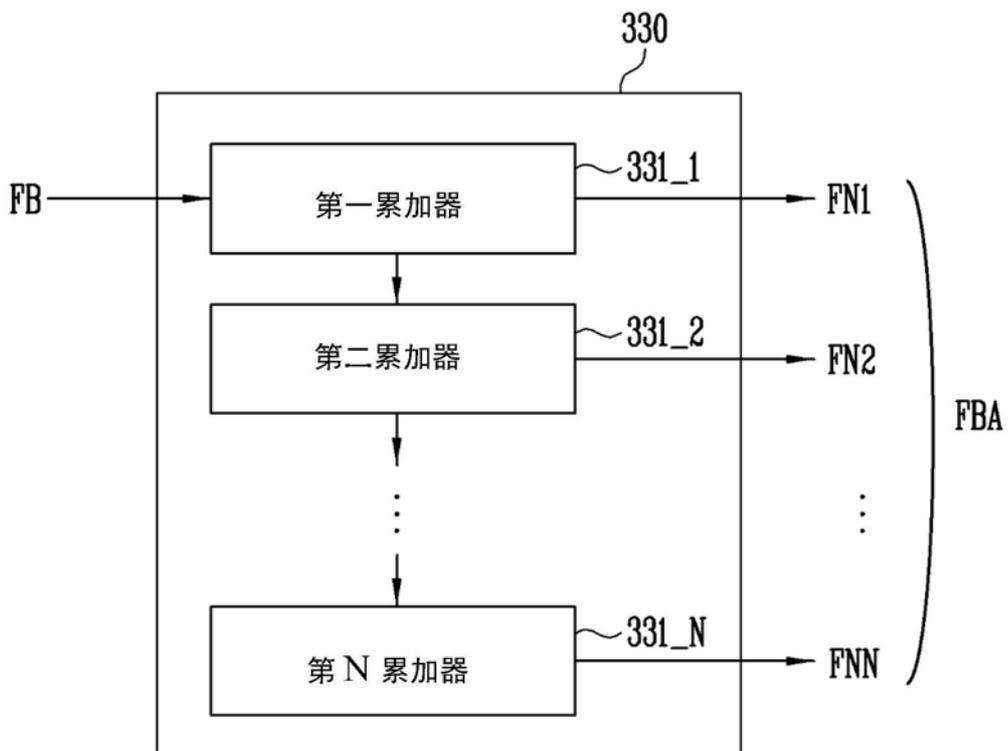


图3

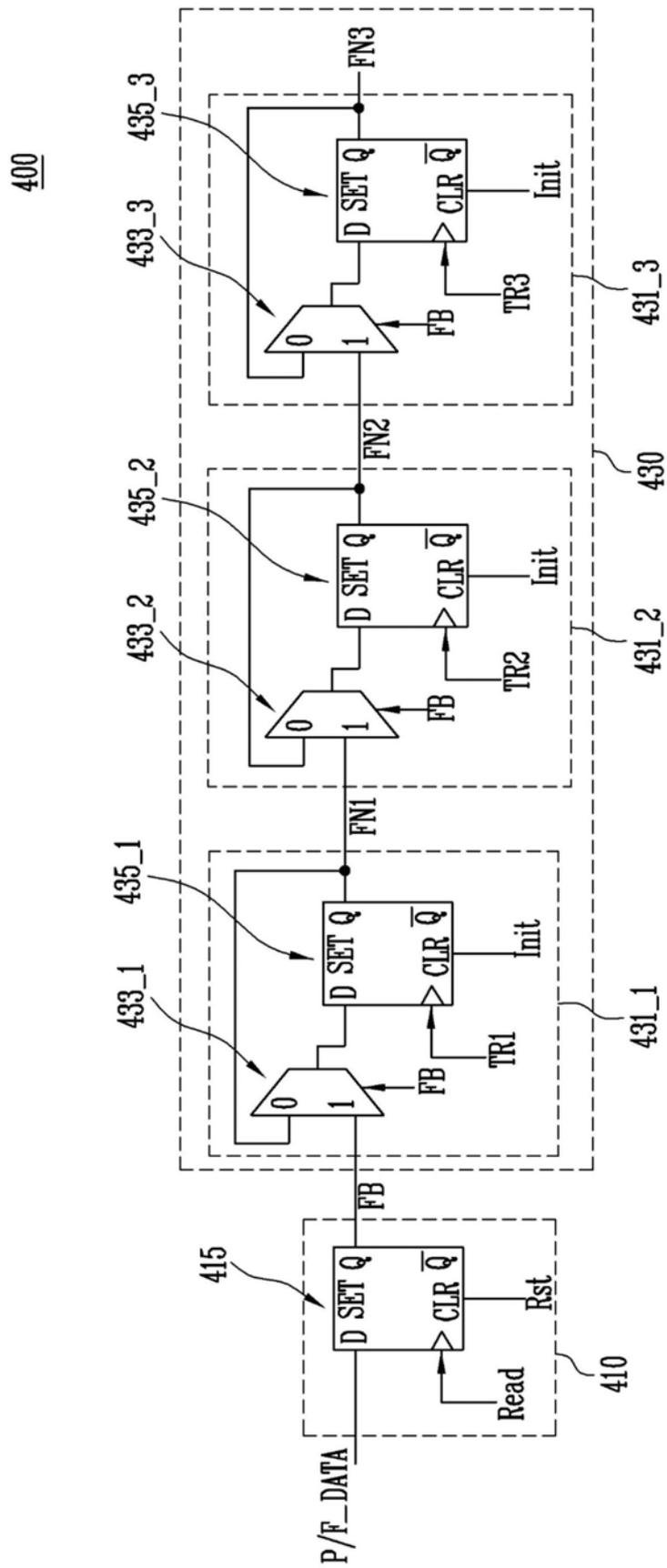


图4

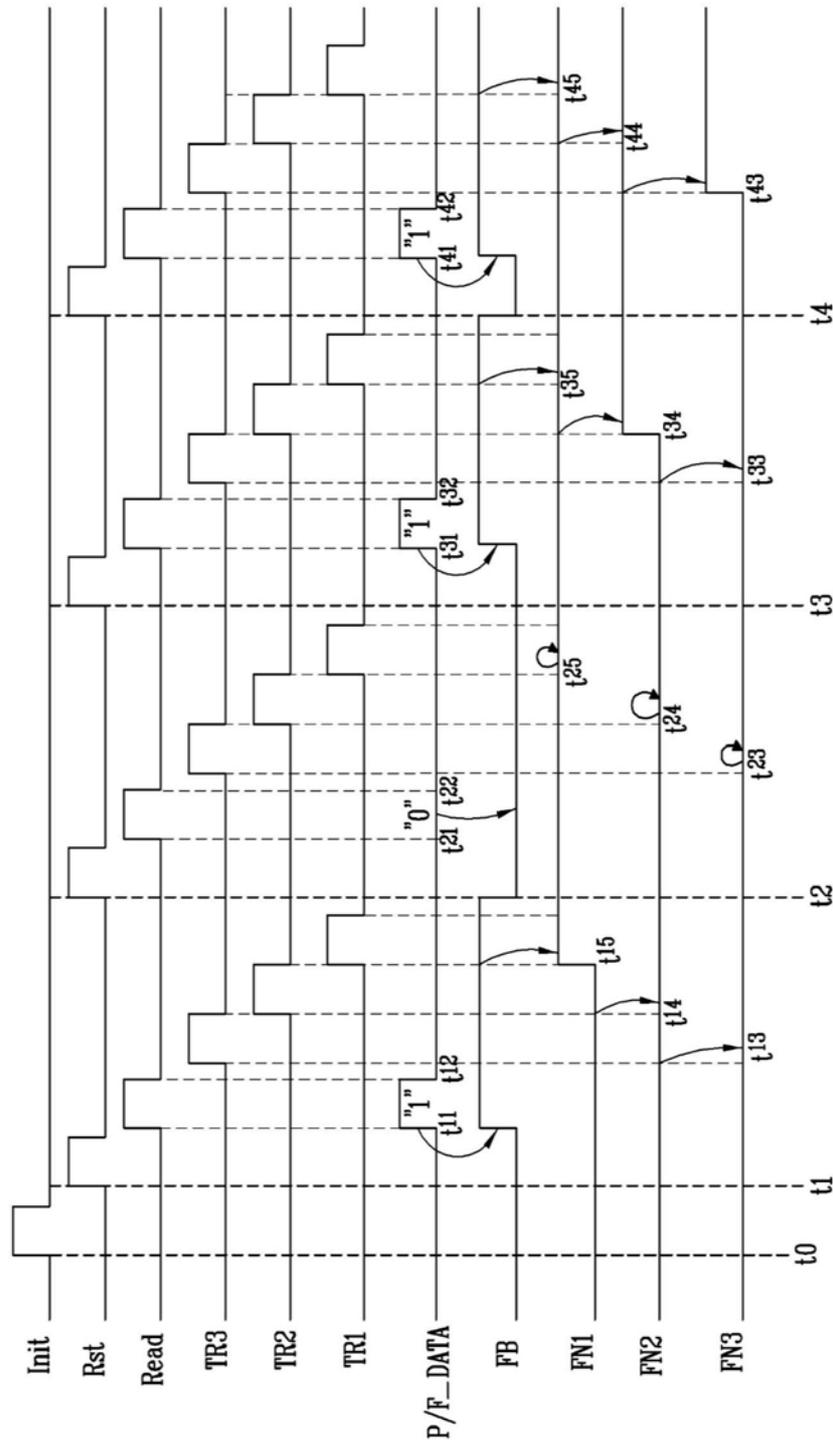


图5

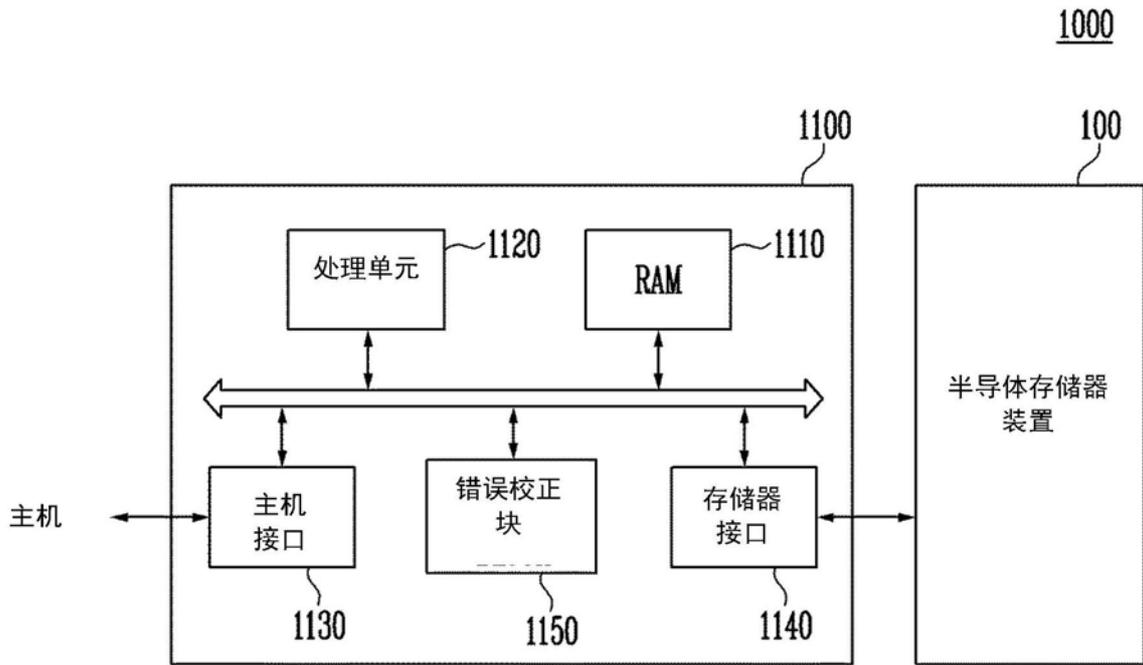


图7

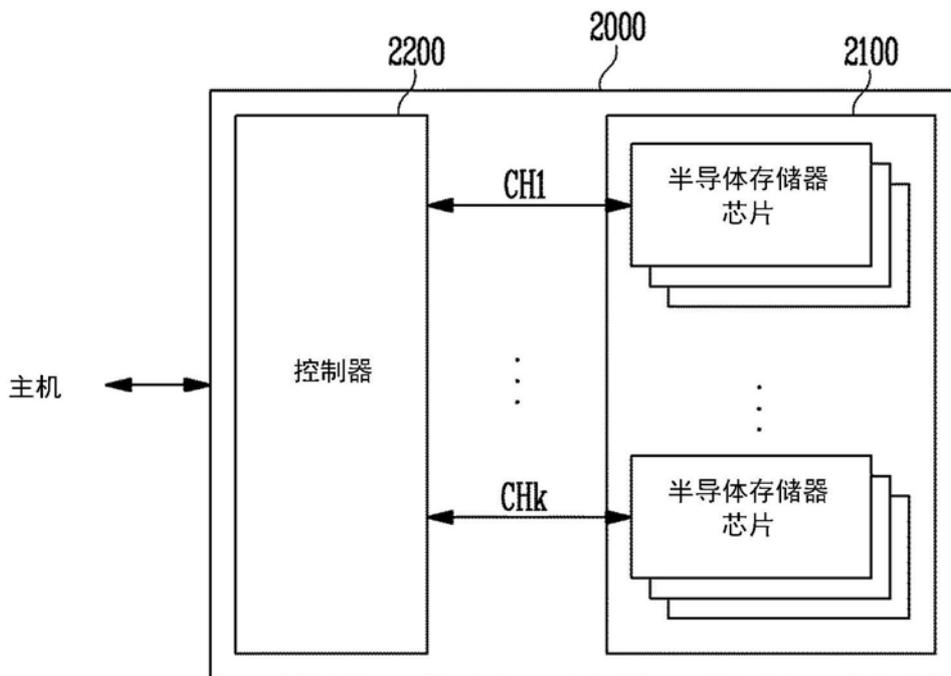


图8

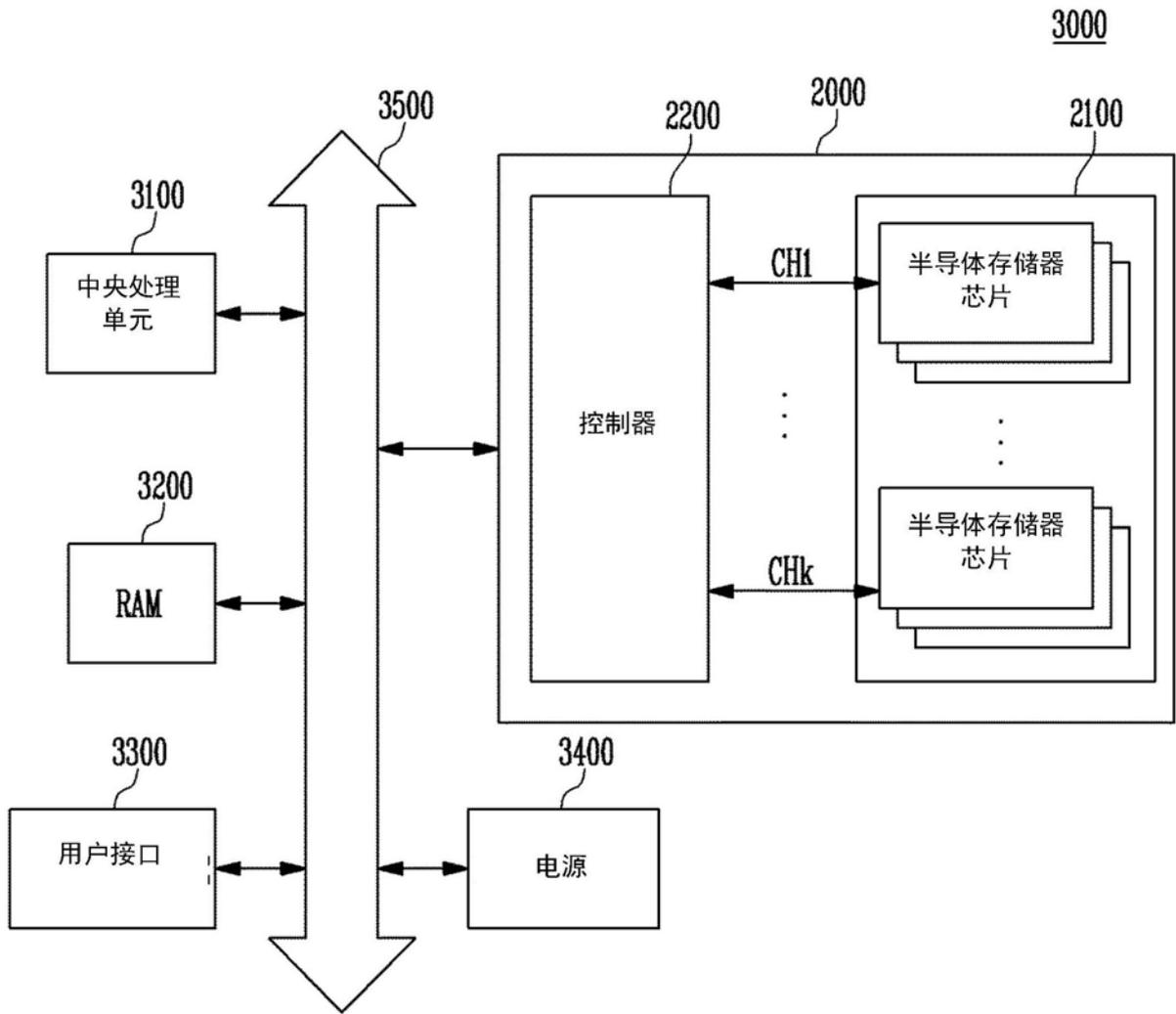


图9