

公告本

申請日期	90.2.8.
案 號	90102737
類 別	G11C11/2

A4
C4

512338

(以上各欄由本局填註)

發明專利說明書

一、發明 名稱	中 文	記憶胞具有鐵電質儲存效應之此種 積體半導體記憶體
	英 文	Integrated semiconductor-memory with memory-cells with ferro-electric memory-effect
二、發明 創作人	姓 名	1.湯瑪士羅(Dr.Thomas Röhr) 2.羅伯特艾斯特(Robert Esterl) 3.海慕特肯朵(Helmut Kandolf) 4.海茲候尼格史區德 (Hernz Hönigschmid)
	國 籍	1.2.4.-屬德國 3.屬奧地利
三、申請人	住、居所	1.德國阿斯奇漢 D-85609 高斯林 8 號 2.德國慕尼黑 D-81827 史屈文路 8 號 3.德國慕尼黑 D-81669 克勞地亞斯-凱勒街 2 號 4.德國波金 D-82343 阿布勞得 44 號
	姓 名 (名稱)	印芬龍科技股份有限公司 (Infineon Technologies AG)
三、申請人	國 籍	德國
	住、居所 (事務所)	德國慕尼黑 D-81669 聖馬丁街 53 號
三、申請人	代 表 人 姓 名	麥可勾威什(Michael Gollwitzer) 荷斯特卻佛(Dr.Horst Schäfer)
		- 1 -

裝

訂

線

經濟部智慧財產局員工消費合作社印製

(由本局填寫)

承辦人代碼：
大類：
I P C分類：

A6
B6

本案已向：

國（地區） 申請專利，申請日期： 案號： ，☒有 ☐無主張優先權

德國 2000 年 2 月 9 日 100 05619.9

有關微生物已寄存於： ，寄存日期： ，寄存號碼：

（請先閱讀背面之注意事項再填寫本頁各欄）

裝

訂

線

五、發明說明 (1)

本發明涉及一種積體半導體記憶體，其記憶胞具有鐵電質儲存效應且其記憶胞陣列具有列線(以選取各記憶胞)及行線(用來對記憶胞之資料信號進行讀出或寫入)，其中各記憶胞分別連接在行線和充電線之間，行線連接至讀出放大器且充電線是與一種驅動電路相連接，藉此可使充電線處於一預定之電位，且各行線和充電線分別具有一種驅動和未驅動之操作模式。

具有所謂 FeRAM 記憶胞之積體半導體記憶體(其記憶胞具有一種鐵電質儲存效應)在構造上通常類似於 DRAM 記憶體。這些記憶胞通常在矩陣形式之記憶胞陣列中組合成由行線和列線所構成之各單元。各行線通常連接至讀出放大器，其上可測得一種待讀出之已放大之資料信號。

在具有鐵電質儲存效應之記憶胞中以習知方式使材料之不同極化狀態形式之資料信號儲存在記憶胞中。在半導體記憶體操作時各記憶胞通常顯示出電容特性。具有此種記憶胞之半導體記憶體習知上稱為 FeRAMs。各記憶胞通常分別連接在一條行線和一條充電線(所謂"板(plate)線")之間。此種充電線大部份是與驅動放大器相連接，藉此可使充電線處於一種預定之電位。

在半導體記憶體操作時，此記憶體之行線及充電線分別具有一種驅動和未驅動之操作模式。在驅動操作模式中(此時記憶胞之內容被讀出)，相對應之行線是與讀出放大器相連接且充電線處於一種預定之電位。在未驅動之操作模式中，相對應之行線和充電線通常是與一種共

五、發明說明 (2)

同電源電位之接點相連接。

由於干擾電壓使記憶胞之內容無意中發生變化，則此種現象須防止。這些干擾電壓例如由已驅動之列線之信號耦合至未受驅動之充電線而形成。在列線受驅動時，記憶胞和相關行線之間之選擇電晶體是在導通狀態。特別在此種操作狀態時重要的是：一條未驅動之行線及一條未驅動之充電線具有相同之電位，已接通之記憶胞之二個極因此處於相同之電位。

各行線和充電線(其處於一種未驅動之操作模式中)通常連接在一種共同之電壓源上。此種電壓源通常具有較大之導線電容和導線電阻，這是由較大之尺寸及導線長度所造成。例如，若在未驅動之行線上沿著已驅動之列線藉由信號之耦合進入而產生一些干擾電壓，則在已接通之記憶胞之此行線和充電線之間可能產生不期望之電位差。當共同之電源電位所需之電壓源上之行線和充電線之接點在空間中相隔開時(即，例如，連接至半導體記憶體之不同之電路組件中)特別會產生電位差。由於電壓源之較大之導線電容及導線電阻，則這些導線之間所需之電位補償在時間上需延遲。短時間之電位差因此會在記憶胞，(其沿著已驅動之列線而配置)之各極上產生，這些電位差無意中可改變記憶胞之內容。

本發明之目的是提供一種本文開頭所述形式之積體半導體記憶體，其中由於干擾無意中所造成之記憶胞內容之改變可保持較小。

五、發明說明 (3)

此目的是由記憶胞具有鐵電質儲存效應之積體半導體記憶體來達成，其具有記憶胞陣列，此陣列具有列線(以選取記憶胞)及行線(用來對記憶胞之資料信號進行讀出或寫入，其中各記憶胞分別連接在一條行線和一條充電線之間；此條行線連接至讀出放大器，其上可測得一種輸出信號；該充電線是與一種驅動電路相連接，藉此可使充電線處於一種預定之電位；行線和充電線分別具有一種已驅動或未驅動之操作模式，此行線和充電線在未驅動之操作模式時是與共同之電源電位用之接點相連接；此行線和此充電線在讀出放大器或驅動電路中一起與共同之電源電位用之接點相連接。

有利之其他形式敘述在申請專利範圍各附屬項中。由於該行線和此充電線在讀出放大器或驅動電路中一起與共同之電源電位用之接點相連接，則相對應之行線和充電線可互相在較近之處與該共同之電源電位相連接。因此可防止導線有較大之電容及電阻，其是由電壓源之較大之尺寸及較長之導線所造成。因此可在干擾電壓耦合至相關之行線及／或充電線時在各導線之間達成一種較快速之電位補償。此記憶胞(其連接至未驅動之行線及已驅動之列線)之各極(pole)上之電位差因此可保持較小。由於干擾電壓無意中所造成之記憶胞內容之改變即可避免。

本發明特別可用在以所謂脈波-板(PPL)概念來操作之半導體記憶體中。例如在讀出週期中讀出記憶胞之資料

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (4)

信號時，相關之行線具有一種已驅動之操作模式。行線是與讀出放大器(其上可測得資料信號)相連接。相關之充電線藉由驅動電路而位於一種預定之電位處。此電位例如等於半導體記憶體之正電源電位。在未驅動之操作模式中相關之行線是與讀出放大器相隔開且與充電線一起與該共同之電源電位用之接點相連接。此電源電位例如是積體半導體記憶體之一種參考電位。

在本發明之實施形式中，行線和充電線經由第一開關元件而互相連接，該行線或充電線經由第二開關元件而與該電源電位用之接點相連接。第一開關元件之控制端和第二開關元件之控制端是與一種共同之控制信號用之接點相連接。利用此種實施形式，則可在干擾電壓耦合而入時達成一種快速之電位補償，這是因為相關之行線和充電線可經由第一開關元件而短路。藉由第一開關元件及第二開關元件之共同控制，則該二條導線可一起與該電源電位用之接點相連接。

在本發明之之其它形式中，此積體半導體記憶體具有一種處理單元，其在輸入側是與行選擇信號用之接點相連接且與列選擇信號用之接點相連接。此處理單元在輸出側是與第一開關元件之控制端及第二開關元件之控制端相連接。行選擇信號例如由行解碼器所產生以選取各行線中之一條。列選擇信號例如由列解碼器所產生。藉由行解碼作用及列解碼作用所得到之資訊之邏輯運算，則可在記憶胞陣列之其它區域中防止此行線之浮動狀態

五、發明說明 (5)

之發生。

記憶胞陣列通常劃分成多個方塊，其分別包含多條列線。在記憶體存取時，沿著所選取之行線通常只驅動記憶胞陣列中所選取之方塊內部之這些記憶胞。藉由以列選擇信號來控制該處理單元，則使記憶胞陣列之其餘未受驅動之區域中已選取之該行線可與該電源電位用之接點相連接。在這些記憶體區域中因此可使所選取之行線不會發生一種浮動狀態。

本發明以下將依據圖式來詳述。

圖式簡單說明：

第 1 圖 半導體記憶體之記憶胞陣列之圖解。

第 2 圖 本發明半導體記憶體之實施形式。

第 3 圖 各電位接點相隔開之此種記憶胞陣列之圖解。

第 1 圖顯示半導體記憶體之記憶胞陣列，其記憶胞 MC 具有鐵電質儲存效應，各記憶胞組合成由行線 BL1，BL2 和列線 WL1，WL2 所構成之單元。這些記憶胞 MC 連接在行線 BL1 和充電線 PL1 之間或連接在行線 BL2 和充電線 PL2 之間。各充電線 PL1，PL2 通常稱為所謂"板"線。

第 3 圖是記憶胞陣列之圖解，其中此行線 BL1 和板線 PL1 連接至電源電位 GND 用之相隔開之電位接點。行線 BL1 和板線 PL1 處於一種未驅動之操作模式中。行線 BL1 連接至讀出放大器 2 且與參考電位 GND 用之接點相連接。板線 PL1 連接至驅動電路 3，其用來施加此板線 PL1 之不同操作模式所用之電位。在未驅動之操作模式中，此板線 PL1 同樣

五、發明說明 (6)

與參考電位 GND 用之接點相連接。第 3 圖中假設：此行線 BL1 和板線 PL1 之參考電位 GND 用之各接點互相位於較大之距離中。此種距離 d 例如是 $d \approx 0.5\text{mm}$ 。

第 3 圖之下部顯示一種信號波形，其是行線 BL1 上之干擾電壓 V_{BL1} ，其例如由於至此行線 BL1 之耦合作用而產生。此干擾電壓 V_{BL1} 傳送至板線 PL1 (V_{PL1})。此參考電壓源因此表示一種較大之導線電容及較大之導線電阻。行線 BL1 因此於此時間延遲 Δt 之後與此板線 PL1 相連接。在記憶體 MC (其連接至所選取之列線 WL1) 之各極上例如在時間點 T 時在干擾電壓之值是 V_{BL1} 之情況中產生一種電位差。此種結果可以造成此記憶體 MC 之內容之一種無意中之改變。

第 2 圖是本發明之半導體記憶體之實施形式。行線 BL1 連接至讀出放大器 2，其上可測得一種輸出信號 S21。板線 PL1 是與驅動電路 3 相連接，此驅動電路用來施加一種正的電源電位 V1 或施加一種參考電位 GND。

行線 BL1 和板線 PL1 經由開關元件 5 而互相連接。在本實施例中，板線 PL1 經由第二開關元件 6 而與電源電位 GND 用之接點 22 相連接。開關元件 5 和 6 此處是以電晶體構成。

因此亦可使行線 BL1 (不是板線 PL1) 經由開關元件 6 而與參考電位 GND 用之接點 22 相連接。開關元件 5 之控制端 51 及開關元件 6 之控制端 61 是與共同之控制信號用之接點 71 相連接。

五、發明說明 (7)

半導體記憶體另外具有一種處理元件 7，其在輸入側是與行選擇信號用之接點 8 及列選擇信號用之接點 9 相連接。此處理元件 7 在輸出側是與控制端 51 和控制端 61 相連接。此處理元件 7 此處是以 NAND 閘構成。

第 2 圖所示之半導體記憶體之作用方式說明如下。

所示之半導體記憶體依據所謂脈波-板(pulsed-plate)概念(PPL concept)來操作。在記憶體存取時接點 8 上之行選擇信號是在驅動狀態(高(high)驅動)中。此外，接點 9 上之列選擇信號具有一種驅動狀態，使經由開關元件 5 和 6 所形成之導電性連接被中斷。須選取列線 WL1。行線 BL1 經由電晶體 10 而與讀出放大器 2 相連接以讀出且放大此記憶胞 MC 之即將讀出之資料信號。同時在板線 PL1 上藉由驅動電路 3 施加此電壓 V1。

在未對記憶胞進行存取時，接點 8 上之行選擇信號具有一種未驅動之狀態。此種狀態例如對應於一種參考電位，使電晶體 10 是在非導通狀態中，行線 BL1 和板線 PL1 經由處理單元 7 而與參考電位 GND 用之接點 22 相連接。該處理單元 7 因此可確保：只有在行選擇信號信號及列選擇信號都在驅動狀態中時此行線 BL1 和板線 PL1 之間之短路連接才會被中斷。在其它所有情況中此行線 BL1 和板線 PL1 都是短路且與參考電位 GND 相連接。

接點 9 上之列選擇信號例如包括一種選擇信號以選取記憶胞方塊，其包含多條列線。在半導體存取時通常只驅動一個記憶胞方塊。若由於接點 8 上之已驅動之選擇信號

五、發明說明 (8)

而使行線 BL 處於已驅動之操作模式中，則藉由與接點 9 上之列選擇信號所進行之邏輯運算而使另一未受驅動之記憶胞方塊中已驅動之行線 BL1 之浮動狀態不會發生。

在第 2 圖之電路配置中，行線 BL1 和板線 PL1 一起在讀出放大器 2 中與電源電位 GND 用之接點 22 相連接。但亦可使行線 BL1 和板線 PL1 一起在驅動電路 3 中與電源電位 GND 用之接點 22 相連接。在此二種情況下，各導線之間之短路連接之大小 d 減小成 $d = 1\ \mu\text{m}$ 至 $10\ \mu\text{m}$ 。

符號說明

- 2.....讀出放大器
- 3.....驅動電路
- 5,6....開關元件
- 7.....處理單元
- 8,9,22....接點
- 10.....電晶體
- 51,61.....控制端
- 71.....接點
- MC.....記憶胞
- BL1....行線
- WL1....列線
- PL1....板線

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

四、中文發明摘要（發明之名稱： 記憶體具有鐵電質儲存效應之此種）
積體半導體記憶體

一種積體半導體記憶體，其包括：各記憶體(MC)，其具有鐵電質儲存效應，一種記憶體陣列，其具有列線(WL1，WL2)以選取記憶體(MC)；以及行線(BL1，BL2)以便對各記憶體之資料信號進行讀出或寫入，其特徵為：各記憶體(MC)分別連接在一條行線(BL1)和一條充電線(PL1)之間，此行線(BL1)連接至讀出放大器(2)，其上可測得一種輸出信號(S21)，該充電線(PL1)是與驅動電路(3)相連接，藉此可使充電線(PL1)處於一種預定之電位(V1，GND)，行線(BL1)和充電線(PL1)分別具有一種已驅動或未驅動之操作模式，行線(BL1)和充電線(PL1)在未驅動之操作模式中一起在讀出放大器(2)中或驅動電路(3)中與一種共同之電源電位(GND)用之接點(22)相連接。因此可在各導線(BL1，PL1)之間達成一種較快速之電位補償。由於干擾電壓無意中所造成之記憶體內容之改變因此可保持較小。

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

四、英文創作摘要（創作之名稱：_____）

Integrated semiconductor-memory with
memory-cells with ferro-electric
memory-effect

An integrated semiconductor-memory has memory-cells (MC) with ferro-electric memory-effect, which are composed to units of column-lines (BL1, BL2) and row-lines (WL1, WL2). The memory-cells (MC) are connected respectively between one of the column-lines (BL1) and one charge-line (PL1). The column-line (BL1) is connected to a read-amplifier (2), on which an output-signal (S21) can be picked up, the charge-line (PL1) is connected with a drive-circuit (3), through which the charge-line (PL1) is located at a pre-given potential (V1, GND). The column-line (BL1) and the charge-line (PL1) are in an inactive operation mode commonly in a read-amplifier (2) or in the drive-circuit (3) connected with a terminal (22) for a common supply-potential (GND). Thus a relative fast potential-compensation between the lines (BL1, BL2) is possible. An unintentionally charge of the memory-cells-content due to the interference-voltage can be kept smaller.

（請先閱讀背面之注意事項再填
● 本頁各欄）

裝

訂

● 線

經濟部智慧財產局員工消費合作社印製

六、申請專利範圍

1. 一種積體半導體記憶體，其包括：
 - 各記憶胞(MC)，其具有鐵電質儲存效應，
 - 一種記憶胞陣列，其具有列線(WL1，WL2)以選取記憶胞(MC)；以及行線(BL1，BL2)以便對各記憶胞之資料信號進行讀出或寫入，其特徵為：
 - 各記憶胞(MC)分別連接在一條行線(BL1)和一條充電線(PL1)之間，
 - 此行線(BL1)連接至讀出放大器(2)，其上可測得一種輸出信號(S21)，
 - 該充電線(PL1)是與驅動電路(3)相連接，藉此可使充電線(PL1)處於一種預定之電位(V1，GND)，
 - 行線(BL1)和充電線(PL1)分別具有一種已驅動或未驅動之操作模式，
 - 行線(BL1)和充電線(PL1)在未驅動之操作模式中一起在讀出放大器(2)中或驅動電路(3)中與一種共同之電源電位(GND)用之接點(22)相連接。
2. 如申請專利範圍第 1 項之積體半導體記憶體，其中電源電位(GND)是積體半導體記憶體之參考電位。
3. 如申請專利範圍第 1 或第 2 項之積體半導體記憶體，其中
 - 行線(BL1)和充電線(PL1)經由第一開關元件(5)而互相連接，
 - 行線(BL1)或充電線(PL1)經由第二開關元件(6)而與電源電位(GND)用之接點(22)相連接。

六、申請專利範圍

- 第一開關元件(5)之控制端(51)和第二開關元件(6)之控制端(61)是與共同之控制信號用之接點(71)相連接。
- 4. 如申請專利範圍第3項之積體半導體記憶體，其中此積體半導體記憶體具有一種處理單元(7)，
 - 其在輸入側是與行選擇信號用之接點(8)相連接且與列選擇信號用之接點(9)相連接，
 - 其在輸出側是與第一開關元件(5)之控制端(51)相連接且與第二開關元件(6)之控制端(61)相連接。
- 5. 如申請專利範圍第4項之積體半導體記憶體，其中該處理單元(7)含有一種邏輯 NAND 閘。

第 3 圖

