



(45)授权公告日 2017.09.26

权利要求书3页 说明书4页 附图2页

1. 一种放大器,其包括:

输入电路,其具有第一对差动输出端,并且提供共模电流;以及

输出电路,其具有:

第二对输出端;

第一放大器,其耦合至所述第一对差动输出端和所述第二对输出端,并且所述第一放大器包括电阻网络;

第二放大器,其耦合至所述电阻网络,以便从感测到的共模电流和参考电压产生控制电压;

第一共模反馈电路,其耦合至所述第二放大器,以便接收所述控制电压,并且其被耦合以便当所述共模电流小于预定阈值时提供第一反馈电流到所述电阻网络;以及

第二共模反馈电路,其耦合至所述第二放大器,以便接收所述控制电压,并且其被耦合以便当所述共模电流大于预定阈值时提供第二电流到所述第一对差动输出端;

其中所述放大器进一步包括供电轨,并且其中所述第一共模反馈电路进一步包括:

第一晶体管,其具有第一无源电极、第二无源电极和控制电极,其中所述第一晶体管的所述第一无源电极耦合至所述供电轨,并且其中所述第一晶体管的所述第二无源电极耦合至所述电阻网络,并且其中所述第一晶体管的所述控制电极耦合至所述第二放大器;以及

电容器,其耦合在所述第一晶体管的所述控制电极和所述第二无源电极之间。

2. 根据权利要求1所述的放大器,其中所述第二共模反馈电路进一步包括:

第二晶体管,其具有第一无源电极、第二无源电极和控制电极,其中所述第二晶体管的所述第一无源电极耦合至所述供电轨,并且所述所述第二晶体管的所述控制电极耦合至所述第二放大器,并且其中所述第二晶体管的所述第二无源电极耦合至来自所述第一对差动输出端的第一输出端;以及

第三晶体管,其具有第一无源电极、第二无源电极和控制电极,其中所述第三晶体管的所述第一无源电极耦合至所述供电轨,并且所述第三晶体管的所述控制电极耦合至所述第二放大器,并且其中所述第三晶体管的所述第二无源电极耦合至来自所述第一对差动输出端的第二输出端。

3. 根据权利要求2所述的放大器,其中所述第一放大器进一步包括:

第四晶体管,其具有第一无源电极、第二无源电极和控制电极,其中所述第四晶体管的所述第一无源电极耦合至所述电阻网络,并且其中所述第四晶体管的所述第二无源电极耦合至来自所述第一对差动输出端的所述第一输出端;

第五晶体管,其具有第一无源电极、第二无源电极和控制电极,其中所述第五晶体管的所述第一无源电极耦合至所述电阻网络,并且其中所述第五晶体管的所述第二无源电极耦合至来自所述第一对差动输出端的所述第二输出端,并且其中所述第五晶体管的所述控制电极耦合至所述第四晶体管的所述控制电极;

第一电流镜,其耦合至所述第四晶体管的所述第二无源电极;以及

第二电流镜,其耦合至所述第五晶体管的所述第二无源电极。

4. 根据权利要求3所述的放大器,其中所述放大器进一步包括调整电路,其耦合在所述第一晶体管的所述控制电极和所述第二放大器之间,以便设置所述预定阈值。

5. 根据权利要求3所述的放大器,其中所述第一晶体管、所述第二晶体管、所述第三晶

体管、所述第四晶体管和所述第五晶体管进一步包括双极晶体管。

6. 根据权利要求5所述的放大器,其中所述第一晶体管、所述第二晶体管和所述第三晶体管进一步包括PNP晶体管,并且其中所述第四晶体管和所述第五晶体管进一步包括NPN晶体管。

7. 一种放大器,其包括:

输入电路,其具有第一对差动输出端,并且提供共模电流;以及

输出电路,其具有:

第二对输出端;

共栅放大器,其耦合至所述第一对差动输出端和所述第二对输出端,并且其包括电阻网络;

反馈放大器,其耦合至所述电阻网络,以便从感测到的共模电流和参考电压来产生控制电压;

第一共模反馈电路,其耦合至所述反馈放大器,以便接收所述控制电压,并且其被耦合以便当所述共模电流小于预定阈值时提供第一反馈电流至所述电阻网络;以及

第二共模反馈电路,其耦合至所述反馈放大器,以便接收所述控制电压,并且其被耦合以便当所述共模电流大于预定阈值时提供第二电流到所述第一对差动输出端;

其中所述放大器进一步包括供电轨,并且其中所述第一共模反馈电路进一步包括:

第一MOS晶体管,其在其源极耦合至所述供电轨,在其漏极耦合至所述电阻网络,并且在其栅极耦合至所述反馈放大器;以及

电容器,其耦合在所述第一MOS晶体管的所述栅极和所述漏极之间。

8. 根据权利要求7所述的放大器,其中所述第二共模反馈电路进一步包括:

第二MOS晶体管,其在其源极耦合至所述供电轨,在其栅极耦合至所述反馈放大器,并且在其漏极耦合至来自所述第一对差动输出端的第一输出端;以及

第三MOS晶体管,其在其源极耦合至所述供电轨,在其栅极耦合至所述反馈放大器,并且在其漏极耦合至来自所述第一对差动输出端的第二输出端。

9. 根据权利要求8所述的放大器,其中,所述共栅放大器进一步包括:

第四MOS晶体管,其在其漏极耦合至所述电阻网络,并且在其源极耦合至来自所述第一对差动输出端的所述第一输出端;

第五MOS晶体管,其在其漏极耦合至所述电阻网络,在其源极耦合至来自所述第一对差动输出端的所述第二输出端,并且在其栅极耦合至所述第四MOS晶体管的所述栅极;

第一电流镜,其耦合至所述第四MOS晶体管的所述源极;以及

第二电流镜,其耦合至所述第五MOS晶体管的所述源极。

10. 根据权利要求9所述的放大器,其中所述第一MOS晶体管、所述第二MOS晶体管和所述第三MOS晶体管进一步包括PMOS晶体管,并且其中所述第四MOS晶体管和所述第五MOS晶体管进一步包括NMOS晶体管。

11. 根据权利要求9所述的放大器,其中所述电阻网络进一步包括:

第一分压器,其耦合在所述第四MOS晶体管的所述漏极和所述第五MOS晶体管的所述漏极之间,并且其耦合至所述第一MOS晶体管的所述漏极;

第二分压器,其耦合在所述第四MOS晶体管的所述漏极和所述第五MOS晶体管的所述漏

极之间;以及

第三分压器,其耦合在第四MOS晶体管的所述漏极和所述第五MOS晶体管的所述漏极之间,并且其耦合至所述反馈放大器。

12.根据权利要求11所述的放大器,其中所述第一分压器进一步包括互相串联耦合并耦合至所述第一MOS晶体管的所述漏极的第一对电阻,并且其中所述第二分压器进一步包括互相串联耦合并耦合至所述供电轨的第二对电阻,并且其中所述第三分压器进一步包括互相串联耦合并耦合至所述反馈放大器的第三对电阻。

13.根据权利要求12所述的放大器,其中所述放大器进一步包括调整电路,其耦合在所述第一MOS晶体管的所述栅极和所述反馈放大器之间,以便设置所述预定阈值。

14.根据权利要求12所述的放大器,其中所述第一MOS晶体管、所述第二MOS晶体管和所述第三MOS晶体管相对于彼此缩放以设置所述预定阈值。

15.根据权利要求12所述的放大器,其中所述第一MOS晶体管、所述第二MOS晶体管和所述第三MOS晶体管相对于彼此具有不同的阈值电压以设置所述预定阈值。

具有共模反馈的宽带宽C类放大器

技术领域

[0001] 本发明一般涉及放大器,并且,更具体地,涉及具有共模反馈的C类放大器。

背景技术

[0002] 伪差动C类放大器有共模电流消耗,其根据不可控制的输入摆幅而变化。因此,通常采用共模反馈回路,即使在电阻负载(resistively loaded)的宽带宽放大器中,以在变化的C类电流下稳定输出共模。这种共模反馈应该减少差动带宽的劣化并维持快速工作循环的第一稳定时间。然而,还没有开发出这种反馈电路。因此,需要具有共模反馈的改进的C类放大器。

[0003] 常规电路的一些示例在美国专利号No.5,721,500以及美国专利授权之前的公开号.No.2006/0082416中描述。

发明内容

[0004] 实施例提供一种装置。该装置包括具有第一对差动输出端的输入电路,并且提供共模电流;以及输出电路,其具有:第二对输出端;第一放大器,其耦合至第一和第二对输出端,并且包括电阻网络;第二放大器,其耦合至电阻网络,以便从感测到的共模电流和参考电压产生控制电压;第一共模反馈电路,其耦合至第二放大器,以便接收控制电压,并且当共模电流小于预定阈值时,其耦合到电阻网络以提供第一反馈电流到电阻网络;以及第二共模反馈电路,其连接至第二放大器,以便接收控制电压,并且当共模电流大于预定阈值时,其耦合到第一对输入端以提供第二电流到第一对输入端。

[0005] 根据实施例,该装置进一步包括供电轨,并且其中第一共模反馈电路进一步包括:晶体管,其具有第一无源电极、第二无源电极和控制电极,其中晶体管的第一无源电极耦合至供电轨,并且其中晶体管的第二无源电极耦合至电阻网络,并且其中晶体管的控制电极耦合至第二放大器;以及电容器,其耦合在晶体管的控制电极和第二无源电极之间。

[0006] 根据实施例,晶体管进一步包括第一晶体管,并且其中第二共模反馈电路进一步包括:第二晶体管,其具有第一无源电极、第二无源电极和控制电极,其中第二晶体管的第一无源电极耦合至供电轨,并且第二晶体管的控制电极耦合至第二放大器,并且其中第二晶体管的第二无源电极耦合至来自第一对差动输出端的第一输出端;以及第三晶体管,其具有第一无源电极、第二无源电极和控制电极,其中第三晶体管的第一无源电极耦合至供电轨,并且第三晶体管的控制电极耦合至第二放大器,并且其中第三晶体管的第二无源电极耦合至来自第一对差动输出端的第二输出端。

[0007] 根据实施例,第一放大器进一步包括:第四晶体管,其具有第一无源电极、第二无源电极和控制电极,其中第四晶体管的第一无源电极耦合至电阻网络,并且其中第四晶体管的第二无源电极耦合至来自第一对差动输出端的第一输出端;第五晶体管,其具有第一无源电极、第二无源电极和控制电极,其中第五晶体管的第一无源电极耦合至电阻网络,并且其中第五晶体管的第二无源电极耦合至来自第一对差动输出端的第二输出端,并且其中

第五晶体管的控制电极耦合至第四晶体管的控制电极;第一电流镜,其耦合至第四晶体管的第二无源电极;以及第二电流镜,其耦合至第五晶体管的第二无源电极。

[0008] 根据实施例,该装置进一步包括调整电路,其耦合在第一晶体管的控制电极和第二放大器之间以便设置预定阈值。

[0009] 根据实施例,第一、第二、第三、第四和第五晶体管还包括双极晶体管。

[0010] 根据实施例,第一、第二和第三晶体管还包括PNP晶体管,并且其中第四和第五晶体管还包括NPN晶体管。

[0011] 根据实施例,提供一种装置。该装置包括具有第一对差动输出端并且提供共模电流的输入电路;以及输出电路,其具有:第二对输出端;共栅放大器,其耦合至第一和第二对输出端,并且共栅放大器包括电阻网络;反馈放大器,其耦合至电阻网络,以便从感测到的共模电流和参考电压产生控制电压;第一共模反馈电路,其耦合至反馈放大器,以便接收控制电压,并且当共模电流小于预定阈值时,其耦合到电阻网络以提供第一反馈电流到电阻网络;以及第二共模反馈电路,其耦合至反馈放大器,以便接收控制电压,并且当共模电流大于预定阈值时,其耦合到第一对输入端以提供第二电流到第一对输入端。

[0012] 根据实施例,该装置进一步包括供电轨,并且其中第一共模反馈电路进一步包括:MOS晶体管,在其自身的源极耦合至供电轨,在其自身的漏极耦合至电阻网络,并且在其自身的栅极耦合至反馈放大器;以及电容器,其耦合在MOS晶体管的栅极和漏极之间。

[0013] 根据实施例,MOS晶体管进一步包括第一MOS晶体管,并且其中第二共模反馈电路进一步包括:第二MOS晶体管,在其自身的源极耦合至供电轨,在其自身的栅极耦合至反馈放大器,并且在其自身的漏极耦合至来自第一对差动输出端的第一输出端;以及第三MOS晶体管,在其自身的源极耦合至供电轨,在其自身的栅极耦合至反馈放大器,并且在其自身的漏极耦合至来自第一对差动输出端第二输出端。

[0014] 根据实施例,共栅放大器进一步包括:第四MOS晶体管,在其自身的漏极耦合至电阻网络,并且在其自身的源极耦合至来自第一对差动输出端的第一输出端;第五MOS晶体管,在其自身的漏极耦合至电阻网络,并且在其自身的源极耦合至来自第一对差动输出端的第二输出端,并且在其自身的栅极耦合至第四MOS晶体管的栅极;第一电流镜,其耦合至第四MOS晶体管的源极;以及第二电流镜,其耦合至第五MOS晶体管的源极。

[0015] 根据实施例,第一、第二和第三晶体管进一步包括PMOS晶体管,并且其中第四和第五晶体管进一步包括NMOS晶体管。

[0016] 根据实施例,电阻网络进一步包括:第一分压器,其耦合在第四和第五MOS晶体管的漏极之间,并且其耦合至第一MOS晶体管的漏极;第二分压器,其耦合在第四和第五MOS晶体管的漏极之间;以及第三分压器,其耦合在第四和第五MOS晶体管的漏极之间,并且其耦合至反馈放大器。

[0017] 根据实施例,第一分压器进一步包括互相串联耦合并耦合至第一MOS晶体管的漏极的第一对电阻,并且其中第二分压器进一步包括互相串联耦合并耦合至供电轨的第二对电阻,并且其中第三分压器进一步包括互相串联耦合并耦合至反馈放大器的第三对电阻。

[0018] 根据实施例,第一、第二和第三MOS晶体管相对于彼此缩放以设置预定阈值。

[0019] 根据实施例,该装置进一步包括调整电路,其耦合在第一晶体管的栅极和反馈放大器之间以便设置预定阈值。

[0020] 根据实施例,第一、第二和第三MOS晶体管相对于彼此具有不同的阈值电压以设置预定阈值。

[0021] 根据实施例,提供一种方法。该方法包括施加共模电流至共栅极放大器;感测该共模电流;响应所感测的共模电流产生控制电压;如果共模电流小于预定阈值,则施加第一反馈电流至共栅放大器的差分地(differential ground),其中第一反馈是响应于控制电压而产生的;以及如果共模电流大于预定阈值,则施加第二反馈电流至共栅放大器的输入端,其中第二反馈是响应于控制电压而产生的。

[0022] 根据实施例,该方法进一步包括施加静态电流至共栅极放大器。

[0023] 根据实施例,该方法进一步包括在施加第一反馈电流的步骤之前,偏移控制电压,其中,控制电压的偏移设置预定阈值。

附图说明

[0024] 示例性实施例参考附图来描述,其中:

[0025] 图1是根据实施例的放大器的示例的示意图;

[0026] 图2和3是示出图1中的放大器的操作的示意图。

具体实施方式

[0027] 图1根据实施例示出C类放大器的示例100。在操作中,输出电路104能够“分裂”并且分配共模反馈至差分地或至具有更高频率差动极点(differential pole)的节点。一般地,输入电路102(其可以是,例如,下变频混频器)吸收(draw)(或提供)共模电流,该共模电流取决于其输入摆幅。该共模电流通过端IN被吸收(或被提供),端IN耦合至共栅极(或共基极)放大器110的输入端。即,这些端IN耦合至晶体管Q4和Q5(其可以是,例如,NMOS或NPN晶体管)的源极(或射器)。这些晶体管Q4和Q5中的每一个耦合至作为放大器110的差动负载电阻(其可以是例如约100 Ω)工作的电阻网络(即,电阻R1至R6)。该电阻网络可分离为耦合在晶体管Q4和Q5的漏极(或集电极)之间的分压器(即,电阻R1/R2、R3/R4和R5/R6)。包括电阻R3和R4的分压器可工作为共模负载电阻(其中每个电阻R3和R4能够,例如,具有约540 Ω 的电阻),其可通过移动次级共模极点来提高共模的稳定性,并且包括电阻R5和R6(其能够,例如,具有约1100 Ω 电阻)的分压器可感测共模电流。反馈放大器106(通常是差动放大器)能够通过使用所感测的共模电压(即,来自包括电阻R5/R6的分压器)和参考电压(即,约1V)来产生控制电压(在节点N1)。来自放大器106的控制电压然后可被共模反馈电路112和114用来产生反馈电流FB1和FB2。

[0028] 反馈电路114能够为低的或小的共模电流(即,低于预定阈值)提供反馈电流FB1。反馈电路114一般提供反馈电流FB1(其通常限于在供电轨VDD上的电压和在端OUT上的电压之间的差除以包括电阻R1和R2的分压器的电阻)给电阻R1和R2之间的节点,并且这一般通过晶体管Q3(其可以是,例如,PMOS或PNP晶体管)及电容器C的使用来完成。电阻R1和R2之间的节点可充当共栅极(或共基极)放大器110的差分地,并且,通过施加此反馈电流FB1至低于预定阈值的这个节点,在共栅极(或共基极)放大器110的共源共栅节点的源极的带宽可最大化,这一般可防止次级极点频率降低。如果次级极点降低频率,可减小共模稳定性和差动带宽。

[0029] 当共模电流高于预定阈值时反馈电路112能够提供反馈电流FB1。一般地,反馈电路112由晶体管Q1和Q2(其可以是,例如,PMOS或PNP晶体管)组成。这些晶体管Q1和Q2(像晶体管Q3一样)从放大器106接收控制电压,但有一点不同的是,晶体管Q1和Q2可提供无限制的范围。然而,对于低共模电流(低于预定阈值),反馈电流112从电流镜Q6/Q7和Q8/Q9“窃取”电流。这些电流镜Q6/Q7和Q8/Q9(其可以是,例如,NMOS或NPN晶体管)与晶体管Q4和Q5共源共栅,并提供基本静态电流至晶体管Q4和Q5。这些静态电流一般可充当基本防止晶体管Q4和Q5“截止”的“保活”电流。通常情况下,晶体管Q7和Q8接收通过晶体管Q6和Q9(其可以是,例如,晶体管Q7和Q8的约5倍)镜像的电流I1和I2(其一般为偏移电流加上基本静态共模电流)。因此,如果在没有反馈电路114的情况下使用反馈电路112,反馈电路112可“切断”晶体管Q4和Q5,因此通过反而结合反馈电路114使用反馈电路112(当反馈电路114超出范围),可实现具有低带宽劣化的较大的最大电流输送,同时也一般避免了在主导极点节点上的负载。

[0030] 为了能够调整预定阈值,可采用若干不同的方法。Q3的阈值电压可设置为不同于晶体管Q1和Q2的电压水平,或者,可替换地,晶体管Q3的尺寸可设置为不同于晶体管Q1和Q2的尺寸。作为另一种替换,对晶体管Q3的栅极或基极的电压偏移可用调整电路108来执行。

[0031] 图2和3中示出放大器100的操作的示例。在图2和3的每一个,可以看到在端OUT和节点N1上的信号,对于低共模电流(如在图2中可见)和高共模电流(如在图3中可见)的每种情况,输出电路104显著地提高性能。

[0032] 本领域技术人员将会理解,在所要求保护的发明的范围内,可以对所描述的示例性实施例做出修改,并且很多其它实施例也是可能的。

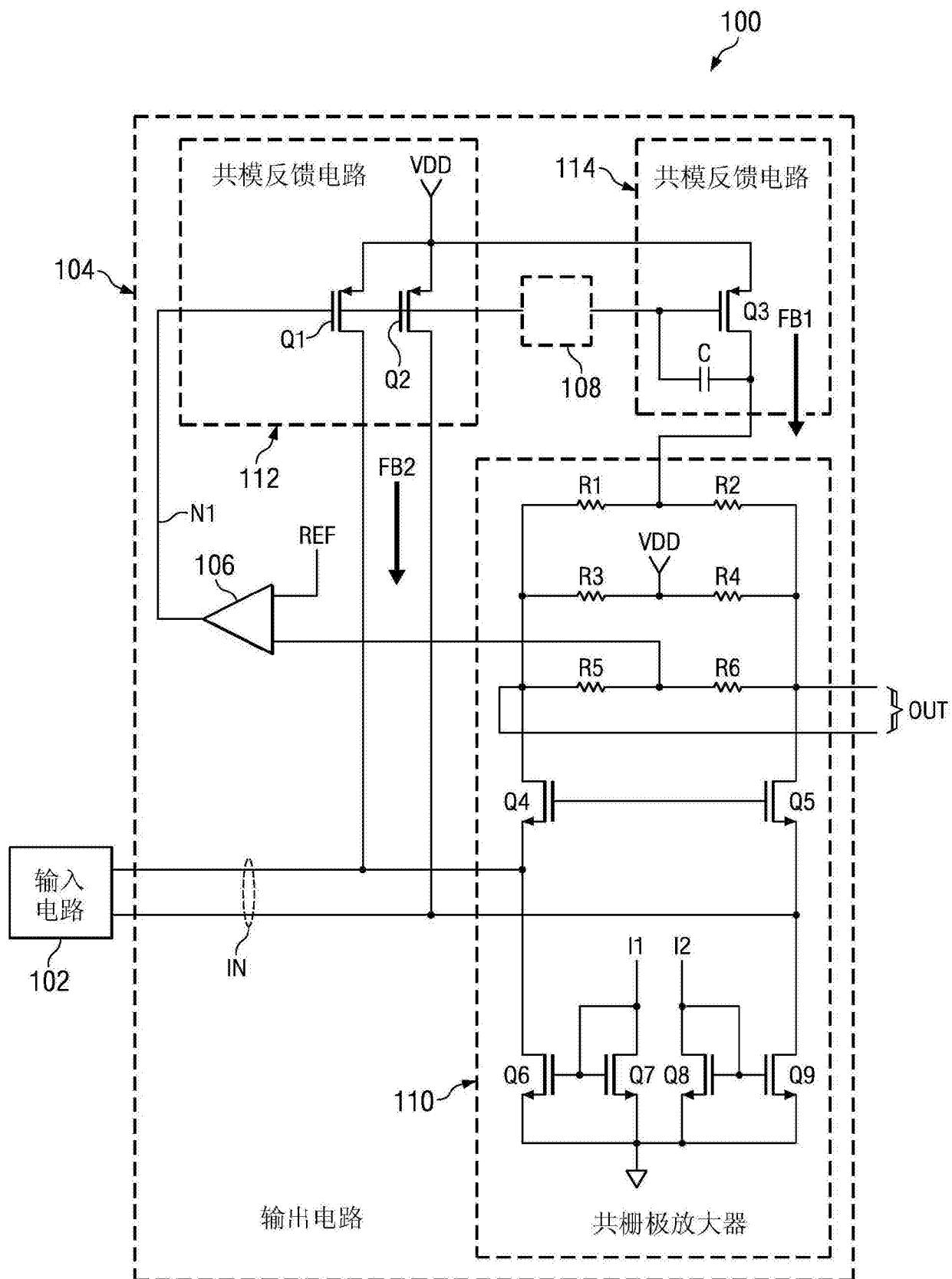


图1

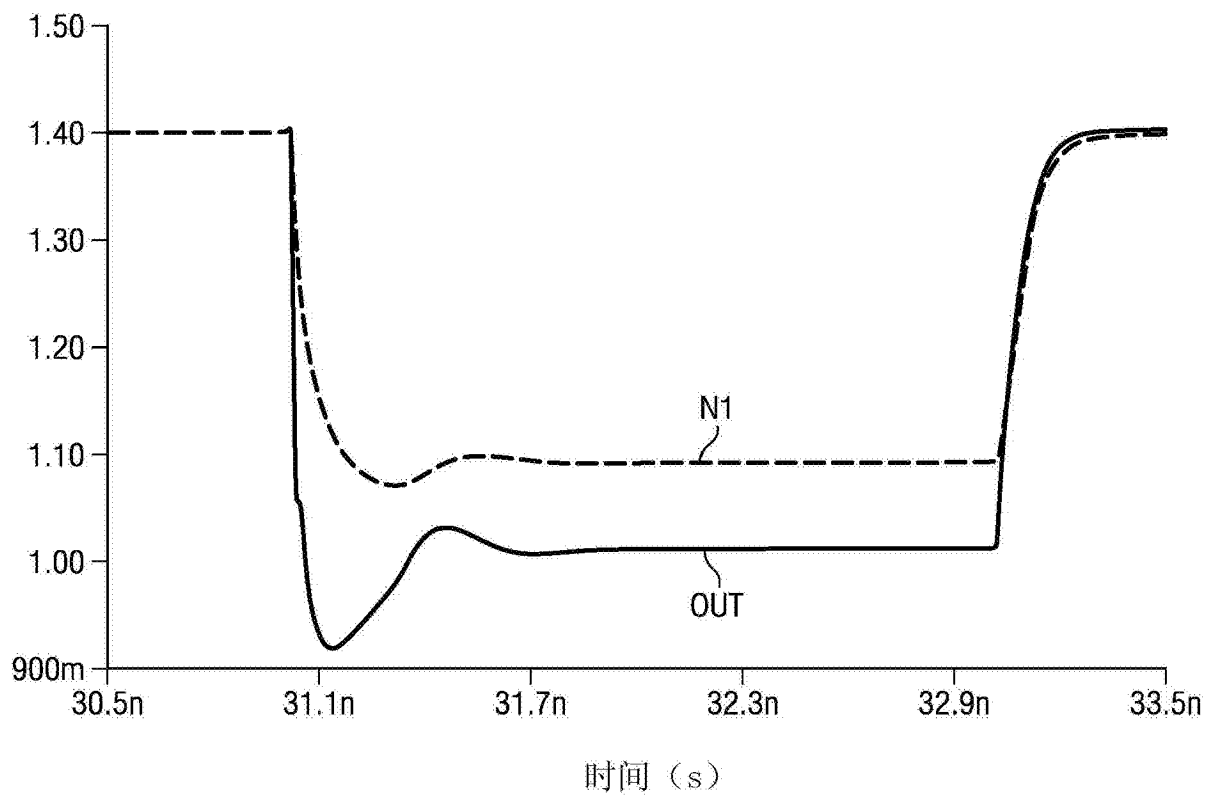


图2

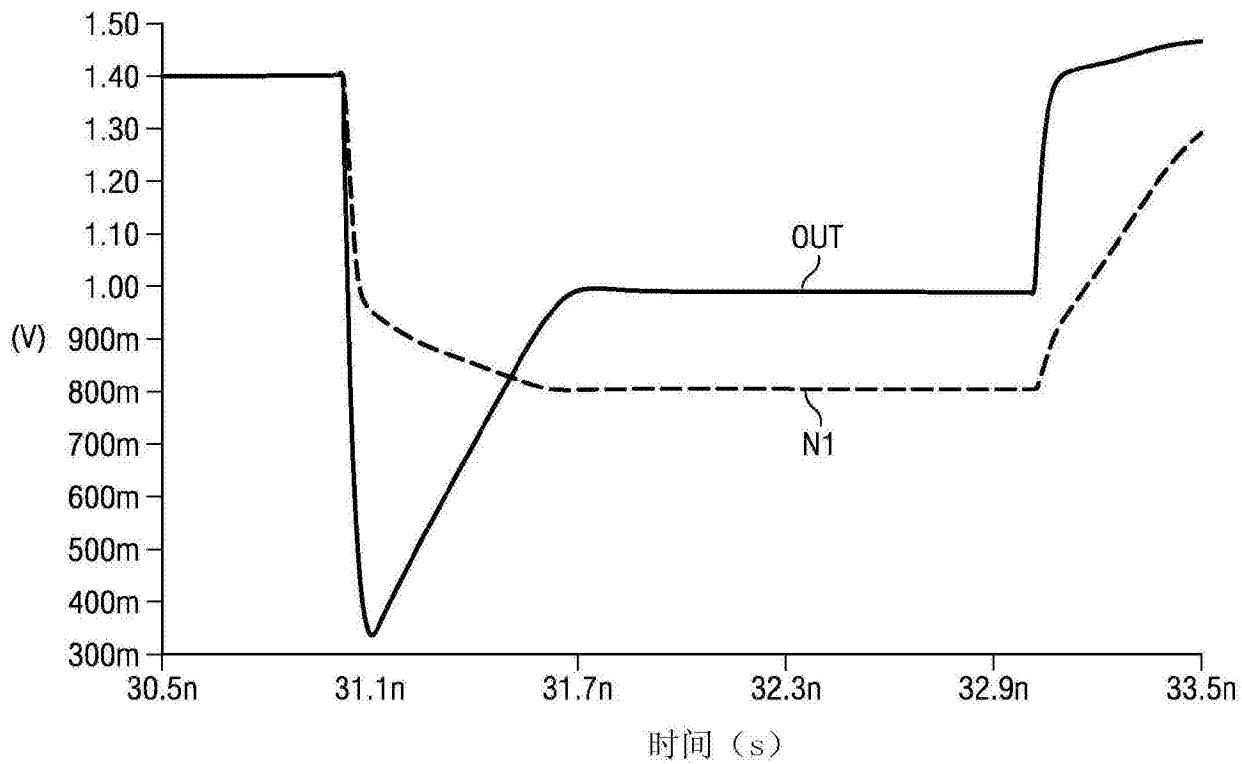


图3