

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第6223668号
(P6223668)

(45) 発行日 平成29年11月1日(2017.11.1)

(24) 登録日 平成29年10月13日(2017.10.13)

(51) Int.Cl.

F 1

HO1L 29/786	(2006.01)	HO1L	29/78	616U
HO1L 21/28	(2006.01)	HO1L	29/78	618B
HO1L 29/417	(2006.01)	HO1L	21/28	301B
HO1L 21/8242	(2006.01)	HO1L	29/50	M
HO1L 27/108	(2006.01)	HO1L	27/108	321

請求項の数 7 (全 34 頁) 最終頁に続く

(21) 出願番号

特願2012-203935 (P2012-203935)

(22) 出願日

平成24年9月18日 (2012.9.18)

(65) 公開番号

特開2013-80915 (P2013-80915A)

(43) 公開日

平成25年5月2日 (2013.5.2)

審査請求日 平成27年9月2日 (2015.9.2)

(31) 優先権主張番号 特願2011-207429 (P2011-207429)

(32) 優先日 平成23年9月22日 (2011.9.22)

(33) 優先権主張国 日本国 (JP)

(73) 特許権者 000153878

株式会社半導体エネルギー研究所

神奈川県厚木市長谷398番地

(72) 発明者 山崎 舜平

神奈川県厚木市長谷398番地 株式会社

半導体エネルギー研究所内

(72) 発明者 磯部 敦生

神奈川県厚木市長谷398番地 株式会社

半導体エネルギー研究所内

(72) 発明者 佐々木 俊成

神奈川県厚木市長谷398番地 株式会社

半導体エネルギー研究所内

審査官 市川 武宜

最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項 1】

半導体膜と、

前記半導体膜と電気的に接続されている一対の第1導電膜と、

一対の前記第1導電膜とそれぞれ電気的に接続されている一対の第2導電膜と、

第3導電膜と、

前記半導体膜と前記第3導電膜との間の領域を有する絶縁膜と、を有し、

前記半導体膜は、一対の前記第1導電膜の一方と一対の前記第2導電膜の一方との間の領域を有し、

前記半導体膜は、一対の前記第1導電膜の他方と一対の前記第2導電膜の他方との間の領域を有し、

一対の前記第1導電膜は、前記半導体膜と一対の前記第1導電膜とが重なる領域において

前記第3導電膜と重なる領域を有し、

一対の前記第2導電膜は、前記半導体膜と一対の前記第2導電膜とが重なる領域において前記第3導電膜と重ならない半導体装置。

【請求項 2】

半導体膜と、

前記半導体膜と電気的に接続されている一対の第1導電膜と、

一対の前記第1導電膜とそれぞれ電気的に接続されている一対の第2導電膜と、

第3導電膜と、

10

20

前記半導体膜と前記第3導電膜との間の領域を有する絶縁膜と、を有し、
 前記半導体膜は、一対の前記第1導電膜の一方と一対の前記第2導電膜の一方との間の
 領域を有し、
 前記半導体膜は、一対の前記第1導電膜の他方と一対の前記第2導電膜の他方との間の
 領域を有し、
二対の前記第2導電膜は、前記半導体膜の上方に位置し、
一対の前記第1導電膜は、前記半導体膜と一対の前記第1導電膜とが重なる領域において
前記第3導電膜と重なる領域を有し、
一対の前記第2導電膜は、前記半導体膜と一対の前記第2導電膜とが重なる領域において
前記第3導電膜と重ならない半導体装置。

10

【請求項3】

請求項1または請求項2において、
チャネル長方向において、一対の前記第2導電膜の間隔は、一対の前記第1導電膜の間
隔よりも長い半導体装置。

【請求項4】

層上の半導体膜と、
 前記半導体膜と電気的に接続されている一対の第1導電膜と、
 一対の前記第1導電膜とそれぞれ電気的に接続されている一対の第2導電膜と、
 第3導電膜と、
 前記半導体膜と前記第3導電膜との間の領域を有する絶縁膜と、を有し、
 前記半導体膜は、一対の前記第1導電膜の一方と一対の前記第2導電膜の一方との間の
 領域を有し、
 前記半導体膜は、一対の前記第1導電膜の他方と一対の前記第2導電膜の他方との間の
 領域を有し、
前記層は、一対の第4導電膜と、一対の前記第4導電膜の間の領域を有する第2絶縁膜
と、を有し、
一対の前記第4導電膜は、一対の前記第1導電膜とそれぞれ電気的に接続されており、
チャネル長方向において、一対の前記第2導電膜の間隔は、一対の前記第1導電膜の間
隔よりも長い半導体装置。

20

【請求項5】

層上の半導体膜と、
 前記半導体膜と電気的に接続されている一対の第1導電膜と、
 一対の前記第1導電膜とそれぞれ電気的に接続されている一対の第2導電膜と、
 第3導電膜と、
 前記半導体膜と前記第3導電膜との間の領域を有する絶縁膜と、を有し、
 前記半導体膜は、一対の前記第1導電膜の一方と一対の前記第2導電膜の一方との間の
 領域を有し、
 前記半導体膜は、一対の前記第1導電膜の他方と一対の前記第2導電膜の他方との間の
 領域を有し、
 前記半導体膜は、一対の前記第1導電膜の一方と一対の前記第2導電膜の一方との間の
 領域を有し、
前記層は、一対の第4導電膜と、一対の前記第4導電膜の間の領域を有する第2絶縁膜
と、を有し、
一対の前記第4導電膜は、一対の前記第1導電膜とそれぞれ電気的に接続されており、
チャネル長方向において、一対の前記第2導電膜の間隔は、一対の前記第1導電膜の間
隔よりも長い半導体装置。

30

【請求項6】

請求項1乃至請求項5のいずれか1項において、
 前記一対の第1導電膜の膜厚が、10nm以上300nm以下である半導体装置。

【請求項7】

請求項1乃至請求項6のいずれか1項において、

40

50

前記半導体膜は、酸化物半導体を有する半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、絶縁ゲート型電界効果トランジスタを用いた半導体装置に関する。

【背景技術】

【0002】

近年、ポリシリコンや微結晶シリコンによって得られる高い移動度と、アモルファスシリコンによって得られる均一な素子特性とを兼ね備えた新たな半導体材料として、酸化物半導体と呼ばれる、半導体特性を示す金属酸化物に注目が集まっている。金属酸化物は様々な用途に用いられており、例えば、よく知られた金属酸化物である酸化インジウムは、液晶表示装置などで透明電極材料として用いられている。半導体特性を示す金属酸化物としては、例えば、酸化タンゲステン、酸化錫、酸化インジウム、酸化亜鉛などがあり、このような半導体特性を示す金属酸化物をチャネル形成領域に用いるトランジスタが、既に知られている（特許文献1及び特許文献2）。

【先行技術文献】

【特許文献】

【0003】

【特許文献1】特開2007-123861号公報

【特許文献2】特開2007-96055号公報

10

20

【発明の概要】

【発明が解決しようとする課題】

【0004】

ところで、シリコンを用いたトランジスタでは、半導体膜への微量の不純物の添加による価電子制御が行われている。しかし、酸化物半導体を用いたトランジスタでは、シリコンを用いたトランジスタとは異なり、不純物の添加による価電子制御の技術が確立されていない。よって、酸化物半導体を用いたトランジスタは、ソース電極またはドレイン電極として機能する導電膜を、半導体膜のチャネル形成領域に直接接続させる構成を採る場合が多い。そのため、酸化物半導体を用いたトランジスタでは、半導体膜とソース電極またはドレイン電極の間における接触抵抗が大きく、それによりオン電流の向上が妨げられている。

30

【0005】

また、シリコンを用いたトランジスタでは、ゲート電極やレジストをマスクとして用い、半導体膜に不純物を添加することで、ソース領域及びドレイン領域を形成する。よって、ゲート電極やレジストのサイズを調整することで、チャネル長を制御することができる。一方、酸化物半導体を用いたトランジスタでは、チャネル長の制御は、ソース電極とドレイン電極の間隔を調整することにより行う。そのため、トランジスタを微細化するには、ソース電極とドレイン電極の間隔を短くする必要があり、ゲート電極のサイズによっては、ゲート電極とソース電極またはドレイン電極とが部分的に重なりうる。

【0006】

40

ゲート電極が半導体膜の上に位置するトップゲート型のトランジスタの場合、ソース電極及びドレイン電極は半導体膜の下に設けることが望ましい。しかし、ソース電極及びドレイン電極の端部における、半導体膜の被覆性（ステップカバレッジ）を確保するためには、ソース電極及びドレイン電極の膜厚を小さくすることが必要であるが、膜厚を小さくするとソース電極及びドレイン電極の抵抗が高まる。そのため、ステップカバレッジの確保に努めると、トランジスタのオン電流を高めることが難しい。

【0007】

上述したような技術的背景のもと、本発明は、トランジスタのオン電流を高めることができる半導体装置の提供を、課題の一つとする。

【課題を解決するための手段】

50

【0008】

本発明の一態様に係る半導体装置では、トランジスタが、絶縁表面上の一対の第1導電膜と、一対の第1導電膜上の半導体膜と、一対の第1導電膜にそれぞれ接続されている一対の第2導電膜と、半導体膜上の絶縁膜と、絶縁膜上において、半導体膜と重なる位置に設けられた第3導電膜とを有する。一対の第1導電膜及び一対の第2導電膜はソース電極またはドレイン電極として機能させることができ、第3導電膜はゲート電極として機能させることができる。

【0009】

本発明の一態様では、半導体膜内でキャリアが移動する方向、すなわちチャネル長方向におけるソース電極とドレイン電極の間隔を、一対の第1導電膜の間隔により定めることができる。そのため、一対の第2導電膜の間隔が、一対の第1導電膜の間隔よりも長くなるように、一対の第2導電膜の配置を定めることができる。よって、本発明の一態様では、トランジスタの微細化によりソース電極とドレイン電極の間隔を短くする必要が生じた場合、一対の第1導電膜の間隔を短くすれば良く、一対の第2導電膜と第3導電膜とを、半導体膜上において重ならないように、一対の第2導電膜の間隔を長くすることができる。具体的には、半導体膜上における第3導電膜を挟むように、かつ離間して、一対の第2導電膜を設けることができる。したがって、トランジスタを微細化しても、第3導電膜から半導体膜に与えられる電界が、一対の第2導電膜により妨げられにくいため、高いオン電流を得ることができる。

【0010】

また、本発明の一態様では、半導体膜の下に一対の第1導電膜が存在し、半導体膜の上に第3導電膜が存在する。そのため、トランジスタの微細化により、一対の第1導電膜の間隔が短くなることで、ゲート電極として機能する第3導電膜と一対の第1導電膜とが重なつても、第3導電膜から半導体膜に与えられる電界は、一対の第1導電膜により妨げられにくい。よって、トランジスタを微細化しても、高いオン電流を得ることができる。

【0011】

また、一対の第1導電膜の端部における、半導体膜のステップカバレッジを高めるために、一対の第1導電膜の膜厚を小さく抑えたとしても、一対の第1導電膜と、一対の第2導電膜とをそれぞれ接続させることで、一対の第1導電膜及び一対の第2導電膜で構成されるソース電極またはドレイン電極の抵抗を、低く抑えることができる。

【0012】

或いは、本発明の一態様に係る半導体装置では、上記構成に加えて、一対の第2導電膜が半導体膜上に位置していても良い。

【0013】

一対の第2導電膜が半導体膜上に位置している場合、一対の第2導電膜が半導体膜と離隔している場合よりも、ソース電極またはドレイン電極として機能する一対の第1導電膜及び一対の第2導電膜と、半導体膜とが接する面積を、大きく確保することができる。よって、トランジスタが微細化されても、一対の第1導電膜及び一対の第2導電膜で構成されるソース電極またはドレイン電極と、半導体膜との間の接触抵抗を小さく抑えることができるので、高いオン電流を得ることができる。

【発明の効果】**【0014】**

本発明の一態様では、上記構成により、オン電流の高いトランジスタを用いた半導体装置を実現することができる。

【図面の簡単な説明】**【0015】**

【図1】本発明の一態様に係る半導体装置が有する、トランジスタの構成を示す図。

【図2】本発明の一態様に係る半導体装置が有する、トランジスタの構成を示す図。

【図3】本発明の一態様に係る半導体装置が有する、トランジスタの構成を示す図。

【図4】本発明の一態様に係る半導体装置が有する、トランジスタの構成を示す図。

10

20

30

40

50

【図5】本発明の一態様に係る半導体装置が有する、トランジスタの構成を示す図。

【図6】半導体装置の作製方法を示す図。

【図7】半導体装置の作製方法を示す図。

【図8】半導体装置の作製方法を示す図。

【図9】メモリセルの構成を示す図。

【図10】記憶装置の構成を示す図。

【図11】インバータの構成を示す図。

【図12】電子機器の図。

【発明を実施するための形態】

【0016】

10

以下では、本発明の実施の形態について図面を用いて詳細に説明する。ただし、本発明は以下の説明に限定されず、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは、当業者であれば容易に理解される。したがって、本発明は、以下に示す実施の形態の記載内容に限定して解釈されるものではない。

【0017】

20

なお、本発明は、集積回路、RFタグ、半導体表示装置など、トランジスタを用いたあらゆる半導体装置を、その範疇に含む。なお、集積回路には、マイクロプロセッサ、画像処理回路、DSP(Digital Signal Processor)、マイクロコントローラを含むLSI(Large Scale Integrated Circuit)、FPGA(Field Programmable Gate Array)やCPLD(Complex PLD)などのプログラマブル論理回路(PLD:Programmable Logic Device)が、その範疇に含まれる。また、半導体表示装置には、液晶表示装置、有機発光素子(OLED)に代表される発光素子を各画素に備えた発光装置、電子ペーパー、DMD(Digital Micromirror Device)、PDP(Plasma Display Panel)、FED(Field Emission Display)など、トランジスタを駆動回路に有している半導体表示装置が、その範疇に含まれる。

【0018】

(実施の形態1)

図1に、本発明の一態様に係る半導体装置の、トランジスタの構造を例示する。図1(A)は、当該トランジスタのチャネル長方向における断面図の一例である。

30

【0019】

図1(A)に示すトランジスタは、絶縁表面上に第1導電膜101及び第1導電膜102と、第1導電膜101及び第1導電膜102上の半導体膜103と、第1導電膜101及び第1導電膜102にそれぞれ接続されている第2導電膜104及び第2導電膜105と、半導体膜103上の絶縁膜106と、絶縁膜106上であり、なおかつ第2導電膜104と第2導電膜105の間ににおいて、半導体膜103と重なる位置に設けられた第3導電膜107とを有する。

【0020】

40

第1導電膜101及び第2導電膜104と、第1導電膜102及び第2導電膜105とは、ソース電極またはドレイン電極として機能する。第3導電膜107はゲート電極として機能する。

【0021】

半導体膜103は、完全に第1導電膜101及び第1導電膜102を覆ってはおらず、第1導電膜101及び第1導電膜102をそれぞれ部分的に覆っている。そして、第1導電膜101及び第1導電膜102のうち、半導体膜103によって覆われていない部分、すなわち半導体膜103と重なっている部分とは異なる部分において、第1導電膜101及び第1導電膜102と、第2導電膜104及び第2導電膜105とがそれぞれ接続されている。

【0022】

50

なお、第1導電膜101及び第1導電膜102と、第2導電膜104及び第2導電膜105との接続は、必ずしも第1導電膜101と第2導電膜104とが、或いは第1導電膜102と第2導電膜105とが、直接接している状態を意味するものではない。例えば、電気的な接続を確保できる程度に小さい膜厚を有する、自然酸化膜などの絶縁膜が、第1導電膜101と第2導電膜104の間に、或いは第1導電膜102と第2導電膜105の間に設けられていても良い。

【0023】

そして、本発明の一態様では、半導体膜103上における第3導電膜107の端部107eを挟むように、かつ離間して、第2導電膜104及び第2導電膜105が設けられている。すなわち、第2導電膜104及び第2導電膜105と、第3導電膜107とは、半導体膜103上において重ならない。
10

【0024】

また、チャネル長方向において、第2導電膜104の端部104eと第2導電膜105の端部105eの間に、半導体膜103の下に位置する第1導電膜101の端部101e、及び第1導電膜102の端部102eとが位置している。なお、上記端部101eと端部102eとは、チャネル長方向において、最も近い位置に存在する第1導電膜101の端部と、第1導電膜102の端部とする。よって、チャネル長方向において、第2導電膜104の端部104eと第2導電膜105の端部105eの間隔Lsdは、第1導電膜101の端部101eと第1導電膜102の端部102eの間隔Lcよりも長い。
20

【0025】

本発明の一態様では、ソース電極またはドレイン電極として機能する第1導電膜101及び第1導電膜102と、ゲート電極として機能する第3導電膜107の間に、半導体膜103及び絶縁膜106が位置している。そのため、第3導電膜107と半導体膜103の間に第1導電膜101及び第1導電膜102が設けられている場合とは異なり、トランジスタの微細化により間隔Lcが短くなってしまっても、第3導電膜107から半導体膜103に与えられる電界が、第1導電膜101及び第1導電膜102により妨げられにくい。よって、トランジスタを微細化しても、高いオン電流を得ることができる。
20

【0026】

また、第1導電膜101の端部101e及び第1導電膜102の端部102eにおける、半導体膜103のステップカバレッジを高めるために、第1導電膜101及び第1導電膜102の膜厚を小さく抑えたとしても、第1導電膜101及び第1導電膜102と、第2導電膜104及び第2導電膜105とをそれぞれ接続させることで、第1導電膜101及び第1導電膜102と、第2導電膜104及び第2導電膜105とで構成されるソース電極またはドレイン電極の、抵抗を低く抑えることができる。
30

【0027】

次いで、図1(B)に、図1(A)に示した断面構造を有するトランジスタの、上面図の一例を示す。ただし、図1(B)では、トランジスタのレイアウトを明確にするために、絶縁膜106を省略した上面図を示す。また、図1(B)の一点鎖線A1-A2における断面図が、図1(A)に相当する。
40

【0028】

図1(B)に示す上面図では、半導体膜103が開口部108及び開口部109を有している。そして、開口部108において、第1導電膜101と第2導電膜104が接続されている。また、開口部109において、第1導電膜102と第2導電膜105が接続されている。

【0029】

次いで、図1(C)に、図1(A)に示した断面構造を有するトランジスタの、上面図の別の例を示す。ただし、図1(C)では、トランジスタのレイアウトを明確にするために、絶縁膜106を省略した上面図を示す。また、図1(C)の一点鎖線A1-A2における断面図が、図1(A)に相当する。

【0030】

10

20

30

40

50

図1(C)に示す上面図では、半導体膜103が三つに分離している。3つに分離している半導体膜103間が、開口部108及び開口部109に相当する。そして、開口部108において、第1導電膜101と第2導電膜104が接続されている。また、開口部109において、第1導電膜102と第2導電膜105が接続されている。

【0031】

なお、図1に示すトランジスタでは、第2導電膜104または第2導電膜105が、第1導電膜101の上部、または第1導電膜102の上部にのみ接続されている構成を有している。しかし、本発明の一態様では、第2導電膜104または第2導電膜105が、第1導電膜101の上部及び端部、または第1導電膜102の上部及び端部に接続されていても良い。

10

【0032】

図2に、本発明の一態様に係る半導体装置の、トランジスタの構造を例示する。図2(A)は、当該トランジスタの断面図の一例である。また、図2(B)は、図2(A)に示した断面構造を有するトランジスタの、上面図の一例である。ただし、図2(B)では、トランジスタのレイアウトを明確にするために、絶縁膜106を省略した上面図を示す。また、図2(B)の一点鎖線B1-B2における断面図が、図2(A)に相当する。

【0033】

図2に示すトランジスタは、絶縁表面上に第1導電膜101及び第1導電膜102と、第1導電膜101及び第1導電膜102上の半導体膜103と、第1導電膜101及び第1導電膜102にそれぞれ接続されており、なおかつ半導体膜103上に位置する第2導電膜104及び第2導電膜105と、半導体膜103上の絶縁膜106と、絶縁膜106上において、半導体膜103と重なる位置に設けられた第3導電膜107とを有する。

20

【0034】

そして、図2に示すトランジスタは、第2導電膜104及び第2導電膜105が、第1導電膜101の上部、または第1導電膜102の上部のみならず、第1導電膜101の端部、または第1導電膜102の端部にも接続されている点において、図1に示すトランジスタと構造が異なる。よって、絶縁表面において第1導電膜101及び第1導電膜102が設けられている領域の面積(占有面積)が図1に示すトランジスタと図2に示すトランジスタとで同じであるならば、図2に示すトランジスタは、上記構成により、第1導電膜101と第2導電膜104が接続している部分の面積、または第1導電膜102と第2導電膜105が接続している部分の面積を、図1に示すトランジスタよりも大きく確保することができる。よって、第1導電膜101と第2導電膜104の間の接触抵抗、或いは第1導電膜102と第2導電膜105の間の接触抵抗を低減させることができる。

30

【0035】

なお、図1及び図2では、第2導電膜104及び第2導電膜105が、それぞれ半導体膜103と接している場合を例示している。しかし、本発明の一態様では、第2導電膜104または第2導電膜105は、半導体膜103と離隔していても良い。

【0036】

図3に、本発明の一態様に係る半導体装置の、トランジスタの構造を例示する。図3(A)は、当該トランジスタの断面図の一例である。また、図3(B)は、図3(A)に示した断面構造を有するトランジスタの、上面図の一例である。ただし、図3(B)では、トランジスタのレイアウトを明確にするために、絶縁膜106を省略した上面図を示す。また、図3(B)の一点鎖線C1-C2における断面図が、図3(A)に相当する。

40

【0037】

図3に示すトランジスタは、絶縁表面上に第1導電膜101及び第1導電膜102と、第1導電膜101及び第1導電膜102上の半導体膜103と、第1導電膜101及び第1導電膜102にそれぞれ接続されており、なおかつ半導体膜103と離隔している第2導電膜104及び第2導電膜105と、半導体膜103上の絶縁膜106と、絶縁膜106上において、半導体膜103と重なる位置に設けられた第3導電膜107とを有する。

【0038】

50

図3に示すトランジスタは、第2導電膜104または第2導電膜105が、半導体膜103と離隔している点において、図1に示すトランジスタ及び図2に示すトランジスタと構造が異なる。

【0039】

なお、図1及び図2に示すように、第2導電膜104及び第2導電膜105が、それぞれ半導体膜103と接している場合、図3に示すように、第2導電膜104及び第2導電膜105が半導体膜103と離隔している場合よりも、ソース電極またはドレイン電極として機能する第1導電膜101及び第2導電膜104と、第1導電膜102及び第2導電膜105とが、半導体膜103と接する面積を、大きく確保することができる。よって、トランジスタが微細化されても、第2導電膜104及び第2導電膜105が、それぞれ半導体膜103と接している構成とすることで、第1導電膜101及び第2導電膜104と半導体膜103の接触抵抗、或いは、第1導電膜102及び第2導電膜105と半導体膜103の接触抵抗を小さく抑え、高いオン電流を得ることができる。10

【0040】

また、本発明の一態様に係る半導体装置のトランジスタは、第1導電膜101または第1導電膜102の下層に、第4導電膜を有していても良い。図4(A)に、本発明の一態様に係る半導体装置のトランジスタの、断面図の一例を示す。

【0041】

図4(A)に示すトランジスタは、図1(A)に示した断面構造を有するトランジスタに、第4導電膜110及び第4導電膜111を付加した構成を有している。具体的に、図4(A)に示すトランジスタは、第1導電膜101及び第1導電膜102と、第1導電膜101及び第1導電膜102上の半導体膜103と、第1導電膜101及び第1導電膜102にそれぞれ接続されている第2導電膜104及び第2導電膜105と、半導体膜103上の第1絶縁膜106と、第1絶縁膜106上において、半導体膜103と重なる位置に設けられた第3導電膜107と、を有する。さらに、上記トランジスタは、第1導電膜101及び第1導電膜102の下に、第1導電膜101及び第1導電膜102にそれぞれ接続された第4導電膜110及び第4導電膜111と、第4導電膜110と第4導電膜111の間に設けられた第2絶縁膜120とを有する層を有する。上記層は、その上面を、化学的機械的研磨(CMP: Chemical Mechanical Polishing)またはエッティングなどにより、平坦化させておくことが望ましい。2030

【0042】

第4導電膜110及び第4導電膜111は、第1導電膜101及び第1導電膜102と、第2導電膜104及び第2導電膜105と共に、トランジスタのソース電極またはドレイン電極として機能する。よって、第4導電膜110及び第4導電膜111を設けることで、ソース電極またはドレイン電極として機能する、第1導電膜101、第2導電膜104、及び第4導電膜110全体の抵抗と、第1導電膜102、第2導電膜105、及び第4導電膜111全体の抵抗とを、低く抑えることができる。

【0043】

なお、第4導電膜110または第4導電膜111と、第1導電膜101または第1導電膜102の間に、それぞれ半導体膜を設けるようにしても良い。図4(B)に、本発明の一態様に係る半導体装置のトランジスタの、断面図の一例を示す。40

【0044】

図4(B)に示すトランジスタは、第1導電膜101及び第1導電膜102と、第4導電膜110及び第4導電膜111の間に、半導体膜112及び半導体膜113をそれぞれ有する点において、図4(A)に示すトランジスタと構造が異なる。

【0045】

なお、図4では、図1(A)に示す断面構造を有するトランジスタの下層に、第4導電膜を設けた場合を例示したが、本発明の一態様はこの構成に限定されない。例えば、図2(A)または図3(A)に示す断面構造を有するトランジスタの下層に、第4導電膜を設けても良い。50

【0046】

なお、図1乃至図4に示したトランジスタでは、第1導電膜101及び第1導電膜102が、半導体膜103及び絶縁膜106を介して、第3導電膜107と重なっている。しかし、本発明の一態様では、第1導電膜101及び第1導電膜102と、第3導電膜107とが、半導体膜103及び絶縁膜106を介して、第3導電膜107と重なっていないとも良い。

【0047】

図5(A)に、図1(A)に示したトランジスタの断面構造を例に挙げて、第1導電膜101の端部101eと第1導電膜102の端部102eの間隔Lcと、チャネル長方向における第3導電膜107の長さLgの関係を示す。図5(A)では、長さLgが間隔Lcよりも長い。そして、図5(A)に示すトランジスタは、第3導電膜107が、半導体膜103及び絶縁膜106を間に挟んで第1導電膜101と重なっているLoV領域114と、第3導電膜107が、半導体膜103及び絶縁膜106を間に挟んで第1導電膜102と重なっているLoV領域115とを有する。

10

【0048】

LoV領域114またはLoV領域115を設けることで、トランジスタのオン電流を高めることができる。

【0049】

また、図5(B)に、図1(A)に示したトランジスタの断面構造を例に挙げて、第1導電膜101の端部101eと第1導電膜102の端部102eの間隔Lcと、チャネル長方向における第3導電膜107の長さLgの関係を示す。図5(B)では、長さLgが間隔Lcよりも短い。そして、図5(B)に示すトランジスタは、第1導電膜101と第1導電膜102の間ににおいて、第3導電膜107及び第1導電膜101が重なっていない領域、すなわち、第3導電膜107及び第1導電膜101の設けられている領域とは異なる領域に相当する、Loff領域116を有する。また、図5(B)に示すトランジスタは、第1導電膜101と第1導電膜102の間ににおいて、第3導電膜107及び第1導電膜102が重なっていない領域、すなわち、第3導電膜107及び第1導電膜102の設けられている領域とは異なる領域に相当する、Loff領域117を有する。

20

【0050】

Loff領域116またはLoff領域117を設けることで、第1導電膜101及び第1導電膜102と、第3導電膜107の間の寄生容量が小さく抑えられるので、トランジスタの動作速度を高めることができる。

30

【0051】

なお、本発明の一態様に係る半導体装置のトランジスタでは、半導体膜103に、酸化物半導体などのワイドギャップ半導体を用いることができる。半導体膜103に、酸化物半導体が用いられる場合、ドーパントを上記半導体膜103に添加して、ソース領域またはドレイン領域として機能する不純物領域を形成しても良い。ドーパントの添加は、イオン注入法を用いることができる。ドーパントは、例えばヘリウム、アルゴン、キセノンなどの希ガスや、窒素、リン、ヒ素、アンチモンなどの15族原子などを用いることができる。例えば、窒素をドーパントとして用いた場合、不純物領域中の窒素原子の濃度は、 $5 \times 10^{19} / \text{cm}^3$ 以上 $1 \times 10^{22} / \text{cm}^3$ 以下であることが望ましい。

40

【0052】

なお、酸化物半導体としては、少なくともインジウム(In)あるいは亜鉛(Zn)を含むことが好ましい。特にInとZnを含むことが好ましい。また、該酸化物を用いたトランジスタの電気的特性のばらつきを減らすためのスタビライザーとして、それらに加えてガリウム(Ga)を有することが好ましい。また、スタビライザーとしてスズ(Sn)を有することが好ましい。また、スタビライザーとしてハフニウム(Hf)を有することが好ましい。また、スタビライザーとしてアルミニウム(Al)を有することが好ましい。

【0053】

また、他のスタビライザーとして、ランタノイドである、ランタン(La)、セリウム(

50

Ce)、プラセオジム(Pr)、ネオジム(Nd)、サマリウム(Sm)、ユウロピウム(Eu)、ガドリニウム(Gd)、テルビウム(Tb)、ジスプロシウム(Dy)、ホルミウム(Ho)、エルビウム(Er)、ツリウム(Tm)、イッテルビウム(Yb)、ルテチウム(Lu)のいずれか一種または複数種を含んでいてもよい。

【0054】

例えば、酸化物半導体として、酸化インジウム、酸化スズ、酸化亜鉛、二元系金属の酸化物であるIn-Zn系酸化物、Sn-Zn系酸化物、Al-Zn系酸化物、Zn-Mg系酸化物、Sn-Mg系酸化物、In-Mg系酸化物、In-Ga系酸化物、三元系金属の酸化物であるIn-Ga-Zn系酸化物(IGZOとも表記する)、In-Al-Zn系酸化物、In-Sn-Zn系酸化物、Sn-Ga-Zn系酸化物、Al-Ga-Zn系酸化物、Sn-Al-Zn系酸化物、In-Hf-Zn系酸化物、In-La-Zn系酸化物、In-Ce-Zn系酸化物、In-Pr-Zn系酸化物、In-Nd-Zn系酸化物、In-Sm-Zn系酸化物、In-Eu-Zn系酸化物、In-Gd-Zn系酸化物、In-Tb-Zn系酸化物、In-Dy-Zn系酸化物、In-Ho-Zn系酸化物、In-Er-Zn系酸化物、In-Tm-Zn系酸化物、In-Yb-Zn系酸化物、In-Lu-Zn系酸化物、四元系金属の酸化物であるIn-Sn-Ga-Zn系酸化物、In-Hf-Ga-Zn系酸化物、In-Al-Ga-Zn系酸化物、In-Sn-Al-Zn系酸化物、In-Sn-Hf-Zn系酸化物、In-Hf-Al-Zn系酸化物を用いることができる。また、上記酸化物半導体は、珪素を含んでいてもよい。

【0055】

なお、例えば、In-Ga-Zn系酸化物とは、InとGaとZnを含む酸化物という意味であり、InとGaとZnの比率は問わない。また、InとGaとZn以外の金属元素を含んでいてもよい。In-Ga-Zn系酸化物は、無電界時の抵抗が十分に高くオフ電流を十分に小さくすることが可能であり、また、移動度も高いため、半導体装置に用いる半導体材料としては好適である。

【0056】

例えば、 $In : Ga : Zn = 1 : 1 : 1$ (= 1 / 3 : 1 / 3 : 1 / 3) あるいは $In : Ga : Zn = 2 : 2 : 1$ (= 2 / 5 : 2 / 5 : 1 / 5) の原子比のIn-Ga-Zn系酸化物やその組成の近傍の酸化物を用いることができる。あるいは、 $In : Sn : Zn = 1 : 1 : 1$ (= 1 / 3 : 1 / 3 : 1 / 3)、 $In : Sn : Zn = 2 : 1 : 3$ (= 1 / 3 : 1 / 6 : 1 / 2) あるいは $In : Sn : Zn = 2 : 1 : 5$ (= 1 / 4 : 1 / 8 : 5 / 8) の原子比のIn-Sn-Zn系酸化物やその組成の近傍の酸化物を用いるとよい。

【0057】

例えば、In-Sn-Zn系酸化物では比較的容易に高い移動度が得られる。しかしながら、In-Ga-Zn系酸化物でも、バルク内欠陥密度を低減することにより移動度を上げることができる。

【0058】

なお、電子供与体(ドナー)となる水分または水素などの不純物が低減され、なおかつ酸素欠損が低減されることにより高純度化された酸化物半導体(purified Oxide Semiconductor)は、i型(真性半導体)又はi型に限りなく近い。そのため、上記酸化物半導体を用いたトランジスタは、オフ電流が著しく低いという特性を有する。また、酸化物半導体のバンドギャップは、2 eV以上、好ましくは2.5 eV以上、より好ましくは3 eV以上である。水分または水素などの不純物濃度が十分に低減され、なおかつ酸素欠損が低減されることにより高純度化された酸化物半導体膜を用いることにより、トランジスタのオフ電流を下げることができる。

【0059】

具体的に、高純度化された酸化物半導体を半導体膜に用いたトランジスタのオフ電流が低いことは、いろいろな実験により証明できる。例えば、チャネル幅が $1 \times 10^6 \mu m$ でチャネル長が $10 \mu m$ の素子であっても、ソース電極とドレイン電極間の電圧(ドレイン電圧)が1 Vから10 Vの範囲において、オフ電流が、半導体パラメータアナライザの測定

10

20

30

40

50

限界以下、すなわち $1 \times 10^{-13} A$ 以下という特性を得ることができる。この場合、オフ電流をトランジスタのチャネル幅で除した数値に相当するオフ電流は、 $100 zA / \mu m$ 以下であることが分かる。また、容量素子とトランジスタとを接続して、容量素子に流入または容量素子から流出する電荷を当該トランジスタで制御する回路を用いて、オフ電流の測定を行った。当該測定では、上記トランジスタに高純度化された酸化物半導体膜をチャネル形成領域に用い、容量素子の単位時間あたりの電荷量の推移から当該トランジスタのオフ電流を測定した。その結果、トランジスタのソース電極とドレイン電極間の電圧が 3 V の場合に、数十 $yA / \mu m$ という、さらに低いオフ電流が得られることが分かった。従って、高純度化された酸化物半導体膜をチャネル形成領域に用いたトランジスタは、オフ電流が、結晶性を有するシリコンを用いたトランジスタに比べて著しく低い。

10

【0060】

なお、特に断りがない限り、本明細書でオフ電流とは、n チャネル型トランジスタにおいては、ドレイン電極をソース電極とゲート電極よりも高い電位とした状態において、ソース電極の電位を基準としたときのゲート電極の電位が 0 以下であるときに、ソース電極とドレイン電極の間に流れる電流のことを意味する。或いは、本明細書でオフ電流とは、p チャネル型トランジスタにおいては、ドレイン電極をソース電極とゲート電極よりも低い電位とした状態において、ソース電極の電位を基準としたときのゲート電極の電位が 0 以上であるときに、ソース電極とドレイン電極の間に流れる電流のことを意味する。

【0061】

なお、例えば、酸化物半導体膜は、In (インジウム)、Ga (ガリウム)、及びZn (亜鉛) を含むターゲットを用いたスパッタ法により形成することができる。In - Ga - Zn 系酸化物半導体膜をスパッタリング法で成膜する場合、好ましくは、原子数比が In : Ga : Zn = 1 : 1 : 1、4 : 2 : 3、3 : 1 : 2、1 : 1 : 2、2 : 1 : 3、または 3 : 1 : 4 で示される In - Ga - Zn 系酸化物のターゲットを用いる。前述の原子数比を有する In - Ga - Zn 系酸化物のターゲットを用いて酸化物半導体膜を成膜することで、多結晶または CAAAC (C Axis Aligned Crystal) が形成されやすくなる。また、In、Ga、及びZn を含むターゲットの充填率は 90 % 以上 100 % 以下、好ましくは 95 % 以上 100 % 未満である。充填率の高いターゲットを用いることにより、成膜した酸化物半導体膜は緻密な膜となる。

20

【0062】

なお、酸化物半導体として In - Zn 系酸化物の材料を用いる場合、用いるターゲット中の金属元素の原子数比は、In : Zn = 50 : 1 ~ 1 : 2 (モル数比に換算すると In₂O₃ : ZnO = 25 : 1 ~ 1 : 4)、好ましくは In : Zn = 20 : 1 ~ 1 : 1 (モル数比に換算すると In₂O₃ : ZnO = 10 : 1 ~ 1 : 2)、さらに好ましくは In : Zn = 1.5 : 1 ~ 1.5 : 1 (モル数比に換算すると In₂O₃ : ZnO = 3 : 4 ~ 1.5 : 2) とする。例えば、In - Zn 系酸化物である酸化物半導体膜の形成に用いるターゲットは、原子数比が In : Zn : O = X : Y : Z のとき、Z > 1.5X + Y とする。Zn の比率を上記範囲に收めることで、移動度の向上を実現することができる。

30

【0063】

酸化物半導体膜は、単結晶、多結晶 (ポリクリスタルともいう。) または非晶質などの状態をとる。

40

【0064】

好ましくは、酸化物半導体膜は、CAAC - OS (C Axis Aligned Crystalline Oxide Semiconductor) 膜とする。

【0065】

CAAC - OS 膜は、完全な単結晶ではなく、完全な非晶質でもない。CAAC - OS 膜は、非晶質相に結晶部および非晶質部を有する結晶 - 非晶質混相構造の酸化物半導体膜である。なお、当該結晶部は、一辺が 100 nm 未満の立方体内に收まる大きさであることが多い。また、透過型電子顕微鏡 (TEM: Transmission Electron Microscope) による観察像では、CAAC - OS 膜に含まれる非晶質部と

50

結晶部との境界は明確ではない。また、TEMによってCAC-O_S膜には粒界（グレインバウンダリーともいう。）は確認できない。そのため、CAC-O_S膜は、粒界に起因する電子移動度の低下が抑制される。

【0066】

CAC-O_S膜に含まれる結晶部は、c軸がCAC-O_S膜の被形成面の法線ベクトルまたは表面の法線ベクトルに平行な方向に揃い、かつa b面に垂直な方向から見て三角形状または六角形状の原子配列を有し、c軸に垂直な方向から見て金属原子が層状または金属原子と酸素原子とが層状に配列している。なお、異なる結晶部間で、それぞれa軸およびb軸の向きが異なっていてもよい。本明細書において、単に垂直と記載する場合、85°以上95°以下の範囲も含まれることとする。また、単に平行と記載する場合、-5°以上5°以下の範囲も含まれることとする。10

【0067】

なお、CAC-O_S膜において、結晶部の分布が一様でなくてもよい。例えば、CAC-O_S膜の形成過程において、酸化物半導体膜の表面側から結晶成長させる場合、被形成面の近傍に対し表面の近傍では結晶部の占める割合が高くなることがある。また、CAC-O_S膜へ不純物を添加することにより、当該不純物添加領域において結晶部が非晶質化することもある。

【0068】

CAC-O_S膜に含まれる結晶部のc軸は、CAC-O_S膜の被形成面の法線ベクトルまたは表面の法線ベクトルに平行な方向に揃うため、CAC-O_S膜の形状（被形成面の断面形状または表面の断面形状）によっては互いに異なる方向を向くことがある。なお、結晶部のc軸の方向は、CAC-O_S膜が形成されたときの被形成面の法線ベクトルまたは表面の法線ベクトルに平行な方向となる。結晶部は、成膜することにより、または成膜後に加熱処理などの結晶化処理を行うことにより形成される。20

【0069】

CAC-O_S膜を用いたトランジスタは、可視光や紫外光の照射による電気的特性の変動を低減することが可能である。よって、当該トランジスタは、信頼性が高い。

【0070】

CAC-O_S膜は、例えば、多結晶である酸化物半導体スパッタリング用ターゲットを用い、スパッタリング法によって成膜する。当該スパッタリング用ターゲットにイオンが衝突すると、スパッタリング用ターゲットに含まれる結晶領域がa - b面から劈開し、a - b面に平行な面を有する平板状またはペレット状のスパッタリング粒子として剥離することがある。この場合、当該平板状のスパッタリング粒子が、結晶状態を維持したまま基板に到達することで、CAC-O_S膜を成膜することができる。30

【0071】

また、CAC-O_S膜を成膜するために、以下の条件を適用することが好ましい。

【0072】

成膜時の不純物混入を低減することで、不純物によって結晶状態が崩れることを抑制できる。例えば、成膜室内に存在する不純物濃度（水素、水、二酸化炭素および窒素など）を低減すればよい。また、成膜ガス中の不純物濃度を低減すればよい。具体的には、露点が-80以下、好ましくは-100以下である成膜ガスを用いる。40

【0073】

また、成膜時の基板加熱温度を高めることで、基板到達後にスパッタリング粒子のマイグレーションが起こる。具体的には、基板加熱温度を100以上740以下、好ましくは200以上500以下として成膜する。成膜時の基板加熱温度を高めることで、平板状のスパッタリング粒子が基板に到達した場合、基板上でマイグレーションが起こり、スパッタリング粒子の平らな面が基板に付着する。

【0074】

また、成膜ガス中の酸素割合を高め、電力を最適化することで成膜時のプラズマダメージを軽減すると好ましい。成膜ガス中の酸素割合は、30体積%以上、好ましくは100体50

積 % とする。

【 0 0 7 5 】

スパッタリング用ターゲットの一例として、In - Ga - Zn - O 化合物ターゲットについて以下に示す。

【 0 0 7 6 】

InO_x 粉末、GaO_y 粉末およびZnO_z 粉末を所定のmo1数で混合し、加圧処理後、1000 以上 1500 以下の温度で加熱処理をすることで多結晶であるIn - Ga - Zn - O 化合物ターゲットとする。なお、X、Y およびZは任意の正数である。ここで、所定のmo1数比は、例えば、InO_x 粉末、GaO_y 粉末およびZnO_z 粉末が、2 : 2 : 1、8 : 4 : 3、3 : 1 : 1、1 : 1 : 1、4 : 2 : 3 または 3 : 1 : 2 である。
なお、粉末の種類、およびその混合するmo1数比は、作製するスパッタリング用ターゲットによって適宜変更すればよい。

【 0 0 7 7 】

(実施の形態 2)

本発明の一態様に係る半導体装置は、トランジスタが積層された構成を有していても良い。特に、図4(A)に示した構成を有するトランジスタを用い、第4の導電膜110または第4の導電膜111を、下層のトランジスタのゲート電極、ソース電極、またはドレイン電極として、機能させることで、コンタクト領域に起因する素子面積の増大を抑制して半導体装置の微細化を実現する、或いはトランジスタの作製工程数の削減を実現することができる。

【 0 0 7 8 】

本実施の形態では、半導体装置の一つである記憶装置を例に挙げて、図4(A)に示した構造を有するトランジスタの下層に、別のトランジスタが設けられている構成の、本発明の一態様に係る半導体装置の作製方法について説明する。

【 0 0 7 9 】

まず、作製方法の説明を行う前に、記憶装置が有するメモリセルの構成について説明する。

【 0 0 8 0 】

図9(A)に、メモリセルの回路図を示す。図9(A)に示すメモリセルは、トランジスタ201、トランジスタ202、及び容量素子203を有する。トランジスタ202のゲート電極は、第1ワード線WL aに接続されている。また、トランジスタ202は、ソース電極及びドレイン電極の一方がデータ線DLに接続されており、他方がトランジスタ201のゲート電極に接続されている。トランジスタ201は、ソース電極及びドレイン電極の一方が、データ線DLに接続されており、他方が、所定の電位の与えられているノードに接続されている。容量素子203が有する一対の電極は、一方がトランジスタ201のゲート電極に接続され、他方が第2ワード線WL bに接続されている。

【 0 0 8 1 】

図9(A)に示すメモリセルでは、データの書き込み時にトランジスタ202がオンになり、データ線DLからデータを含む信号の電位が、トランジスタ202を介してトランジスタ201のゲート電極に与えられる。そして、上記信号の電位に従って、トランジスタ201のゲート容量、及び容量素子203に蓄積される電荷量が制御されることで、トランジスタ201及び容量素子203へのデータの書き込みが行われる。

【 0 0 8 2 】

そして、データの保持時には、トランジスタ202がオフになり、トランジスタ201のゲート容量、及び容量素子203に蓄積された電荷が保持される。トランジスタ202の半導体膜に酸化物半導体を用いる場合、トランジスタ202のオフ電流を極めて小さくすることができる。そのため、蓄積された上記電荷はリークしづらく、トランジスタ202にシリコンなどの半導体材料を用いた場合に比べ、長い期間に渡ってデータの保持を行うことができる。

【 0 0 8 3 】

10

20

30

40

50

データの読み出し時には、第2ワード線WLbの電位を変化させる。容量素子203が有する一対の電極の電位差は、電荷保存則により維持されたままなので、第2ワード線WLbの電位の変化は、トランジスタ201のゲート電極に与えられる。トランジスタ201は、そのゲート容量に蓄積されている電荷量によって閾値電圧が変化している。よって、トランジスタ201のゲート電極の電位が変化することで得られるトランジスタ201のドレイン電流の大きさから、蓄積されている電荷量の違いを読み取ることにより、データを読み出すことができる。

【0084】

なお、トランジスタ201は、その半導体膜に酸化物半導体が用いられていても良い。或いは、トランジスタ201は、その半導体膜にシリコンまたはゲルマニウムなどの半導体が用いられていても良い。メモリセル内の全てのトランジスタの半導体膜に、酸化物半導体膜を用いることで、プロセスを簡略化することができる。また、トランジスタ201の半導体膜に、例えば、多結晶または単結晶のシリコンなどのように、酸化物半導体よりも高い移動度が得られる半導体を用いることで、メモリセルからのデータの読み出しを高速で行うことができる。10

【0085】

本実施の形態では、下層のトランジスタ201の半導体膜にシリコンを用い、上層のトランジスタ202の半導体膜に酸化物半導体を用いる場合を例に挙げて、半導体装置の作製方法について説明する。ただし、下層のトランジスタ201は、上述したように、シリコンの他、ゲルマニウム、シリコングルマニウム、単結晶炭化シリコンなどの半導体材料を用いていても良い。また、例えば、シリコンを用いたトランジスタは、シリコンウェハなどの単結晶半導体基板、SOI法により作製されたシリコン薄膜、気相成長法により作製されたシリコン薄膜などを用いて形成することができる。或いは、下層のトランジスタ201が上層のトランジスタと同様に、酸化物半導体を用いていても良い。20

【0086】

本実施の形態では、まず、図6(A)に示すように、基板700上に絶縁膜701と、単結晶の半導体基板から分離された半導体膜702とを形成する。

【0087】

基板700として使用することができる素材に大きな制限はないが、少なくとも、後の加熱処理に耐えうる程度の耐熱性を有していることが必要となる。例えば、基板700には、フュージョン法やフロート法で作製されるガラス基板、石英基板、半導体基板、セラミック基板等を用いることができる。ガラス基板としては、後の加熱処理の温度が高い場合には、歪み点が730以上とのものを用いると良い。30

【0088】

また、本実施の形態では、半導体膜702が単結晶のシリコンである場合を例に挙げて、以下、トランジスタ201の作製方法について説明する。なお、具体的な単結晶の半導体膜702の作製方法の一例について、簡単に説明する。まず、単結晶の半導体基板であるボンド基板に、電界で加速されたイオンであるイオンビームを注入し、ボンド基板の表面から一定の深さの領域に、結晶構造が乱されることで局所的に脆弱化された脆化層を形成する。脆化層が形成される領域の深さは、イオンビームの加速エネルギーとイオンビームの入射角によって調節することができる。そして、ボンド基板と、絶縁膜701が形成された基板700とを、間に当該絶縁膜701が挟まるように貼り合わせる。貼り合わせは、ボンド基板と基板700とを重ね合わせた後、ボンド基板と基板700の一部に、1N/cm²以上500N/cm²以下、好ましくは11N/cm²以上20N/cm²以下程度の圧力を加える。圧力を加えると、その部分からボンド基板と絶縁膜701とが接合を開始し、最終的には密着した面全体に接合がおよぶ。次いで、加熱処理を行うことで、脆化層に存在する微小ボイドの体積が増大し、微小ボイドどうしが結合する。その結果、脆化層においてボンド基板の一部である単結晶半導体膜が、ボンド基板から分離する。上記加熱処理の温度は、基板700の歪み点を越えない温度とする。そして、上記単結晶半導体膜をエッティング等により所望の形状に加工することで、半導体膜702を形成するこ4050

とができる。

【0089】

半導体膜702には、閾値電圧を制御するために、硼素、アルミニウム、ガリウムなどのp型の導電性を付与する不純物元素、若しくはリン、砒素などのn型の導電性を付与する不純物元素を添加しても良い。閾値電圧を制御するための不純物元素の添加は、パターニングする前の半導体膜に対して行っても良いし、パターニング後に形成された半導体膜702に対して行っても良い。また、閾値電圧を制御するための不純物元素の添加を、ボンド基板に対して行っても良い。若しくは、不純物元素の添加を、閾値電圧を大まかに調整するためにボンド基板に対して行った上で、閾値電圧を微調整するために、パターニング前の半導体膜に対して、又はパターニングにより形成された半導体膜702に対して行っても良い。10

【0090】

なお、本実施の形態では、単結晶の半導体膜を用いる例について説明しているが、本発明はこの構成に限定されない。例えば、絶縁膜701上に気相成長法を用いて形成された多結晶、微結晶、非晶質の半導体膜を用いても良いし、上記半導体膜を公知の技術により結晶化しても良い。公知の結晶化方法としては、レーザ光を用いたレーザ結晶化法、触媒元素を用いる結晶化法がある。或いは、触媒元素を用いる結晶化法とレーザ結晶化法とを組み合わせて用いることもできる。また、石英のような耐熱性に優れている基板を用いる場合、電熱炉を使用した熱結晶化方法、赤外光を用いたランプアニール結晶化法、触媒元素を用いる結晶化法、950程度の高温アニール法を用いる結晶化法を、用いても良い。20

【0091】

次に、図6(B)に示すように、半導体膜702上にゲート絶縁膜703を形成した後、ゲート絶縁膜703上にマスク705を形成し、導電性を付与する不純物元素を半導体膜702の一部に添加することで、不純物領域704を形成する。

【0092】

ゲート絶縁膜703は、高密度プラズマ処理、熱処理などを行うことにより半導体膜702の表面を酸化又は窒化することで形成することができる。高密度プラズマ処理は、例えばHe、Ar、Kr、Xeなどの希ガスと酸素、酸化窒素、アンモニア、窒素、水素などの混合ガスとを用いて行う。この場合、プラズマの励起をマイクロ波の導入により行うことと、低電子温度で高密度のプラズマを生成することができる。このような高密度のプラズマで生成された酸素ラジカル(OHラジカルを含む場合もある)や窒素ラジカル(NHラジカルを含む場合もある)によって、半導体膜の表面を酸化又は窒化することにより、1~20nm、望ましくは5~10nmの絶縁膜が半導体膜に接するように形成できる。例えば、亜酸化窒素(N₂O)をArで1~3倍(流量比)に希釈して、10Pa~30Paの圧力にて3kW~5kWのマイクロ波(2.45GHz)電力を印加して半導体膜702の表面を酸化若しくは窒化させる。この処理により1nm~10nm(好ましくは2nm~6nm)の絶縁膜を形成する。更に亜酸化窒素(N₂O)とシラン(SiH₄)を導入し、10Pa~30Paの圧力にて3kW~5kWのマイクロ波(2.45GHz)電力を印加して気相成長法により酸化窒化珪素膜を形成してゲート絶縁膜を形成する。固相反応と気相成長法による反応を組み合わせることにより界面準位密度が低く絶縁耐圧の優れたゲート絶縁膜を形成することができる。40

【0093】

上述した高密度プラズマ処理による半導体膜の酸化又は窒化は固相反応で進むため、ゲート絶縁膜703と半導体膜702との界面準位密度を極めて低くすることができる。また高密度プラズマ処理により半導体膜702を直接酸化又は窒化することで、形成される絶縁膜の厚さのばらつきを抑えることができる。また半導体膜が結晶性を有する場合、高密度プラズマ処理を用いて半導体膜の表面を固相反応で酸化させることにより、結晶粒界においてのみ酸化が速く進んでしまうのを抑え、均一性が良く、界面準位密度の低いゲート絶縁膜を形成することができる。高密度プラズマ処理により形成された絶縁膜を、ゲート絶縁膜の一部又は全部に含んで形成されるトランジスタは、特性のばらつきを抑えること50

ができる。

【0094】

また、プラズマCVD法又はスパッタリング法などを用い、酸化珪素、窒化酸化珪素、酸化窒化珪素、窒化珪素、酸化ハフニウム、酸化アルミニウム又は酸化タンタル、酸化イットリウム、ハフニウムシリケート($HfSi_xO_y$ ($x > 0$ 、 $y > 0$))、窒素が添加されたハフニウムシリケート($HfSi_xO_y$ ($x > 0$ 、 $y > 0$))、窒素が添加されたハフニウムアルミネート($HfAl_xO_y$ ($x > 0$ 、 $y > 0$))等を含む膜を、単層で、又は積層させることで、ゲート絶縁膜703を形成しても良い。

【0095】

なお、本明細書において酸化窒化物とは、その組成として、窒素よりも酸素の含有量が多い物質であり、また、窒化酸化物とは、その組成として、酸素よりも窒素の含有量が多い物質を意味する。10

【0096】

ゲート絶縁膜703の厚さは、例えば、1nm以上100nm以下、好ましくは10nm以上50nm以下とすることができます。本実施の形態では、プラズマCVD法を用いて、酸化珪素を含む単層の絶縁膜を、ゲート絶縁膜703として用いる。

【0097】

次いで、マスク705を除去した後、図6(C)に示すように、ゲート絶縁膜703の一部を除去して、不純物領域704と重畠する領域にエッチング等により開口部706を形成した後、導電膜707及び導電膜708を形成する。導電膜707は、トランジスタ201のゲート電極、及びトランジスタ202のソース電極またはドレイン電極として機能する。また、導電膜708は、トランジスタ201のソース電極またはドレイン電極、及びトランジスタ202のソース電極またはドレイン電極として機能する。20

【0098】

導電膜707及び導電膜708は、開口部706を覆うように導電膜を形成した後、該導電膜を所定の形状に加工(パターニング)することで、形成することができる。導電膜708は、開口部706において不純物領域704と接している。上記導電膜の形成にはCVD法、スパッタリング法、蒸着法、スピンドル法等を用いることができる。また、導電膜は、タンタル(Ta)、タンゲステン(W)、チタン(Ti)、モリブデン(Mo)、アルミニウム(Al)、銅(Cu)、クロム(Cr)、ニオブ(Nb)等を用いることができる。上記金属を主成分とする合金を用いても良いし、上記金属を含む化合物を用いても良い。又は、半導体膜に導電性を付与するリン等の不純物元素をドーピングした、多結晶珪素などの半導体を用いて形成しても良い。30

【0099】

なお、本実施の形態では導電膜707及び導電膜708を単層の導電膜で形成しているが、本実施の形態はこの構成に限定されない。導電膜707及び導電膜708は積層された複数の導電膜で形成されていても良い。

【0100】

2つの導電膜の組み合わせとして、1層目に窒化タンタル又はタンタルを、2層目にタンゲステンを用いることができる。上記例の他に、窒化タンゲステンとタンゲステン、窒化モリブデンとモリブデン、アルミニウムとタンタル、アルミニウムとチタン等が挙げられる。タンゲステンや窒化タンタルは、耐熱性が高いため、2層の導電膜を形成した後の工程において、熱活性化を目的とした加熱処理を行うことができる。また、2層の導電膜の組み合わせとして、例えば、n型の導電性を付与する不純物元素がドーピングされた珪素とニッケルシリサイド、n型の導電性を付与する不純物元素がドーピングされた珪素とタンゲステンシリサイド等も用いることができる。40

【0101】

3つの導電膜を積層する3層構造の場合は、モリブデン膜とアルミニウム膜とモリブデン膜の積層構造を採用するとよい。

【0102】

10

20

30

40

50

また、導電膜 707 及び導電膜 708 に酸化インジウム、酸化インジウム酸化スズ混合物、酸化インジウム酸化亜鉛混合物、酸化亜鉛、酸化亜鉛アルミニウム、酸化窒化亜鉛アルミニウム、又は酸化亜鉛ガリウム等の透光性を有する酸化物導電膜を用いることもできる。

【0103】

なお、マスクを用いずに、液滴吐出法を用いて選択的に導電膜 707 及び導電膜 708 を形成しても良い。液滴吐出法とは、所定の組成物を含む液滴を細孔から吐出又は噴出することで所定のパターンを形成する方法を意味し、インクジェット法などがその範疇に含まれる。

【0104】

また、導電膜 707 及び導電膜 708 は、導電膜を形成後、ICP (Inductive Coupled Plasma : 誘導結合型プラズマ) エッチング法を用い、エッチング条件（コイル型の電極層に印加される電力量、基板側の電極層に印加される電力量、基板側の電極温度等）を適宜調節することにより、所望のテーパー形状を有するようにエッチングすることができる。また、テーパー形状は、マスクの形状によっても角度等を制御することができる。なお、エッチング用ガスとしては、塩素、塩化硼素、塩化珪素もしくは四塩化炭素などの塩素系ガス、四弗化炭素、弗化硫黄もしくは弗化窒素などのフッ素系ガス又は酸素を適宜用いることができる。

【0105】

次に、図 6 (D) に示すように、導電膜 707 及び導電膜 708 をマスクとして一導電性を付与する不純物元素を半導体膜 702 に添加することで、導電膜 707 と重なるチャネル形成領域 710 と、チャネル形成領域 710 を間に挟む一対の不純物領域 709 と、不純物領域 704 の一部に更に不純物元素が添加された不純物領域 711 とが、半導体膜 702 に形成される。

【0106】

本実施の形態では、半導体膜 702 に p 型を付与する不純物元素（例えばボロン）を添加する場合を例に挙げる。

【0107】

次いで、図 7 (A) に示すように、ゲート絶縁膜 703、導電膜 707、導電膜 708 を覆うように、絶縁膜 712、絶縁膜 713 を形成する。具体的に、絶縁膜 712、絶縁膜 713 は、酸化珪素、窒化珪素、窒化酸化珪素、酸化窒化珪素、窒化アルミニウム、窒化酸化アルミニウムなどの無機の絶縁膜を用いることができる。特に、絶縁膜 712、絶縁膜 713 に誘電率の低い (low-k) 材料を用いることで、各種電極や配線の重なりに起因する容量を十分に低減することが可能になるため好ましい。なお、絶縁膜 712、絶縁膜 713 に、上記材料を用いた多孔性の絶縁膜を適用しても良い。多孔性の絶縁膜では、密度の高い絶縁膜と比較して誘電率が低下するため、電極や配線に起因する寄生容量を更に低減することが可能である。

【0108】

本実施の形態では、絶縁膜 712 として酸化窒化珪素、絶縁膜 713 として窒化酸化珪素を用いる場合を例に挙げる。また、本実施の形態では、導電膜 707 及び導電膜 708 上に絶縁膜 712、絶縁膜 713 を形成している場合を例示しているが、本発明は導電膜 707 及び導電膜 708 上に絶縁膜を 1 層だけ形成していても良いし、3 層以上の複数の絶縁膜を積層するように形成していくても良い。

【0109】

次いで、図 7 (B) に示すように、絶縁膜 712 及び絶縁膜 713 に CMP、またはエッチングなどを行うことにより、導電膜 707 及び導電膜 708 の表面を露出させる。なお、後に形成されるトランジスタ 202 の特性を向上させるために、絶縁膜 712、絶縁膜 713 の表面は可能な限り平坦にしておくことが好ましい。

【0110】

以上の工程により、トランジスタ 201 を形成することができる。

10

20

30

40

50

【0111】

次いで、トランジスタ202の作製方法について説明する。まず、図7(C)に示すように、導電膜707または導電膜708上に導電膜714及び導電膜715を形成する。導電膜714及び導電膜715は、トランジスタ202のソース電極またはドレイン電極として機能する。

【0112】

具体的に、導電膜714及び導電膜715は、導電膜707及び導電膜708と、絶縁膜712及び絶縁膜713とを覆うようにスパッタ法や蒸着法で導電膜を形成した後、該導電膜を所定の形状に加工(パターニング)することで、形成することができる。また、導電膜714及び導電膜715は、後に導電膜714及び導電膜715上に形成される酸化物半導体膜716の良好なステップカバレッジを確保するために、その端部がテーパー形状を有すること、その膜厚が小さいことが望ましい。具体的に、導電膜714及び導電膜715の端部におけるテーパー角は、20度以上80度以下、より好ましくは30度以上60度以下であることが望ましい。また、具体的に、導電膜714及び導電膜715の膜厚は、10nm以上300nm以下、より好ましくは100nm以上200nm以下であることが望ましい。

10

【0113】

導電膜714及び導電膜715となる導電膜は、アルミニウム、クロム、銅、タンタル、チタン、モリブデン、タンクスチレンから選ばれた元素、又は上述した元素を成分とする合金か、上述した元素を組み合わせた合金膜等が挙げられる。また、アルミニウム、銅などの金属膜の下側もしくは上側にクロム、タンタル、チタン、モリブデン、タンクスチレンなどの高融点金属膜を積層させた構成としても良い。また、アルミニウム又は銅は、耐熱性や腐食性の問題を回避するために、高融点金属材料と組み合わせて用いると良い。高融点金属材料としては、モリブデン、チタン、クロム、タンタル、タンクスチレン、ネオジム、スカンジウム、イットリウム等を用いることができる。

20

【0114】

また、導電膜714及び導電膜715となる導電膜は、単層構造でも、2層以上の積層構造としてもよい。例えば、シリコンを含むアルミニウム膜の単層構造、アルミニウム膜上にチタン膜を積層する2層構造、チタン膜と、そのチタン膜上に重ねてアルミニウム膜を積層し、更にその上にチタン膜を成膜する3層構造などが挙げられる。また、Cu-Mg-Al合金、Cu-Mg-O混合酸化物、Cu-Ca-O混合酸化物、Cu-Mg-Al-O混合酸化物、Mo-Ti合金、Ti、Moは、酸化膜との密着性が高い。よって、下層にCu-Mg-Al合金、Cu-Mg-O混合酸化物、Cu-Ca-O混合酸化物、Cu-Mg-Al-O混合酸化物、Mo-Ti合金、Ti、或いはMoで構成される導電膜、上層に抵抗値の低いCuで構成される導電膜を積層し、上記積層された導電膜を導電膜714及び導電膜715に用いることで、絶縁膜712または絶縁膜713が酸化膜である場合、絶縁膜712または絶縁膜713と、導電膜714及び導電膜715との密着性を高めることができ、なおかつ導電膜714及び導電膜715の抵抗値を小さく抑えることができる。

30

【0115】

また、導電膜714及び導電膜715となる導電膜としては、導電性の金属酸化物で形成しても良い。導電性の金属酸化物としては酸化インジウム、酸化スズ、酸化亜鉛、酸化インジウム酸化スズ混合物、酸化インジウム酸化亜鉛混合物又は前記金属酸化物材料にシリコン若しくは酸化シリコンを含ませたものを用いることができる。

40

【0116】

次いで、図8(A)に示すように導電膜714及び導電膜715上に、酸化物半導体膜716を形成する。酸化物半導体膜716は、導電膜714上において開口部717を有し、また導電膜715上において開口部718を有する。酸化物半導体膜716は、絶縁膜712及び絶縁膜713と、導電膜714及び導電膜715の上に形成した酸化物半導体膜を上記形状に加工することで、形成することができる。

50

【0117】

上記酸化物半導体膜の膜厚は、2 nm以上200 nm以下、好ましくは3 nm以上50 nm以下、更に好ましくは3 nm以上20 nm以下とする。酸化物半導体膜は、酸化物半導体をターゲットとして用い、スパッタ法により成膜する。また、酸化物半導体膜は、希ガス（例えばアルゴン）雰囲気下、酸素雰囲気下、又は希ガス（例えばアルゴン）及び酸素混合雰囲気下においてスパッタ法により形成することができる。

【0118】

酸化物半導体膜には、上述したような、酸化インジウム、酸化スズ、酸化亜鉛、二元系金属の酸化物であるIn-Zn系酸化物、Sn-Zn系酸化物、Al-Zn系酸化物、Zn-Mg系酸化物、Sn-Mg系酸化物、In-Mg系酸化物、In-Ga系酸化物、三元系金属の酸化物であるIn-Ga-Zn系酸化物（IGZOとも表記する）、In-Al-Zn系酸化物、In-Sn-Zn系酸化物、Sn-Ga-Zn系酸化物、Al-Ga-Zn系酸化物、Sn-Al-Zn系酸化物、In-Hf-Zn系酸化物、In-La-Zn系酸化物、In-Ce-Zn系酸化物、In-Pr-Zn系酸化物、In-Nd-Zn系酸化物、In-Sm-Zn系酸化物、In-Eu-Zn系酸化物、In-Gd-Zn系酸化物、In-Tb-Zn系酸化物、In-Dy-Zn系酸化物、In-Ho-Zn系酸化物、In-Er-Zn系酸化物、In-Tm-Zn系酸化物、In-Yb-Zn系酸化物、In-Lu-Zn系酸化物、四元系金属の酸化物であるIn-Sn-Ga-Zn系酸化物、In-Hf-Ga-Zn系酸化物、In-Al-Ga-Zn系酸化物、In-Sn-Al-Zn系酸化物、In-Sn-Hf-Zn系酸化物、In-Hf-Al-Zn系酸化物を用いることができる。また、上記酸化物半導体は、珪素を含んでいてもよい。

【0119】

本実施の形態では、In（インジウム）、Ga（ガリウム）、及びZn（亜鉛）を含むターゲットを用いたスパッタ法により得られる膜厚30 nmのIn-Ga-Zn系酸化物半導体の薄膜を、酸化物半導体膜として用いる。ターゲットとしては、例えば、組成として、 $In_2O_3 : Ga_2O_3 : ZnO = 1 : 1 : 1$ [mol数比] の酸化物ターゲットを用いる。また、 $In_2O_3 : Ga_2O_3 : ZnO = 1 : 1 : 2$ [mol数比] の酸化物ターゲットを用いてもよい。また、In、Ga、及びZnを含むターゲットの充填率は90%以上100%以下、好ましくは95%以上100%未満である。充填率の高いターゲットを用いることにより、成膜した酸化物半導体膜は緻密な膜となる。

【0120】

また、酸化物半導体としてIn-Zn系酸化物を用いる場合、用いるターゲット中の金属元素の原子数は、 $In : Zn = 50 : 1 \sim 1 : 2$ (mol数比に換算すると $In_2O_3 : ZnO = 25 : 1 \sim 1 : 4$)、好ましくは $In : Zn = 20 : 1 \sim 1 : 1$ (mol数比に換算すると $In_2O_3 : ZnO = 10 : 1 \sim 1 : 2$)、さらに好ましくは $In : Zn = 15 : 1 \sim 1.5 : 1$ (mol数比に換算すると $In_2O_3 : ZnO = 15 : 2 \sim 3 : 4$)とする。例えば、In-Zn系酸化物半導体の形成に用いるターゲットは、原子数比が $In : Zn : O = X : Y : Z$ のとき、 $Z > 1.5X + Y$ とする。

【0121】

また、In-Sn-Zn系酸化物に用いるターゲットは、ターゲット中の金属元素の原子数比が、 $In : Sn : Zn = 1 : 2 : 2$ 、 $2 : 1 : 3$ 、 $1 : 1 : 1$ 、または $20 : 45 : 35$ などとなる酸化物ターゲットを用いる。

【0122】

本実施の形態では、減圧状態に保持された処理室内に基板を保持し、処理室内の残留水分を除去しつつ水素及び水分が除去されたスパッタガスを導入し、上記ターゲットを用いて酸化物半導体膜を成膜する。成膜時に、基板温度を100以上600以下、好ましくは200以上400以下としても良い。基板を加熱しながら成膜することにより、成膜した酸化物半導体膜に含まれる不純物濃度を低減することができる。また、スパッタリングによる損傷が軽減される。処理室内の残留水分を除去するためには、吸着型の真空ポンプを用いることが好ましい。例えば、クライオポンプ、イオンポンプ、チタンサブリメ

10

20

30

40

50

ーションポンプを用いることが好ましい。また、排気手段としては、ターボポンプにコールドトラップを加えたものであってもよい。クライオポンプを用いて処理室を排気する、例えば、水素原子、水(H_2O)など水素原子を含む化合物(より好ましくは炭素原子を含む化合物も)等が排気されるため、当該処理室で成膜した酸化物半導体膜に含まれる不純物の濃度を低減できる。

【0123】

成膜条件の一例としては、基板とターゲットとの間との距離を100mm、圧力0.6Pa、直流(DC)電源0.5kW、酸素(酸素流量比率100%)雰囲気下の条件が適用される。なお、パルス直流(DC)電源を用いると、成膜時に発生する塵埃が軽減でき、膜厚分布も均一となるために好ましい。

10

【0124】

なお、酸化物半導体膜716を形成するためのエッティングは、ドライエッティングでもウェットエッティングでもよく、両方を用いてもよい。ドライエッティングに用いるエッティングガスとしては、塩素を含むガス(塩素系ガス、例えば塩素(Cl_2)、三塩化硼素(BCl_3)、四塩化珪素($SiCl_4$)、四塩化炭素(CCl_4)など)が好ましい。また、フッ素を含むガス(フッ素系ガス、例えば四弗化炭素(CF_4)、六弗化硫黄(SF_6)、三弗化窒素(NF_3)、トリフルオロメタン(CHF_3)など)、臭化水素(HBr)、酸素(O_2)、これらのガスにヘリウム(He)やアルゴン(Ar)などの希ガスを添加したガス、などを用いることができる。

【0125】

ドライエッティング法としては、平行平板型RIE(Reactive Ion Etching)法や、ICP(Inductively Coupled Plasma:誘導結合型プラズマ)エッティング法を用いることができる。所望の形状にエッティングできるように、エッティング条件(コイル型の電極に印加される電力量、基板側の電極に印加される電力量、基板側の電極温度等)を適宜調節する。

20

【0126】

ウェットエッティングに用いるエッティング液として、磷酸と酢酸と硝酸を混ぜた溶液、クエン酸やシュウ酸などの有機酸を用いることができる。本実施の形態では、ITO-07N(関東化学社製)を用いる。

【0127】

酸化物半導体膜716を形成するためのレジストマスクをインクジェット法で形成してもよい。レジストマスクをインクジェット法で形成するとフォトマスクを使用しないため、製造コストを低減できる。

30

【0128】

なお、スパッタ等で成膜された酸化物半導体膜中には、不純物としての水分又は水素(水酸基を含む)が多量に含まれていることがある。水分又は水素はドナー準位を形成しやすいため、酸化物半導体にとっては不純物である。そこで、本発明の一態様では、酸化物半導体膜中の水分又は水素などの不純物を低減(脱水化または脱水素化)するために、酸化物半導体膜716に対して、減圧雰囲気下、窒素や希ガスなどの不活性ガス雰囲気下、酸素ガス雰囲気下、又は超乾燥エア(CRDS(キャビティリングダウンレーザー分光法)方式の露点計を用いて測定した場合の水分量が20ppm(露点換算で-55)以下、好ましくは1ppm以下、好ましくは10ppb以下の空気)雰囲気下で、酸化物半導体膜716に加熱処理を施す。

40

【0129】

酸化物半導体膜716に加熱処理を施すことで、酸化物半導体膜716中の水分又は水素を脱離させることができる。具体的には、250以上750以下、好ましくは400以上基板の歪み点未満の温度で加熱処理を行えば良い。例えば、500、3分間以上6分間以下程度で行えばよい。加熱処理にRTA法を用いれば、短時間に脱水化又は脱水素化が行えるため、ガラス基板の歪点を超える温度でも処理することができる。

【0130】

50

本実施の形態では、加熱処理装置の一つである電気炉を用いる。なお、加熱処理装置は電気炉に限られず、抵抗発熱体などの発熱体からの熱伝導又は熱輻射によって、被処理物を加熱する装置を備えていてもよい。例えば、G R T A (G a s R a p i d T h e r m a l A n n e a l) 装置、L R T A (L a m p R a p i d T h e r m a l A n n e a l) 装置等のRTA (R a p i d T h e r m a l A n n e a l) 装置を用いることができる。L R T A 装置は、ハロゲンランプ、メタルハライドランプ、キセノンアークランプ、カーボンアークランプ、高圧ナトリウムランプ、高圧水銀ランプなどのランプから発する光(電磁波)の輻射により、被処理物を加熱する装置である。G R T A 装置は、高温のガスを用いて加熱処理を行う装置である。気体には、アルゴンなどの希ガス、又は窒素のような、加熱処理によって被処理物と反応しない不活性気体が用いられる。

10

【 0 1 3 1 】

加熱処理においては、窒素、又はヘリウム、ネオン、アルゴン等の希ガスに、水分又は水素などが含まれないことが好ましい。又は、加熱処理装置に導入する窒素、又はヘリウム、ネオン、アルゴン等の希ガスの純度を、6 N (9 9 . 9 9 9 9 %) 以上、好ましくは7 N (9 9 . 9 9 9 9 9 %) 以上、(即ち不純物濃度を 1 p p m 以下、好ましくは 0 . 1 p p m 以下) とすることが好ましい。

【 0 1 3 2 】

なお、酸化物半導体は不純物に対して鈍感であり、膜中にはかなりの金属不純物が含まれていても問題がなく、ナトリウムのようなアルカリ金属が多量に含まれる廉価なソーダ石灰ガラスも使えると指摘されている(神谷、野村、細野、「アモルファス酸化物半導体の物性とデバイス開発の現状」、固体物理、2009年9月号、Vol. 44、pp. 621 - 633.)。しかし、このような指摘は適切でない。アルカリ金属は酸化物半導体を構成する元素ではないため、不純物である。アルカリ土類金属も、酸化物半導体を構成する元素ではない場合において、不純物となる。特に、アルカリ金属のうちNaは、酸化物半導体膜に接する絶縁膜が酸化物である場合、当該絶縁膜中に拡散してNa⁺となる。また、Naは、酸化物半導体膜内において、酸化物半導体を構成する金属と酸素の結合を分断する、或いは、その結合中に割り込む。その結果、例えば、閾値電圧がマイナス方向にシフトすることによるノーマリオン化、移動度の低下等の、トランジスタの特性の劣化が起こり、加えて、特性のばらつきも生じる。この不純物によりもたらされるトランジスタの特性の劣化と、特性のばらつきは、酸化物半導体膜中の水素濃度が十分に低い場合において顕著に現れる。従って、酸化物半導体膜中の水素濃度が1×10⁻⁸/cm³以下、特に1×10⁻⁷/cm³以下である場合には、上記不純物の濃度を低減することが望ましい。具体的に、二次イオン質量分析法によるNa濃度の測定値は、5×10⁻⁶/cm³以下、好ましくは1×10⁻⁶/cm³以下、更に好ましくは1×10⁻⁵/cm³以下とするとよい。同様に、Li濃度の測定値は、5×10⁻⁵/cm³以下、好ましくは1×10⁻⁵/cm³以下とするとよい。同様に、K濃度の測定値は、5×10⁻⁵/cm³以下、好ましくは1×10⁻⁵/cm³以下とするとよい。

20

【 0 1 3 3 】

以上の工程により、酸化物半導体膜716中の水素の濃度を低減し、高純度化することができる。それにより酸化物半導体膜の安定化を図ることができる。また、ガラス転移温度以下の加熱処理で、キャリア密度が極端に少なく、バンドギャップの広い酸化物半導体膜を形成することができる。このため、大面積基板を用いてトランジスタを作製することができ、量産性を高めることができる。また、当該水素濃度が低減され高純度化された酸化物半導体膜を用いることで、耐圧性が高く、オフ電流の著しく低いトランジスタを作製することができる。

30

【 0 1 3 4 】

なお、酸化物半導体膜は非晶質であっても良いが、結晶性を有していても良い。結晶性を有する酸化物半導体膜としては、c軸配向を有した結晶(CAAC : C Axis Aligned Crystal)を含む酸化物半導体であっても、トランジスタの信頼性を高めるという効果を得るので、好ましい。

40

50

【0135】

C A A C で構成された酸化物半導体膜は、スパッタリング法によっても作製することができる。スパッタリング法によって C A A C を得るには酸化物半導体膜の堆積初期段階において六方晶の結晶が形成されるようにすることと、当該結晶を種として結晶が成長されるようになることが肝要である。そのためには、ターゲットと基板の距離を広くとり（例えば、150 mm ~ 200 mm 程度）、基板加熱温度を 100 ~ 500 、好適には 200 ~ 400 、さらに好適には 250 ~ 300 にすると好ましい。また、これに加えて、成膜時の基板加熱温度よりも高い温度で、堆積された酸化物半導体膜を熱処理することで膜中に含まれるミクロな欠陥や、積層界面の欠陥を修復することができる。

【0136】

10

C A A C - O S (C A x i s A l i g n e d C r y s t a l l i n e O x i d e S e m i c o n d u c t o r) は、非晶質の酸化物半導体と比較して、金属と酸素の結合が秩序化している。すなわち、酸化物半導体が非晶質の場合は、個々の金属原子によって配位数が異なることも有り得るが、C A A C - O S では金属原子の配位数はほぼ一定となる。そのため、微視的な酸素の欠損が減少し、水素原子（水素イオンを含む）やアルカリ金属原子の放出や結合による電荷の移動や不安定性を減少させる効果がある。

【0137】

従って、C A A C - O S で構成された酸化物半導体膜を用いてトランジスタを作製することで、トランジスタへの光照射またはバイアス・熱ストレス（B T）の付加を行った後に生じる、トランジスタのしきい値電圧の変化量を、低減することができる。よって、安定した電気的特性を有するトランジスタを作製することができる。

20

【0138】

次いで、図 8 (B) に示すように、導電膜 714 及び酸化物半導体膜 716 と接する導電膜 719 と、導電膜 715 及び酸化物半導体膜 716 と接する導電膜 720 とを形成する。導電膜 719 及び導電膜 720 は、導電膜 714 及び導電膜 715 と同様の材料、同様の積層構造、同様の作製方法を用いて、形成することが可能である。

【0139】

30

なお、導電膜 719 及び導電膜 720 を形成する際のエッチングにおいて、酸化物半導体膜 716 がなるべく除去されないように、それぞれの材料及びエッチング条件を適宜調節する。エッチング条件によっては、酸化物半導体膜 716 の露出した部分が一部エッチングされることで、溝部（凹部）が形成されることもある。

【0140】

本実施の形態では、導電膜 719 及び導電膜 720 にチタン膜を用いる。そのため、アンモニアと過酸化水素水を含む溶液（アンモニア過水）を用いて、選択的に導電膜 719 及び導電膜 720 をウェットエッチングすることができる。具体的には、31重量%の過酸化水素水と、28重量%のアンモニア水と水とを、体積比 5 : 2 : 2 で混合したアンモニア過水を用いる。或いは、塩素（C l₂）、塩化硼素（B C l₃）などを含むガスを用いて、導電膜をドライエッチングしても良い。

【0141】

また、酸化物半導体膜 716 と、ソース電極又はドレイン電極として機能する導電膜 719 及び導電膜 720 との間に、酸化亜鉛、酸化亜鉛アルミニウム、酸化窒化亜鉛アルミニウム、酸化亜鉛ガリウムなどの導電性を有する金属酸化物膜を設けるようにしても良い。例えば、金属酸化物膜を形成する場合、金属酸化物膜を形成するためのパターニングと、導電膜 719 及び導電膜 720 を形成するためのパターニングとを一括で行うようにしても良い。上記金属酸化物膜を設けることで、酸化物半導体膜 716 と導電膜 719 及び導電膜 720 の間の抵抗を下げる所以ができるので、トランジスタの高速動作を実現させることができる。また、金属酸化物膜を設けることで、トランジスタの耐圧を高めることができる。

40

【0142】

次いで、N₂O、N₂、又はArなどのガスを用いたプラズマ処理を行うようにしても良

50

い。このプラズマ処理によって露出している酸化物半導体膜の表面に付着した水などを除去する。また、酸素とアルゴンの混合ガスを用いてプラズマ処理を行ってもよい。

【0143】

なお、プラズマ処理を行った後、図8(C)に示すように、導電膜719及び導電膜720と、酸化物半導体膜716とを覆うように、ゲート絶縁膜721を形成する。そして、ゲート絶縁膜721上において、酸化物半導体膜716と重なる位置に導電膜722を形成し、導電膜719と重なる位置に導電膜723を形成する。導電膜722は、トランジスタ202のゲート電極として機能する。

【0144】

ゲート絶縁膜721は、ゲート絶縁膜703と同様の材料、同様の積層構造を用いて形成することが可能である。なお、ゲート絶縁膜721は、水分や、水素などの不純物を極力含まないことが望ましく、単層の絶縁膜であっても良いし、積層された複数の絶縁膜で構成されていても良い。ゲート絶縁膜721に水素が含まれると、その水素が酸化物半導体膜716へ侵入し、又は水素が酸化物半導体膜716中の酸素を引き抜き、酸化物半導体膜716が低抵抗化(n型化)してしまい、寄生チャネルが形成されるおそれがある。よって、ゲート絶縁膜721はできるだけ水素を含まない膜になるように、成膜方法に水素を用いないことが重要である。上記ゲート絶縁膜721には、バリア性の高い材料を用いるのが望ましい。例えば、バリア性の高い絶縁膜として、窒化珪素膜、窒化酸化珪素膜、窒化アルミニウム膜、又は窒化酸化アルミニウム膜などを用いることができる。複数の積層された絶縁膜を用いる場合、窒素の含有比率が低い酸化珪素膜、酸化窒化珪素膜などの絶縁膜を、上記バリア性の高い絶縁膜よりも、酸化物半導体膜716に近い側に形成する。そして、窒素の含有比率が低い絶縁膜を間に挟んで、導電膜719及び導電膜720及び酸化物半導体膜716と重なるように、バリア性の高い絶縁膜を形成する。バリア性の高い絶縁膜を用いることで、酸化物半導体膜716内、ゲート絶縁膜721内、或いは、酸化物半導体膜716と他の絶縁膜の界面とその近傍に、水分又は水素などの不純物が入り込むのを防ぐことができる。また、酸化物半導体膜716に接するように窒素の比率が低い酸化珪素膜、酸化窒化珪素膜などの絶縁膜を形成することで、バリア性の高い材料を用いた絶縁膜が直接酸化物半導体膜716に接するのを防ぐことができる。

【0145】

本実施の形態では、スパッタ法で形成された膜厚200nmの酸化珪素膜上に、スパッタ法で形成された膜厚100nmの窒化珪素膜を積層させた構造を有する、ゲート絶縁膜721を形成する。成膜時の基板温度は、室温以上300以下とすればよく、本実施の形態では100とする。

【0146】

なお、ゲート絶縁膜721を形成した後に、加熱処理を施しても良い。加熱処理は、窒素、超乾燥空気、又は希ガス(アルゴン、ヘリウムなど)の雰囲気下において、好ましくは200以上400以下、例えば250以上350以下で行う。上記ガスは、水の含有量が20ppm以下、好ましくは1ppm以下、より好ましくは10ppb以下であることが望ましい。本実施の形態では、例えば、窒素雰囲気下で250、1時間の加熱処理を行う。或いは、導電膜719及び導電膜720を形成する前に、水分又は水素を低減させるための酸化物半導体膜に対して行った先の加熱処理と同様に、高温短時間のRTA処理を行っても良い。酸素を含むゲート絶縁膜721が設けられた後に、加熱処理が施されることによって、酸化物半導体膜716に対して行った先の加熱処理により、酸化物半導体膜716に酸素欠損が発生していたとしても、ゲート絶縁膜721から酸化物半導体膜716に酸素が供与される。そして、酸化物半導体膜716に酸素が供与されることで、酸化物半導体膜716において、ドナーとなる酸素欠損を低減し、化学量論的組成を満たすことが可能である。酸化物半導体膜716には、化学量論的組成を超える量の酸素が含まれていることが好ましい。その結果、酸化物半導体膜716をi型に近づけることができ、酸素欠損によるトランジスタの電気的特性のばらつきを軽減し、電気的特性の向上を実現することができる。この加熱処理を行うタイミングは、ゲート絶縁膜721の形

10

20

30

40

50

成後であれば特に限定されず、他の工程、例えば樹脂膜形成時の加熱処理や、透明導電膜を低抵抗化させるための加熱処理と兼ねることで、工程数を増やすことなく、酸化物半導体膜716をi型に近づけることができる。

【0147】

また、酸素雰囲気下で酸化物半導体膜716に加熱処理を施すことで、酸化物半導体に酸素を添加し、酸化物半導体膜716中においてドナーとなる酸素欠損を低減させても良い。加熱処理の温度は、例えば100以上350未満、好ましくは150以上250未満で行う。上記酸素雰囲気下の加熱処理に用いられる酸素ガスには、水、水素などが含まれないことが好ましい。又は、加熱処理装置に導入する酸素ガスの純度を、6N(99.9999%)以上、好ましくは7N(99.99999%)以上、(即ち酸素中の不純物濃度を1ppm以下、好ましくは0.1ppm以下)とすることが好ましい。10

【0148】

或いは、イオン注入法又はイオンドーピング法などを用いて、酸化物半導体膜716に酸素を添加することで、ドナーとなる酸素欠損を低減させても良い。例えば、2.45GHzのマイクロ波でプラズマ化した酸素を酸化物半導体膜716に添加すれば良い。

【0149】

また、導電膜722及び導電膜723は、ゲート絶縁膜721上に導電膜を形成した後、該導電膜をパターニングすることで形成することができる。導電膜722及び導電膜723は、導電膜707及び導電膜708、或いは導電膜714及び導電膜715と同様の材料を用いて形成することが可能である。20

【0150】

導電膜722及び導電膜723の膜厚は、10nm~400nm、好ましくは100nm~200nmとする。本実施の形態では、タンゲステンターゲットを用いたスパッタ法により150nmのゲート電極用の導電膜を形成した後、該導電膜をエッチングにより所望の形状に加工(パターニング)することで、導電膜722及び導電膜723を形成する。なお、レジストマスクをインクジェット法で形成してもよい。レジストマスクをインクジェット法で形成するとフォトマスクを使用しないため、製造コストを低減できる。

【0151】

以上の工程により、トランジスタ202が形成される。

【0152】

なお、ゲート絶縁膜721を間に挟んで導電膜719と導電膜723とが重なる部分が、容量素子203に相当する。30

【0153】

また、トランジスタ202はシングルゲート構造のトランジスタを用いて説明したが、必要に応じて、電気的に接続された複数のゲート電極を有することで、チャネル形成領域を複数有する、マルチゲート構造のトランジスタも形成することができる。

【0154】

なお、酸化物半導体膜716に接する絶縁膜(本実施の形態においては、ゲート絶縁膜721が該当する。)は、第13族元素及び酸素を含む絶縁材料を用いるようにしても良い。酸化物半導体材料には第13族元素を含むものが多く、第13族元素を含む絶縁材料は酸化物半導体との相性が良く、これを酸化物半導体膜に接する絶縁膜に用いることで、酸化物半導体膜との界面の状態を良好に保つことができる。40

【0155】

第13族元素を含む絶縁材料とは、絶縁材料に一又は複数の第13族元素を含むことを意味する。第13族元素を含む絶縁材料としては、例えば、酸化ガリウム、酸化アルミニウム、酸化アルミニウムガリウム、酸化ガリウムアルミニウムなどがある。ここで、酸化アルミニウムガリウムとは、ガリウムの含有量(原子%)よりアルミニウムの含有量(原子%)が多いものを示し、酸化ガリウムアルミニウムとは、ガリウムの含有量(原子%)がアルミニウムの含有量(原子%)以上のものを示す。

【0156】

10

20

30

40

50

また、酸化物半導体膜716に接する絶縁膜は、酸素雰囲気下による熱処理や、酸素ドープなどにより、絶縁材料を化学量論的組成より酸素が多い状態とすることが好ましい。酸素ドープは、イオン注入法又はイオンドーピング法を用いて行ってもよい。

【0157】

酸素ドープ処理を行うことにより、化学量論的組成より酸素が多い領域を有する絶縁膜を形成することができる。このような領域を備える絶縁膜と酸化物半導体膜が接することにより、絶縁膜中の過剰な酸素が酸化物半導体膜に供給され、酸化物半導体膜中、又は酸化物半導体膜と絶縁膜の界面における酸素欠陥を低減し、酸化物半導体膜をi型化又はi型に限りなく近くすることができる。

【0158】

また、図9(B)に、本発明の一態様に係る半導体装置が有するメモリセルの、別の回路図を示す。

【0159】

図9(B)に示すメモリセルは、トランジスタ204と、容量素子205とを有する。トランジスタ204のゲート電極は、ワード線WLに接続されている。また、トランジスタ204は、ソース電極及びドレイン電極の一方がデータ線DLに接続されており、他方が容量素子205の一方の電極に接続されている。容量素子205の他方の電極は、接地電位などの固定電位が与えられているノードに、接続されている。

【0160】

図9(B)に示すメモリセルでは、データの書き込み時にトランジスタ204がオンになり、データ線DLからデータを含む信号の電位が、トランジスタ204を介して容量素子205の一方の電極に与えられる。そして、上記信号の電位に従って、容量素子205に蓄積されている電荷量が制御されることで、容量素子205へのデータの書き込みが行われる。

【0161】

次いで、データの保持時には、トランジスタ204がオフになり、容量素子205において電荷が保持される。トランジスタ204はオフ電流が極めて小さいという特性を有している。そのため、容量素子205に蓄積された電荷はリークしづらく、トランジスタ204にシリコンなどの半導体材料を用いた場合に比べ、長い期間に渡ってデータの保持を行うことができる。

【0162】

データの読み出し時には、トランジスタ204がオンになり、データ線DLを介して容量素子205に蓄積された電荷が取り出される。そして、上記電荷量の違いを読み取ることにより、データを読み出すことができる。

【0163】

図10(A)に、図9(B)に示すメモリセルの断面図の一例を示す。トランジスタ204は、絶縁表面を有する基板750上に導電膜751及び導電膜752と、導電膜751及び導電膜752上の半導体膜753と、導電膜751及び導電膜752にそれぞれ接続されている導電膜754及び導電膜755と、半導体膜753上の絶縁膜756と、絶縁膜756上において、半導体膜753と重なる位置に設けられた導電膜757とを有する。

【0164】

また、容量素子205は、絶縁表面を有する基板750上の導電膜755と、導電膜755上の絶縁膜756と、絶縁膜756上において導電膜755と重なる位置に形成された導電膜758とを有する。

【0165】

なお、本発明の一態様に係る半導体装置は、メモリセルの下層に、メモリセルの駆動を制御する駆動回路が設けられていても良い。図10(B)に、メモリセルと駆動回路とが積層された記憶装置の、断面図の一例を示す。

【0166】

10

20

30

40

50

図10(B)に示す記憶装置では、駆動回路を構成するトランジスタ206が、絶縁表面を有する基板760上に、半導体膜761と、半導体膜761上の絶縁膜762と、絶縁膜762上において半導体膜761と重なる位置に設けられた導電膜763と、半導体膜761に接続されている導電膜764及び導電膜765とを有している。なお、半導体膜761、絶縁膜762、及び導電膜763は絶縁膜766に覆われており、絶縁膜762、及び絶縁膜766に設けられた開口部を介して、半導体膜761が導電膜764及び導電膜765と接続されている。

【0167】

また、トランジスタ204は、導電膜764及び絶縁膜766上に、導電膜780、導電膜781、及び導電膜780と導電膜781の間に設けられた絶縁膜782を有する。導電膜764は導電膜781に接続されている。さらに、トランジスタ204は、導電膜780、導電膜781、及び絶縁膜782で構成される層上において、導電膜780及び導電膜781にそれぞれ接続された導電膜771及び導電膜772と、導電膜771及び導電膜772上の半導体膜773と、導電膜771及び導電膜772にそれぞれ接続されている導電膜774及び導電膜775と、半導体膜773、導電膜774及び導電膜775上の絶縁膜776と、絶縁膜776上において、半導体膜773と重なる位置に設けられた導電膜777と、を有する。

【0168】

容量素子205は、導電膜775と、導電膜775上の絶縁膜776と、絶縁膜776上において導電膜775上に位置する導電膜783とを有する。

【0169】

本実施の形態は、上記実施の形態と適宜組み合わせて実施することが可能である。

【0170】

(実施の形態3)

本発明の一態様に係る半導体装置の一つである、インバータの構成例について説明する。

【0171】

図11に、本発明の一態様に係るインバータの一例を示す。図11に示すインバータ500は、トランジスタ501乃至トランジスタ505と、容量素子506とを有する。

【0172】

トランジスタ501は、そのゲート電極が配線508に接続され、そのソース電極がトランジスタ502のドレイン電極に接続され、そのドレイン電極が配線507に接続されている。トランジスタ502は、そのゲート電極が配線509に接続され、そのソース電極が配線510に接続され、そのドレイン電極がトランジスタ501のソース電極に接続されている。トランジスタ503は、そのゲート電極が配線507に接続され、そのソース電極及びドレイン電極の一方がトランジスタ501のソース電極及びトランジスタ502のドレイン電極に接続され、その他方がトランジスタ504のゲート電極に接続されている。トランジスタ504は、そのソース電極がトランジスタ505のドレイン電極及び配線511に接続され、そのドレイン電極が配線507に接続されている。トランジスタ505は、そのゲート電極が配線509に接続され、そのソース電極が配線510に接続され、そのドレイン電極がトランジスタ504のソース電極及び配線511に接続されている。

【0173】

容量素子506は、その一方の電極がトランジスタ504のゲート電極に接続され、その他方の電極が配線511に接続されている。

【0174】

トランジスタ502及びトランジスタ505がnチャネル型である場合、具体的に、配線507にはハイレベルの電位VDDが与えられ、配線510にはローレベルの電位VSSが与えられる。また、配線508にはクロック信号の電位CLが与えられ、配線509には電位Vinが与えられる。そして、配線511からは、電位Vinの極性を反転させることで得られる電位Vinbが、出力される。

10

20

30

40

50

【0175】

本発明の一態様に係る半導体装置では、トランジスタを微細化しても、ソース電極またはドレイン電極として機能する導電膜の抵抗を低く抑え、高いオン電流を確保することができる。よって、本発明の構成をインバータ500に適用させることで、インバータ500を微細化しても、高い動作速度を確保し、電流の供給能力を高めることができる。

【0176】

本実施の形態は、他の実施の形態と適宜組み合わせて実施することが可能である。

【0177】

(実施の形態4)

本発明の一態様に係る半導体装置は、表示機器、パーソナルコンピュータ、記録媒体を備えた画像再生装置（代表的にはDVD：Digital Versatile Disc等の記録媒体を再生し、その画像を表示しうるディスプレイを有する装置）に用いることができる。その他に、本発明の一態様に係る半導体装置を用いることができる電子機器として、携帯電話、携帯型を含むゲーム機、携帯情報端末、電子書籍、ビデオカメラ、デジタルスチルカメラ、ゴーグル型ディスプレイ（ヘッドマウントディスプレイ）、ナビゲーションシステム、音響再生装置（カーオーディオ、デジタルオーディオプレイヤー等）、複写機、ファクシミリ、プリンター、プリンター複合機、現金自動預け入れ払い機（ATM）、自動販売機などが挙げられる。これら電子機器の具体例を図12に示す。

【0178】

図12(A)は携帯型ゲーム機であり、筐体5001、筐体5002、表示部5003、表示部5004、マイクロホン5005、スピーカー5006、操作キー5007、スタイルス5008等を有する。携帯型ゲーム機の駆動回路に、本発明の一態様に係る半導体装置を用いることで、動作速度の速い携帯型ゲーム機を提供することができる。或いは、本発明の一態様に係る半導体装置を用いることで、携帯型ゲーム機の小型化を実現することができる。なお、図12(A)に示した携帯型ゲーム機は、2つの表示部5003と表示部5004とを有しているが、携帯型ゲーム機が有する表示部の数は、これに限定されない。

【0179】

図12(B)は表示機器であり、筐体5201、表示部5202、支持台5203等を有する。表示機器の駆動回路に、本発明の一態様に係る半導体装置を用いることで、動作速度の速い表示機器を提供することができる。或いは、本発明の一態様に係る半導体装置を用いることで、表示機器の小型化を実現することができる。なお、表示機器には、パーソナルコンピュータ用、TV放送受信用、広告表示用などの全ての情報表示用表示機器が含まれる。

【0180】

図12(C)はノート型パーソナルコンピュータであり、筐体5401、表示部5402、キーボード5403、ポインティングデバイス5404等を有する。ノート型パーソナルコンピュータの駆動回路に、本発明の一態様に係る半導体装置を用いることで、動作速度の速いノート型パーソナルコンピュータを提供することができる。或いは、本発明の一態様に係る半導体装置を用いることで、ノート型パーソナルコンピュータの小型化を実現することができる。

【0181】

図12(D)は携帯情報端末であり、第1筐体5601、第2筐体5602、第1表示部5603、第2表示部5604、接続部5605、操作キー5606等を有する。第1表示部5603は第1筐体5601に設けられており、第2表示部5604は第2筐体5602に設けられている。そして、第1筐体5601と第2筐体5602とは、接続部5605により接続されており、第1筐体5601と第2筐体5602との間の角度は、接続部5605により変更が可能である。第1表示部5603における映像の切り替えを、接続部5605における第1筐体5601と第2筐体5602との間の角度に従って、切り替える構成としても良い。また、第1表示部5603及び第2表示部5604の少なくとも

10

20

30

40

50

一方に、位置入力装置としての機能が付加された半導体表示装置を用いるようにしても良い。なお、位置入力装置としての機能は、半導体表示装置にタッチパネルを設けることで付加することができる。或いは、位置入力装置としての機能は、フォトセンサとも呼ばれる光電変換素子を半導体表示装置の画素部に設けることでも、付加することができる。携帯情報端末の駆動回路に、本発明の一態様に係る半導体装置を用いることで、動作速度の速い携帯情報端末を提供することができる。或いは、本発明の一態様に係る半導体装置を用いることで、携帯情報端末の小型化を実現することができる。

【0182】

図12(E)は携帯電話であり、筐体5801、表示部5802、音声入力部5803、音声出力部5804、操作キー5805、受光部5806等を有する。受光部5806において受信した光を電気信号に変換することで、外部の画像を取り込むことができる。携帯電話の駆動回路に、本発明の一態様に係る半導体装置を用いることで、動作速度の速い携帯電話を提供することができる。或いは、本発明の一態様に係る半導体装置を用いることで、携帯電話の小型化を実現することができる。

10

【0183】

本実施の形態は、他の実施の形態と適宜組み合わせて実施することができる。

【符号の説明】

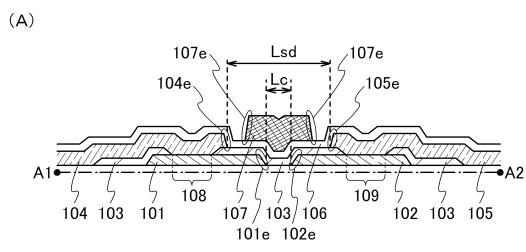
【0184】

101	導電膜	
101e	端部	20
102	導電膜	
102e	端部	
103	半導体膜	
104	導電膜	
104e	端部	
105	導電膜	
105e	端部	
106	絶縁膜	
107	導電膜	
107e	端部	30
108	開口部	
109	開口部	
110	導電膜	
111	導電膜	
112	半導体膜	
113	半導体膜	
114	Lov領域	
115	Lov領域	
116	Loff領域	
117	Looff領域	40
120	絶縁膜	
201	トランジスタ	
202	トランジスタ	
203	容量素子	
204	トランジスタ	
205	容量素子	
206	トランジスタ	
500	インバータ	
501	トランジスタ	
502	トランジスタ	50

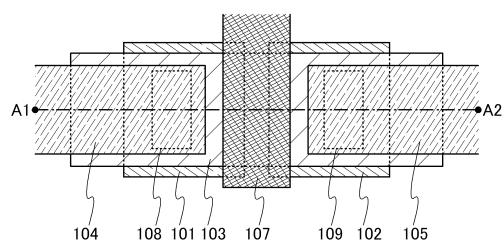
5 0 3	トランジスタ	
5 0 4	トランジスタ	
5 0 5	トランジスタ	
5 0 6	容量素子	
5 0 7	配線	
5 0 8	配線	
5 0 9	配線	
5 1 0	配線	
5 1 1	配線	
7 0 0	基板	10
7 0 1	絶縁膜	
7 0 2	半導体膜	
7 0 3	ゲート絶縁膜	
7 0 4	不純物領域	
7 0 5	マスク	
7 0 6	開口部	
7 0 7	導電膜	
7 0 8	導電膜	
7 0 9	不純物領域	
7 1 0	チャネル形成領域	20
7 1 1	不純物領域	
7 1 2	絶縁膜	
7 1 3	絶縁膜	
7 1 4	導電膜	
7 1 5	導電膜	
7 1 6	酸化物半導体膜	
7 1 7	開口部	
7 1 8	開口部	
7 1 9	導電膜	
7 2 0	導電膜	30
7 2 1	ゲート絶縁膜	
7 2 2	導電膜	
7 2 3	導電膜	
7 5 0	基板	
7 5 1	導電膜	
7 5 2	導電膜	
7 5 3	半導体膜	
7 5 4	導電膜	
7 5 5	導電膜	
7 5 6	絶縁膜	40
7 5 7	導電膜	
7 5 8	導電膜	
7 6 0	基板	
7 6 1	半導体膜	
7 6 2	絶縁膜	
7 6 3	導電膜	
7 6 4	導電膜	
7 6 5	導電膜	
7 6 6	絶縁膜	
7 7 1	導電膜	50

7 7 2	導電膜	
7 7 3	半導体膜	
7 7 4	導電膜	
7 7 5	導電膜	
7 7 6	絶縁膜	
7 7 7	導電膜	
7 8 0	導電膜	
7 8 1	導電膜	
7 8 2	絶縁膜	
7 8 3	導電膜	10
5 0 0 1	筐体	
5 0 0 2	筐体	
5 0 0 3	表示部	
5 0 0 4	表示部	
5 0 0 5	マイクロホン	
5 0 0 6	スピーカー	
5 0 0 7	操作キー	
5 0 0 8	スタイラス	
5 2 0 1	筐体	
5 2 0 2	表示部	20
5 2 0 3	支持台	
5 4 0 1	筐体	
5 4 0 2	表示部	
5 4 0 3	キーボード	
5 4 0 4	ポインティングデバイス	
5 6 0 1	筐体	
5 6 0 2	筐体	
5 6 0 3	表示部	
5 6 0 4	表示部	
5 6 0 5	接続部	30
5 6 0 6	操作キー	
5 8 0 1	筐体	
5 8 0 2	表示部	
5 8 0 3	音声入力部	
5 8 0 4	音声出力部	
5 8 0 5	操作キー	
5 8 0 6	受光部	

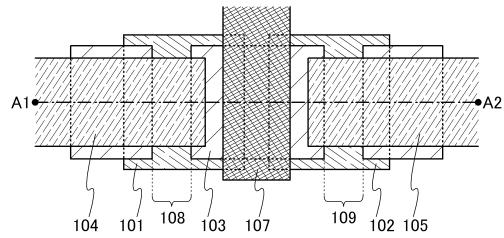
【図1】



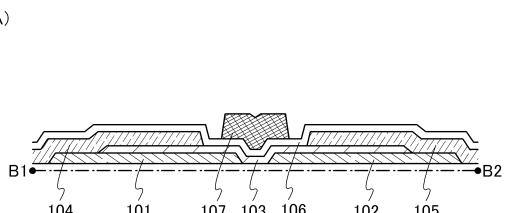
(B)



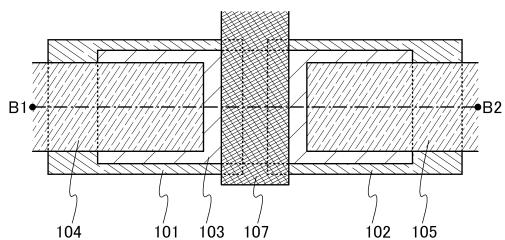
(C)



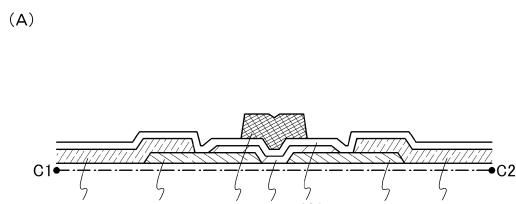
【図2】



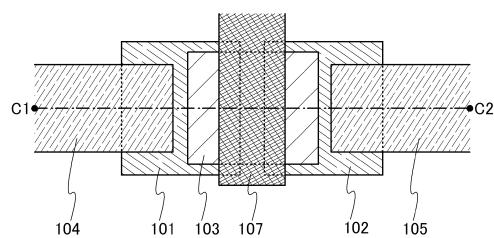
(B)



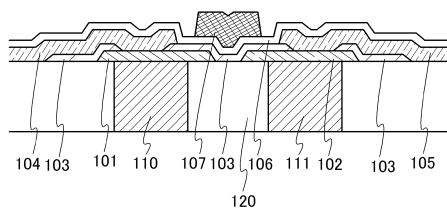
【図3】



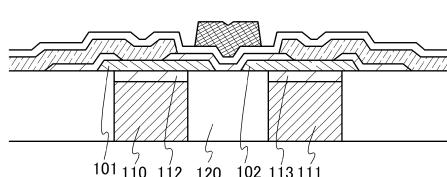
(B)



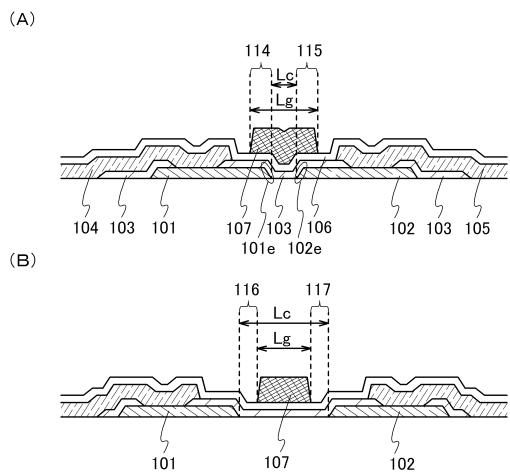
【図4】



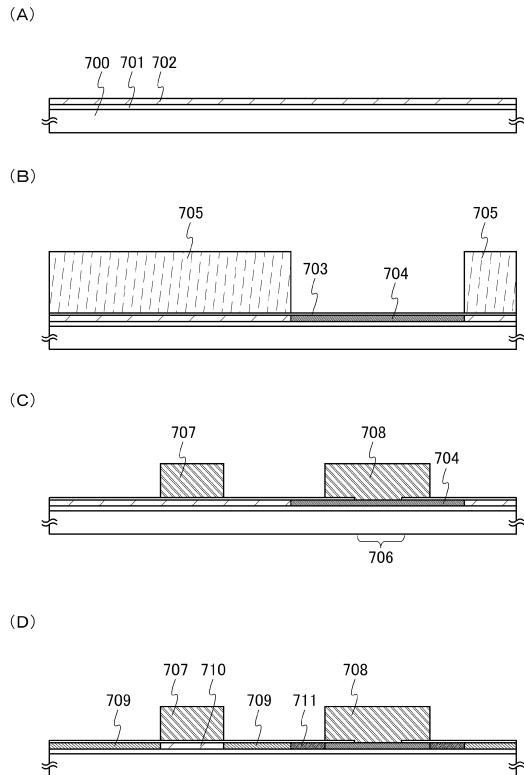
(B)



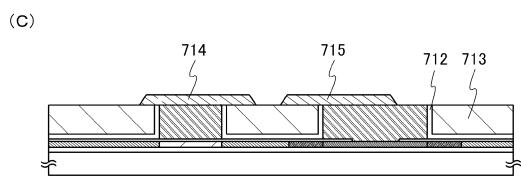
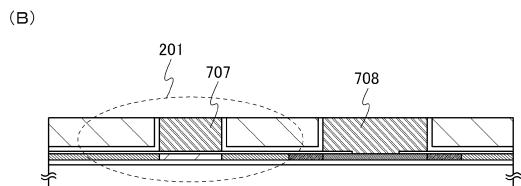
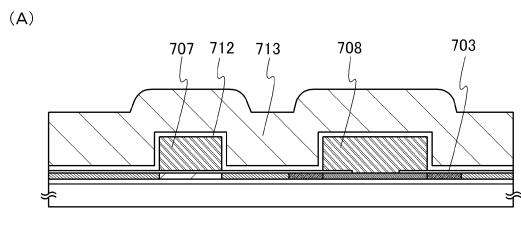
【図5】



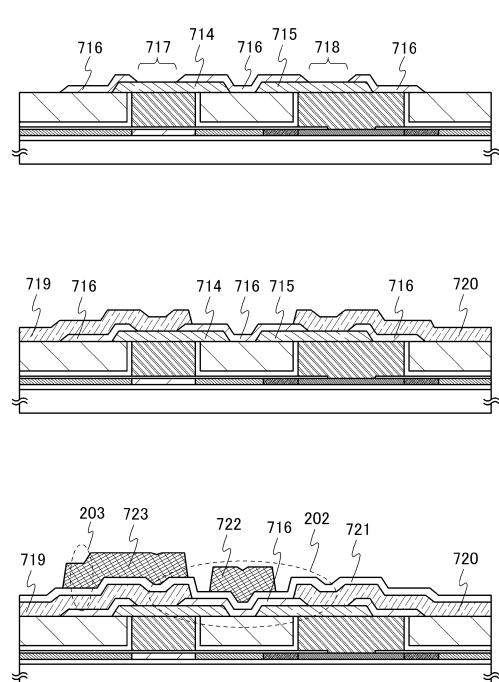
【図6】



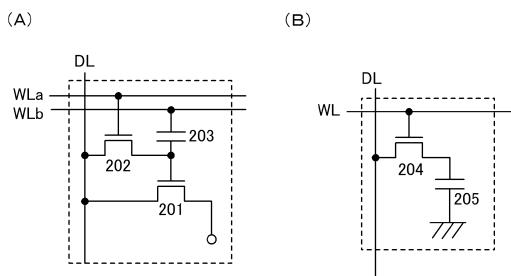
【図7】



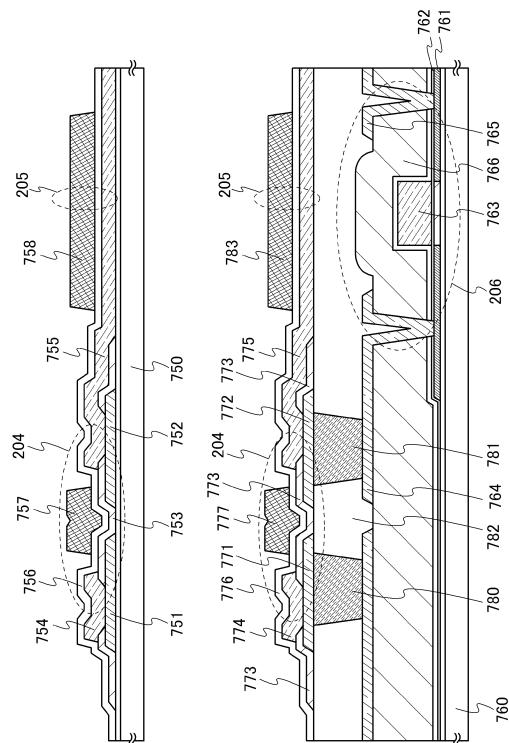
【図8】



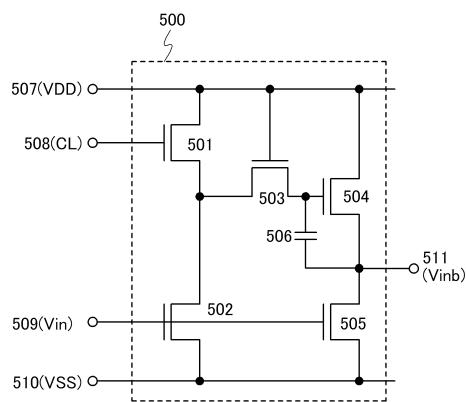
【図9】



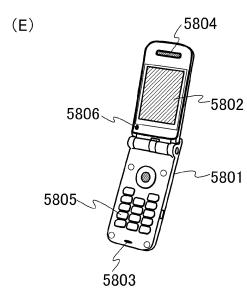
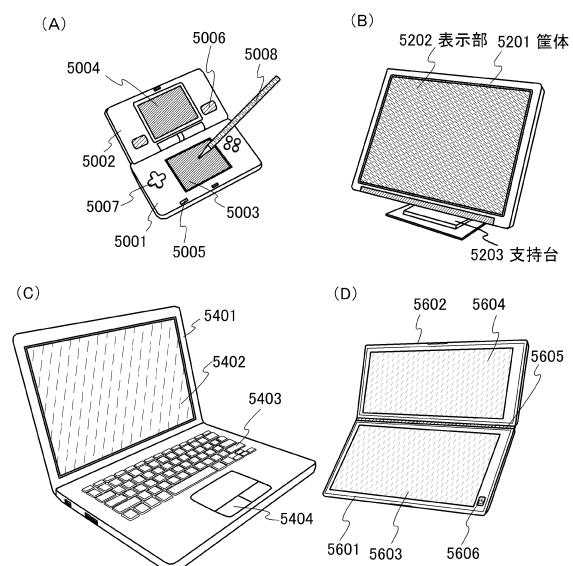
【図10】



【図11】



【図12】



フロントページの続き

(51)Int.Cl.	F I
H 01 L 29/788 (2006.01)	H 01 L 27/108 6 1 5
H 01 L 21/336 (2006.01)	H 01 L 27/108 6 7 1 C
H 01 L 29/792 (2006.01)	H 01 L 27/108 6 7 1 Z
H 01 L 29/49 (2006.01)	H 01 L 29/78 3 7 1
H 01 L 29/423 (2006.01)	H 01 L 29/58 G
H 01 L 27/088 (2006.01)	H 01 L 27/088 3 3 1 E
H 01 L 21/8234 (2006.01)	H 01 L 27/088 D
	H 01 L 27/088 B
	H 01 L 29/78 6 1 6 S

(56)参考文献 特開2010-166030(JP,A)

特開平03-233938(JP,A)

特開2008-270773(JP,A)

特開2011-101030(JP,A)

特開2011-181911(JP,A)

(58)調査した分野(Int.Cl., DB名)

H 01 L 21 / 336

H 01 L 29 / 786