

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2023年12月21日(21.12.2023)



(10) 国際公開番号
WO 2023/243556 A1

(51) 国際特許分類:
H01L 29/812 (2006.01) *H01L 29/417* (2006.01)
H01L 21/337 (2006.01) *H01L 29/423* (2006.01)
H01L 21/338 (2006.01) *H01L 29/778* (2006.01)
H01L 29/41 (2006.01) *H01L 29/808* (2006.01)

(21) 国際出願番号: PCT/JP2023/021506

(22) 国際出願日: 2023年6月9日(09.06.2023)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2022-096669 2022年6月15日(15.06.2022) JP

(71) 出願人: ローム株式会社 (ROHM CO., LTD.)
[JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町2-1番地 Kyoto (JP).

(72) 発明者: 柳原 学 (YANAGIHARA Manabu);
〒6158585 京都府京都市右京区西院溝崎町2-1番地 ローム株式会社内 Kyoto (JP).
大嶽 浩隆 (OTAKE Hirotaka); 〒6158585 京都

府京都市右京区西院溝崎町2-1番地 ローム株式会社内 Kyoto (JP).

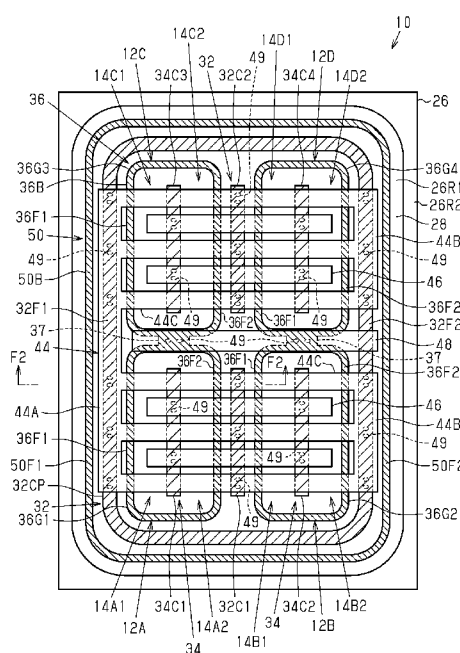
(74) 代理人: 恩田 誠, 外 (ONDA Makoto et al.);
〒5008731 岐阜県岐阜市大宮町二丁目1-2番地1 Gifu (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS,

(54) Title: FIELD EFFECT TRANSISTOR

(54) 発明の名称: 電界効果トランジスタ



(57) Abstract: A field effect transistor (10) according to the present invention is provided with: an electron transit layer (26); an electron supply layer (28) which is arranged on the electron transit layer so as to generate a two-dimensional electron gas within the electron transit layer; and a source electrode (32), a drain electrode (34) and a gate structure (36), which are arranged on the electron supply layer (28). The electron transit layer (26) comprises an active region (26R1) in which the two-dimensional electron gas is generated, and an inactive region (26R2) which surrounds the active region when viewed in plan. The source electrode (32), the drain electrode (34) and the gate structure (36) are arranged on the electron supply layer (28) in a region that corresponds to the active region (26R1). The source electrode (32) comprises a source contact outer peripheral part (32CP) which surrounds the drain electrode (34) and the gate structure (36) when viewed in plan, while being in contact with the electron supply layer (28) along the outer periphery of the electron supply layer (28) corresponding to the boundary between the active region (26R1) and the inactive region (26R2).

WO 2023/243556 A1



MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

一 国際調査報告 (条約第21条(3))

(57) 要約：電界効果トランジスタ (10) は、電子走行層 (26) と、電子走行層内に二次元電子ガスを発生させるべく電子走行層上に配置された電子供給層 (28) と、電子供給層 (28) 上に配置されたソース電極 (32)、ドレイン電極 (34)、およびゲート構造 (36) とを備える。電子走行層 (26) は、二次元電子ガスが発生する活性領域 (26R1) と、平面視にて活性領域を囲む非活性領域 (26R2) とを含む。ソース電極 (32)、ドレイン電極 (34)、およびゲート構造 (36) は、活性領域 (26R1) に対応する領域で電子供給層 (28) の上に配置されている。ソース電極 (32) は、ドレイン電極 (34) およびゲート構造 (36) を平面視で囲むとともに活性領域 (26R1) と非活性領域 (26R2) との境界に対応する電子供給層 (28) の外周に沿って電子供給層と接するソースコンタクト外周部 (32CP) を含む。

明 細 書

発明の名称：電界効果トランジスタ

技術分野

[0001] 本開示は、電界効果トランジスタに関する。

背景技術

[0002] 現在、窒化ガリウム（GaN）等のIII-V族半導体を用いた電界効果トランジスタ（FET）の一つである高電子移動度トランジスタ（HEMT）の製品化が進んでいる。HEMTは、半導体ヘテロ接合の界面付近に形成された二次元電子ガス（2DEG）を導電経路（チャンネル）として使用する（例えば、特許文献1参照）。HEMTを利用したパワートランジスタは、典型的なシリコン（Si）パワートランジスタと比較して、低オン抵抗および高速・高周波動作可能なデバイスとして認知されている。

先行技術文献

特許文献

[0003] 特許文献1：特開2017-73506号公報

発明の概要

発明が解決しようとする課題

[0004] HEMTのゲート容量は、パワートランジスタとしては相対的に小さいため、静電気等によるサージが素子内で十分に吸収されないことがある。特に、半導体ウェハをチップに個片化するダイシング工程においては、ブレードを高速回転させることで半導体ウェハを機械的に切断するために、サージがトランジスタ内に入り易い。サージ耐性が低い場合、サージによるオン抵抗増加および耐圧低下等のトランジスタ特性の劣化が生じ得る。トランジスタは、2DEGが発生する活性領域に形成される。したがって、活性領域内に侵入し得るサージへの耐性を向上させる上で未だ改善の余地がある。

課題を解決するための手段

[0005] 本開示の一態様による電界効果トランジスタは、基板と、前記基板の上方

に配置された第1窒化物半導体層と、前記第1窒化物半導体層よりも大きなバンドギャップを有し、前記第1窒化物半導体層との界面付近にて前記第1窒化物半導体層内に二次元電子ガスを発生させるべく前記第1窒化物半導体層の上に配置された第2窒化物半導体層と、前記第2窒化物半導体層の上に配置されたソース電極、ドレイン電極、およびゲート構造とを備える。前記第1窒化物半導体層は、前記二次元電子ガスが発生する活性領域と、平面視にて前記活性領域を囲む非活性領域とを含む。前記ソース電極、前記ドレイン電極、および前記ゲート構造は、前記活性領域に対応する領域で前記第2窒化物半導体層の上に配置されている。前記ソース電極は、前記ドレイン電極および前記ゲート構造を平面視で囲むとともに前記活性領域と前記非活性領域との境界に対応する前記第2窒化物半導体層の外周に沿って前記第2窒化物半導体層と接するソースコンタクト外周部を含む。

発明の効果

[0006] 本開示の一態様による電界効果トランジスタはサージ耐性を向上させることができる。

図面の簡単な説明

[0007] [図1]図1は、第1実施形態に係る例示的な電界効果トランジスタの概略平面図である。

[図2]図2は、図1のF2-F2線に沿った概略断面図である。

[図3]図3は、図1の電界効果トランジスタの例示的な上層配線構造を示す概略平面図である。

[図4]図4は、第2実施形態に係る例示的な電界効果トランジスタの概略平面図である。

[図5]図5は、第3実施形態に係る例示的な電界効果トランジスタの概略平面図である。

[図6]図6は、第4実施形態に係る例示的な電界効果トランジスタの概略平面図である。

[図7]図7は、第5実施形態に係る例示的な電界効果トランジスタの概略平面

図である。

[図8]図8は、第6実施形態に係る例示的な電界効果トランジスタの概略平面図である。

[図9]図9は、図8のF9-F9線に沿った概略断面図である。

[図10]図10は、第7実施形態に係る例示的な電界効果トランジスタの概略平面図である。

[図11]図11は、第8実施形態に係る例示的な電界効果トランジスタの概略平面図である。

[図12]図12は、第9実施形態に係る例示的な電界効果トランジスタの概略平面図である。

[図13]図13は、図12のF13-F13線に沿った概略断面図である。

[図14]図14は、第10実施形態に係る例示的な電界効果トランジスタの概略平面図である。

[図15]図15は、第11実施形態に係る例示的な電界効果トランジスタの概略平面図である。

発明を実施するための形態

[0008] 以下、添付図面を参照して本開示による電界効果トランジスタのいくつかの実施形態を説明する。なお、図面に示される構成要素は、分かり易さおよび明瞭化のために部分的に拡大されている場合があり、必ずしも一定の縮尺で描かれていない。また、理解を容易にするために、断面図ではハッチング線が省略されている場合があり、平面図では構成要素がハッチング線によって示されている場合がある。添付の図面は、本開示の実施形態を例示するものに過ぎず、本開示を制限するものとみなされるべきではない。

[0009] 以下の詳細な記載は、本開示の例示的な実施形態を具体化する装置、システム、および方法を含む。この詳細な記載は本來說明のためのものに過ぎず、本開示の実施形態またはこのような実施形態の適用および使用を限定することを意図しない。

[0010] [第1実施形態]

図1は、第1実施形態に係る例示的な電界効果トランジスタ（FET）10の概略平面図である。図2は、図1のF2-F2線に沿ったFET10の概略断面図である。FET10は、窒化物半導体を用いた高電子移動度トランジスタ（HEMT）として構成され得る。窒化物半導体の代表例は、窒化ガリウム（GaN）、窒化アルミニウム（AlN）、窒化インジウム（InN）であり、一般には、 $Al_x In_y Ga_{1-x-y} N$ （ $0 \leq x \leq 1$ 、 $0 \leq y \leq 1$ 、 $0 \leq x + y \leq 1$ ）と表すことができる。

[0011] なお、本開示において使用される「平面視」という用語は、明示的に別段の記載がない限り、各図に示される互いに直交するXYZ軸のZ方向に対象物（FET10またはその構成要素）を視ることをいう。なお、以下では、Y方向を第1方向、X方向を第2方向と言う場合がある。また、理解を容易にするために、+Z方向を上、-Z方向を下、+X方向を右、-X方向を左と言う場合がある。

[0012] 図1に示されるように、FET10は、複数（図1の例では4つ）のFETセル12A、12B、12C、12Dを含む。なお、以下の説明において、FETセル12A~12Dを互いに区別しない場合には、それらを総称してFETセル12と言う。図1の例では、理解を容易にするために、FET10は4つのFETセル12を含むものとして示されているが、FET10は例えば数十個~数百個のFETセル12を含むことでパワートランジスタ（電力スイッチング用FET）として構成され得る。

[0013] 図1の例では、FETセル12Aは、FET要素14A1、14A2を含む。同様に、FETセル12Bは、FET要素14B1、14B2を含み、FETセル12Cは、FET要素14C1、14C2を含み、FETセル12Dは、FET要素14D1、14D2を含む。なお、以下の説明において、これらのFET要素14A1、14A2、14B1、14B2、14C1、14C2、14D1、14D2を互いに区別しない場合には、それらを総称してFET要素14と言う。各FET要素14は、FET10の動作に寄与するトランジスタ構造（図1および図2の例ではHEMT）の部分である

。

[0014] [1. FET (HEMT) の断面構造]

図2は、図1のF2-F2線に沿ったFETセル12Aの構造とその周辺構造とを示している。以下では、まず、図2を参照して、FET要素14の例示的な断面構造について説明する。なお、FET要素14の断面構造は、各FETセル12で同じである。

[0015] FET10は、基板22と、基板22上に形成されたバッファ層24と、バッファ層24上に形成された電子走行層26と、電子走行層26上に形成された電子供給層28とを含む。基板22は、シリコン(Si)、シリコンカーバイド(SiC)、GaN、サファイア、または他の基板材料で形成され得る。例えば、基板22は、導電性Si基板である。基板22の厚さは、例えば200 μ m以上1500 μ m以下であってよい。なお、各図に示されるZ方向は、基板22の主面と直交する方向である。

[0016] バッファ層24は、基板22と電子走行層26との間に位置し、基板22と電子走行層26との間の熱膨張係数の不整合によるウェハ反りやクラック発生を抑制することができる任意の材料によって形成され得る。バッファ層24は、1つまたは複数の窒化物半導体層を含み得る。例えば、バッファ層24は、窒化アルミニウム(AlN)層、窒化アルミニウムガリウム(AlGaN)層、および異なるアルミニウム(Al)組成を有するグレーテッドAlGaN層のうちの少なくとも1つを含み得る。例えば、バッファ層24は、単一のAlN層、単一のAlGaN層、AlGaN/GaN超格子構造を有する層、AlN/AlGaN超格子構造を有する層、またはAlN/GaN超格子構造を有する層によって形成され得る。

[0017] 一例において、バッファ層24は、基板22上に形成された第1バッファ層と、第1バッファ層上に形成された第2バッファ層とを含む。第1バッファ層は、例えばAlN層であり、例えば200nm程度の厚さを有し得る。第2バッファ層は、例えば複数のAlGaN層を含み、各AlGaN層は例えば100nm程度の厚さを有し得る。なお、バッファ層24におけるリー

ク電流を抑制するために、バッファ層24の一部に不純物を導入して半絶縁性にしてもよい。その場合、不純物は、例えば炭素(C)または鉄(Fe)であり、不純物の濃度は、例えば $4 \times 10^{16} \text{ cm}^{-3}$ 以上であってよい。

[0018] 電子走行層26は、窒化物半導体によって形成され得る。電子走行層26は、第1窒化物半導体層に対応する。例えば、電子走行層26はGa_{1-x}N_x層であってよい。電子走行層26の厚さは、例えば0.1 μm以上2 μm以下であってよい。なお、電子走行層26におけるリーク電流を抑制するために、電子走行層26の一部に不純物を導入して電子走行層26の表層領域以外を半絶縁性にしてもよい。その場合、不純物は例えばCであり、不純物の濃度は、例えばピーク濃度で $1 \times 10^{19} \text{ cm}^{-3}$ 以上であってよい。

[0019] 電子供給層28は、窒化物半導体によって形成され得る。電子供給層28は、第2窒化物半導体層に対応する。例えば、電子供給層28はAl_{1-x}Ga_xN層であってよい。Al_{1-x}Ga_xN層では、Al組成が大きくなるほどバンドギャップが大きくなる。このため、Al_{1-x}Ga_xN層である電子供給層28は、Ga_{1-x}N_x層である電子走行層26よりも大きなバンドギャップを有している。例えば、電子供給層28は、Al_xGa_{1-x}Nによって構成されており、ここで、 x は $0.1 < x < 0.4$ 、より好ましくは $0.2 < x < 0.3$ の範囲を有するが、必ずしもこの範囲に限定されない。電子供給層28の厚さは、例えば5 nm以上20 nm以下であってよい。

[0020] 電子走行層26と電子供給層28は、互いに異なる格子定数を有する窒化物半導体によって構成されている。したがって、電子走行層26を構成する窒化物半導体(例えば、Ga_{1-x}N_x)と電子供給層28を構成する窒化物半導体(例えば、Al_{1-x}Ga_xN)とは格子不整合系の接合となっている。電子走行層26および電子供給層28の自発分極と、電子供給層28のヘテロ接合部が受ける応力に起因するpiezo分極とによって、電子走行層26と電子供給層28とのヘテロ接合界面付近における電子走行層26の伝導帯のエネルギーレベルはフェルミ準位よりも低くなる。これにより、電子走行層26と電子供給層28とのヘテロ接合界面に近い位置(例えば、界面から数nm程度の

距離)において電子走行層26内には二次元電子ガス(2DEG)30が広がっている。

[0021] 電子走行層26は、2DEG30が発生可能な活性領域26R1と、平面視で活性領域26R1を囲む非活性領域26R2とを含む。非活性領域26R2は、例えば電子走行層26の上部外周部をその直上に位置する電子供給層28の外周部とともに除去することで形成されている。したがって、電子走行層26は、活性領域26R1と非活性領域26R2との境界位置に側面26S1を含み、電子供給層28は、電子走行層26の側面26S1と連続的に形成された側面28S1を含む。図2の例では、電子供給層28の側面28S1は、平面視で電子走行層26の側面26S1と一致している。電子走行層26の側面26S1は、活性領域26R1と非活性領域26R2との間に段差を形成する段差壁として設けられている。

[0022] なお、図2の例では、電子供給層28の側面28S1および電子走行層26の側面26S1は垂直面として形成されているが、側面28S1の上端から側面26S1の下端に向けて外側に傾斜する傾斜面として形成されてもよい。

[0023] 電子走行層26は、FET10のチップ外周端の位置に外周端面26S2を含む。したがって、非活性領域26R2は、外周端面26S2と側面26S1との間の電子走行層26の領域に対応する。図2の例では、非活性領域26R2は、電子供給層28がその上に存在しない電子走行層26の領域に対応する。このため、非活性領域26R2には、2DEG30は発生しない。非活性領域26R2は、平面視(図1参照)において電子走行層26の外周端面26S2に沿って形成されている。

[0024] 活性領域26R1は、平面視において非活性領域26R2よりも内側の電子走行層26の領域に対応する。図2の例では、活性領域26R1は、電子供給層28がその上に存在する(それによって2DEG30が発生可能な)電子走行層26の領域に対応する。

[0025] なお、非活性領域26R2は、例えばエッチング法を用いて電子供給層2

8の外周部およびその直下に位置する電子走行層26の上部外周部を除去することによって形成することができる。しかしながら、非活性領域26R2は、エッチング法を用いて形成することに限定されない。例えば、非活性領域26R2は、イオン注入法を用いて電子供給層28の外周部およびその直下に位置する電子走行層26の上部外周部を高抵抗化することにより形成されてもよい。ただし、エッチング法は、イオン注入法に比べて低コストで実施できるため、コストの点からはエッチング法を用いることが有利である。

[0026] FET10はさらに、電子供給層28の上に配置されたソース電極32、ドレイン電極34、およびゲート構造36を含む。また、FET10は、ゲート構造36を覆うように電子供給層28の上に配置されたパッシベーション層38を含む。パッシベーション層38は、例えば、窒化シリコン(SiN)膜、二酸化シリコン(SiO₂)膜、酸窒化シリコン(SiON)膜、アルミナ(Al₂O₃)膜、AlN膜、および酸窒化アルミニウム(AlON)膜のうちのいずれか1つの単膜か、またはそれらの2つ以上の任意の組み合わせを含む複合膜によって構成されている。

[0027] ソース電極32およびドレイン電極34は、電子供給層28の直下において電子走行層26に発生している2DEG30にオーミック接触、すなわち、2DEG30に電氣的に接続されている。ソース電極32およびドレイン電極34は、例えば、チタン(Ti)層、窒化チタン(TiN)層、Al層、アルミニウムシリコン銅(AlSiCu)層、およびアルミニウム銅(AlCu)層のうちの少なくとも1つを用いた1つまたは複数の金属層によって形成され得る。ソース電極32とドレイン電極34は同じ金属材料で形成されてもよいが、異なる金属材料で形成されてもよい。ソース電極32とドレイン電極34が同じ金属材料で形成される場合、両者を同一の工程で形成できる点で有利である。

[0028] なお、ソース電極32およびドレイン電極34の断面形状は特に限定されない。例えば、ソース電極32およびドレイン電極34は、パッシベーション層38の開口部38A、38Bを埋めるように1つまたは複数の金属層を

パッシベーション層 38 の上に形成した後に、その金属層をエッチングすることで形成され得る。この場合、図 2 の例に示されるように、ソース電極 32 およびドレイン電極 34 は各々、図 2 の Z X 平面に沿った断面において略 T 字形状または略 Y 字形状を有し得る。

[0029] 図 2 の例では、ソース電極 32 は、ソース電極部 32 A と、ソース電極部 32 A に連続するソースフィールドプレート部 32 B とを含み得る。ソース電極部 32 A は、パッシベーション層 38 の開口部 38 A に充填された充填領域と、この充填領域と一体に形成された上部領域とを含む。ソースフィールドプレート部 32 B は、ソース電極部 32 A の上部領域と一体に形成されており、平面視においてゲート構造 36 を覆うようにパッシベーション層 38 の上に設けられている。ソースフィールドプレート部 32 B は、ゲートソース間電圧が 0 V の状態でソースドレイン間に高電圧が印加された際にソースフィールドプレート部 32 B の直下の 2 DEG 30 に向けて空乏層を伸ばすことで、ゲート構造 36 の端部付近における電界集中を緩和する役割を果たす。

[0030] ゲート構造 36 は、電子供給層 28 の上に配置されたゲート層 36 A と、ゲート層 36 A の上に配置されたゲート電極 36 B とを含む。ゲート層 36 A は、電子供給層 28 よりも小さなバンドギャップを有する窒化物半導体によって形成され得る。一例として、電子供給層 28 が AlGaIn 層である場合、ゲート層 36 A は、アクセプタ型不純物がドーパされた GaN 層、すなわち p 型 GaN 層であってよい。アクセプタ型不純物は、例えば、亜鉛 (Zn)、マグネシウム (Mg)、および炭素 (C) のうちの少なくとも 1 つであってよい。ゲート層 36 A 中におけるアクセプタ型不純物の最大濃度は、例えば、 $7 \times 10^{18} \text{ cm}^{-3}$ 以上 $1 \times 10^{20} \text{ cm}^{-3}$ 以下である。

[0031] ゲート層 36 A がアクセプタ型不純物を含む窒化物半導体によって形成されている場合には、ゲート電極 36 B に電圧が印加されないゼロバイアス時に、ゲート層 36 A の直下の領域における 2 DEG 30 が空乏化することで導電経路 (チャネル) が遮断される。これにより、閾値電圧が正の値となる

ノーマリーオフ型のHEMTが実現される。

[0032] ゲート層36Aの厚さは特に限定されないが、ゲート耐圧等の種々のパラメータを考慮して適宜決定され得る。例えば、ゲート層36Aの厚さは、80nm以上150nm以下であってよい。また、ゲート層36Aの断面形状は特に限定されない。ゲート層36Aは、図2のZX平面に沿った断面において、例えば、矩形状、台形状、リッジ状、またはその他の任意の形状を有し得る。

[0033] ゲート電極36Bは、1つまたは複数の金属層によって形成され得る。ゲート電極36Bは、ゲート層36Aとショットキー接合またはオーミック接合している。例えば、ゲート電極36Bは、窒化チタン(TiN)層であってよい。この場合、ゲート電極36Bは、ゲート層36Aとショットキー接合する。あるいは、ゲート電極36Bは、第1金属層(例えば、Ti層)と、第1金属層の上に設けられた第2金属層(例えば、TiN層)とによって構成されてもよい。ゲート電極36Bの厚さは、例えば50nm以上300nm以下であってよい。

[0034] 図2の例では、ゲート電極36Bは、ゲート層36Aの上面の一部の上に配置されており、X方向においてゲート層36Aよりも小さな幅を有している。このようなゲート構造36は、ゲート電極36BがX方向にゲート層36Aと同じ幅で形成される場合に比べてゲートリーク電流を低減する上で有利である。ただし、ゲート電極36Bは、ゲート層36Aと同じ幅で形成されてもよい。

[0035] FET10はさらに、ソース電極32およびドレイン電極34とともにパッシベーション層38を覆う層間絶縁層42と、層間絶縁層42の上に配置されたソース配線44、ドレイン配線46、およびゲート配線48とを含む。なお、図示の煩雑さを避けるために、パッシベーション層38および層間絶縁層42は図1には示されていない。層間絶縁層42は、例えば、二酸化シリコン(SiO₂)または他の絶縁材料で形成され得る。また、図2における層間絶縁層42は表面が平坦な場合を示しているが、必ずしも平坦である

必要はない。層間絶縁層42は、層間絶縁層42の下部の凹凸を反映するようにFET10の領域内で等しい膜厚で形成されていても構わない。なお、パッシベーション層38および層間絶縁層42は、総称して絶縁層と呼ぶことができる。ソース配線44、ドレイン配線46、およびゲート配線48は、例えば、金(Au)、Cu、またはAl等の金属材料で形成され得る。

[0036] [2. ソース電極、ドレイン電極、およびゲート構造の平面レイアウト]
次に、図1を参照して、FET10のソース電極32、ドレイン電極34、およびゲート構造36の例示的な平面レイアウトについて説明する。

[0037] ドレイン電極34は、電子供給層28(図2参照)と接する複数(図1の例では4つ)のドレインコンタクト部34C1, 34C2, 34C3, 34C4を含む。ドレインコンタクト部34C1~34C4は、平面視で第1方向(Y方向)および第1方向と直交する第2方向(X方向)に互いに離間して配置されている。なお、以下の説明において、ドレインコンタクト部34C1~34C4を互いに区別しない場合には、それらを総称してドレインコンタクト部34Cと言う。

[0038] ドレインコンタクト部34Cは、活性領域26R1における電子供給層28と接するドレイン電極34の部分である。なお、図示の煩雑さを避けるために、ドレインコンタクト部34C以外のドレイン電極34の部分は図1には示されていない。また、理解を容易にするために、図1ではドレインコンタクト部34Cをハッチング線で示している。各ドレインコンタクト部34Cは、第1方向に延在するフィンガー状、すなわち長尺状を有している。

[0039] ゲート構造36は、複数(図1の例では4つ)のゲート部36G1, 36G2, 36G3, 36G4を含む。ゲート部36G1, 36G2, 36G3, 36G4は各々、ドレインコンタクト部34C1, 34C2, 34C3, 34C4のうちの対応する一つを環状に囲むように設けられている。なお、以下の説明において、ゲート部36G1~36G4を互いに区別しない場合には、それらを総称してゲート部36Gと言う。

[0040] 各ゲート部36Gは、図2を参照して説明したゲート層36Aとゲート電

極 3 6 B とを含む。なお、図示の煩雑さを避けるために、ゲート層 3 6 A は図 1 には示されていない。また、理解を容易にするために、図 1 ではゲート電極 3 6 B をハッチング線で示している。各ゲート部 3 6 G において、ゲート層 3 6 A およびゲート電極 3 6 B は環状に形成されている。

[0041] なお、本開示において使用される「環状」という用語は、端のない連続的な形状すなわちループを形成する任意の構造のみならず、例えば C 字形状等のような切れ目（ギャップ）を有する概してループ形状の構造も指す。したがって、明示的に「閉じた環状」という場合は、端のない連続的な形状すなわちループを形成する任意の構造を指す一方、明示的に「開いた環状」という場合は、切れ目を有する概してループ形状の構造を指す。このような「環状」の形状には、楕円形だけでなく、直角の角部または丸みのある角部を有する複数の角部を含む任意の形状が含まれ得る。

[0042] 図 1 の例では、各ゲート部 3 6 G は、閉じた環状に形成されている。ただし、各ゲート部 3 6 G は、必ずしも閉じた環状であることに限定されず、開いた環状であってもよい。例えば、環状の各ゲート部 3 6 G は、F E T 要素 1 4 の形成領域に配置されるとともに第 1 方向（Y 方向）に平行に延在する一对のゲート構造フィンガー部 3 6 F 1, 3 6 F 2 を含む。例えば、各ゲート部 3 6 G は、この一对のゲート構造フィンガー部 3 6 F 1, 3 6 F 2 から外れた位置で切れ目を有する開いた環状に形成されてもよい。

[0043] 第 1 方向（Y 方向）に隣り合うゲート部 3 6 G は、連結部 3 7 によって互いに電氣的に接続されている。図 1 の例では、ゲート部 3 6 G 1 とゲート部 3 6 G 3 とが連結部 3 7 によって電氣的に接続されており、ゲート部 3 6 G 2 とゲート部 3 6 G 4 とが連結部 3 7 によって電氣的に接続されている。連結部 3 7 は、第 1 方向（Y 方向）および第 2 方向（X 方向）の各々において、ゲート電極 3 6 B の幅よりも大きな幅を有し得る。第 2 方向（X 方向）に隣り合うゲート部 3 6 G は互いに離間している。

[0044] ソース電極 3 2 は、第 2 方向（X 方向）に隣り合うゲート部 3 6 G の間に 1 つずつ配置されるとともに、電子供給層 2 8（図 2 参照）と接する複数（

図1の例では2つのソースコンタクト部32C1, 32C2を含む。なお、以下の説明において、ソースコンタクト部32C1, 32C2を互いに区別しない場合には、それらを総称してソースコンタクト部32Cと言う。

[0045] ソース電極32はさらに、活性領域26R1と非活性領域26R2との境界に対応する電子供給層28の外周に沿って電子供給層28と接するソースコンタクト外周部32CPを含む。ソースコンタクト外周部32CPは、平面視においてドレイン電極34（全てのドレインコンタクト部34C）およびゲート構造36（全てのゲート部36G）を囲むように配置されている。

[0046] ソースコンタクト部32Cおよびソースコンタクト外周部32CPは各々、活性領域26R1における電子供給層28と接するソース電極32の部分である。なお、図示の煩雑さを避けるために、ソースコンタクト部32Cおよびソースコンタクト外周部32CP以外のソース電極32の部分は図1には示されていない。また、理解を容易にするために、図1ではソースコンタクト部32Cおよびソースコンタクト外周部32CPをハッチング線で示している。

[0047] 図1の例では、ソースコンタクト部32C1, 32C2は、第1方向（Y方向）に互いに離間している。さらに、ソースコンタクト部32C1, 32C2は、ソースコンタクト外周部32CPからも離間している。各ソースコンタクト部32Cは、第1方向に延在するフィンガー状、すなわち長尺状を有している。例えば、各ソースコンタクト部32Cは、第1方向において各ドレインコンタクト部34Cと同じ長さを有し得る。ソースコンタクト部32C1は、第2方向（X方向）に隣り合うゲート部36G1とゲート部36G2との間に配置されており、ソースコンタクト部32C2は、第2方向に隣り合うゲート部36G3とゲート部36G4との間に配置されている。

[0048] ソースコンタクト外周部32CPは、電子供給層28の外周に沿って環状に形成されている。図1の例では、ソースコンタクト外周部32CPは、閉じた環状に形成されている。ただし、ソースコンタクト外周部32CPは、必ずしも閉じた環状であることに限定されない。例えば、環状のソースコン

タクト外周部32CPは、FET要素14の形成領域に配置されるとともに第1方向（Y方向）に平行に延在する一对のソース外周フィンガー部32F1、32F2を含む。例えば、ソースコンタクト外周部32CPは、この一对のソース外周フィンガー部32F1、32F2から外れた位置で切れ目を有する開いた環状に形成されてもよい。

[0049] 図1の例では、FETセル12A（FET要素14A1、14A2）は、ドレインコンタクト部34C1、ゲート部36G1の一对のゲート構造フィンガー部36F1、36F2、ソースコンタクト部32C1、ソースコンタクト外周部32CPのソース外周フィンガー部32F1を含む。

[0050] FETセル12B（FET要素14B1、14B2）は、ドレインコンタクト部34C2、ゲート部36G2の一对のゲート構造フィンガー部36F1、36F2、ソースコンタクト部32C1、ソースコンタクト外周部32CPのソース外周フィンガー部32F2を含む。

[0051] FETセル12C（FET要素14C1、14C2）は、ドレインコンタクト部34C3、ゲート部36G3の一对のゲート構造フィンガー部36F1、36F2、ソースコンタクト部32C2、ソースコンタクト外周部32CPのソース外周フィンガー部32F1を含む。

[0052] FETセル12D（FET要素14D1、14D2）は、ドレインコンタクト部34C4、ゲート部36G4の一对のゲート構造フィンガー部36F1、36F2、ソースコンタクト部32C2、ソースコンタクト外周部32CPのソース外周フィンガー部32F2を含む。

[0053] [3. ダミーゲート構造]

次に、引き続き図1および図2を参照してFET10のダミーゲート構造について説明する。

[0054] 図1および図2に示されるように、FET10は、平面視でソースコンタクト外周部32CPよりも外側の位置に、活性領域26R1における電子供給層28の上に配置されたダミーゲート構造50を含み得る。

[0055] ダミーゲート構造50は、電子供給層28の外周に沿って環状に形成され

ている。したがって、ダミーゲート構造50は、電子供給層28の上でソースコンタクト外周部32CPを環状に囲んでいる。図1の例では、ダミーゲート構造50は、閉じた環状に形成されている。ただし、ダミーゲート構造50は、必ずしも閉じた環状であることに限定されない。例えば、環状のダミーゲート構造50は、第1方向(Y方向)に平行に延在する一对のダミーゲート構造フィンガー部50F1, 50F2を含む。例えば、ダミーゲート構造50は、この一对のダミーゲート構造フィンガー部50F1, 50F2から外れた位置で切れ目を有する開いた環状に形成されてもよい。

[0056] ダミーゲート構造50は、ゲート構造36と同様な構成を有し得る。図2の例では、ダミーゲート構造50は、電子供給層28の上に配置されたダミーゲート層50Aと、ダミーゲート層50Aの上に配置されたダミーゲート電極50Bとを含む。

[0057] 例えば、ダミーゲート層50Aは、ゲート構造36のゲート層36Aと同様に構成されている。また、ダミーゲート電極50Bも、ゲート構造36のゲート電極36Bと同様に構成されている。したがって、上述したゲート層36Aおよびゲート電極36Bに関する説明は、ダミーゲート層50Aおよびダミーゲート電極50Bにもそれぞれ同様に適用され得る。なお、図示の煩雑さを避けるために、ダミーゲート層50Aは図1には示されていない。また、理解を容易にするために、図1ではダミーゲート電極50Bをハッチング線で示している。

[0058] ダミーゲート構造50は、第2方向(X方向)にゲート構造36と同じ方法で形成され得る。図2の例では、ダミーゲート層50Aは、第2方向にゲート層36Aと同じ長さを有しており、ダミーゲート電極50Bも、第2方向にゲート電極36Bと同じ長さを有している。

[0059] ダミーゲート構造50(ダミーゲート層50Aおよびダミーゲート電極50B)は、各ゲート部36G(ゲート層36Aおよびゲート電極36B)の一对のゲート構造フィンガー部36F1, 36F2と同様に、第1方向に延在する一对のダミーゲート構造フィンガー部50F1, 50F2を含む。例

例えば、ゲート構造フィンガー部36F1, 36F2とダミーゲート構造フィンガー部50F1, 50F2とは、平面視で第2方向に同じ寸法で形成されている。

[0060] ダミーゲート構造50は、例えばフォトリソグラフィ工程およびエッチング工程を経てゲート構造36が形成される際、第2方向(X方向)におけるゲート構造36の断面形状の周期性を維持する役割を果たす。なお、図1の例では、ダミーゲート構造50は電氣的に制御されない。したがって、ダミーゲート構造50は、FET10(FET要素14)のドレイン電極34とソース電極32との間に流れる電流を制御しない。

[0061] ダミーゲート構造50とソースコンタクト外周部32CPとの間隔は、例えば、ゲート構造36を形成する際のフォトリソグラフィ異常およびエッチング異常を抑制してゲート構造36の周期性を維持する観点により適宜決定され得る。図1の例では、ダミーゲート構造フィンガー部50F1とソース外周フィンガー部32F1は、平面視で第2方向(X方向)に第1の間隔で隣り合っており、ゲート構造フィンガー部36F1とソース外周フィンガー部32F1は、平面視で第2方向に第2の間隔で隣り合っている。この場合、第1の間隔は第2の間隔以上、例えば第2の間隔の1~5倍であってよい。

[0062] 同様に、ダミーゲート構造フィンガー部50F2とソース外周フィンガー部32F2は、平面視で第2方向に第1の間隔で隣り合っており、ゲート構造フィンガー部36F2とソース外周フィンガー部32F2は、平面視で第2方向に第2の間隔で隣り合っている。この場合、第1の間隔は第2の間隔以上、例えば第2の間隔の1~5倍であってよい。第1の間隔を第2の間隔以上とすることで、ソースコンタクト外周部32CPと隣り合うゲート構造フィンガー部36F1, 36F2を含むすべてのゲート部36G(各ゲート構造フィンガー部36F1, 36F2)の位置でゲート構造36の断面形状を均一にすることが容易となる。

[0063] [4. ソース配線、ドレイン配線、およびゲート配線の平面レイアウト]

次に、引き続き図1を参照して、層間絶縁層42（図2参照）の上に配置されたソース配線44、ドレイン配線46、およびゲート配線48の例示的な平面レイアウトについて説明する。

[0064] 図1に示されるように、ソース配線44、ドレイン配線46、およびゲート配線48は、非活性領域26R2により囲まれた領域、すなわち、活性領域26R1に対応する領域において層間絶縁層42（図2参照）の上に配置されている。このように、活性領域26R1の上方の領域にソース配線44、ドレイン配線46、およびゲート配線48を集約した構成は、チップ面積の低減を図る上で有利である。

[0065] ソース配線44、ドレイン配線46、およびゲート配線48の数および形状は特に限定されず、例えばFETセル12の数およびサイズ等に応じて適宜決定され得る。図1は、説明を目的として、1つのソース配線44と、4つのドレイン配線46と、1つのゲート配線48とを含む配線構造を示しているが、他の配線の数も適用可能である。

[0066] ソース配線44は、第1方向（Y方向）および第2方向（X方向）の各々に延在しつつ全体として1つの連続した配線として形成されている。図1の例では、ソース配線44は、ソース外周フィンガー部32F1（図1の左側）に沿って第1方向に延在する第1部分44Aと、ソース外周フィンガー部32F2（図1の右側）に沿って第1方向に延在する2つの第2部分44Bと、第2方向に延在する6つの第3部分44Cとを含む。第3部分44Cは各々、第2方向に隣り合うFETセル12の間（図1の例では、FETセル12A、12Bの間、またはFETセル12C、12Dの間）のソースコンタクト部32Cと交差し、第1部分44Aと、いずれか一つの第2部分44Bとを接続する。

[0067] ドレイン配線46は各々、第2方向に延在している。各ドレイン配線46は、平面視においてソース配線44によって囲まれている。図1の例では、各ドレイン配線46は、ソース配線44の第1～第3部分44A、44B、44Cによって囲まれており、第2方向に隣り合うFETセル12のドレイ

ンコンタクト部34Cと交差している。

[0068] ゲート配線48は、第2方向に延在している。ゲート配線48は、第1方向に隣り合う2つのゲート部36Gの間（図1の例では、ゲート部36G1、36G3の間およびゲート部36G2、36G4の間）において第2方向に延在しており、かつ連結部37と交差している。ゲート配線48は、平面視においてソース配線44に隣接している。図1の例では、ゲート配線48は、第1方向に隣り合うソース配線44の2つの第3部分44Cの間に位置し、それら2つの第3部分44Cと隣接している。したがって、ゲート配線48は、ドレイン配線46には隣接していない。

[0069] ソース配線44は、ソース配線44とソース電極32との間の絶縁層（図2の例では、層間絶縁層42）を貫通する接続導体49によってソース電極32に電氣的に接続されている。例えば、ソース配線44と各ソースコンタクト部32Cとは、複数（図1の例では3個）のソース接続箇所にて接続導体49により接続されており、各ソース接続箇所には2つ以上の接続導体49が設けられている。なお、ソース配線44と各ソースコンタクト部32Cとを接続する接続導体49はソース接続導体に対応する。

[0070] また、同様に、ソース配線44とソースコンタクト外周部32CPとは、複数（図1の例では12個）のソース外周接続箇所にて接続導体49により接続されており、各ソース外周接続箇所には2つ以上の接続導体49が設けられている。なお、ソース配線44とソースコンタクト外周部32CPとを接続する接続導体49はソース外周接続導体に対応する。

[0071] また、詳細な断面の図示は省略しているが、ドレイン配線46も、接続導体49によってドレイン電極34に電氣的に接続されている。例えば、ドレイン配線46と各ドレインコンタクト部34Cとは、複数（図1の例では2個）のドレイン接続箇所にて接続導体49により接続されており、各ドレイン接続箇所には2つ以上の接続導体49が設けられている。なお、ドレイン配線46と各ドレインコンタクト部34Cとを接続する接続導体49はドレイン接続導体に対応する。

[0072] 同様に、詳細な断面の図示は省略しているが、ゲート配線48も、接続導体49によってゲート電極36B（ゲート構造36）に電氣的に接続されている。例えば、ゲート配線48と連結部37とは、連結部37上のゲート接続箇所にて接続導体49により接続されており、ゲート接続箇所には2つ以上の接続導体49が設けられている。ゲート配線48は、接続導体49および連結部37を介してゲート電極36Bに電氣的に接続されている。なお、ゲート配線48と連結部37とを接続する接続導体49はゲート接続導体に対応する。

[0073] 接続導体49の材料は特に限定されない。例えば、接続導体49は、ソース配線44、ドレイン配線46、およびゲート配線48と同じ金属材料で形成されてもよいし、またはそれらとは異なる金属材料（例えば、タングステン（W）等）を用いてプラグとして形成されてもよい。

[0074] [5. 上層配線の平面レイアウト]

次に、図3を参照して、ソース配線44、ドレイン配線46、およびゲート配線48のさらに上方に配置される上層配線の例示的な平面レイアウトについて説明する。

[0075] 図3に示されるように、活性領域26R1に対応する領域においてソース配線44、ドレイン配線46、およびゲート配線48よりも上方の位置には、ソースパッド62、ドレインパッド64、およびゲートパッド66が配置されている。これらソースパッド62、ドレインパッド64、およびゲートパッド66は、ソース配線44、ドレイン配線46、およびゲート配線48を覆う例えば SiO_2 などの層間絶縁層（図示略）の上に配置されている。活性領域26R1の上方の領域にソースパッド62、ドレインパッド64、およびゲートパッド66を集約した構成は、チップ面積の低減を図る上で有利である。

[0076] ソースパッド62、ドレインパッド64、およびゲートパッド66は、例えば、Au、Cu、またはAl等の金属材料で形成され得る。ソースパッド62、ドレインパッド64、およびゲートパッド66は、ワイヤまたは半田

ボール等の外部接続端子を接続するための接続部材として使用される。

[0077] なお、ソース配線44、ドレイン配線46、およびゲート配線48はそれぞれ、第1ソース配線、第1ドレイン配線、および第1ゲート配線に対応する。ソースパッド62、ドレインパッド64、およびゲートパッド66はそれぞれ、第2ソース配線、第2ドレイン配線、および第2ゲート配線に対応する。また、パッシベーション層38と層間絶縁層42とを含む絶縁層は第1絶縁層に対応し、ソース配線44、ドレイン配線46、およびゲート配線48を覆う層間絶縁層（図示略）は第2絶縁層に対応する。

[0078] ソースパッド62およびドレインパッド64は各々、平面視略矩形状に形成されており第1方向（Y方向）に延在している。ゲートパッド66は、平面視略正形状に形成されている。ソースパッド62は、ソース配線44（第3部分44C）と交差する箇所にて第2絶縁層を貫通する接続導体68によって、ソース配線44と電氣的に接続されている。ドレインパッド64は、ドレイン配線46と交差する箇所にて第2絶縁層を貫通する接続導体68によって、ドレイン配線46と電氣的に接続されている。ゲートパッド66は、平面視において例えばゲート配線48の一端部付近に設けられ、ゲート配線48と交差する箇所にて第2絶縁層を貫通する接続導体68によって、ゲート配線48と電氣的に接続されている。

[0079] したがって、ソースパッド62は、接続導体68、ソース配線44、および接続導体49を介してソース電極32（ソースコンタクト部32C1、32C2およびソースコンタクト外周部32CP）に電氣的に接続される。ドレインパッド64は、接続導体68、ドレイン配線46、および接続導体49を介してドレイン電極34（ドレインコンタクト部34C1～34C4）に電氣的に接続される。ゲートパッド66は、接続導体68、ゲート配線48、および接続導体49を介してゲート電極36B（ゲート部36G1～36G4）に電氣的に接続される。

[0080] [FETの作用]

次に、FET10の作用について説明する。

F E T 1 0 は、電子走行層 2 6 と、電子走行層 2 6 との界面付近にて電子走行層 2 6 内に 2 D E G 3 0 を発生させるべく電子走行層 2 6 の上に配置された電子供給層 2 8 とを含む。電子走行層 2 6 は、2 D E G 3 0 が発生可能な活性領域 2 6 R 1 と、平面視において活性領域 2 6 R 1 を囲む非活性領域 2 6 R 2 とを含む。ソース電極 3 2、ドレイン電極 3 4、およびゲート構造 3 6 は、活性領域 2 6 R 1 に対応する領域で電子供給層 2 8 の上に配置されている。ソース電極 3 2 は、平面視においてドレイン電極 3 4 およびゲート構造 3 6 を囲むとともに活性領域 2 6 R 1 と非活性領域 2 6 R 2 との境界に対応する電子供給層 2 8 の外周に沿って電子供給層 2 8 と接するソースコンタクト外周部 3 2 C P を含む。

[0081] この構成では、ソースコンタクト外周部 3 2 C P が活性領域 2 6 R 1 の外周部における 2 D E G 3 0（すなわち、ソースコンタクト外周部 3 2 C P の直下に位置する 2 D E G 3 0）と電氣的に接続される。これにより、活性領域 2 6 R 1 の外周部における 2 D E G 3 0 の電位がソース電位に安定化する。その結果、外部からのサージがチップ内（活性領域 2 6 R 1 内）に侵入したとしても、活性領域 2 6 R 1 の外周部上方に位置するソースコンタクト外周部 3 2 C P を介してソース電極 3 2 に瞬時にサージが広がることとなる。これにより、チップ内へのサージの侵入によるゲート構造 3 6 への電氣的な影響を抑制して F E T 1 0 の特性劣化を抑制することができる。したがって、F E T 1 0 のサージ耐性を向上させることができる。

[0082] 第 1 実施形態の F E T 1 0 は、以下の利点を有する。

（1-1）ソースコンタクト外周部 3 2 C P は、ドレイン電極 3 4 およびゲート構造 3 6 を平面視にて囲むとともに活性領域 2 6 R 1 と非活性領域 2 6 R 2 との境界に対応する電子供給層 2 8 の外周に沿って電子供給層 2 8 と接している。この構成によれば、ソースコンタクト外周部 3 2 C P がその直下の 2 D E G 3 0 と電氣的に接続されることで、活性領域 2 6 R 1 の外周部における 2 D E G 3 0 の電位がソース電位に安定化する。これにより、サージ耐性を向上させることができる。

- [0083] (1-2) ソースコンタクト外周部32CPは、電子供給層28の外周に沿って環状に形成されている。この構成によれば、環状を有するソースコンタクト外周部32CPにより、活性領域26R1の外周部の全域における2DEG30の電位がソース電位に安定化する。これにより、サージ耐性をより向上させることができる。
- [0084] (1-3) ドレイン電極34は、平面視で第1方向(Y方向)および第2方向(X方向)に互いに離間して配置されるとともに、各々第1方向に延在するフィンガー状を有するドレインコンタクト部34C1~34C4を含む。ゲート構造36は、これらのドレインコンタクト部34C1~34C4のうちの一つを各々環状に囲むゲート部36G1~36G4を含む。この構成によれば、ドレインコンタクト部34Cと同電位を有する2DEG30の領域は、平面視で各ゲート部36Gにより囲まれた活性領域26R1の範囲に制限される。したがって、第1方向に隣り合う2つのゲート部36Gの間で第2方向にゲート配線48が延在する構成では、ドレインコンタクト部34Cと同電位を有する2DEG30の領域の上方をゲート配線48が通過しない。これにより、ゲートドレイン間の容量を低減してFET10の高速スイッチング動作を実現可能となる。
- [0085] (1-4) ソース電極32は、第2方向(X方向)に隣り合う2つのゲート部36Gの間に1つずつ配置されるとともに電子供給層28と接するソースコンタクト部32C1, 32C2を含む。この構成によれば、第2方向に隣り合う2つのFETセル12の間(図1の例では、FETセル12A, 12Bの間、およびFETセル12C, 12Dの間)で同じソースコンタクト部32Cが共有されるため、チップ面積が低減される。
- [0086] (1-5) 非活性領域26R2は、電子走行層26の上部外周部をその直上に位置する電子供給層28の外周部とともに除去することで形成されている。この除去は、例えば、エッチング法を用いて行うことができる。イオン注入法を用いて電子供給層28の外周部およびその直下に位置する電子走行層26の上部外周部を高抵抗化することにより非活性領域26R2を形成す

ることもできるが、コストの点からはエッチング法を用いることが有利である。

[0087] (1-6) FET10は、平面視でソースコンタクト外周部32CPよりも外側の位置に電子供給層28の外周に沿って電子供給層28の上に配置されたダミーゲート構造50を含む。ダミーゲート構造50は、ゲート構造36と同じ構成および寸法で形成され得る。例えば、ゲート構造36の一对のゲート構造フィンガー部36F1, 36F2は、ダミーゲート構造50の一对のダミーゲート構造フィンガー部50F1, 50F2と第2方向(X方向)に同じ寸法で形成され得る。ダミーゲート構造50は、第2方向におけるゲート構造36の断面形状の周期性を維持して、FETセル12の位置によらずにゲート構造36の断面形状を均一にすることを容易化する。これにより、チップ全体でFET要素14(図1の例ではHEMT)の動作を均一にしてFET10の信頼性を向上させることができる。

[0088] (1-7) ダミーゲート構造フィンガー部50F1(50F2)とソース外周フィンガー部32F1(32F2)との間の第2方向における第1の間隔は、ゲート構造フィンガー部36F1(36F2)とソース外周フィンガー部32F1(32F2)との間の第2方向における第2の間隔以上であってよい。この構成によれば、ソースコンタクト外周部32CPと隣り合うゲート部36Gを含むすべてのゲート部36G(各ゲート構造フィンガー部36F1, 36F2)の位置でゲート構造36の断面形状を均一にすることが容易となる。

[0089] (1-8) ソース配線44、ドレイン配線46、およびゲート配線48は、活性領域26R1に対応する領域において絶縁層(図2の例では、層間絶縁層42)の上に配置されている。ソース配線44、ドレイン配線46、およびゲート配線48を活性領域26R1の上方の領域に集約することで、チップ面積の低減を図ることができる。

[0090] (1-9) ドレイン配線46は、平面視においてソース配線44によって囲まれている。この構成によれば、例えば接地電位であるソース配線44が

、高電圧が印加されるドレイン配線46を囲むため、絶縁層（図2の例では、層間絶縁層42およびパッシベーション層38）中における可動イオンまたは水分の電界による移動が抑制される。これにより、サージ耐性および耐湿性を向上させてFET10の信頼性を向上させることができる。

[0091] (1-10) ゲート配線48は、平面視においてソース配線44に隣接しており、ドレイン配線46には隣接していない。この構成によれば、ゲートドレイン間の容量を低減してFET10の高速スイッチング動作を実現可能となる。

[0092] (1-11) ソース配線44と各ソースコンタクト部32Cとを接続する各ソース接続箇所、2つ以上の接続導体49が設けられている。同様に、ソース配線44とソースコンタクト外周部32CPとを接続する各ソース外周接続箇所、2つ以上の接続導体49が設けられている。同様に、ドレイン配線46と各ドレインコンタクト部34Cとを接続する各ドレイン接続箇所、2つ以上の接続導体49が設けられている。同様に、ゲート配線48と連結部37とを接続するゲート接続箇所、2つ以上の接続導体49が設けられている。この構成によれば、各接続箇所に2つ以上の接続導体49が設けられるため、ソース配線44とソース電極32との接触抵抗、ドレイン配線46とドレイン電極34との接触抵抗、ゲート配線48と連結部37との接触抵抗が低減される。これにより、FET10の特性を安定化させることができる。

[0093] (1-12) ソースパッド62、ドレインパッド64、およびゲートパッド66は、活性領域26R1に対応する領域においてソース配線44、ドレイン配線46、およびゲート配線48よりも上方の位置に配置されている。活性領域26R1の上方の領域にソースパッド62、ドレインパッド64、およびゲートパッド66を集約することで、チップ面積の低減を図る上で有利である。

[0094] [第2実施形態]

次に、図4を参照して、第2実施形態を説明する。図4は、第2実施形態

に係る例示的なF E T 1 0の概略平面図である。なお、図4において、第1実施形態のF E T 1 0と同様の構成要素には同じ符号を付している。以下では、第1実施形態と同様な構成要素については説明を省略し、第1実施形態と異なる構成要素について説明する。

[0095] 図4に示されるように、第2実施形態のF E T 1 0は、図1を参照して説明したF E Tセル1 2 A, 1 2 B, 1 2 C, 1 2 Dがそれぞれソースコンタクト部3 2 C 1 1, 3 2 C 1 2, 3 2 C 1 3, 3 2 C 1 4をさらに含む点で、第1実施形態のF E T 1 0と異なっている。その他の構成は、第1実施形態と同様である。ソースコンタクト部3 2 C 1 1, 3 2 C 1 2, 3 2 C 1 3, 3 2 C 1 4は各々、第1方向（Y方向）に延在するフィンガー状を有している。

[0096] ソースコンタクト部3 2 C 1 1は、ドレインコンタクト部3 4 C 1とソースコンタクト外周部3 2 C Pのソース外周フィンガー部3 2 F 1との間に配置されている。ソースコンタクト部3 2 C 1 2は、ドレインコンタクト部3 4 C 2とソースコンタクト外周部3 2 C Pのソース外周フィンガー部3 2 F 2との間に配置されている。

[0097] 同様に、ソースコンタクト部3 2 C 1 3は、ドレインコンタクト部3 4 C 3とソースコンタクト外周部3 2 C Pのソース外周フィンガー部3 2 F 1との間に配置されている。ソースコンタクト部3 2 C 1 4は、ドレインコンタクト部3 4 C 4とソースコンタクト外周部3 2 C Pのソース外周フィンガー部3 2 F 2との間に配置されている。

[0098] ソースコンタクト外周部3 2 C Pは、ソースコンタクト部3 2 C 1 1～3 2 C 1 4をそれぞれ含むF E Tセル1 2 A～1 2 Dを平面視において囲むように配置されている。この構成では、各F E Tセル1 2 A～1 2 Dがソースコンタクト外周部3 2 C Pの一部を含む第1実施形態（図1参照）の構成に比べて、各F E Tセル1 2 A～1 2 Dの対称性が向上する。

[0099] F E T 1 0の動作時、例えばF E Tセル1 2 Aにおいて、ドレインコンタクト部3 4 C 1を流れる電流は原則的には、平面視においてドレインコンタ

クト部34C1と隣り合うソースコンタクト部32C1, 32C11に流れ込む。これは、他のFETセル12B, 12C, 12Dについても同様である。したがって、第1実施形態(図1参照)の場合と異なり、各ドレインコンタクト部34Cからの電流は、ソースコンタクト外周部32CPにはほとんど流れない。その結果、各FETセル12の2つのFET要素14の電流密度が均一化されることで、すべてのFETセル12(すべてのFET要素14)の均一動作が可能となり、FET10の信頼性を向上させることができる。

[0100] 第2実施形態のFET10は、第1実施形態の(1-1)~(1-12)の利点に加えて、以下の利点を有する。

(2-1) FETセル12A, 12B, 12C, 12Dがそれぞれソースコンタクト部32C11, 32C12, 32C13, 32C14をさらに含むことで、各FETセル12A~12Dの対称性が向上する。その結果、各FETセル12の2つのFET要素14の電流密度が均一化されることで、すべてのFETセル12(すべてのFET要素14)の均一動作が可能となり、FET10の信頼性を向上させることができる。

[0101] [第3実施形態]

次に、図5を参照して、第3実施形態を説明する。図5は、第3実施形態に係る例示的なFET10の概略平面図である。なお、図5において、第1実施形態のFET10と同様の構成要素には同じ符号を付している。以下では、第1実施形態と同様な構成要素については説明を省略し、第1実施形態と異なる構成要素について説明する。

[0102] 図5に示されるように、第3実施形態のFET10は、図1を参照して説明したソースコンタクト部32C1, 32C2がソースコンタクト部32CXに置き換えられている点で第1実施形態のFET10と異なっている。その他の構成は、第1実施形態と同様である。

[0103] ソースコンタクト部32CXは、第1方向(Y方向)に延在するフィンガー状を有しており、第2方向(X方向)に隣り合う2つのゲート部36Gの

間に位置している。図5の例では、ソースコンタクト部32CXは、2つのゲート部36G1, 36G2の間および2つのゲート部36G3, 36G4の間で共用される。

[0104] ソースコンタクト部32CXは、ソースコンタクト外周部32CPに直接連結されている。したがって、第1実施形態（図1参照）の各ソースコンタクト部32C1, 32C2は端部を有しているのに対して、ソースコンタクト部32CXは端部を有していない。すなわち、ソースコンタクト部32CXは、ソースコンタクト外周部32CPと連続している。図5の例では、ソースコンタクト外周部32CPおよびソースコンタクト部32CXは、第1方向に隣り合うゲート部36G1, 36G3を平面視にて環状に囲む第1環状部と、第1方向に隣り合うゲート部36G2, 36G4を平面視にて環状に囲む第2環状部とを形成している。

[0105] 第3実施形態では、ソースコンタクト部32CXが端部を有さないため、ソースコンタクト部32CXに対する局所的な電界集中の発生が抑制される。例えば、第1実施形態では、各ソースコンタクト部32C1, 32C2の端部に対する電界集中が生じ得る。このような電界集中が抑制されるため、FET10の信頼性が向上する。

[0106] 第3実施形態のFET10は、第1実施形態の(1-1)～(1-12)の利点に加えて、以下の利点を有する。

(3-1) ソースコンタクト部32CXは、ソースコンタクト外周部32CPに連続しており端部を有していない。これにより、ソースコンタクト部32CXに対する局所的な電界集中の発生を抑制して、FET10の信頼性を向上させることができる。

[0107] [第4実施形態]

次に、図6を参照して、第4実施形態を説明する。図6は、第4実施形態に係る例示的なFET10の概略平面図である。なお、図6において、第3実施形態のFET10と同様の構成要素には同じ符号を付している。以下では、第3実施形態と同様な構成要素については説明を省略し、第3実施形態

と異なる構成要素について説明する。

[0108] 図6に示されるように、第4実施形態のFET10は、ダミーゲート構造50がゲート構造36に電氣的に接続されている点で第3実施形態のFET10と異なっている。その他の構成は、第3実施形態と同様である。以下、ダミーゲート構造50とゲート構造36との接続構造について説明する。

[0109] 第4実施形態では、ダミーゲート構造50はダミーゲート連結部52Aを含む。ゲート配線48は、平面視においてダミーゲート連結部52Aと交差する位置まで第2方向（X方向）に延在していること以外は、第3実施形態のゲート配線48と同様に構成されている。

[0110] ゲート配線48は、図示しない絶縁層（例えば、図2の層間絶縁層42およびパッシベーション層38）を貫通する接続導体49によってダミーゲート連結部52Aと電氣的に接続されている。例えば、ゲート配線48とダミーゲート連結部52Aとは、ダミーゲート連結部52A上のダミーゲート接続箇所にて接続導体49により接続されている。ダミーゲート接続箇所には2つ以上の接続導体49が設けられている。

[0111] したがって、ダミーゲート構造50はゲート構造36に電氣的に接続されている。この構成では、ダミーゲート構造50で発生する容量がゲート構造36で発生する容量に加わるため、FET10全体のゲート容量が大きくなる。これにより、ゲート構造36のサージ耐性が向上してスイッチング動作における誤点弧の発生が抑制される。

[0112] 第4実施形態のFET10は、第1実施形態の（1-1）～（1-12）の利点および第3実施形態の（3-1）の利点に加えて、以下の利点を有する。

（4-1）ダミーゲート構造50がゲート構造36に電氣的に接続されているため、FET10全体のゲート容量が大きくなる。これにより、ゲート構造36のサージ耐性が向上してスイッチング動作における誤点弧の発生が抑制される。これにより、サージ耐性をより向上させることができる。

[0113] [第5実施形態]

次に、図7を参照して、第5実施形態を説明する。図7は、第5実施形態に係る例示的なFET10の概略平面図である。なお、図7において、第3実施形態のFET10と同様の構成要素には同じ符号を付している。以下では、第3実施形態と同様な構成要素については説明を省略し、第3実施形態と異なる構成要素について説明する。

[0114] 図7に示されるように、第5実施形態のFET10は、ダミーゲート構造50がソース電極32に電氣的に接続されている点で第3実施形態のFET10と異なっている。その他の構成は、第3実施形態と同様である。以下、ダミーゲート構造50とソース電極32との接続構造について説明する。

[0115] 第5実施形態では、ダミーゲート構造50は、1つまたは複数（図7の例では2つ）のダミーゲート連結部52Bを含む。ソース配線44は、ダミーゲート連結部52Bの数に応じて1つまたは複数（図7の例では2つ）の延在部45Aを含む。延在部45Aは、平面視においてダミーゲート連結部52Bと交差する位置までソース配線44の第1部分44Aから第2方向（X方向）に延在している。

[0116] ソース配線44の延在部45Aは、図示しない絶縁層（例えば、図2の層間絶縁層42およびパッシベーション層38）を貫通する接続導体49によってダミーゲート連結部52Bと電氣的に接続されている。例えば、ソース配線44の延在部45Aとダミーゲート連結部52Bとは、各ダミーゲート連結部52B上のダミーゲート接続箇所にて接続導体49により接続されている。各ダミーゲート接続箇所には2つ以上の接続導体49が設けられている。

[0117] したがって、ダミーゲート構造50はソース電極32に電氣的に接続されている。例えば、FET10がノーマリーオフ型のHEMTとして構成されている場合、ダミーゲート構造50がソース電極32に電氣的に接続されていることにより、ダミーゲート構造50（例えば、図2のダミーゲート層50A）の直下の2DEG30が空乏化される。これにより、例えばダイシング工程で発生したサージなど、外部からのサージがチップ内に混入したとし

ても、ダミーゲート構造50により囲まれた活性領域26R1内（すなわち、FETセル12A～12Dの形成領域内）にサージが侵入することが抑制される。

[0118] 第5実施形態のFET10は、第1実施形態の(1-1)～(1-12)の利点および第3実施形態の(3-1)の利点に加えて、以下の利点を有する。

(5-1) ダミーゲート構造50がソース電極32に電氣的に接続されているため、ダミーゲート構造50の直下の2DEG30が空乏化される。これにより、外部からのサージがダミーゲート構造50で囲まれた活性領域26R1内に侵入することが抑制される。したがって、サージ耐性を向上させることができる。特にダミーゲート構造50が環状に形成されている場合には、活性領域26R1における外周部の全域に亘ってダミーゲート構造50の直下の2DEG30が空乏化される。これにより、サージ耐性をより向上させることができる。

[0119] [第6実施形態]

次に、図8および図9を参照して、第6実施形態を説明する。図8は、第6実施形態に係る例示的なFET10の概略平面図であり、図9は、図8のF9-F9線に沿った概略断面図である。なお、図8および図9において、第1実施形態のFET10と同様の構成要素には同じ符号を付している。以下では、第1実施形態と同様な構成要素については説明を省略し、第1実施形態と異なる構成要素について説明する。

[0120] 図8および図9に示されるように、第6実施形態のFET10は、活性領域26R1と非活性領域26R2との境界位置に外周金属層70を備えている点で第1実施形態のFET10と異なっている。その他の構成は、第1実施形態と同様である。

[0121] 図8に示されるように、外周金属層70は、活性領域26R1と非活性領域26R2との境界に位置する電子走行層26の側面26S1および電子供給層28の側面28S1を共に覆っている。例えば、外周金属層70は、活

性領域 26R1 の全周に亘り環状に形成されている。したがって、外周金属層 70 は、電子走行層 26 の側面 26S1 に露出した 2DEG30 を覆っている。このように、電子走行層 26 の側面 26S1 に露出した 2DEG30 が外周金属層 70 で覆われることで、2DEG30 の電位が安定化する。

[0122] 例えば、電子走行層 26 の側面 26S1 から露出した 2DEG30 が SiN 等の絶縁層で覆われている場合、被覆している界面における絶縁層の状態によっては、側面 26S1 に露出した 2DEG30 の電位が不安定となり得る。この構成と比べて、側面 26S1 に露出した 2DEG30 が外周金属層 70 で覆われることで、2DEG30 の電位が安定化して FET10 の動作が安定する。

[0123] 外周金属層 70 の材料は特に限定されないが、例えば、ソース電極 32 およびドレイン電極 34 と同じ金属材料で形成されてもよい。この場合、外周金属層 70 が 2DEG30 とオーミック接触することにより、電子走行層 26 の側面 26S1 に露出した 2DEG30 の電位が側面 26S1 の全周に亘り一定となる。その結果、FET10 の動作がより安定する。また、ソース電極 32 およびドレイン電極 34 が形成される工程で外周金属層 70 が形成されるため、製造工程を増やすことなく外周金属層 70 が形成される点で有利である。

[0124] なお、図 8 の例では、電子供給層 28 の側面 28S1 および電子走行層 26 の側面 26S1 は垂直面として形成されているが、側面 28S1 の上端から側面 26S1 の下端に向けて外側に傾斜する傾斜面として形成されてもよい。この場合、外周金属層 70 の被覆性が向上して 2DEG30 の電位がより安定化する。

[0125] 第 6 実施形態の FET10 は、第 1 実施形態の (1-1) ~ (1-12) の利点に加えて、以下の利点を有する。

(6-1) 外周金属層 70 は、活性領域 26R1 と非活性領域 26R2 との境界に位置する電子走行層 26 の側面 26S1 および電子供給層 28 の側面 28S1 を覆うことで、電子走行層 26 の側面 26S1 に露出した 2DE

G30を覆う。これにより、2DEG30の電位が安定化してFET10の動作が安定する。

[0126] (6-2) 外周金属層70は、ソース電極32およびドレイン電極34と同じ金属材料で形成され得る。この場合、外周金属層70が2DEG30とオーミック接触することにより、電子走行層26の側面26S1に露出したDEG30の電位が側面26S1の全周に亘り一定となる。その結果、FET10の動作がより安定する。また、製造工程を増やすことなく外周金属層70を形成することができる。

[0127] [第7実施形態]

次に、図10を参照して、第7実施形態を説明する。図10は、第7実施形態に係る例示的なFET10の概略平面図である。なお、図10において、第6実施形態のFET10と同様の構成要素には同じ符号を付している。以下では、第6実施形態のFET10と同様な構成要素については説明を省略し、第6実施形態と異なる構成要素について説明する。

[0128] 図10に示されるように、第7実施形態のFET10は、外周金属層70がソース電極32に電氣的に接続されている点で第6実施形態のFET10と異なっている。その他の構成は、第6実施形態と同様である。以下、外周金属層70とソース電極32との接続構造について説明する。

[0129] 第7実施形態では、外周金属層70は、1つまたは複数（図10の例では2つ）の外周金属層連結部72を含む。ソース配線44は、外周金属層連結部72の数に応じて1つまたは複数（図10の例では2つ）の延在部45Bを含む。延在部45Bは、平面視において外周金属層連結部72と交差する位置までソース配線44の第1部分44Aから第2方向（X方向）に延在している。

[0130] ソース配線44の延在部45Bは、接続導体49によって外周金属層連結部72と電氣的に接続されている。例えば、ソース配線44の延在部45Bと外周金属層連結部72とは、外周金属層連結部72上の外周金属層接続箇所にて接続導体49により接続されている。外周金属層接続箇所には2つ以

上の接続導体49が設けられている。

[0131] したがって、外周金属層70はソース電極32に電氣的に接続されている。これにより、電子走行層26の側面26S1に露出した2DEG30は、ソース電位の外周金属層70に接続される。その結果、ソースコンタクト外周部32CPの直下に位置する2DEG30の電位がソース電位に安定化することに加えて、平面視にてソースコンタクト外周部32CPよりも外側の活性領域26R1に形成される2DEG30の電位がソース電位に安定化する。したがって、FET10の動作がより安定化する。

[0132] 第7実施形態のFET10は、第1実施形態の(1-1)~(1-12)の利点および第6実施形態の(6-1)~(6-2)の利点に加えて、以下の利点を有する。

(7-1) 外周金属層70がソース電極32に電氣的に接続されているため、電子走行層26の側面26S1に露出した2DEG30がソース電位の外周金属層70に接続される。その結果、平面視においてソースコンタクト外周部32CPよりも外側の活性領域26R1に形成される2DEG30の電位がソース電位に安定化する。したがって、FET10の動作がより安定化する。

[0133] [第8実施形態]

次に、図11を参照して、第8実施形態を説明する。図11は、第8実施形態に係る例示的なFET10の概略平面図である。なお、図11において、第6実施形態のFET10と同様の構成要素には同じ符号を付している。以下では、第6実施形態と同様な構成要素については説明を省略し、第6実施形態と異なる構成要素について説明する。

[0134] 図11に示されるように、第8実施形態のFET10は、外周金属層70がダミーゲート構造50に電氣的に接続されている点で第6実施形態のFET10と異なっている。その他の構成は、第6実施形態と同様である。以下、外周金属層70とダミーゲート構造50との接続構造について説明する。

[0135] 第8実施形態では、外周金属層70は、第7実施形態(図10参照)と同

様に、1つまたは複数（図11の例では2つ）の外周金属層連結部72を含む。ダミーゲート構造50は、外周金属層連結部72の数に応じて1つまたは複数（図11の例では2つ）のダミーゲート連結部52Cを含む。各ダミーゲート連結部52Cは、対応する外周金属層連結部72と接続配線74によって接続されている。接続配線74は、ソース配線44、ドレイン配線46、およびゲート配線48と同一層に配置されている。

[0136] 各接続配線74は、接続導体49によって外周金属層連結部72と電氣的に接続されている。例えば、接続配線74と外周金属層連結部72とは、外周金属層連結部72上の外周金属層接続箇所にて接続導体49により接続されている。外周金属層接続箇所には2つ以上の接続導体49が設けられている。

[0137] また、各接続配線74は、接続導体49によってダミーゲート連結部52Cと電氣的に接続されている。例えば、接続配線74とダミーゲート連結部52Cとは、ダミーゲート連結部52C上のダミーゲート接続箇所にて接続導体49により接続されている。ダミーゲート接続箇所には2つ以上の接続導体49が設けられている。

[0138] したがって、外周金属層70はダミーゲート構造50に電氣的に接続されている。ここで、ソースコンタクト外周部32CPの直下に位置する2DEG30の電位はソース電位に維持されることから、電子走行層26の側面26S1に露出した2DEG30の電位もソース電位である。このため、電子走行層26の側面26S1に露出した2DEG30に接続された外周金属層70およびその外周金属層70に接続されたダミーゲート構造50はソース電位を有している。

[0139] したがって、ダミーゲート構造50の直下の2DEG30が空乏化される。これにより、外部からのサージがチップ内に混入したとしても、ダミーゲート構造50により囲まれた活性領域26R1内（すなわち、FETセル12A～12Dの形成領域内）にサージが侵入することが抑制される。

[0140] なお、接続配線74はソース配線44に接続されてもよい。例えば、接続

配線 7 4 はソース配線 4 4 と一体に形成されてもよい。この構成によれば、外周金属層 7 0 およびダミーゲート構造 5 0 をソース電位により安定化させることができる。

[0141] 第 8 実施形態の F E T 1 0 は、第 1 実施形態の (1 - 1) ~ (1 - 1 2) の利点および第 6 実施形態の (6 - 1) ~ (6 - 2) の利点に加えて、第 5 実施形態の (5 - 1) と同様な利点および第 7 実施形態の (7 - 1) と同様な利点を有する。

[0142] [第 9 実施形態]

次に、図 1 2 および図 1 3 を参照して、第 9 実施形態を説明する。図 1 2 は、第 9 実施形態に係る例示的な F E T 1 0 の概略平面図であり、図 1 3 は、図 1 2 の F 1 3 - F 1 3 線に沿った概略断面図である。なお、図 1 2 および図 1 3 において、第 1 実施形態の F E T 1 0 と同様の構成要素には同じ符号を付している。以下では、第 1 実施形態と同様な構成要素については説明を省略し、第 1 実施形態と異なる構成要素について説明する。

[0143] 図 1 2 に示されるように、第 9 実施形態の F E T 1 0 は、複数 (図 1 2 の例では 8 つ) の F E T セル 1 2 を含む。なお、図 1 2 の例では、説明を目的として、8 つの F E T セル 1 2 を示しているが、より多くの数またはより少ない数の F E T セル 1 2 が形成されてもよい。各 F E T セル 1 2 (各ソースコンタクト部 3 2 C、各ドレインコンタクト部 3 4 C、各ゲート部 3 6 G など) は、第 1 実施形態の各 F E T セル 1 2 と同様に形成することができるため、ここでは詳細な説明は省略する。

[0144] 第 9 実施形態では、平面視において活性領域 2 6 R 1 の内部に、非活性領域 2 6 R 3 が形成されている。なお、分かり易さのために、以下の説明では、非活性領域 2 6 R 2 を第 1 非活性領域 2 6 R 2 と言い、非活性領域 2 6 R 3 を第 2 非活性領域 2 6 R 3 と言う。図 1 3 に示されるように、第 2 非活性領域 2 6 R 3 は、第 2 非活性領域 2 6 R 3 に対応する領域において電子供給層 2 8 と電子走行層 2 6 の一部とを例えばエッチングによって除去することによって形成されている。

- [0145] 図12に示されるように、第2非活性領域26R3内には、基板22の一部を露出する1つまたは複数（図12の例では3つ）の基板露出孔80が形成されている。基板露出孔80は、電子走行層26とバッファ層24とを貫通して基板22内部に達する深さで形成されている。したがって、基板22は、各基板露出孔80に対応する位置に各基板露出孔80の底部として形成された凹溝22A1を含む。基板露出孔80は、例えばエッチングによって形成することができる。
- [0146] 図12および図13に示されるように、第2非活性領域26R3内には、基板露出孔80に埋め込まれて基板22に接触する基板接続導体82が設けられている。図13に示されるように、基板接続導体82は、基板22とソース配線44とを接続することで、基板22をソース電極32に電氣的に接続する。基板接続導体82の材料は特に限定されないが、例えばソース配線44と同じ金属材料で形成されてもよい。あるいは、基板接続導体82は、基板22との接触抵抗を低減可能な他の金属材料で形成されてもよい。
- [0147] 第9実施形態では、基板22がソース電極32に電氣的に接続されているため、基板22にはソース電位が印加される。例えば、FET10が窒化物半導体HEMTとして構成されている場合、電子トラップ等の影響によってスイッチング速度が低下する場合がある。この点、第9実施形態では、基板22の電位がソース電位に安定化することで、このような電子トラップ等の発生を抑えてスイッチング速度の低下を抑制することができる。
- [0148] また、図12および図13に示されるように、第1非活性領域26R2における基板22の外周部には段差溝22A2が形成されている。段差溝22A2は、ダイシング工程でウェハをチップに個片化するためのスクライブ領域として形成されている。図13に示されるように、段差溝22A2と各基板露出孔80の凹溝22A1とは、基板22の主面（図13では上面）から同じ深さで形成されている。
- [0149] スクライブ領域（段差溝22A）は、第1非活性領域26R2における電子走行層26の外周部、バッファ層24の外周部、および基板22の外周部

を例えばエッチングによって除去することで形成される。例えば、スクライプ領域（段差溝 22A）は、基板露出孔 80 を形成すると同時に形成され得る。この場合、段差溝 22A2 と各基板露出孔 80 の凹溝 22A1 とが同じ深さとなる。スクライプ領域に位置する窒化物半導体層（電子走行層 26 およびバッファ層 24）が除去されることで、ダイシング工程で窒化物半導体を切断する必要がない。したがって、ダイシング工程で窒化物半導体を切断することによるチップング等の課題は発生しない。

[0150] また、図 12 および図 13 に示されるように、第 9 実施形態の FET 10 は、平面視で第 2 非活性領域 26R3 よりも外側の位置に第 2 非活性領域 26R3 の外周に沿って電子供給層 28 の上に配置されたダミーゲート構造 90 を含む。なお、分かり易さのために、以下の説明では、ダミーゲート構造 50 を第 1 ダミーゲート構造 50 と言い、ダミーゲート構造 90 を第 2 ダミーゲート構造 90 と言う。

[0151] 第 2 ダミーゲート構造 90 は、例えばフォトリソグラフィ工程およびエッチング工程を経てゲート構造 36（各ゲート部 36G）が形成される際に、第 2 非活性領域 26R3 の周囲のゲート部 36G の断面形状の周期性を維持する役割を果たす。なお、図 12 および図 13 の例では、ダミーゲート構造 50 は FET 10 のドレイン電極 34 とソース電極 32 との間に流れる電流を制御しない。

[0152] 第 2 ダミーゲート構造 90 は、ゲート構造 36 の各ゲート部 36G と同様な断面構造を有するように、第 1 ダミーゲート構造 50 と同様に形成され得る。したがって、第 1 実施形態で説明した第 1 ダミーゲート構造 50 に関する説明は、第 2 ダミーゲート構造 90 にも同様に適用され得る。

[0153] 例えば、第 2 ダミーゲート構造 90（ダミーゲート層 90A およびダミーゲート電極 90B）は環状に形成され得る。また、第 2 ダミーゲート構造 90 は、各ゲート部 36G（ゲート層 36A およびゲート電極 36B）の一对のゲート構造フィンガー部 36F1, 36F2 と同様に、第 1 方向（Y 方向）に延在する一对のダミーゲート構造フィンガー部 90F1, 90F2 を含

む。例えば、ゲート構造フィンガー部 36F1, 36F2 とダミーゲート構造フィンガー部 90F1, 90F2 は、平面視で第2方向 (X方向) に同じ寸法で形成されている。

[0154] また、ダミーゲート構造フィンガー部 90F1 (90F2) とそれに隣接するソースコンタクト部 32C との間の第2方向における間隔は、ゲート構造フィンガー部 36F1 (36F2) とそれに隣接するソースコンタクト部 32C との間の第2方向における間隔以上、例えば 1~5 倍であってよい。この構成により、第2非活性領域 26R3 の周囲のゲート部 36G を含むすべてのゲート部 36G (各ゲート構造フィンガー部 36F1, 36F2) の位置でゲート構造 36 の断面形状を均一にすることが容易となる。これにより、チップ全体で FET10 (第9実施形態では例えば HEMT) の動作を均一にして FET10 の信頼性を向上させることができる。

[0155] また、第2ダミーゲート構造 90 は、第1方向に隣り合う各ゲート部 36G (すなわち、ゲート構造 36) と連結部 37 によって電氣的に接続されている。連結部 37 は、接続導体 49 によってゲート配線 48 と接続されている。この構成では、第2ダミーゲート構造 90 で発生する容量がゲート構造 36 で発生する容量に加わるため、FET10 全体のゲート容量が大きくなる。これにより、ゲート構造 36 のサージ耐性が向上してスイッチング動作における誤点弧の発生が抑制される。

[0156] なお、第2ダミーゲート構造 90 は、必ずしもゲート配線 48 に接続されていなくてもよい。例えば、第2ダミーゲート構造 90 は、ソース配線 44 に接続されてもよい。あるいは、第2ダミーゲート構造 90 は、フローティング電位を有するものであってもよい。この場合でも、第2ダミーゲート構造 90 は、ゲート部 36G の断面形状の周期性を維持する役割を果たす。

[0157] また、図12の例では、第2ダミーゲート構造 90 は、平面視において各ゲート部 36G と同じサイズで環状に形成されているが、平面視において各ゲート部 36G よりも大きなサイズで環状に形成されてもよい。この場合、第2非活性領域 26R3 の面積および基板露出孔 80 の面積を大きくするこ

とができるため、エッチングによって基板露出孔80を形成することが容易となる。また、基板接続導体82の面積も大きくなるため、基板22にソース電位を安定して与えることが可能となる。

[0158] 第9実施形態のFET10は、第1実施形態の(1-1)～(1-12)の利点に加えて、以下の利点を有する。

(9-1) FET10は第2非活性領域26R3を含み、基板22をソース電極32に接続する基板接続導体82が第2非活性領域26R3内に設けられている。この構成によれば、基板22の電位がソース電位に安定化することで、電子トラップ等の発生を抑えてスイッチング速度の低下を抑制することができる。

[0159] (9-2) スクライブ領域(段差溝22A)が、基板露出孔80を形成すると同時に形成され得る。この場合、スクライブ領域に位置する窒化物半導体層(電子走行層26およびバッファ層24)が除去される。この構成によれば、ダイシング工程で窒化物半導体を切断する必要がないため、ダイシング工程で窒化物半導体を切断することによるチッピング等の課題は発生しない。

[0160] (9-3) FET10は第2ダミーゲート構造90を含む。第2ダミーゲート構造90は、第2非活性領域26R3の周囲のゲート部36Gの断面形状の周期性を維持する役割を果たす。また、第2ダミーゲート構造90は、第1実施形態で説明した第1ダミーゲート構造50によって得られる利点と同様な利点をもたらすことができる。

[0161] [第10実施形態]

次に、図14を参照して、第10実施形態を説明する。図14は、第10実施形態に係る例示的なFET10の概略平面図である。なお、図14において、第9実施形態のFET10と同様の構成要素には同じ符号を付している。以下では、第9実施形態と同様な構成要素については説明を省略し、第9実施形態と異なる構成要素について説明する。

[0162] 図14に示されるように、第10実施形態のFET10は、基板接続導体

82がソース配線44と接続されていない点において第9実施形態のFET10と異なっている。その他の構成は、第9実施形態と同様である。このような構成によって、基板接続導体82を通じて基板22に対して任意の手段で所望の電位が与えられてもよい。これにより、例えば、ハーフブリッジのハイサイドFETに、そのハイサイドFETのソース電位と異なる電位として例えばローサイドFETのソース電位を基板22に与えるなど、FET10を様々な用途に使用できる汎用性が高まる。

[0163] 第10実施形態のFET10は、第1実施形態の(1-1)~(1-12)の利点および第9実施形態の(9-1)~(9-3)の利点と同様な利点を有する。

[第11実施形態]

次に、図15を参照して、第11実施形態を説明する。図15は、第11実施形態に係る例示的なFET10の概略平面図である。なお、図15において、第10実施形態のFET10と同様の構成要素には同じ符号を付している。以下では、第10実施形態と同様な構成要素については説明を省略し、第10実施形態と異なる構成要素について説明する。

[0164] 図15に示されるように、第11実施形態のFET10は、第2ダミーゲート構造90がソース電極32に電氣的に接続されている点で第10実施形態のFET10と異なっている。その他の構成は、第10実施形態と同様である。

[0165] 第11実施形態では、第2ダミーゲート構造90は、1つまたは複数(図15の例では2つ)のダミーゲート連結部92を含む。ソース配線44は、接続導体49によってダミーゲート連結部92に電氣的に接続されている。例えば、ソース配線44とダミーゲート連結部92とは、各ダミーゲート連結部92上のダミーゲート接続箇所にて接続導体49により接続されている。各ダミーゲート接続箇所には2つ以上の接続導体49が設けられている。

[0166] したがって、第2ダミーゲート構造90はソース電極32に電氣的に接続されている。この構成では、第2ダミーゲート構造90の直下の2DEG3

0が空乏化される。これにより、第2非活性領域26R3からチップ内にサージが混入したとしても、第2ダミーゲート構造90の外側の活性領域26R1内（すなわち、各FETセル12の形成領域内）にサージが侵入することが抑制される。

[0167] 第11実施形態のFET10は、第1実施形態の(1-1)～(1-12)の利点および第9実施形態の(9-1)～(9-3)の利点に加えて、以下の利点を有する。

(11-1) 第2ダミーゲート構造90がソース電極32に電氣的に接続されているため、第2ダミーゲート構造90の直下の2DEG30が空乏化される。これにより、第2非活性領域26R3からチップ内にサージが混入したとしても、第2ダミーゲート構造90の外側の活性領域26R1内にサージが侵入することが抑制されるため、サージ耐性をより向上させることができる。

[0168] 上記各実施形態は、以下のように変更して実施することができる。また、上記各実施形態および以下の各変更例は、技術的に矛盾しない範囲で互いに組み合わせて実施することができる。

[0169] ・上記各実施形態におけるFET10はGaNを用いることに限定されない。例えば、GaNに代えてAlNまたはInN等の窒化物半導体を用いてもよい。

・本開示で使用される「～上に」という用語は、文脈によって明らかにそうでないことが示されない限り、「～上に」と「～の上方に」の意味を含む。したがって、「第1層が第2層上に形成される」という表現は、或る実施形態では第1層が第2層に接触して第2層上に直接配置され得るが、他の実施形態では第1層が第2層に接触することなく第2層の上方に配置され得ることが意図される。すなわち、「～上に」という用語は、第1層と第2層との間に他の層が形成される構造を排除しない。例えば、電子供給層28が電子走行層26上に形成される上記各実施形態は、2DEG30を安定して形成するために電子供給層28と電子走行層26との間に中間層が位置する構

造も含む。

[0170] ・本開示で使用されるZ軸方向は必ずしも鉛直方向である必要はなく、鉛直方向に完全に一致している必要もない。したがって、本開示による種々の構造（例えば、図1に示される構造）は、本明細書で説明されるZ軸方向の「上」および「下」が鉛直方向の「上」および「下」であることに限定されない。例えば、X軸方向が鉛直方向であってもよく、またはY軸方向が鉛直方向であってもよい。

[0171] ・本開示で使用される「垂直」、「水平」、「上方」、「下方」、「上」、「下」、「前方」、「後方」、「横」、「左」、「右」、「前」、「後」等の方向を示す用語は、説明および図示された装置の特定の向きに依存する。本開示においては、様々な代替的な向きを想定することができ、したがって、これらの方向を示す用語は、狭義に解釈されるべきではない。

[0172] [付記]

上記各実施形態および各変更例から把握できる技術的思想を以下に記載する。なお、各付記に記載された構成要素に対応する実施形態の構成要素の符号を括弧書きで示す。符号は、理解の補助のために例として示すものであり、各付記に記載された構成要素は、符号で示される構成要素に限定されるべきではない。

[0173] (付記1)

基板(22)と、

前記基板(22)の上方に配置された第1窒化物半導体層(26)と、

前記第1窒化物半導体層(26)よりも大きなバンドギャップを有し、前記第1窒化物半導体層(26)との界面付近にて前記第1窒化物半導体層(26)内に二次元電子ガス(30)を発生させるべく前記第1窒化物半導体層(26)の上に配置された第2窒化物半導体層(28)と、

前記第2窒化物半導体層(28)の上に配置されたソース電極(32)、ドレイン電極(34)、およびゲート構造(36)と、を備え、

前記第1窒化物半導体層(26)は、前記二次元電子ガス(30)が発生

可能な活性領域（26R1）と、平面視にて前記活性領域（26R1）を囲む非活性領域（26R2）とを含み、

前記ソース電極（32）、前記ドレイン電極（34）、および前記ゲート構造（36）は、前記活性領域（26R1）に対応する領域で前記第2窒化物半導体層（28）の上に配置されており、

前記ソース電極（32）は、前記ドレイン電極（34）および前記ゲート構造（36）を平面視で囲むとともに前記活性領域（26R1）と前記非活性領域（26R2）との境界に対応する前記第2窒化物半導体層（28）の外周に沿って前記第2窒化物半導体層（28）と接するソースコンタクト外周部（32CP）を含む、電界効果トランジスタ（10）。

[0174] （付記2）

前記ソースコンタクト外周部（32CP）は、前記第2窒化物半導体層（28）の外周に沿って環状に形成されている、付記1に記載の電界効果トランジスタ（10）。

[0175] （付記3）

前記ドレイン電極（34）は、前記第2窒化物半導体層（28）と接する複数のドレインコンタクト部（34C1, 34C2, 34C3, 34C4）であって、平面視で第1方向（Y）および該第1方向（Y）と直交する第2方向（X）に互いに離間して配置された前記複数のドレインコンタクト部を含み、

前記複数のドレインコンタクト部（34C1, 34C2, 34C3, 34C4）は各々、前記第1方向（Y）に延在するフィンガー状を有しており、

前記ゲート構造（36）は、前記複数のドレインコンタクト部（34C1, 34C2, 34C3, 34C4）のうちの一つを各々環状に囲む複数のゲート部（36G1, 36G2, 36G3, 36G4）を含み、

前記ソース電極（32）は、前記第2方向（X）に隣り合う2つの前記ゲート部（36G1, 36G2; 36G3, 36G4）の間に1つずつ配置されるとともに前記第2窒化物半導体層（28）と接する1つ以上のソースコ

ンタクト部（32C1, 32C2; 32CX）を含む、付記1または2に記載の電界効果トランジスタ（10）。

[0176] （付記4）

前記1つ以上のソースコンタクト部（32CX）は各々、前記ソースコンタクト外周部（32CP）に直接連結されている、付記3に記載の電界効果トランジスタ（10）。

[0177] （付記5）

前記非活性領域（26R2）は、前記第1窒化物半導体層（26）の一部をその部分の直上に位置する前記第2窒化物半導体層（28）の部分とともに除去することで形成されている、付記1～4のうちのいずれか一つに記載の電界効果トランジスタ（10）。

[0178] （付記6）

前記第1窒化物半導体層（26）は、前記活性領域（26R1）と前記非活性領域（26R2）との境界の位置に側面（26S1）を含み、

前記第2窒化物半導体層（28）は、前記第1窒化物半導体層（26）の側面（26S1）と連続的に形成された側面（28S1）を含み、

前記第1窒化物半導体層（26）の側面（26S1）と前記第2窒化物半導体層（28）の側面（28S1）とを覆う外周金属層（70）をさらに備える付記1～5のうちのいずれか一つに記載の電界効果トランジスタ（10）。

[0179] （付記7）

前記外周金属層（70）は環状に形成されている、付記6に記載の電界効果トランジスタ（10）。

[0180] （付記8）

前記外周金属層（70）は、前記ソース電極（32）と同じ材料で形成されている、付記6または7に記載の電界効果トランジスタ（10）。

[0181] （付記9）

平面視で前記ソースコンタクト外周部（32CP）よりも外側の位置に前

記第2窒化物半導体層(28)の外周に沿って前記第2窒化物半導体層(28)の上に配置されたダミーゲート構造(50)をさらに備える付記1~8のうちのいずれか一つに記載の電界効果トランジスタ(10)。

[0182] (付記10)

前記ドレイン電極(34)は、平面視で第1方向(Y)に延在しており、
前記ゲート構造(36)は、前記第1方向(Y)に平行なゲート構造フィンガー部(36F1, 36F2)を含み、
前記ダミーゲート構造(50)は、前記第1方向(Y)に平行なダミーゲート構造フィンガー部(50F1, 50F2)を含み、
前記ゲート構造フィンガー部(36F1, 36F2)と前記ダミーゲート構造フィンガー部(50F1, 50F2)は、平面視で前記第1方向(Y)と直交する第2方向(X)に同じ寸法で形成されている、付記9に記載の電界効果トランジスタ(10)。

[0183] (付記11)

前記ドレイン電極(34)は、平面視で第1方向(Y)に延在しており、
前記ゲート構造(36)は、前記第1方向(Y)に平行なゲート構造フィンガー部(36F1, 36F2)を含み、
前記ダミーゲート構造(50)は、前記第1方向(Y)に平行なダミーゲート構造フィンガー部(50F1, 50F2)を含み、
前記ソースコンタクト外周部(32CP)は、前記第1方向(Y)に平行なソース外周フィンガー部(32F1, 32F2)を含み、
前記ダミーゲート構造フィンガー部(50F1, 50F2)と前記ソース外周フィンガー部(32F1, 32F2)は、平面視で前記第1方向(Y)と直交する第2方向(X)に第1の間隔で隣り合っており、
前記ゲート構造フィンガー部(36F1, 36F2)と前記ソース外周フィンガー部(32F1, 32F2)は、平面視で前記第2方向(X)に第2の間隔で隣り合っており、
前記第1の間隔は前記第2の間隔以上である、付記9に記載の電界効果ト

ランジスタ（１０）。

[0184] （付記１２）

前記ダミーゲート構造（５０）は、前記第２窒化物半導体層（２８）の外周に沿って環状に形成されている、付記９～１１のうちのいずれか一つに記載の電界効果トランジスタ（１０）。

[0185] （付記１３）

前記ダミーゲート構造（５０）は、前記ゲート構造（３６）または前記ソース電極（３２）に電氣的に接続されている、付記９～１２のうちのいずれか一つに記載の電界効果トランジスタ（１０）。

[0186] （付記１４）

平面視で前記ソースコンタクト外周部（３２ＣＰ）よりも外側の位置に前記第２窒化物半導体層（２８）の外周に沿って前記第２窒化物半導体層（２８）の上に配置されたダミーゲート構造（５０）をさらに備えており、

前記外周金属層（７０）は、前記ダミーゲート構造（５０）または前記ソース電極（３２）に電氣的に接続されている、付記６～８のうちのいずれか一つに記載の電界効果トランジスタ（１０）。

[0187] （付記１５）

前記ソース電極（３２）、前記ドレイン電極（３４）、および前記ゲート構造（３６）を覆う絶縁層（３８，４２）と、

前記活性領域（２６Ｒ１）に対応する領域にて前記絶縁層（３８，４２）の上に配置されたソース配線（４４）、ドレイン配線（４６）、およびゲート配線（４８）と、

前記絶縁層（３８，４２）を貫通する複数の接続導体（４９）であって、前記ソース配線（４４）と前記ソース電極（３２）とを電氣的に接続する接続導体（４９）、前記ドレイン配線（４６）と前記ドレイン電極（３４）とを電氣的に接続する接続導体（４９）、および前記ゲート配線（４８）と前記ゲート構造（３６）とを電氣的に接続する接続導体（４９）を含む前記複数の接続導体（４９）と、

を備える付記1～14のうちのいずれか一つに記載の電界効果トランジスタ(10)。

[0188] (付記16)

前記ドレイン配線(46)は、平面視において前記ソース配線(44)によって囲まれている、付記15に記載の電界効果トランジスタ(10)。

[0189] (付記17)

前記ゲート配線(48)は、平面視において前記ソース配線(44)に隣接している、付記15または16に記載の電界効果トランジスタ(10)。

[0190] (付記18)

前記ソース電極(32)、前記ドレイン電極(34)、および前記ゲート構造(36)を覆う絶縁層(38, 42)と、

前記活性領域(26R1)に対応する領域にて前記絶縁層(38, 42)の上に配置されたソース配線(44)、ドレイン配線(46)、およびゲート配線(48)と、

前記絶縁層(38, 42)を貫通する複数の接続導体(49)と、を備え、

前記複数の接続導体(49)は、

前記ソース配線(44)と各前記ソースコンタクト部とを接続する複数のソース接続箇所各々に設けられた2つ以上の接続導体(49)と、

前記ソース配線(44)と前記ソースコンタクト外周部(32CP)とを接続する複数のソース外周接続箇所各々に設けられた2つ以上の接続導体(49)と、

前記ドレイン配線(46)と各前記ドレインコンタクト部(34C1, 34C2, 34C3, 34C4)とを接続する複数のドレイン接続箇所各々に設けられた2つ以上の接続導体(49)と、

前記ゲート配線(48)と、前記第1方向(Y)に隣り合う2つの前記ゲート部(36G1, 36G3; 36G2, 36G4)を連結する連結部(37)とを接続するゲート接続箇所に設けられた2つ以上の接続導体(49)

)と、

を含む、付記3または4に記載の電界効果トランジスタ(10)。

[0191] (付記19)

前記ソース電極(32)、前記ドレイン電極(34)、および前記ゲート構造(36)を覆う絶縁層(38, 42)と、

前記活性領域(26R1)に対応する領域にて前記絶縁層(38, 42)の上に配置されたソース配線(44)、ドレイン配線(46)、およびゲート配線(48)と、

前記絶縁層(38, 42)を貫通する複数の接続導体(49)であって、前記ソース配線(44)と前記ソース電極(32)とを電氣的に接続する接続導体(49)、前記ドレイン配線(46)と前記ドレイン電極(34)とを電氣的に接続する接続導体(49)、および前記ゲート配線(48)と前記ゲート構造(36)とを電氣的に接続する接続導体(49)を含む前記複数の接続導体(49)と、を備え、

前記ゲート配線(48)は、前記第1方向(Y)に隣り合う2つの前記ゲート部(36G1, 36G3; 36G2, 36G4)の間において前記第2方向(X)に延在するように配置されている、付記3または4に記載の電界効果トランジスタ(10)。

[0192] (付記20)

前記非活性領域(26R2)は、第1非活性領域(26R2)であり、

前記第1窒化物半導体層(26)はさらに、平面視において前記活性領域(26R1)の内側に設けられた第2非活性領域(26R3)を含み、

前記第2非活性領域(26R3)内における前記基板(22)の一部を露出する基板露出孔(80)をさらに備える付記1~19のうちのいずれか一つに記載の電界効果トランジスタ(10)。

[0193] (付記21)

前記基板露出孔(80)に設けられ、前記基板(22)を前記ソース電極(32)に電氣的に接続する基板接続導体(82)をさらに備える付記20

に記載の電界効果トランジスタ（10）。

[0194] （付記22）

前記基板（22）は、

前記第1非活性領域（26R2）内にスクライブ領域として形成された段差溝（22A2）と、

前記第2非活性領域（26R3）内に前記基板露出孔（80）の底部として形成された凹溝（22A1）と、を含み、

前記段差溝（22A2）と前記凹溝（22A1）は、前記基板（22）の主面から同じ深さで形成されている、付記20または21に記載の電界効果トランジスタ（10）。

[0195] （付記23）

前記非活性領域（26R2）は、第1非活性領域（26R2）であり、

前記ダミーゲート構造（50）は、第1ダミーゲート構造（50）であり、

、

前記第1窒化物半導体層（26）はさらに、平面視において前記活性領域（26R1）の内側に設けられた第2非活性領域（26R3）を含み、

前記第2非活性領域（26R3）内における前記基板（22）の一部を露出する基板露出孔（80）と、

平面視で前記第2非活性領域（26R3）よりも外側の位置に前記第2非活性領域（26R3）の外周に沿って前記第2窒化物半導体層（28）の上に配置された第2ダミーゲート構造（90）と、

をさらに備える付記9～14のうちのいずれか一つに記載の電界効果トランジスタ（10）。

[0196] （付記24）

前記第2ダミーゲート構造（90）は、前記ゲート構造（36）または前記ソース電極（32）に電氣的に接続されている、付記23に記載の電界効果トランジスタ（10）。

[0197] （付記25）

前記絶縁層（38, 42）は第1絶縁層（38, 42）、前記ソース配線（44）は第1ソース配線（44）、前記ドレイン配線（46）は第1ドレイン配線（46）、前記ゲート配線（48）は第1ゲート配線（48）、前記複数の接続導体は複数の第1接続導体であり、

前記第1ソース配線（44）、前記第1ドレイン配線（46）、および前記第1ゲート配線（48）を覆う第2絶縁層と、

前記活性領域（26R1）に対応する領域にて前記第2絶縁層の上に配置された第2ソース配線（62）、第2ドレイン配線（64）、および第2ゲート配線（66）と、

前記第2絶縁層を貫通する複数の第2接続導体（68）であって、前記第1ソース配線（44）と前記第2ソース配線（62）とを電気的に接続する第2接続導体（68）、前記第1ドレイン配線（46）と前記第2ドレイン配線（64）とを電気的に接続する第2接続導体（68）、および前記第1ゲート配線（48）と前記第2ゲート配線（66）とを電気的に接続する第2接続導体（68）を含む前記複数の第2接続導体（68）と、を備える付記15～19のうちのいずれか一つに記載の電界効果トランジスタ（10）。

[0198] 以上の説明は単に例示である。本開示の技術を説明する目的のために列挙された構成要素および方法（製造プロセス）以外に、より多くの考えられる組み合わせおよび置換が可能であることを当業者は認識し得る。本開示は、特許請求の範囲を含む本開示の範囲内に含まれるすべての代替、変形、および変更を包含することが意図される。

符号の説明

- [0199] 10…電界効果トランジスタ
22…基板
22A1…凹溝
22A2…段差溝
24…バッファ層

2 6 …電子走行層（第 1 窒化物半導体層）
2 6 R 1 …活性領域
2 6 R 2 …非活性領域（第 1 非活性領域）
2 6 R 3 …非活性領域（第 2 非活性領域）
2 6 S 1 …側面
2 8 …電子供給層（第 2 窒化物半導体層）
2 8 S 1 …側面
3 0 …二次元電子ガス（2 D E G）
3 2 …ソース電極
3 2 C 1, 3 2 C 2, 3 2 C X …ソースコンタクト部
3 2 C P …ソースコンタクト外周部
3 2 F 1, 3 2 F 2 …ソース外周フィンガー部
3 4 …ドレイン電極
3 4 C 1, 3 4 C 2, 3 4 C 3, 3 4 C 4 …ドレインコンタクト部
3 6 …ゲート構造
3 6 G 1, 3 6 G 2, 3 6 G 3, 3 6 G 4 …ゲート部
3 6 F 1, 3 6 F 2 …ゲート構造フィンガー部
3 7 …連結部
3 8 …パッシベーション層（絶縁層）
4 2 …層間絶縁層（絶縁層）
4 4 …ソース配線
4 6 …ドレイン配線
4 8 …ゲート配線
5 0 …ダミーゲート構造（第 1 ダミーゲート構造）
5 0 A …ダミーゲート層
5 0 B …ダミーゲート電極
5 0 F 1, 5 0 F 2 …ダミーゲート構造フィンガー部
6 2 …ソースパッド

- 64…ドレインパッド
- 66…ゲートパッド
- 68…接続導体
- 70…外周金属層
- 80…基板露出孔
- 82…基板接続導体
- 90…ダミーゲート構造（第2ダミーゲート構造）

請求の範囲

- [請求項1] 基板と、
前記基板の上方に配置された第1窒化物半導体層と、
前記第1窒化物半導体層よりも大きなバンドギャップを有し、前記第1窒化物半導体層との界面付近にて前記第1窒化物半導体層内に二次元電子ガスを発生させるべく前記第1窒化物半導体層の上に配置された第2窒化物半導体層と、
前記第2窒化物半導体層の上に配置されたソース電極、ドレイン電極、およびゲート構造と、を備え、
前記第1窒化物半導体層は、前記二次元電子ガスが発生可能な活性領域と、平面視にて前記活性領域を囲む非活性領域とを含み、
前記ソース電極、前記ドレイン電極、および前記ゲート構造は、前記活性領域に対応する領域で前記第2窒化物半導体層の上に配置されており、
前記ソース電極は、前記ドレイン電極および前記ゲート構造を平面視で囲むとともに前記活性領域と前記非活性領域との境界に対応する前記第2窒化物半導体層の外周に沿って前記第2窒化物半導体層と接するソースコンタクト外周部を含む、電界効果トランジスタ。
- [請求項2] 前記ソースコンタクト外周部は、前記第2窒化物半導体層の外周に沿って環状に形成されている、請求項1に記載の電界効果トランジスタ。
- [請求項3] 前記ドレイン電極は、前記第2窒化物半導体層と接する複数のドレインコンタクト部であって、平面視で第1方向および該第1方向と直交する第2方向に互いに離間して配置された前記複数のドレインコンタクト部を含み、
前記複数のドレインコンタクト部は各々、前記第1方向に延在するフィンガー状を有しており、
前記ゲート構造は、前記複数のドレインコンタクト部のうちの一つ

を各々環状に囲む複数のゲート部を含み、

前記ソース電極は、前記第2方向に隣り合う2つの前記ゲート部の間に1つずつ配置されるとともに前記第2窒化物半導体層と接する1つ以上のソースコンタクト部を含む、請求項1または2に記載の電界効果トランジスタ。

[請求項4] 前記1つ以上のソースコンタクト部は各々、前記ソースコンタクト外周部に直接連結されている、請求項3に記載の電界効果トランジスタ。

[請求項5] 前記第1窒化物半導体層は、前記活性領域と前記非活性領域との境界の位置に側面を含み、

前記第2窒化物半導体層は、前記第1窒化物半導体層の側面と連続的に形成された側面を含み、

前記第1窒化物半導体層の側面と前記第2窒化物半導体層の側面とを覆う外周金属層をさらに備える請求項1～4のうちのいずれか一項に記載の電界効果トランジスタ。

[請求項6] 前記外周金属層は環状に形成されている、請求項5に記載の電界効果トランジスタ。

[請求項7] 平面視で前記ソースコンタクト外周部よりも外側の位置に前記第2窒化物半導体層の外周に沿って前記第2窒化物半導体層の上に配置されたダミーゲート構造をさらに備える請求項1～6のうちのいずれか一項に記載の電界効果トランジスタ。

[請求項8] 前記ドレイン電極は、平面視で第1方向に延在しており、

前記ゲート構造は、前記第1方向に平行なゲート構造フィンガー部を含み、

前記ダミーゲート構造は、前記第1方向に平行なダミーゲート構造フィンガー部を含み、

前記ゲート構造フィンガー部と前記ダミーゲート構造フィンガー部は、平面視で前記第1方向と直交する第2方向に同じ寸法で形成され

ている、請求項7に記載の電界効果トランジスタ。

[請求項9]

前記ドレイン電極は、平面視で第1方向に延在しており、

前記ゲート構造は、前記第1方向に平行なゲート構造フィンガー部を含み、

前記ダミーゲート構造は、前記第1方向に平行なダミーゲート構造フィンガー部を含み、

前記ソースコンタクト外周部は、前記第1方向に平行なソース外周フィンガー部を含み、

前記ダミーゲート構造フィンガー部と前記ソース外周フィンガー部は、平面視で前記第1方向と直交する第2方向に第1の間隔で隣り合っており、

前記ゲート構造フィンガー部と前記ソース外周フィンガー部は、平面視で前記第2方向に第2の間隔で隣り合っており、

前記第1の間隔は前記第2の間隔以上である、請求項7に記載の電界効果トランジスタ。

[請求項10]

前記ダミーゲート構造は、前記第2窒化物半導体層の外周に沿って環状に形成されている、請求項7～9のうちのいずれか一項に記載の電界効果トランジスタ。

[請求項11]

前記ダミーゲート構造は、前記ゲート構造または前記ソース電極に電氣的に接続されている、請求項7～10のうちのいずれか一項に記載の電界効果トランジスタ。

[請求項12]

平面視で前記ソースコンタクト外周部よりも外側の位置に前記第2窒化物半導体層の外周に沿って前記第2窒化物半導体層の上に配置されたダミーゲート構造をさらに備えており、

前記外周金属層は、前記ダミーゲート構造または前記ソース電極に電氣的に接続されている、請求項5または6に記載の電界効果トランジスタ。

[請求項13]

前記ソース電極、前記ドレイン電極、および前記ゲート構造を覆う

絶縁層と、

前記活性領域に対応する領域にて前記絶縁層の上に配置されたソース配線、ドレイン配線、およびゲート配線と、

前記絶縁層を貫通する複数の接続導体であって、前記ソース配線と前記ソース電極とを電氣的に接続する接続導体、前記ドレイン配線と前記ドレイン電極とを電氣的に接続する接続導体、および前記ゲート配線と前記ゲート構造とを電氣的に接続する接続導体を含む前記複数の接続導体と、

を備える請求項1～12のうちのいずれか一項に記載の電界効果トランジスタ。

[請求項14] 前記ドレイン配線は、平面視において前記ソース配線によって囲まれている、請求項13に記載の電界効果トランジスタ。

[請求項15] 前記ゲート配線は、平面視において前記ソース配線に隣接している、請求項13または14に記載の電界効果トランジスタ。

[請求項16] 前記ソース電極、前記ドレイン電極、および前記ゲート構造を覆う絶縁層と、

前記活性領域に対応する領域にて前記絶縁層の上に配置されたソース配線、ドレイン配線、およびゲート配線と、

前記絶縁層を貫通する複数の接続導体であって、前記ソース配線と前記ソース電極とを電氣的に接続する接続導体、前記ドレイン配線と前記ドレイン電極とを電氣的に接続する接続導体、および前記ゲート配線と前記ゲート構造とを電氣的に接続する接続導体を含む前記複数の接続導体と、を備え、

前記ゲート配線は、前記第1方向に隣り合う2つの前記ゲート部の間において前記第2方向に延在するように配置されている、請求項3または4に記載の電界効果トランジスタ。

[請求項17] 前記非活性領域は、第1非活性領域であり、

前記第1窒化物半導体層はさらに、平面視において前記活性領域の

内側に設けられた第2非活性領域を含み、

前記第2非活性領域内における前記基板の一部を露出する基板露出孔をさらに備える請求項1～16のうちのいずれか一項に記載の電界効果トランジスタ。

[請求項18]

前記基板は、

前記第1非活性領域内にスクライプ領域として形成された段差溝と

、

前記第2非活性領域内に前記基板露出孔の底部として形成された凹溝と、を含み、

前記段差溝と前記凹溝は、前記基板の主面から同じ深さで形成されている、請求項17に記載の電界効果トランジスタ。

[請求項19]

前記非活性領域は、第1非活性領域であり、

前記ダミーゲート構造は、第1ダミーゲート構造であり、

前記第1窒化物半導体層はさらに、平面視において前記活性領域の内側に設けられた第2非活性領域を含み、

前記第2非活性領域内における前記基板の一部を露出する基板露出孔と、

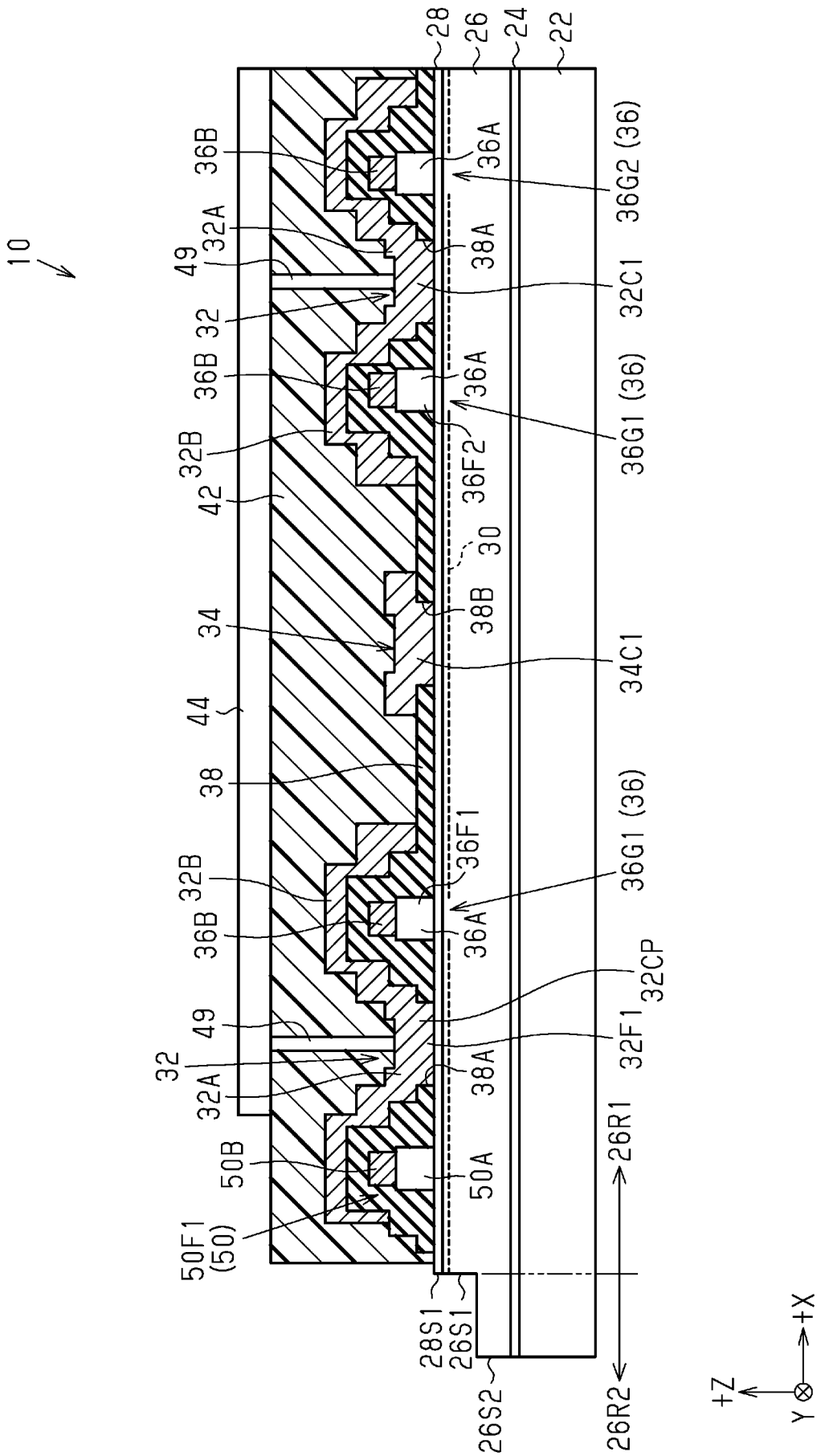
平面視で前記第2非活性領域よりも外側の位置に前記第2非活性領域の外周に沿って前記第2窒化物半導体層の上に配置された第2ダミーゲート構造と、

をさらに備える請求項7～12のうちのいずれか一項に記載の電界効果トランジスタ。

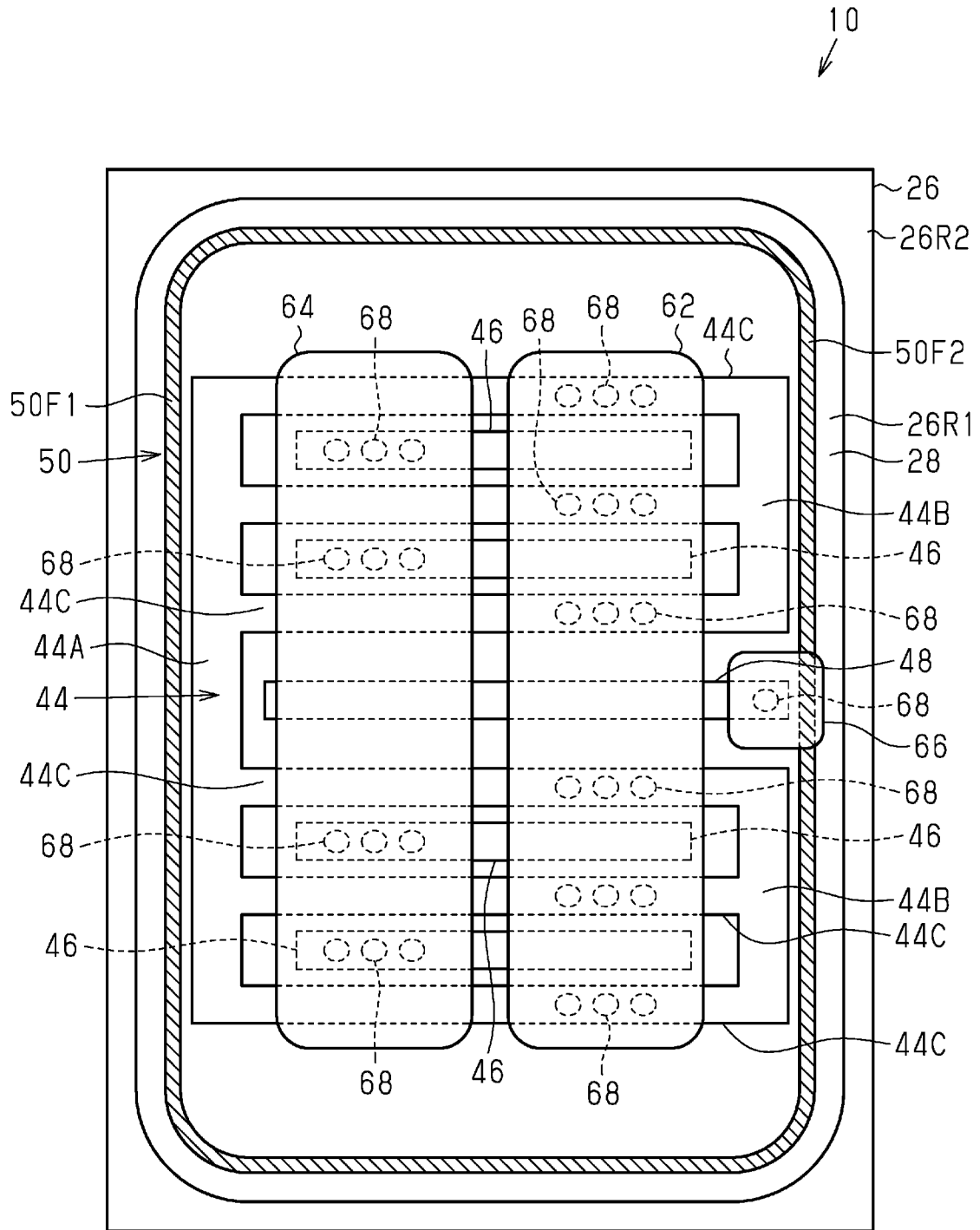
[請求項20]

前記第2ダミーゲート構造は、前記ゲート構造または前記ソース電極に電氣的に接続されている、請求項19に記載の電界効果トランジスタ。

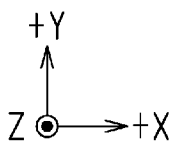
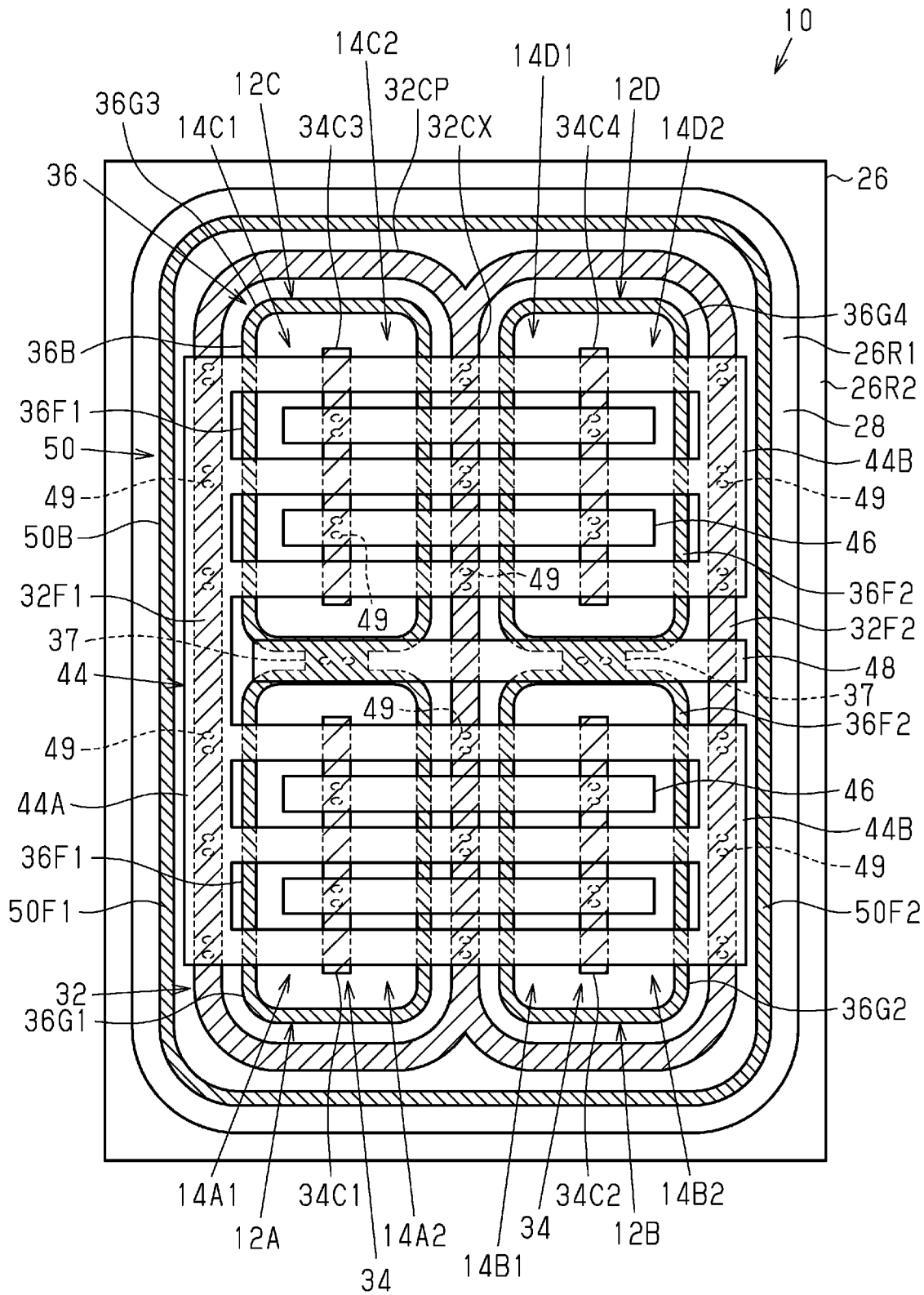
[図2]



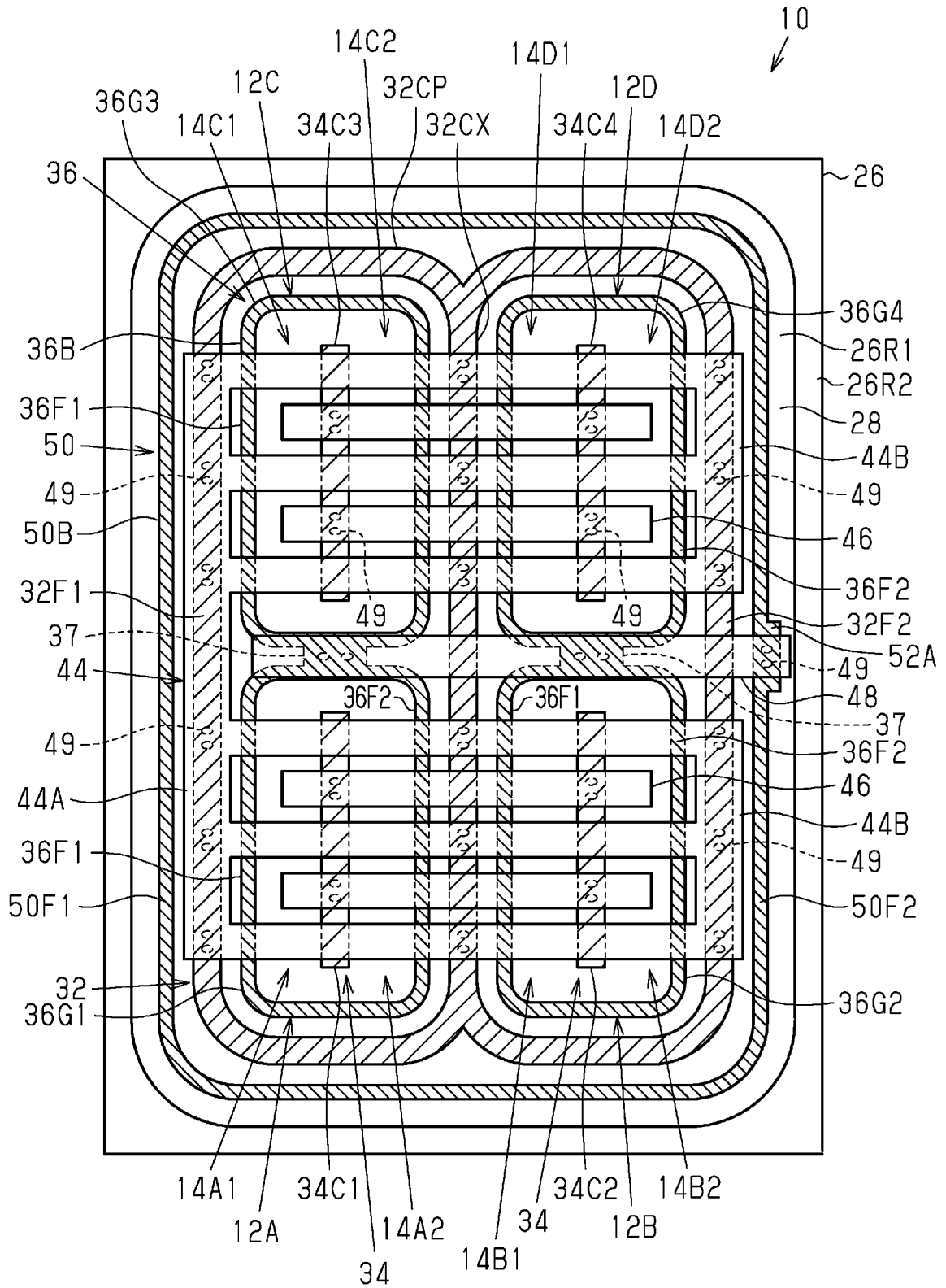
[図3]



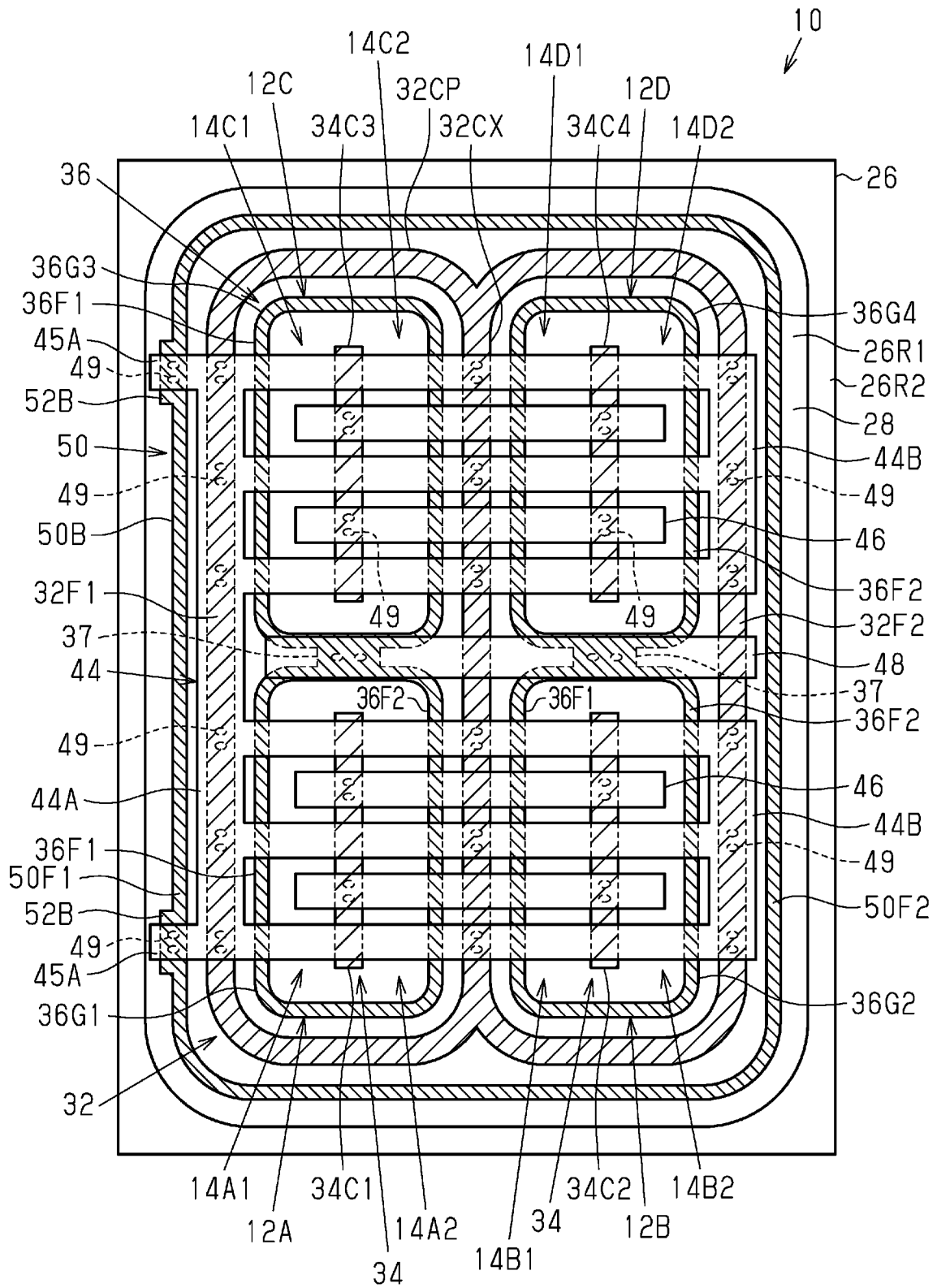
[図5]



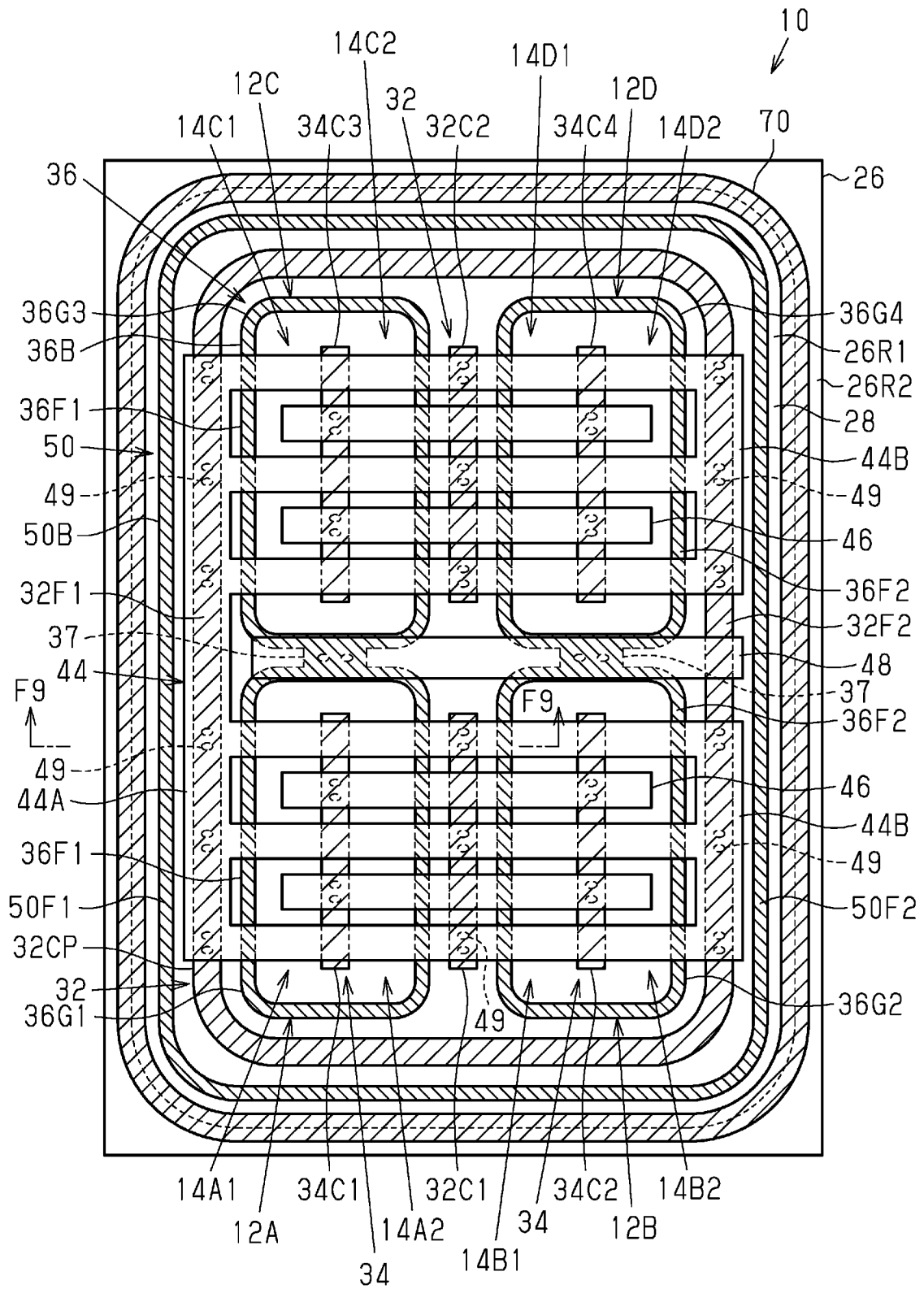
[図6]



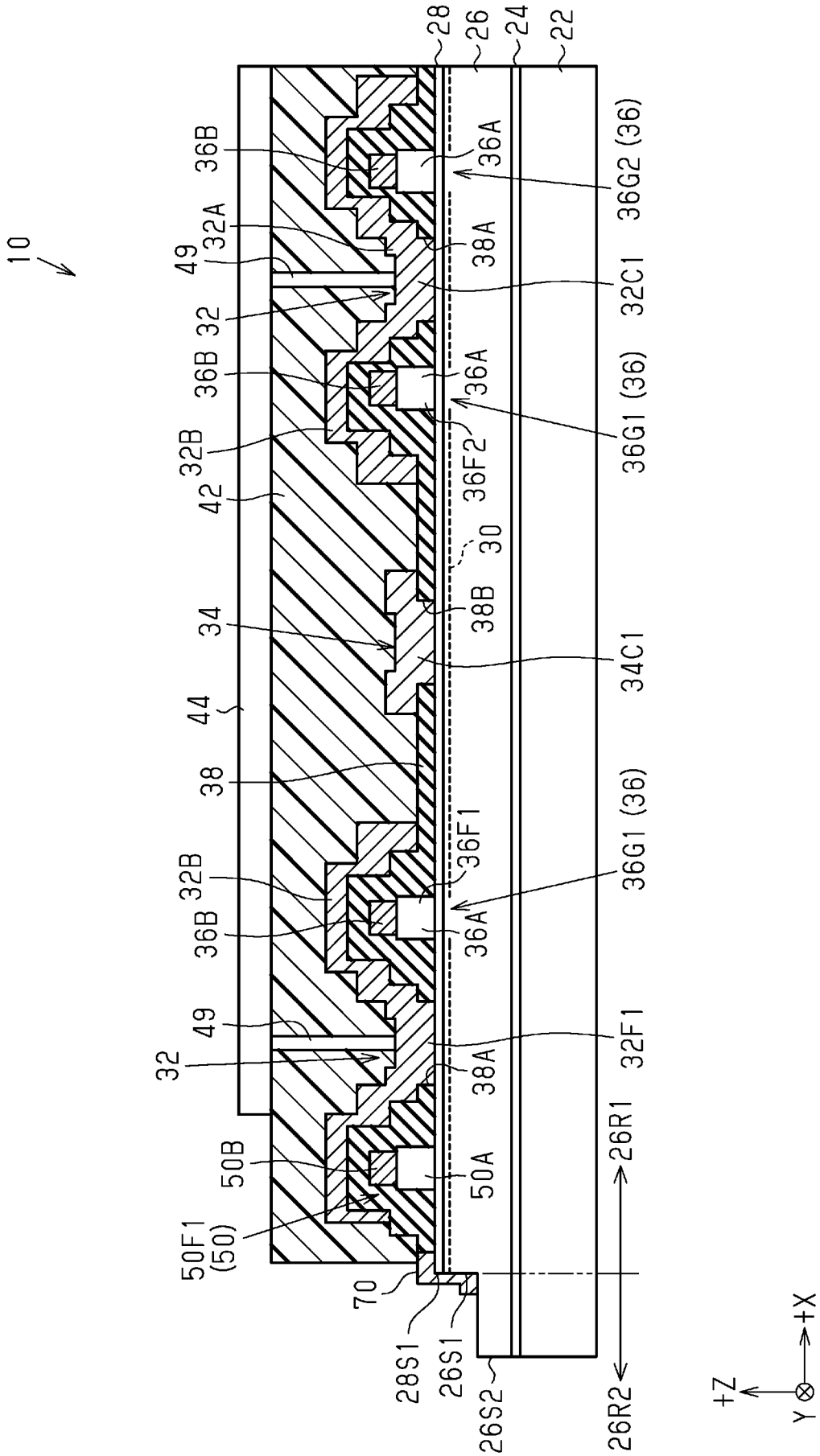
[図7]



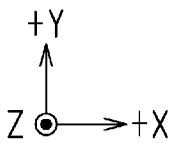
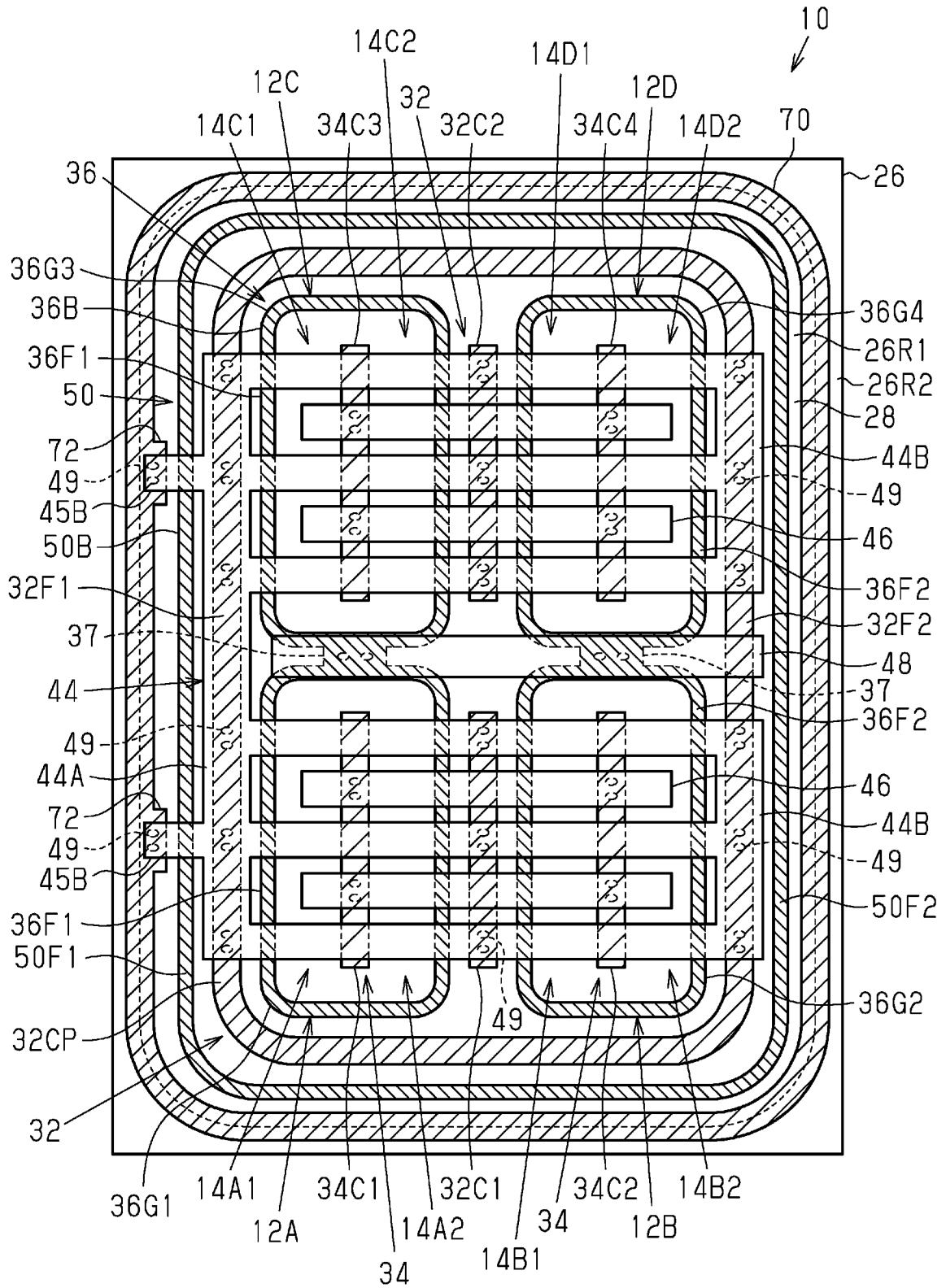
[図8]



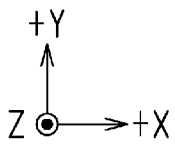
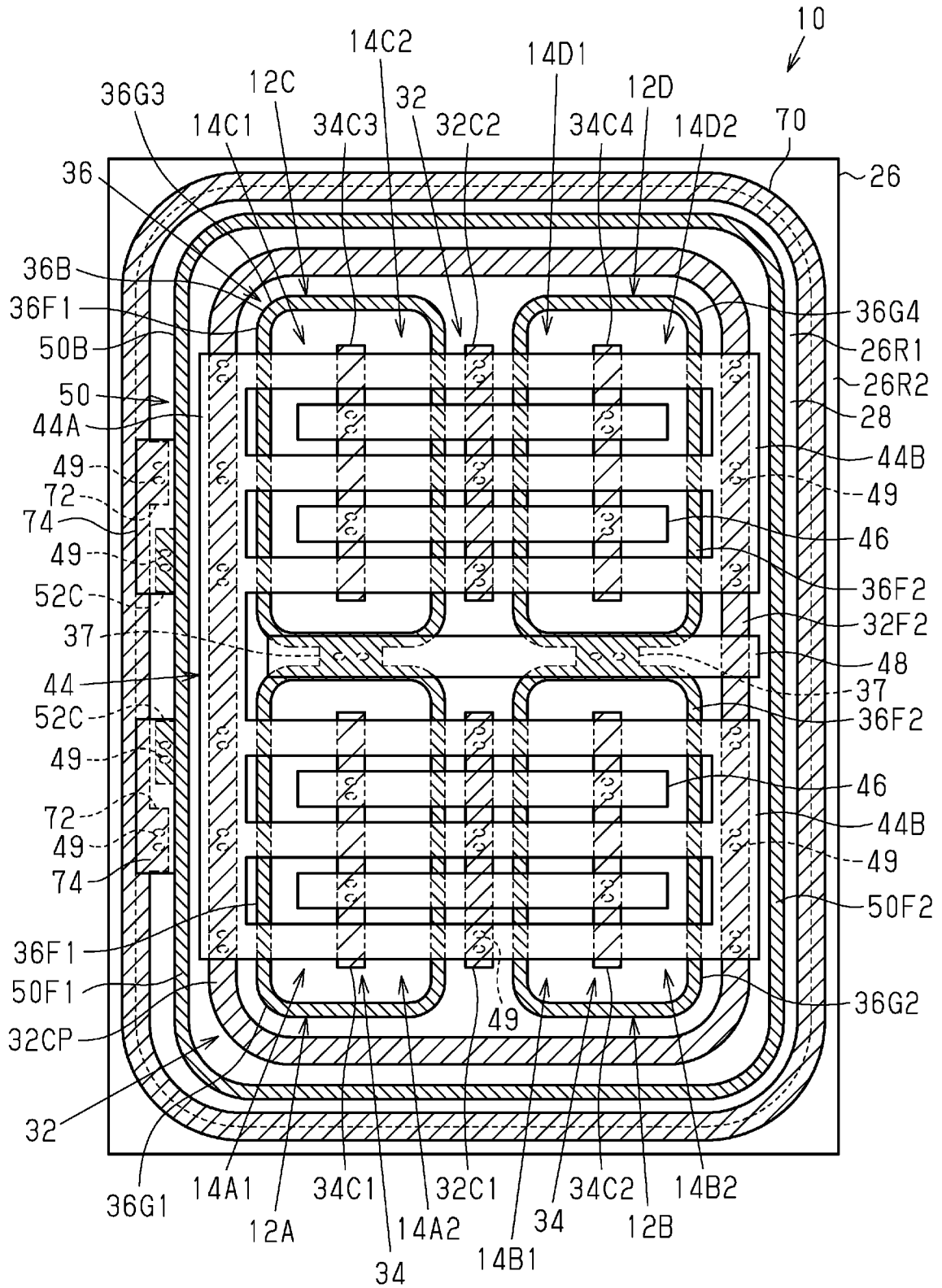
[図9]



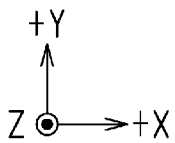
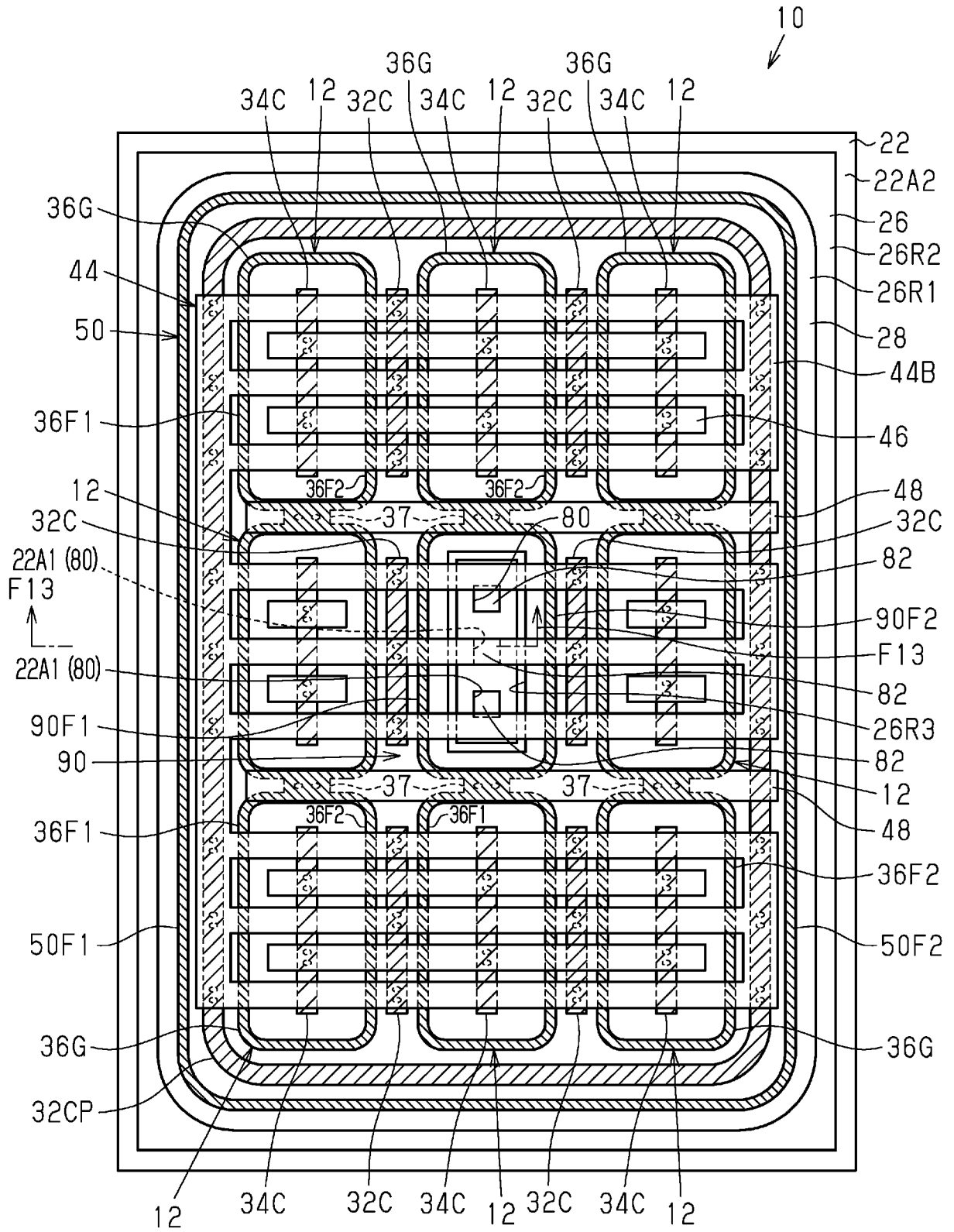
[図10]



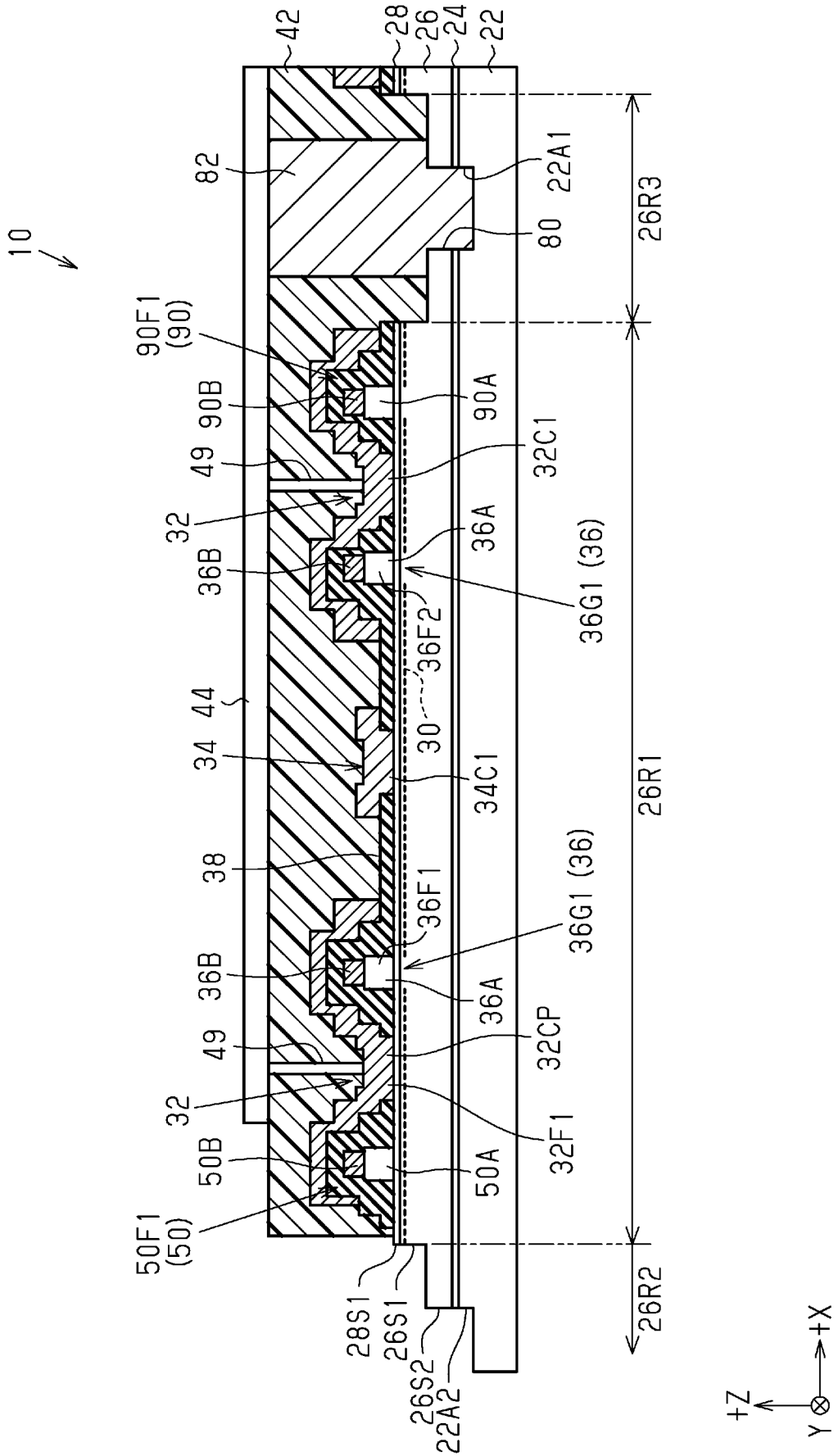
[図11]



[図12]



[図13]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2023/021506

A. CLASSIFICATION OF SUBJECT MATTER		
<i>H01L 29/812</i> (2006.01)i; <i>H01L 21/337</i> (2006.01)i; <i>H01L 21/338</i> (2006.01)i; <i>H01L 29/41</i> (2006.01)i; <i>H01L 29/417</i> (2006.01)i; <i>H01L 29/423</i> (2006.01)i; <i>H01L 29/778</i> (2006.01)i; <i>H01L 29/808</i> (2006.01)i FI: H01L29/80 L; H01L29/80 H; H01L29/80 C; H01L29/44 P; H01L29/58 Z; H01L29/50 J		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) H01L29/812; H01L21/337; H01L21/338; H01L29/41; H01L29/417; H01L29/423; H01L29/778; H01L29/808		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Published examined utility model applications of Japan 1922-1996 Published unexamined utility model applications of Japan 1971-2023 Registered utility model specifications of Japan 1996-2023 Published registered utility model applications of Japan 1994-2023		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 2016/0111501 A1 (TAIWAN SEMICONDUCTOR MANUFACTURING CO., LTD.) 21 April 2016 (2016-04-21) paragraphs [0024]-[0034], fig. 2	1-4, 13-16
A		5-12, 17-20
A	JP 2017-143122 A (TOSHIBA CORP.) 17 August 2017 (2017-08-17)	1-20
A	JP 2009-016655 A (SANKEN ELECTRIC CO., LTD.) 22 January 2009 (2009-01-22)	1-20
A	WO 2020/174956 A1 (ROHM CO., LTD.) 03 September 2020 (2020-09-03)	1-20
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 04 August 2023		Date of mailing of the international search report 15 August 2023
Name and mailing address of the ISA/JP Japan Patent Office (ISA/JP) 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915 Japan		Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2023/021506

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
US	2016/0111501	A1	21 April 2016	(Family: none)	
JP	2017-143122	A	17 August 2017	(Family: none)	
JP	2009-016655	A	22 January 2009	US	2009/0008676 A1
WO	2020/174956	A1	03 September 2020	US	2022/0181477 A1

<p>A. 発明の属する分野の分類（国際特許分類（IPC））</p> <p>H01L 29/812(2006.01)i; H01L 21/337(2006.01)i; H01L 21/338(2006.01)i; H01L 29/41(2006.01)i; H01L 29/417(2006.01)i; H01L 29/423(2006.01)i; H01L 29/778(2006.01)i; H01L 29/808(2006.01)i FI: H01L29/80 L; H01L29/80 H; H01L29/80 C; H01L29/44 P; H01L29/58 Z; H01L29/50 J</p>																				
<p>B. 調査を行った分野</p> <p>調査を行った最小限資料（国際特許分類（IPC））</p> <p>H01L29/812; H01L21/337; H01L21/338; H01L29/41; H01L29/417; H01L29/423; H01L29/778; H01L29/808</p> <p>最小限資料以外の資料で調査を行った分野に含まれるもの</p> <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922 - 1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971 - 2023年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996 - 2023年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994 - 2023年</td> </tr> </table> <p>国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）</p>			日本国実用新案公報	1922 - 1996年	日本国公開実用新案公報	1971 - 2023年	日本国実用新案登録公報	1996 - 2023年	日本国登録実用新案公報	1994 - 2023年										
日本国実用新案公報	1922 - 1996年																			
日本国公開実用新案公報	1971 - 2023年																			
日本国実用新案登録公報	1996 - 2023年																			
日本国登録実用新案公報	1994 - 2023年																			
<p>C. 関連すると認められる文献</p> <table border="1"> <thead> <tr> <th>引用文献の カテゴリー*</th> <th>引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示</th> <th>関連する 請求項の番号</th> </tr> </thead> <tbody> <tr> <td>X</td> <td>US 2016/0111501 A1 (TAIWAN SEMICONDUCTOR MANUFACTURING CO., LTD.) 21.04.2016 (2016 - 04 - 21) [0024]-[0034], 図2</td> <td>1-4, 13-16</td> </tr> <tr> <td>A</td> <td></td> <td>5-12, 17-20</td> </tr> <tr> <td>A</td> <td>JP 2017-143122 A (株式会社東芝) 17.08.2017 (2017 - 08 - 17)</td> <td>1-20</td> </tr> <tr> <td>A</td> <td>JP 2009-016655 A (サンケン電気株式会社) 22.01.2009 (2009 - 01 - 22)</td> <td>1-20</td> </tr> <tr> <td>A</td> <td>WO 2020/174956 A1 (ローム株式会社) 03.09.2020 (2020 - 09 - 03)</td> <td>1-20</td> </tr> </tbody> </table> <p><input type="checkbox"/> C欄の続きにも文献が列挙されている。 <input checked="" type="checkbox"/> パテントファミリーに関する別紙を参照。</p> <p>* 引用文献のカテゴリー</p> <p>“A” 特に関連のある文献ではなく、一般的技術水準を示すもの</p> <p>“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの</p> <p>“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）</p> <p>“O” 口頭による開示、使用、展示等に言及する文献</p> <p>“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献</p> <p>“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの</p> <p>“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの</p> <p>“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの</p> <p>“&” 同一パテントファミリー文献</p>			引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号	X	US 2016/0111501 A1 (TAIWAN SEMICONDUCTOR MANUFACTURING CO., LTD.) 21.04.2016 (2016 - 04 - 21) [0024]-[0034], 図2	1-4, 13-16	A		5-12, 17-20	A	JP 2017-143122 A (株式会社東芝) 17.08.2017 (2017 - 08 - 17)	1-20	A	JP 2009-016655 A (サンケン電気株式会社) 22.01.2009 (2009 - 01 - 22)	1-20	A	WO 2020/174956 A1 (ローム株式会社) 03.09.2020 (2020 - 09 - 03)	1-20
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号																		
X	US 2016/0111501 A1 (TAIWAN SEMICONDUCTOR MANUFACTURING CO., LTD.) 21.04.2016 (2016 - 04 - 21) [0024]-[0034], 図2	1-4, 13-16																		
A		5-12, 17-20																		
A	JP 2017-143122 A (株式会社東芝) 17.08.2017 (2017 - 08 - 17)	1-20																		
A	JP 2009-016655 A (サンケン電気株式会社) 22.01.2009 (2009 - 01 - 22)	1-20																		
A	WO 2020/174956 A1 (ローム株式会社) 03.09.2020 (2020 - 09 - 03)	1-20																		
<p>国際調査を完了した日</p> <p>04.08.2023</p>	<p>国際調査報告の発送日</p> <p>15.08.2023</p>																			
<p>名称及びあて先</p> <p>日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号</p>	<p>権限のある職員（特許庁審査官）</p> <p>鈴木 聡一郎 5F 2576</p> <p>電話番号 03-3581-1101 内線 3516</p>																			

国際調査報告
パテントファミリーに関する情報

国際出願番号

PCT/JP2023/021506

引用文献	公表日	パテントファミリー文献	公表日
US 2016/0111501 A1	21.04.2016	(ファミリーなし)	
JP 2017-143122 A	17.08.2017	(ファミリーなし)	
JP 2009-016655 A	22.01.2009	US 2009/0008676 A1	
WO 2020/174956 A1	03.09.2020	US 2022/0181477 A1	