公告本

389913

申請日期	87.9.17
案號	87111554
類別	G11C 7/00, 11/34

（以上各欄由本局填註）

A4
C4

389913

發明 新型 專利說明書

一、發明 新型 名稱	中文	半導體記憶體元件
	英文	SEMICONDUCTOR MEMORY DEVICE
二、發明 創作 人	姓名	1.平 雅之 (Masayuki Hira) 2.助川俊一 (Shunichi Sukegawa) 3.別所眞次 (Shinji Bessho) 4.高橋 康 (Yasushi Takahashi)
	國籍	1.-4.皆爲日本籍
	住、居所	1.美國德州達拉斯市自由廣場2811號 2811 Freedom Circle, Dallas, Texas 75287, USA 2.美國德州布雷諾市桑塔那街3549號 3549 Santana Lane, Plano, Texas 75023, USA 3.美國德州布雷諾市朗格西大道701號 701 Legacy Drive, Apt. #1223, Plano, Texas 75023, USA 4.日本埼玉縣浦和市岸町1-8-17 1-8-17 Kishi-cho, Urawa-shi, Saitama, 336-0012, Japan
三、申請人	姓名（名稱）	1.美商德州儀器公司 Texas Instruments Incorporated 2.日商日立公司 Hitachi, Ltd.
	國籍	1.美國籍 2.日本籍
	住、居所（事務所）	1.美國德克薩斯州達拉斯市丘爾奇路7839號 7839 Churchill Way, Mail Station 3999, Dallas, TX 75251 U.S.A. 2.日本國東京都千代田區神田駿河台4-6 4-6 Surugadai Kanda, Chiyoda-ku, Tokyo Japan
	代表人姓名	1.康威廉 (William B. Kempler) 2.大川和雄 (Katsuo OGAWA)

裝 訂 線

經濟部智慧財產局員工消費合作社印製

申請日期	
案　　號	
類　　別	

（以上各欄由本局填註）

A4
C4

發明 新型 專利說明書

一、發明 新型 名稱	中　文	
	英　文	
二、發明 創作 人	姓　名	5. 荒井公司　(Koji Arai) 6. 高橋　勉　(Tsutomu Takahashi) 7. 高橋繼雄　(Tsugio Takahashi) 5.-7. 皆爲日本籍
	國　籍	
	住、居所	5. 日本東京都小平市學園東町3-3-19 3-3-19 Gakuenhigashi-cho, Kodaira-shi, Tokyo, 187-0043 Japan 6. 日本東京都立川市柏町2-35-17 2-35-17 Kashiwa-cho, Tachikawa-shi, Tokyo, 190-0004 Japan 7. 日本東京都羽村市緑之丘2-1-16 2-1-16 Midorigaoka, Hamura-shi, Tokyo, 205-0003, Japan
三、申請人	姓　名 （名稱）	
	國　籍	
	住、居所 （事務所）	
	代表人 姓　名	

經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

裝 訂 線

（由本局填寫）

承辦人代碼：	
大　　類：	
ＩＰＣ分類：	

A6
B6

本案已向：

日本國（地區）　申請專利，申請日期：西元1997年7月16日　案號：9(1997)-191644　☑有　□無主張優先權

有關微生物已寄存於：　　，寄存日期：　　，寄存號碼：

（請先閱讀背面之注意事項再填寫本頁各欄）

裝　訂　線

經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（1）

發明領域

本發明與半導體記憶體元件有關，更詳細說，與具有可以控制驅動偵感放大器之脈波信號的功能，且根據接線的電壓降補償偵感放大器之長度的半導體記憶體元件有關。

發明背景

圖12顯示一種半導體記憶體元件之記憶體陣列的結構範例，例如DRAM。在圖12中，記憶體陣列是由字線WL0至WL5以及位元線(或互補位元線)BL0、BL0_、BL1、BL1_所構建，記憶體單元$MC_{0,0}$、$MC_{0,1}$、$MC_{0,2}$、.....、$MC_{1,4}$、$MC_{1,5}$各自連接到這些字線與位元線(或互補位元線)的交叉點。此圖為便於說明，故只顯示部分的記憶體陣列。位元線BL0與互補位元線BL0_構成的位元線對連接到偵感放大器SA0，位元線BL1與互補位元線BL1_構成的位元線對連接到偵感放大器SA1。在記憶體存取期間，位元線與互補位元線構成的位元線對藉著偵感放大器分別保持在不同的電壓位準。例如，當位元線BL0保持在高位準(電源供應器的電壓V_{DD}位準)，互補位元線BL0_即保持在低位準(共同電壓V_{SS}位準)。在圖12中，字線WL0到WL5是由字線驅動電路WD所選擇與驅動。在圖12中未顯示字線驅動電路WD。

記憶體單元$MC_{0,0}$、$MC_{0,1}$、$MC_{0,2}$、.....、$MC_{1,4}$、$MC_{1,5}$分別配置於字線WL0到WL5與位元線BL0、BL0_、BL1、

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（2）

BL1_的交叉點。如圖中所示，DRAM的記憶體單元$MC_{1,1}$是由一個電晶體$Q_{1,1}$與一個電容器$C_{1,1}$所構成，電晶體$Q_{1,1}$的閘極連接到字線WL1，藉字線WL1上的電壓控制ON/OFF狀態。在記憶體存取期間，字線驅動電路WD反應輸入的位址信號選擇字線WL0到WL5其中一條字線，被選擇的字線被活化並保持在高位準，與被選字線連接之記憶體的電晶體即保持在ON的狀態。

例如，如果字線驅動電路WD選擇字線WL1並使其保持在高位準，記憶體單元$MC_{1,1}$的電晶體$Q_{1,1}$被置於ON的狀態。在寫入期間，在選擇字線的同時，偵感放大器反應寫入的資料指定位元線的位準。例如，偵感放大器SA1分別使位元線BL1保持在高位準(電源供應器的電壓V_{DD}位準)，互補位元線BL1_保持在低位準(共同電壓V_{SS}位準)。按此方法，充電電壓與電容器$C_{1,1}$內的電荷被保持當為儲存的資料。

另一方面，當從記憶體單元$MC_{1,1}$讀取時，偵感放大器SA1先將位元線BL1與互補位元線BL1_預充電到$V_{DD}/2$，即電源供應器電壓V_{DD}的一半。當字線WL1被字線驅動電路WD活化並保持在高位準時，電晶體$Q_{1,1}$被置於ON的狀態，位元線BL1與電容器$C_{1,1}$被短路，位元線BL1反應電容器$C_{1,1}$上累積的電荷使得電位稍做改變。偵感放大器SA1偵測到位元線BL1上些許改變的電位並加以放大，儲存在記憶體單元$MC_{1,1}$上的資料即被讀取。

隨著DRAM的記憶容量增加，記憶體陣列被進一步劃

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（3）

分成許多子陣列(記憶體單元矩陣)，由偵感放大器所構成的偵感放大器排置於每個子陣列的一側。構建成偵感放大器排的偵感放大器數量與每一個子陣列中位元線對的數量相同。與子陣列連接供其所用的偵感放大器排配置於子陣列的右與左側。加長位元線與加寬子陣列可以減少偵感放大器的數量，因此可縮小偵感放大器排在整個晶片上所佔據的面積，藉以縮小晶片的尺寸。不過，位元線加長的問題是電阻與寄生電容會跟著增加導致特性惡化。為解決此一問題，曾提出將位元線改成層列式。

同樣地，隨著半導體記憶體元件在高容量與微型化方面的進步，單元微型化也進步，以及為了在低電壓下工作也進步到使用薄膜。為確保構成記憶體單元之電晶體的閘電壓耐受度，內部電壓V_{DL}低於外部的電源供應器電壓，外部的電源供應器電壓被降壓以供記憶體內部陣列使用。隨此而來的是偵感放大器存取速度降低的問題。為避免此問題，已有使用所謂的超驅動(OVD)系統，它供應一般固定周期的外部電源供應器電壓V_{DD}給偵感放大器，例如一直等到位元線到達記憶體陣列電壓(內部工作電壓V_{DL})的一段時間。

順便一提，由於出現於每一個記憶體單元矩陣間源自偵感放大器之接線電阻的電壓降，以及上述過去所使用的超驅動系統，使得即使是在同一記憶體陣列區塊中，每一個記憶體單元矩陣間最佳的偵感放大器超驅動量都不相同。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（4）

例如過去使用的64Mb(百萬位元)DRAM，為確保最遠端的記憶體單元能有足夠的寫入，一般是按最遠端(最壞情況)決定最佳的超驅動時間。按此方法，最遠端的超驅動雖可確保，但最近端的超驅動卻變得過剩，過剩的電荷即被丟棄。換言之，在近端的偵感放大器，施加的電壓大於記憶體單元存取期間所需，缺點是導致構成偵感放大器之電晶體的特性退化，也導致耗電量增加。

圖13顯示當執行讀取時，近端與遠端之記憶體單元位元線上電壓的變化。在本例中，電源供應器電壓V_{DD}是3.3伏，用於記憶體陣列中的較低電壓V_{DL}是2.2伏。如圖中所示，在讀取前，位元線BL1與互補位元線BL1_被預充電到內部電源供應電壓V_{DL}一半位準，即1.1伏，在開始讀取後，反應記憶體單元儲存的資料，位元線BL_被電源供應器電壓V_{DD}充電，互補位元線BL被共電壓V_{SS}放電。由於將電源供應器電壓V_{DD}施加到位元線BL上的時間，也就是送出超驅動的時間T_{OVD}是配合最遠端的偵感放大器，與最遠端偵感放大器連接的位元線可藉著超驅動的動作被適當地充電到內部電源供應電壓V_{DL}，但是，與最近端偵感放大器連接的位元線BL，由於超驅動的時間T_{OVD}相同導致充電過剩，當超驅動完成，其所保持的位準已超過內部V_{DL}。由於無論遠端或近端的互補位元線BL_都是由共電壓V_{SS}放電，它的電壓大致相同。

本發明在回顧此後，它的目的是提供一種半導體記憶體元件，它的超驅動時間可以反應記憶體單元矩陣所在位

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（5）

置加以控制，可以用最適的電壓驅動位元線，以達到節省電力消耗以及設計超驅動時間更簡單的目的。

發明概述

為達到上述目的，本發明的半導體記憶體元件具有第一、第二與第三電壓供應節點以提供第一電壓、高於第一電壓的第二電壓，以及高於前述第二電壓的第二電壓，記憶體單元陣列中的記憶體單元配置在字元線與位元線對的交叉點，它保持對應於前述第一電壓的電荷以及前述第二電壓作為資料，在讀取儲存於上述記憶體單元內之資料的第一階段期間，連接到上述位元線對之偵感放大器區塊內的偵感放大器反應上述第一電壓與上述第三電壓工作，在第二階段期間反應上述第一電壓與上述第二電壓工作，第一、第二、與第三接線分別供應上述第一電壓、上述第二電壓與上述第三電壓給上述的偵感放大器區塊，偵感放大器驅動控制裝置反應上述電壓供應節點與上述偵感放大器區塊間上述接線的長度，藉以控制上述第一與第二周期的長度。

此外，上述偵感放大器驅動控制裝置根據上述接線的長度控制上述第一周期的長度。

此外，上述偵感放大器驅動控制裝置包括脈波信號產生電路，它產生驅動脈波信號，其寬度對應於上述接線的長度，且上述的驅動脈波信號控制上述第一周期的長度。

此外，上述脈波信號產生電路最好能包括延遲電路以

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（6）

及邏輯計算電路，前者在參考脈波信號上施加既定的延遲時間，後者藉輸入上述參考脈波信號與上述延遲電路的輸出信號產生上述的驅動脈波信號。

最後，上述延遲信號的延遲時間被設定成對應於上述接線的長度。

根據本發明，供應三種電壓給偵感放大器的時間，即超驅動的時間，是受偵感放大器區塊(偵感放大器排)與電壓供應節點間的接線長度所控制，因此，供應用於超驅動偵感放大器之電壓的時間，對應於供應超驅動電壓的電壓供應節點與偵感放大器區塊間的接線長度，由於偵感放大器偵感延遲是受電源供應線內所產生之電壓降的影響，因此延遲得到補償。

此外，由於偵感放大器的超驅動時間可根據偵感放大器區塊與電壓供應節點間的接線長度適切地設定，因此可避免過剩的超驅動，降低位準半導體記憶體元件功率消耗的目的也可達成。

此外，超驅動偵感放大器的時間可藉著偵感放大器驅動控制裝置的脈波信號產生電路所產生的驅動脈波信號的脈波寬度調整，且脈波寬度可根據施加於延遲電路的參考脈波信號的延遲時間調整，偵感放大器所需的超驅動時間可以很方便地藉著電路結構簡單的裝置設定。

圖式概述

圖1是與本發明有關之半導體記憶體元件的方塊圖。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（7）

圖2的方塊圖顯示圖1中之記憶體單元矩陣M1的略圖。

圖3a與3b的方塊圖顯示一種用於超驅動之脈波信號產生電路的範例，以及用於超驅動的脈波波形。

圖4顯示圖3之延遲電路DLY的一種範例。

圖5a與5b顯示偵感放大器的超驅動電路及偵感放大器控制信號的波形。

圖6顯示根據本發明的超驅動控制在讀取期間位元線的電位變化。

圖7是第一級的超驅動時間控制信號產生電路的電路圖。

圖8是第二級及之後的超驅動時間控制信號產生電路的電路圖。

圖9是為解釋圖7與圖8超驅動時間控制信號產生電路工作的波形圖。

圖10的方塊圖是顯示子矩陣SM1'結構的略圖，在圖中位元線使用層的結構。

圖11顯示在正規位元線BL與延伸位元線EXBL超驅動期間位元線電位的變化。

圖12顯示DRAM記憶體陣列的結構範例。

圖13顯示當習知技術之範例在執行讀取時間，近端與遠端之記憶體單元上位元線電位的變化。

圖中的參考編號與符號

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（ 8 ）

10、20、30是電源供應器電壓的主接線，40、50、60是電源供應器電壓接線，70、72是位準位移電路，MA0到MA7是記憶體陣列，AC0是陣列控制電路，M0到M15是記憶體單元矩陣，SB0到SB16是偵感放大器排，SWL是子字線，BL是位元線，BL_是互補位元線，MC是記憶體單元，SWD1、SWD2、SWD1'、SWD2'以及子字線驅動電路，SA0、SA1、SA2、SA3是偵感放大器，DLY是延遲電路。

實施例描述

圖1是與本發明有關之半導體記憶體元件的方塊圖。

本例是64Mb DRAM的半導體記憶體元件。如圖所示，記憶體晶片是由8個記憶體陣列MA0到MA8所構成，每一個記憶體陣列的儲存容量是8Mb(百萬位元)。圖1顯示記憶體陣列MA7的內部構造。

記憶體陣列M0是由陣列控制電路AC0、記憶體單元矩陣M0到M15、以及偵感放大器排SB0到SB16所構成，每一個記憶體單元矩陣的儲存容量是512Kb(千位元)。

陣列控制電路AC0內的電路控制偵感放大器排的動作，主字線驅動電路選擇性地控制主字線MWL，次字線SWL驅動電路選擇性地控制次字線SWL。記憶體單元矩陣是由安排於子字線與位元線對之交叉點的記憶體單元所構成。子字線驅動電路SWD選擇與活化子字線。位元線對連接到各自的偵感放大器。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（9）

圖2的方塊圖顯示圖1中之記憶體單元矩陣M1的略圖。記憶體單元矩陣M1是夾在偵感放大器排SB1與偵感放大器排SB2之間，是由8個子矩陣SM0到SM7及9個子字線驅動電路SWD0到SWD8所構成，每一個子矩陣的儲存容量為64Kb。

在子矩陣SM1中，128條子字線各自從子字線驅動電路SWD1、SWD2延伸，256條位元線對各自連接到偵感放大器排SB1、SB2中的偵感放大器SAi。在記憶體存取期間，反應輸入主字線(圖中未顯示)與子字線驅動電路SWD1、SWD2的位址資料，256條中的1條線被選擇，且並被子字線驅動電路SWD1、SWD2活化保持在高位準。在圖2中，為便於說明，僅顯示子字線SWL_j、SWL_{j+1}，j=0，1，2....，255。128個偵感放大器SAi被分別安排於對應於子矩陣SM1的偵感放大器排SB1、SB2中。偵感放大器SA0、SA2、...、SA254位於偵感放大器排SB1中，偵感放大器SA1、SA3、...、SA255位於偵感放大器排SB2中。在圖2中僅顯示偵感放大器SA0、SA1、SA2、SA3。

至於偵感放大器排SB1，通常是供位於它兩側的記憶體單元矩陣M0(圖中未顯示)與M1使用，以相同的方法，偵感放大器排SB2是供記憶體單元矩陣M1與M2(圖中未顯示)使用。

下文中將解釋有關於子矩陣SM1的結構。

在子矩陣SM1中，一個記憶體單元安排於子字線與位元線及互補位元線的交叉點。利用圖2說明，圖中僅顯示

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（10）

記憶體單元$MC_{0,j}$、$MC_{0,j+1}$、$MC_{1,j}$、$MC_{1,j+1}$、$MC_{2,j}$、$MC_{2,j+1}$、$MC_{3,j}$、$MC_{3,j+1}$。此外，在圖2中，安排記憶體單元的位置是以子字線與位元線及互補位元線之交叉點上的黑點表示，記憶體單元的實際構造略之。舉例來說，記憶體單元的構造是一個電晶體Q與一個電容器C。

偵感放大器以電晶體閘連接到位元線對。例如，偵感放大器SA0經由傳輸閘TG0、TG0_連接到位元線對BL0、BL0_。傳輸閘TG0、TG0_的閘極連接到控制信號線T2。當此控制信號線T2保持在高位準時，傳輸閘TG0、TG0_處於ON態，此高位準即被連接到偵感放大器SA0與位元線對BL0、BL0_，並啟動記憶體單元的寫或讀。

另一個偵感放大器的動作也相同。在圖2中傳輸閘與偵感放大器是分開配置，但在實際電路中，傳輸閘可安排在偵感放大器中。此外，(圖中未顯示)控制傳輸閘ON/OFF狀態的控制信號線T1到T4連接到圖1中所示的陣列控制電路AC0，並由陣列控制電路AC0中的X解碼器控制。

如圖1所示，電源供應器電壓V_{DD}、共同電位V_{SS}、及記憶體陣列內部電源供應電壓V_{DL}分別供應至每一個偵感放大器排SB0到SB16。電源供應電壓V_{DD}與共同電位V_{SS}分別經由端點T_{DD}、T_{SS}輸入，內部電源供應電壓V_{DL}是由記憶體晶片上的降壓電路產生，從T_{DL}端點輸入。在本例中，電源供應器電壓V_{DD}是3.3伏，共同電位V_{SS}是0伏，內部電源供應電壓V_{DL}是2.2伏。

電源供應器電壓V_{DD}、共同電位V_{SS}、及內部電源供應

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（11）

電壓V_{DL}分別經由記憶體晶片上的主接線10、20、30送到每一個記憶體陣列MA0到MA7的附近，並進一步經由接線40、50、60供應到每一個記憶體陣列中的每一個偵感放大器排SB0到SB16。如圖1所示，接線10與接線40的連接位置是CT0，接線20與接線50的連接位置是CT1，接線30與接線60的連接位置是CT2。由於接線10到60的電阻與寄生電容，在接線上會產生電壓降與信號延遲。

每一個電源供應器之供應端點T_{DD}、T_{SS}、T_{DL}與各自接點CT0、CT1、CT2間產生的延遲是A，每一個接點CT0、CT1、CT2與偵感放大器排間產生的延遲是B，在每一個偵感放大器排內產生的延遲是C。

至於安排在記憶體陣列MA0到MA7附近的接線10、20、30由於有足夠的接線空間，因此可以使用較粗的接線，因此在接線上產生的延遲A可保持在很小。在實際的DRAM晶片中，在上述的延遲A、B、C中，最大的是延遲B，換言之，也就是從接點到每一個偵感放大器排的接線40、50、60所產生的延遲。這是由於受到配置的限制，接線40、50、60無法使用較粗的線使然。延遲B反應接點CT0、CT1、CT2與偵感放大器排間接線長度而變化。例如，在圖1所示的記憶體陣列MA0中，由於接線到偵感放大器排SB0的距離最短，到偵感放大器排SB16的距離最長，因此，到偵感放大器排SB0的延遲B最小，到偵感放大器排SB16的延遲B最大。此外，不僅是這些延遲，還有接線電阻所產生的電壓降，使得供應給偵感放大器排SB0的電源

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（12）

供應器電壓變的最大，供應給偵感放大器排SB16的電源供應器電壓變的最小。由於此，若供應給SB0到SB16每一個偵感放大器之電源供應器電壓的脈波寬度都相同(例如用於超驅動的電源供應器電壓V_{DD})，為確保在最遠端的偵感放大器排SB16工作工常，脈波的寬度勢必根據它來設定，那麼對近端的偵感放大器排SB0而言，所產生的超驅動就會過剩。

在本發明中，超驅動每一個偵感放大器排所使用的脈波寬度是受偵感放大器所在位置的控制，例如，用於近端偵感放大器排SB0的超驅動脈波寬度設定的比較小，用於遠端偵感放大器排SB16的超驅動脈波寬度設定的比較大，如此即可確保遠端的讀寫作業，在近端也可避免過剩的超驅動。

圖3a顯示一種用於超驅動之脈波信號產生電路的範例。它是為圖1的記憶體陣列MA0所設計，記憶體陣列是由16個記憶體單元矩陣M0到M15及17個偵感放大器排SB0到SB17所構成。如圖3a所示，脈波信號PLS0到PLS16用於超驅動，各自輸入到每一個偵感放大器排SB0到SB16。

圖3b顯示用於超驅動之脈波產生電路的設計圖。此產生電路位於陣列控制電路AC0內，如圖1所示。脈波產生電路是由延遲電路DLY0到DLY16、NAND閘NGT0到NGT16及反相器INV0到INV16所構成。例如，NAND閘NGT1的輸入端之一連接到輸入端T_{IN}，另一輸入端連接到延遲電路DLY0的輸出端。此外，NAND閘NGT16的輸入

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（13）

端之一連接到輸入端T_{IN}，另一輸入端連接到延遲電路DLY15的輸出端。NAND閘NGT0的兩個輸入端都連接到輸入端T_{IN}，此外，延遲電路DLY0的輸入端也連接到輸入端T_{IN}，每一個延遲電路DLY0到DLY16以串連方式連接。NAND閘NGT0到NGT16的輸出端都各自連接到反相器INV0到INV16，用來超驅動的脈波信號PLS0到PLS16從反相器INV0到INV16的輸出端輸出。

輸入到輸入端T_{IN}的超驅動控制信號SAO是低活化信號，例如是保持在低位準14到17奈秒的信號。由於此，施加於偵感放大器排SB0用於超驅動的脈波PLS0(如圖3a所示)是負的脈波信號，它保持在低位準14到17奈秒。在此，具有相同延遲時間T_D的輸入信號施加於延遲電路DLY0到DLY15。此表示，供應給偵感放大器排SB1到SB16之超驅動的脈波PLS1到PLS16的脈波寬度，分別比脈波PLS0的長度長時間T_D。

延遲電路DLY0到DLY15的延遲時間T_D是可變的，為反應實際的作業模式可做極細微的調整。圖4顯示延遲電路DLY的一種範例。延遲電路DLY是由4個反相器INVD1、INVD2、INVD3、INVD4、及開關SW1所構成。反相器INVD1到INVD4以串連方式連接。開關SW1選擇與從端點S1、S2、S2輸出三種信號其中之一。端點S1連接到延遲電路DLY的輸入端，端點S2連接到反相器INVD2的輸出端，端點S3連接到反相器INVD4的輸出端。

由於此，當開關SW1選擇端點S1，延遲電路DLY的延

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（14）

遲時間T_D趨近0。當選擇端點S2，延遲電路DLY的延遲時間T_D是由2個反相器所產生，當選擇端點S3，時間T_D是由4個反相器產生。如果假設2個反相器的延遲時間為0.4奈秒，延遲電路DLY的延遲時間T_D可以是0、0.4、與0.8奈秒。

圖5a顯示偵感放大器的超驅動電路及偵感放大器控制信號的波形。安排在偵感放大器排內的每一個偵感放大器是由兩個P通道MOS電晶體P1、P2與兩個N通道MOS電晶體N1、N2所構成。電晶體P1、N1串連於電源供應線SDP、SDN之間，它們的閘極連接到互補位元線BL_。同樣地，電晶體P2、N2串連於電源供應線SDP、SDN之間，它們的閘極連接到位元線BL。電源供應線SDP經由N通道MOS電晶體N12連接到內部電源供應電壓V_{DL}，也經由P通道MOS電晶體P11與N通道MOS電晶體N11連接到電源供應器電壓V_{DD}。電源供應線SDN經由N通道MOS電晶體N13連接到共同電位V_{SS}。超驅動電路即是由這些電晶體N11、N12、N13、P11構成。

電源供應線SDP、SDN通常被預充電到$V_{DL}/2$，但如果偵感放大器SA被活化，電源供應線SDP為V_{DL}位準被改變到V_{DD}位準，且電源供應線SDN到V_{SS}位準。如圖5b所示，控制信號SAP1反應偵感放大器的活化變為低位準，控制信號SAN變為高位準。此控制信號SAP1對應於超驅動脈波產生電路所產生的超驅動脈波信號PLS0到PLS16，電源供應線SDP被連接到電源供應器電壓V_{DD}，超驅動動作

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（15）

開始進行。當控制信號SAP1脈波信號PLS變為高位準，超驅動動作結束，此時間，控制信號SAP2變為高位準，電源供應線SDP被連接到內部電源供應電壓V_{DL}。之後，控制信號SAP2與SAN變為低位準，偵感放大器SA的讀取動作完成。

圖6顯示根據本發明的超驅動控制在讀取期間位元線的電位變化。

如圖中所示，施加於近端之偵感放大器排的超驅動脈波PLS的寬度為TR1，施加於遠端之偵感放大器排的超驅動脈波PLS的寬度為TR2，遠端的脈波寬度TR1比近端脈波寬度TR2寬。

在存取前，位元線BL與互補位元線BL_被預充電到中間電位，例如$V_{DL}/2$的電位。當開始以偵感放大器讀取時，一開始，高於內部電源供應電壓V_{DL}的電壓施加於位元線，例如是電源供應器電壓V_{DD}的電壓位準，共同電位V_{SS}位準的電壓施加於互補位元線BL_。此時，由於位元線BL被電源供應器電壓V_{DD}的位準超驅動，位元線BL的電位快速上升。當超驅動的脈波消失，施加於位元線BL上的電壓是內部電源供應電壓V_{DL}位準。

超驅動的脈波寬度是根據偵感放大器排所在位置設定，換言之，是根據與主接線10、20、30間的距離而定，且由於用於近端的脈波寬度設定的比較窄，靠近遠端的脈波寬度設定的比較寬，因此，由於電源供應線上之電壓降造成遠端偵感放大器排的偵感延遲得到補償，同時，近端偵

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（16）

感放大器的過度超驅動也得以避免。超驅動的結果如圖6所示，連接到近端與遠端之偵感放大器排之偵感放大器的位元線都被預充電到內部電源供應電壓V_{DL}，遠端的超驅動不足與近端超驅動過剩被抑制。

圖7與圖8是超驅動時間控制信號產生電路的詳細設計，圖9是解釋圖7與圖8超驅動時間控制信號產生電路工作的波形圖。

圖7是電路設計圖(在後文中，稱其為初級產生電路)，它供應(產生)超驅動信號給距離主接線最近的偵感放大器排，圖8是超驅動信號產生電路的電路圖，它連接到第二級及以後的電路。第二級之後的每一級超驅動信號產生電路的結構基本上相同。因此，下文中只解釋用於第二級的第二超驅動信號產生電路，之後每一級產生電路的詳細說明將予節略。在此，假設初級對應於圖1的偵感放大器排SB0，第二級對應於圖1的偵感放大器排SB1。

如圖7所示，初始級的超驅動信號產生電路是由NAND閘NAND1、NAND2、NAND3、AND閘AND1、反相器INV1、INV2、INV3、以及位準位移電路70、72所構成。

偵感放大器排SB0選擇信號SBS0及偵感放大器啟動信號SAE供應給NAND閘NAND1的兩個輸入端，它的輸出端連接到反相器INV1的輸入端。此外，超驅動控制信號SAO施加於反相器INV2的輸入端，它的輸出連接到反相器INV3的輸入端。反相器INV3的輸出信號，也就是初級的延遲信號DLY0，供應給NAND閘NAND2的兩輸入端，以及下

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（17）

一級的超驅動信號產生電路。

反相器INV1的輸出信號，也就是控制信號SAN_供應給偵感放大器排SB0，也供應給AND閘AND1與NAND閘NAND3的輸入端之一。NAND閘NAND2的輸出信號供應給NAND閘NAND3的其它輸入端，NAND閘NAND3的輸出信號供應給AND閘AND1的其它輸入端以及位準位移電路72。位準位移電路72將輸入信號的電壓位準V_{SS}(0伏)-V_{DL}(2.2伏)改變成位準為V_{SS}(0伏)-V_{DL}(3.3伏)的信號，並供應給偵感放大器排SB0。AND閘AND1的輸出信號供應給位準位移電路70，位準位移電路70將輸入信號的電壓位準V_{SS}-V_{DL}改變成位準為V_{SS}-V_{DL}的信號，也供應給偵感放大器排SB0。

圖7中的SAN_0、SAP1_0、SAP2_0信號分別供應給圖5所示之超驅動電路的電晶體閘N13、電晶體閘P11、以及電晶體閘N12。

第二超驅動信號產生電路，如圖8所示，是由NAND閘NAND1、NAND2、NAND3、AND閘AND1、反相器INV1、INV2、INV3、以及位準位移電路70、72以及延遲電路DLY所構成。延遲電路DLY是由開關SW1所構成，它從前級接收延遲信號DLY0，開關SW2選擇串連之反相器INVD1、INVD2、INVD3、INVD4，反相器INV3，反相器INVD2，或反相器INVD4其中之一的輸出信號，開關SW3則是選擇開關SW2的輸出信號或是前級的延遲信號DLY0。在圖8的例中，開關SW1、SW2、SW3分別被設定成選擇前級的

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（18）

延遲信號DLY0、反相器INVD2的輸出信號、以及開關SW2的輸出信號。

在圖7與圖8中，偵感放大器排選擇信號SBS0、SBS1反應位址信號被活化(該位址信號是由DRAM的外部選擇所供應，例如圖1中的DRAM構造)，SB0到SB16的17個偵感放大器排中的一個被選擇。此外，偵感放大器啟動信號SAE也反應該位址信號被活化，偵感放大器排中的偵感放大器被偵感放大器排選擇信號與偵感放大器啟動信號活化。

接下來，將參考圖9的波形圖解釋超驅動信號產生電路的動作。

在圖9中，當偵感放大器排SB0反應DRAM外部供應的位址信號而被選擇，偵感放大器排選擇信號SBS0被活化到高位準。接下來，偵感放大器排啟動信號SAE被活化到高位準。在偵感放大器排啟動信號SAE被活化的同時，由未說明的信號所產生的超驅動控制信號SAO被活化到低位準，在T_{OVD}期間，此超驅動控制信號SAO一直保持在低位準。反應此偵感放大器排啟動信號SAE與超驅動控制信號SAO，控制圖5之超驅動電路中電晶體N13與電晶體P11成導通狀態的控制信號SAN_0與SAP1_0分別被活化。因此，電源供應線SDN被置於V_{SS}0伏，電源供應線SDP被超驅動到V_{DD}3.3伏的位準。

當超驅動控制信號SAO改變到高位準，控制信號SAP1_0也對應改變到高位準，以及控制信號SAP2_0被活

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（19）

化到高位準。因此，圖5中的電晶體P11被位移到OFF狀態，以及電晶體N11被位移到ON狀態。電源供應線SDP的超驅動被此串連電晶體P11、N11的操作移除，且電源供應線SDP成為V_{DL}2.2伏。在此方法中，超驅動信號產生電路中超驅動的時間與超驅動控制信號SAO所設定的時間T_{OVD}相同。之後，當偵感放大器啟動信號改變到低位準，圖5的電晶體N12、N13被位移到OFF狀態，且電源供應線SDP、SDN被未說明的預充電電路預充電到V_{DL}/2的位準。

在圖9中，當偵感放大器排SB1反應DRAM外部選擇所供應的位址信號被選擇時，偵感放大器排選擇信號SBS1被活化到高位準。接下來，偵感放大器排啟動信號SAE與超驅動控制信號SAO被活化到低位準，且在T_{OVD}期間，超驅動控制信號SAO保持在低位準。控制信號SAN_1與SAP1_1分別控制圖5之超驅動電路中電晶體N13與電晶體P11的導通狀態。因此，電源供應線SDN成為V_{SS}0伏，電源供應線SDP被超驅動到V_{DD}3.3伏的位準。

圖7所示的初級超驅動信號產生電路輸出的延遲信號DLY0輸入到圖8所示的第二級超驅動使用的超驅動信號產生電路，提供兩個反相器INVD1與INVD2的延遲T_D，並供應給次級超驅動所用的信號產生電路以及NAND閘NAND2。即使超驅動控制信號SAO被改變成高位準，由於NAND閘NAND2的其它輸入信號，即延遲信號DLY1在T_D期間仍保持在低位準，當到達超驅動控制信號SAO被改變成高位準且時間T_D也已結束的時間點，控制信號SAP1_1

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（20）

被改變到高位準，且控制信號SAP2_1也被活化到高位準。因此，圖5中的電晶體P11被位移到OFF狀態，電晶體N11被位移到ON狀態。由於此串連電晶體P11、N11的工作，電源供應線SDP的超驅動被移除，電源供應線SDP變為V_{DL}的2.2伏。在此方法中，第二級超驅動所使用之信號產生電路的超驅動時間使得延遲電路DLY的延遲時間T_D為超驅動控制信號SAO設定時間T_{OVD}。在此之後，當偵感放大器啟動信號SAE變為低位準時，控制信號SAN_1、SAP2_1也被改變為低位準，圖5的電晶體N12、N13被位移到OFF狀態，電源供應線SDP、SDN被未說明的預充電電路預充電到$V_{DL}/2$的位準。

與初級驅動信號SAP1_0相較，第二偵感放大器超驅動信號SAP1_1的脈波寬度比僅只有延遲電路DLY產生之延遲時間寬的脈波信號。在此，如果假設初級偵感放大器驅動信號SAP1_0的寬度是T_{ODO}，在延遲電路DLY 81上所產生的延遲時間是T_D，則第二級的偵感放大器超驅動信號SAP1_1的脈波寬度變為$T_{ODO}+T_D$。初級的偵感放大器超驅動信號SAP1_0的脈波寬度T_{ODO}是由超驅動控制信號SAO的脈波寬度T_{OVD}所決定，且幾乎與T_{OVD}相同。

超驅動用的信號產生電路與第二級超驅動用的信號產生電路具有相同構造，多級連接，且超驅動用的信號產生電路的數量與偵感放大器排的數量完全一致，包括初級用的超驅動信號產生電路。些超驅動信號產生電路產生的超驅動用信號的脈波寬度對應於每一個記憶體單元矩陣。在

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（21）

上述的應用例中，初級超驅動時間T_{ODO}是14到17奈秒，延遲電路的延遲時間可設定在0、0.4、0.8奈秒。由於最近端之記憶體單元矩陣的偵感放大器的驅動時間是由初級的超驅動用信號產生電路控制，最遠端之記憶體單元矩陣的偵感放大器的驅動時間是由最遠端之超驅動用信號產生電路控制，因此可避免靠近近端之記憶體單元矩陣的位元線產生過量的超驅動，遠端之記憶體單元矩陣的位元線也可獲得足夠的超驅動。

如以上的解釋，根據本發明，偵感放大器驅動控制裝置控制供應給每一個偵感放大器排電源電壓的供應時間，亦即陣列控制電路AC0反應偵感放大器電源供應電壓之供應節點CT0、CT1、CT2與每一個偵感放大器排SB0到SB15間接線的距離，且由於超驅動最近端偵感放大器排SB0的供應時間最短，愈靠近遠端之偵感放大器排的超驅動供應時間連續地加長，由於供應節點與偵感放大器排間電源供應線上電壓降所產生的偵感延遲可獲補償，可以設計出近端與遠端均衡的超驅動，近端記憶體單元矩陣的過量超驅動得以避免，降低電力消耗的目的也可實現。

圖10的方塊圖是顯示子矩陣SM1'結構的略圖，在圖中位元線使用層狀結構。子矩陣SM1'夾在偵感放大器SB1'與偵感放大器排SB2'之間。在子矩陣SM1'中，256條子字線分別從子字線驅動電路SWD1'、SWD2'延伸，256條位元線對分別連接偵感放大器排SB1'、SB2'。在記憶體存取期間，反應輸入到主字線與子字線驅動電路SWD1'、SWD2'

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（ 22）

的位址資料，512條線中的一條被選擇，並被子字線驅動電路SWD1'、SWD2'保持在高位準的活化狀態。在圖10中，為便於解釋，僅顯示子字線SWL_j、SWL_{j+1} j = 0、1、2、....、511。128個偵感放大器SAI分別安排在對應於子矩陣SM1'的偵感放大器排SB1'、SB2'內。偵感放大器SA0、SA2、....、SA254安排於偵感放大器排SB1'內，偵感放大器SA1、SA3、....、SA255安排於偵感放大器排SB2'內。在圖10中，僅顯示偵感放大器SA0、SA1、SA2。此外，偵感放大器排SB1'、SB'[Sic；SB2']為安排於它們兩側的子矩陣共用。

以下解釋有關於子矩陣SM1'的結構。

在子矩陣SM1'中，子字線與位元線及互補位元線的交叉點配置一個記憶體單元，以相同的方法於子字線與延伸位元線及延伸互補位元線的交叉點配置一個記憶體單元。圖10中僅顯示記憶體單元$MC_{0,j}$、$MC_{0,j+1}$、$MC_{1,j}$、$MC_{1,j+1}$、$MC_{2,j}$、$MC_{2,j+1}$。記憶體單元配置的位置是子字線與位元線及互補位元線的交叉點，以及子字線與延伸位元線及延伸互補位元線交叉點，記憶體單元以黑點表示，實際構造略之。舉例來說，記憶體單元的構造是一個電晶體Q與一個電容器C。

每一條位元線與每一條互補位元線在子矩陣SM1'的中間接地點處分成右與左兩部分。舉例來說，右側的位元線對$BL_{0,R}$、$BL_{0,R_}$利用成形於位元線BL上一層的上層線對ML_0、$ML_{0_}$連接到偵感放大器SA0。HU_0、$HU_{0_}$是連接上

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（23）

層線對ML_0、$ML_{0_}$與右側位元線對$BL_{0,R}$、$BL_{0,R_}$的連通孔。

其它位元線對的結構也相同。在此，利用上層接線連接到偵感放大器的位元線稱為延伸位元線EXBL，相對來說，直接連接到偵感放大器的位元線稱為正規位元線。此外，此類型的構造稱為延伸位元線系統。

位元線對以傳輸閘連接到偵感放大器。舉例來說，偵感放大器SA0以傳輸閘$TG_{0,a}$、$TG_{0,a_}$連接到位元線對$BL_{0,L}$、$BL_{0,L_}$，並進一步以傳輸閘$TG_{0,b}$、$TG_{0,b_}$連接到位元線對$BL_{0,R}$、$BL_{0,R_}$。傳輸閘$TG_{0,a}$、$TG_{0,a_}$連接到控制信號線T4，傳輸閘$TG_{0,b}$、$TG_{0,b_}$連接到控制信號線T3。以控制控制信號線T3、T4上的電壓位準來選擇連接到偵感放大器SA0的位元線對。舉例來說，如果控制信號線T3保持低位準，且控制信號線T4上保持高位準，傳輸閘$TG_{0,a}$、$TG_{0,a_}$即變成ON的狀態，同時傳輸閘$TG_{0,b}$、$TG_{0,b_}$變成OFF狀態，偵感放大器SA0與位元線對$BL_{0,L}$、$BL_{0,L_}$連接，上層接線對ML_0、$ML_{0_}$與偵感放大器SA0不連接。

其它偵感放大器的情況也相同。在圖10中，傳輸閘與偵感放大器分開配置，不過，在實際電路中，傳輸閘可安排於偵感放大器中。此外，控制信號線T1到T8控制連接到陣列控制電路AC0之傳輸閘的ON/OFF狀態，情況與圖1相同，都是以陣列控制電路AC0中的X解碼器控制。

圖11顯示在正常位元線BL與延伸位元線EXBL超驅動期間位元線電位的變化。如說明，施加於正規位元線BL

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（24）

之超驅動的脈波寬度設定為T_R，施加於延伸位元線EXBL之超驅動的脈波寬度設定為T_E。如前所述，由於延伸位元線EXBL是以上層接線連接到偵感放大器，它的負載電容大於正規位元線BL，在超驅動期間，施加於延伸位元線EXBL之超驅動脈波的寬度T_E，要設定的比施加於正規位元線BL的超驅動脈波的寬度T_R寬。此種設定的結果如圖11所示，在超驅動作業之後，正規位元線BL與延伸位元線EXBL都被充電到內部工作電壓V_{DL}，源於正規位元線與延伸位元線間負載電容之差異所造成偵感速率的變異將可避免。

在圖11中，虛線是正規位元線BL與延伸位元線EXBL間超驅動時間未做調整的情況，正規位元線BL之電位變化的波形，且超驅動的時間是按延伸位元線EXBL所設定。

當以傳統的超驅動控制法施加於上述層狀位元線結構時，需要如圖3所示的超驅動脈波產生電路，以使同一偵感放大器排所用的超驅動脈波具有兩種設定，其中之一用於正規位元線，另一種用於延伸位元線。關於此的詳細電路結構在此並未明白顯示，但與圖3所示用於兩毗鄰偵感放大器排的超驅動脈波的寬度關係相同，業內人士或許清楚，只要它的構造能產生用於正規位元線的超驅動脈波與用於延伸位元線具有較寬之脈波寬度的超驅動脈波即可接受。

換言之，如圖3所示用於每一條偵感放大器排間的超

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（25）

驅動脈波寬度可以改變，用於同一偵感放大器排的正規位元線與延伸位元線間的超驅動脈波寬度也可改變。

如以上解釋，在本發明的半導體記憶體元件中，由於超驅動的時間是受記憶體單元矩陣與電源供應器電壓供應線間的接線長度所控制，因此源於接線電壓降所產生的偵感延遲可獲得補償，每一條位元線都可被超驅動驅動到最佳電壓，且可防止近端產生的超驅動過量。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線

經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

A5
B5

四、中文發明摘要（發明之名稱：半導體記憶體元件）

反應偵感放大器與電源供應器電壓供應節點間的接線長度控制偵感放大器的超驅動時間，並藉避免位元線的過量超驅動以減少電力消耗。

供應電源供應器電壓給每一偵感放大器排的時間，是受到供應驅動電源給偵感放大器的供應節點CT0、CT1、CT2與每一偵感放大器排SB0到SB16間接線長度的控制，且供應超驅動電壓給近端偵感放大器排SB0的供應時間設定的最短，供應超驅動電壓的時間，隨著偵感放大器排距離漸遠持續加長，如此，源自供應節點與偵感放大器排間接線上電壓降所產生的偵感延遲可獲得補償，無論遠端或近端的位元線都可獲得相同的超驅動，如此可避免近端偵感放大器排(記憶體單元矩陣)的超驅動過剩，同時也可節省電力消耗。

英文發明摘要（發明之名稱：Semiconductor Memory Device）

Controlling the timing for the overdrive of the sense amplifiers in response to the wiring length between the sense amplifiers and the voltage supply nodes, and designing a reduction of the power consumption by preventing excessive overdrive of the bit lines.

The supply timing for the power supply voltage to each the sense amplifier bank is controlled according to the wiring length between the supply nodes CT0, CT1, CT2 for the power supply used for the driving of the sense amplifiers and each the sense amplifier bank SB0 to SB16, and since the supply time for the overdrive voltage to the sense amplifier bank SB0 at the near end is set short and the supply time for the overdrive voltage is set successively longer as it goes towards the far end, the sensing delay that originates in the voltage drop that is generated in the wiring between the supply nodes and the sense amplifier banks is compensated for, uniformity of the overdrive for the bit lines at both the far and near ends can be achieved, the excessive overdrive at the sense amplifier bank(memory cell mat)at the near end can be avoid, and by extension, a reduction of the power consumption can be realized.

（請先閱讀背面之注意事項再填寫本頁各欄）

裝 訂 線

經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

六、申請專利範圍

1. 一種半導體記憶體元件，包括：

第一、第二、與第三電壓供應節點以提供第一電壓、高於第一電壓的第二電壓與高於第二電壓的第三電壓，

記憶體單元陣列，記憶體單元配置於字線與位元線對的交叉點，它保持對應於第一電壓與第二電壓的電荷做為資料；

連接到位元線對的偵感放大器排，其內的偵感放大器在讀取儲存於記憶體單元之資料的第一周期期間，反應第一電壓與第三電壓而動作，在第二周期期間，反應第一電壓與第二電壓而動作，

第一、第二、與第三接線分別供應第一電壓、第二電壓、與第三電壓給偵感放大器排，以及

偵感放大器驅動控制裝置，它反應上述電壓供應節點與上述偵感放大器排間之上述接線的接線長度調整上述第一與第二周期的長度。

2. 根據申請專利範圍第1項的半導體記憶體元件，其中上述的偵感放大器驅動控制裝置根據第一接線長度的長度控制第一周期的長度。

3. 根據申請專利範圍第1或第2項的半導體記憶體元件，其中的偵感放大器驅動控制裝置包括脈波信號產生電路，用以產生寬度對應於接線長度的驅動脈波信號，並驅動控制第一周期的長度。

4. 根據申請專利範圍第3項的半導體記憶體元件，進一步

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

六、申請專利範圍

包括施加既定延遲時間給參考脈波信號的延遲電路，以及根據輸入的參考脈波信號與延遲電路輸出的信號產生驅動脈波信號的計算電路。

5. 根據申請專利範圍第4項的半導體記憶體元件，其中延遲信號所設定的延遲時間對應於接線長度。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

M111654

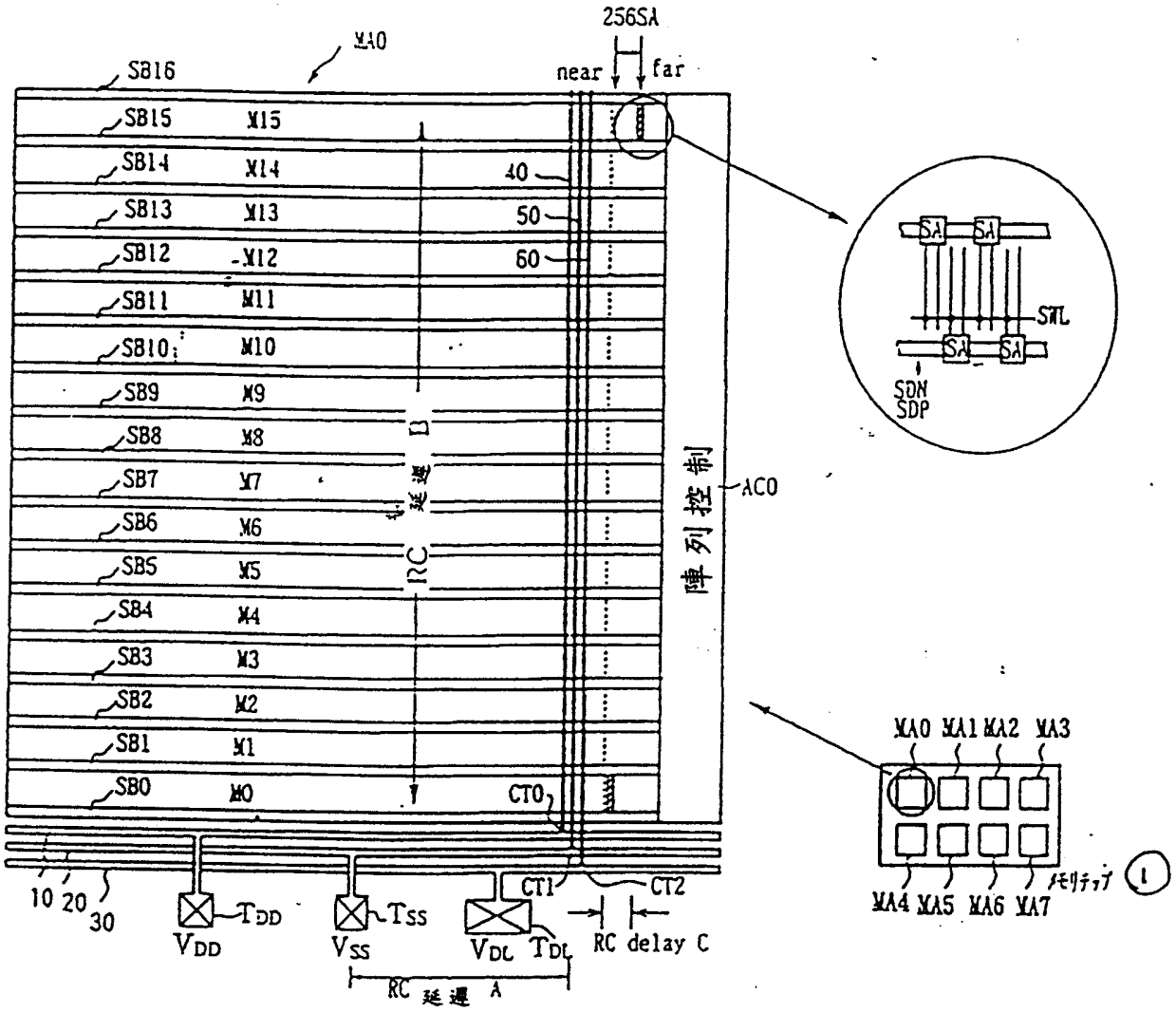

256SA
near
far
MA0
SB16
SB15
M15
SB14
M14
SB13
M13
SB12
M12
SB11
M11
SB10
M10
SB9
M9
SB8
M8
SB7
M7
SB6
M6
SB5
M5
SB4
M4
SB3
M3
SB2
M2
SB1
M1
SB0
M0
40
50
60
CT0
CT1
CT2
RC 延遲 B
RC
陣列控制
ACO
SA
SWL
SDN
SDP
MA0 MA1 MA2 MA3
MA4 MA5 MA6 MA7
メモリチップ
1
10 20 30
VDD
TDD
VSS
TSS
VDL
TDL
RC delay C
RC 延遲 A

圖 1

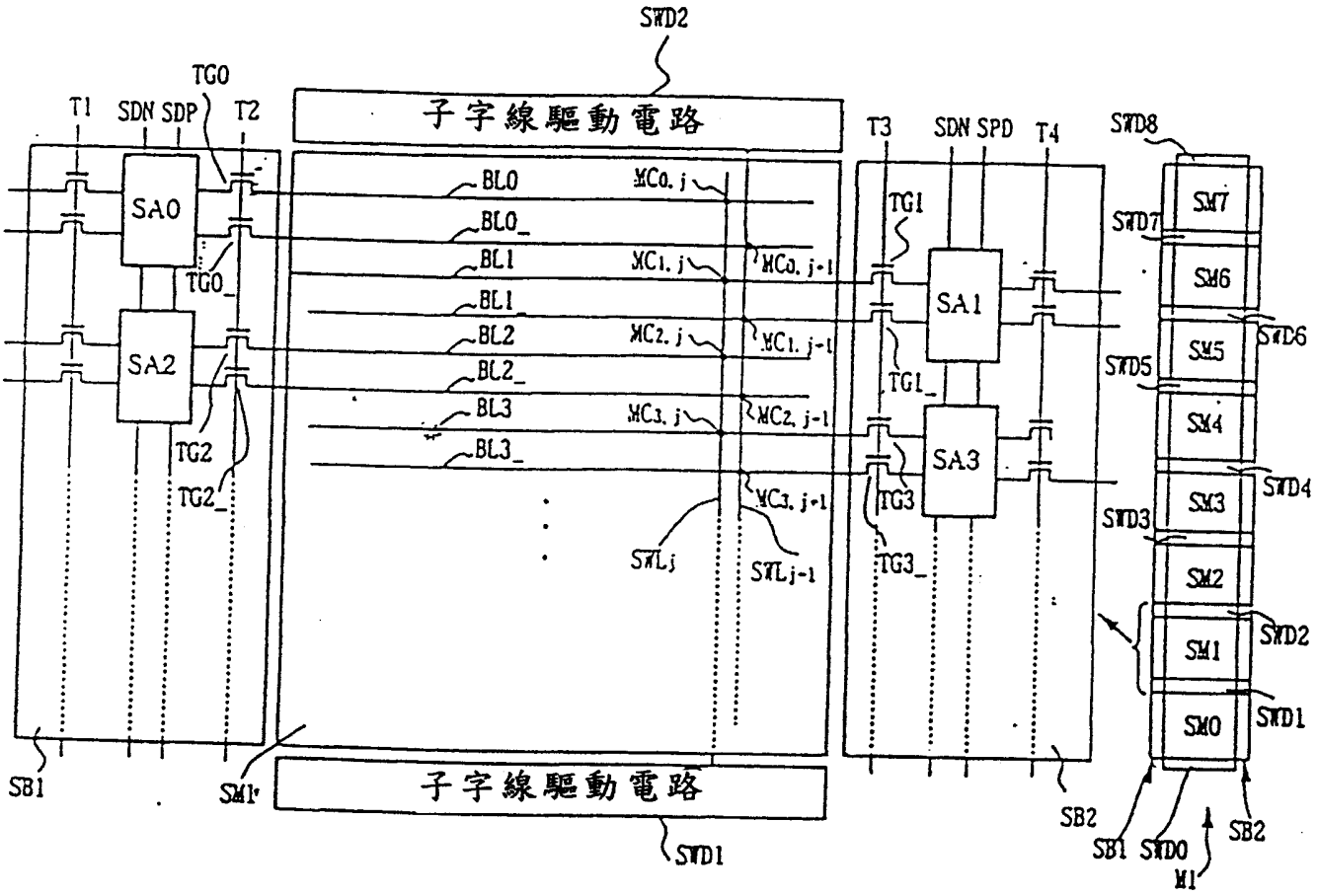
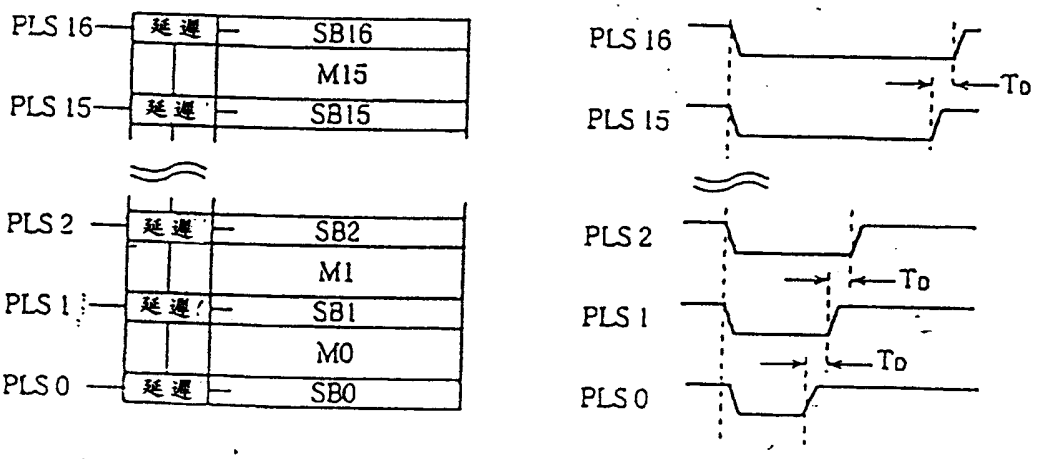

SWD2
子字線驅動電路
T1
SDN SDP
TG0
T2
T3
SDN SPD
T4
SWD8
SA0
SA1
SA2
SA3
BL0
BL0_
BL1
BL1_
BL2
BL2_
BL3
BL3_
MC0, j
MC1, j
MC2, j
MC3, j
MC0, j-1
MC1, j-1
MC2, j-1
MC3, j-1
TG0_
TG1
TG1_
TG2
TG2_
TG3
TG3_
SWLj
SWLj-1
SM7
SM6
SM5
SM4
SM3
SM2
SM1
SM0
SWD7
SWD6
SWD5
SWD4
SWD3
SWD2
SWD1
SWD0
SB1
SB2
M1
子字線驅動電路
SWD1

圖 2

圖 3a


PLS 16
延遲
SB16
M15
PLS 15
延遲
SB15
PLS 2
延遲
SB2
M1
PLS 1
延遲
SB1
M0
PLS 0
延遲
SB0
PLS 16
PLS 15
TD
PLS 2
PLS 1
TD
PLS 0
TD

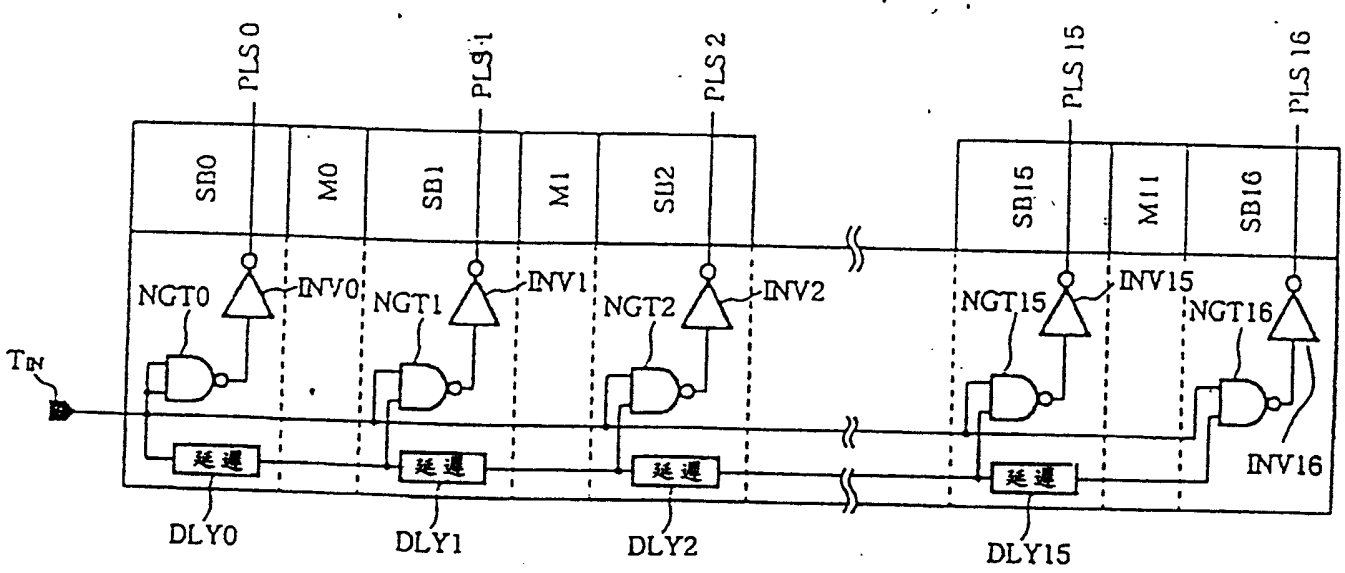

PLS 0
PLS 1
PLS 2
PLS 15
PLS 16
SB0
M0
SB1
M1
SB2
SB15
M11
SB16
NGT0
INV0
NGT1
INV1
NGT2
INV2
NGT15
INV15
NGT16
INV16
TIN
延遲
DLY0
DLY1
DLY2
DLY15

圖 3b

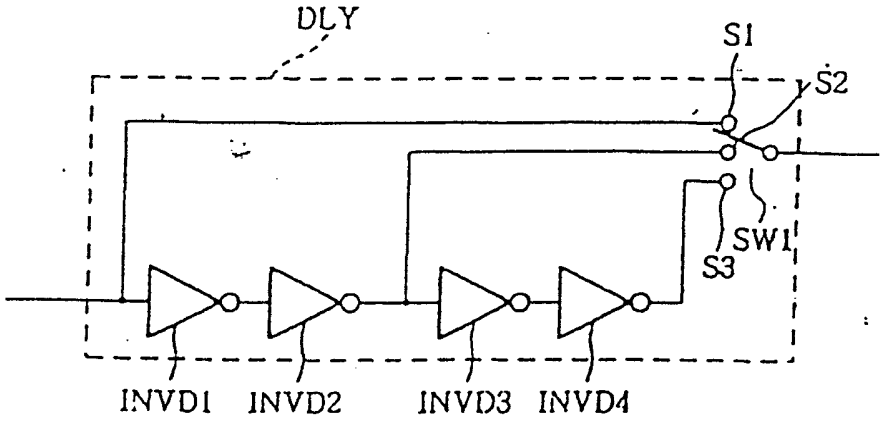


圖 4

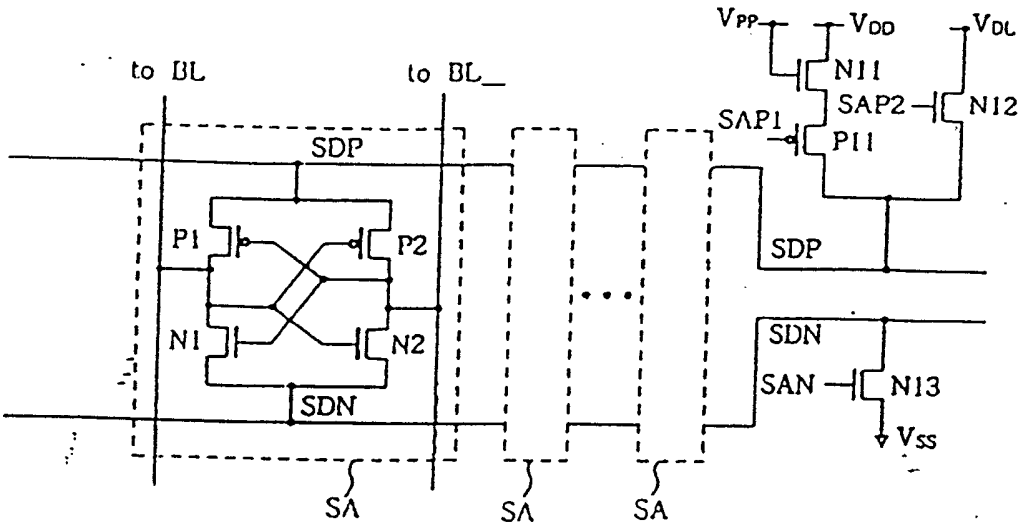

VPP
VDD
VDL
N11
SAP2
N12
SAP1
P11
to BL
to BL_
SDP
P1
P2
N1
N2
SDN
SDP
SDN
SAN
N13
VSS
SA
SA
SA

圖 5a

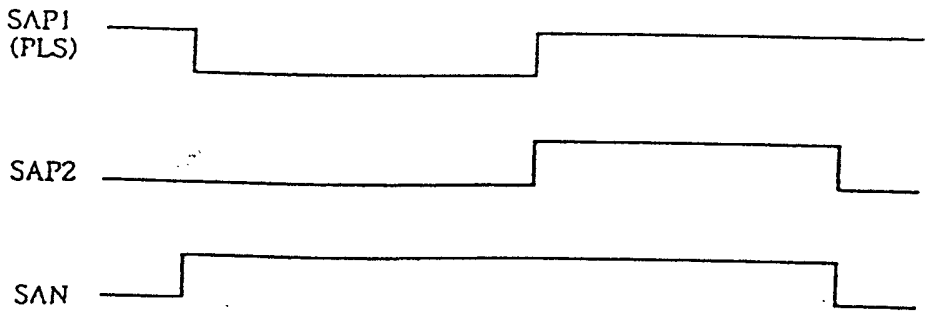

SAP1
(PLS)
SAP2
SAN

圖 5b

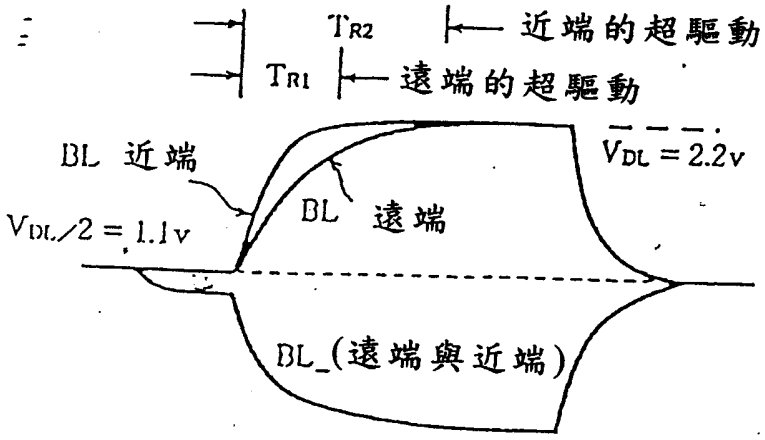


圖 6

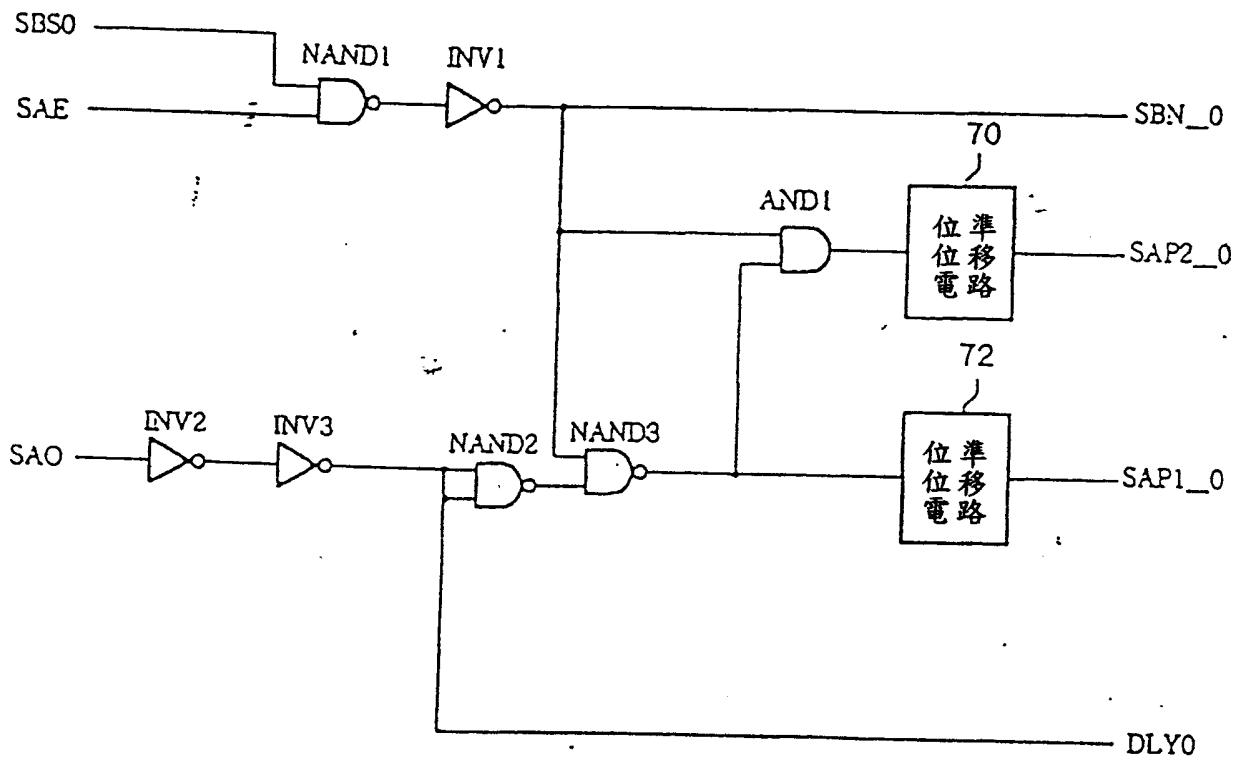

SBS0
SAE
NAND1
INV1
SBN_0
70
AND1
位準移位電路
SAP2_0
72
INV2
INV3
SAO
NAND2
NAND3
位準移位電路
SAP1_0
DLY0

圖 7

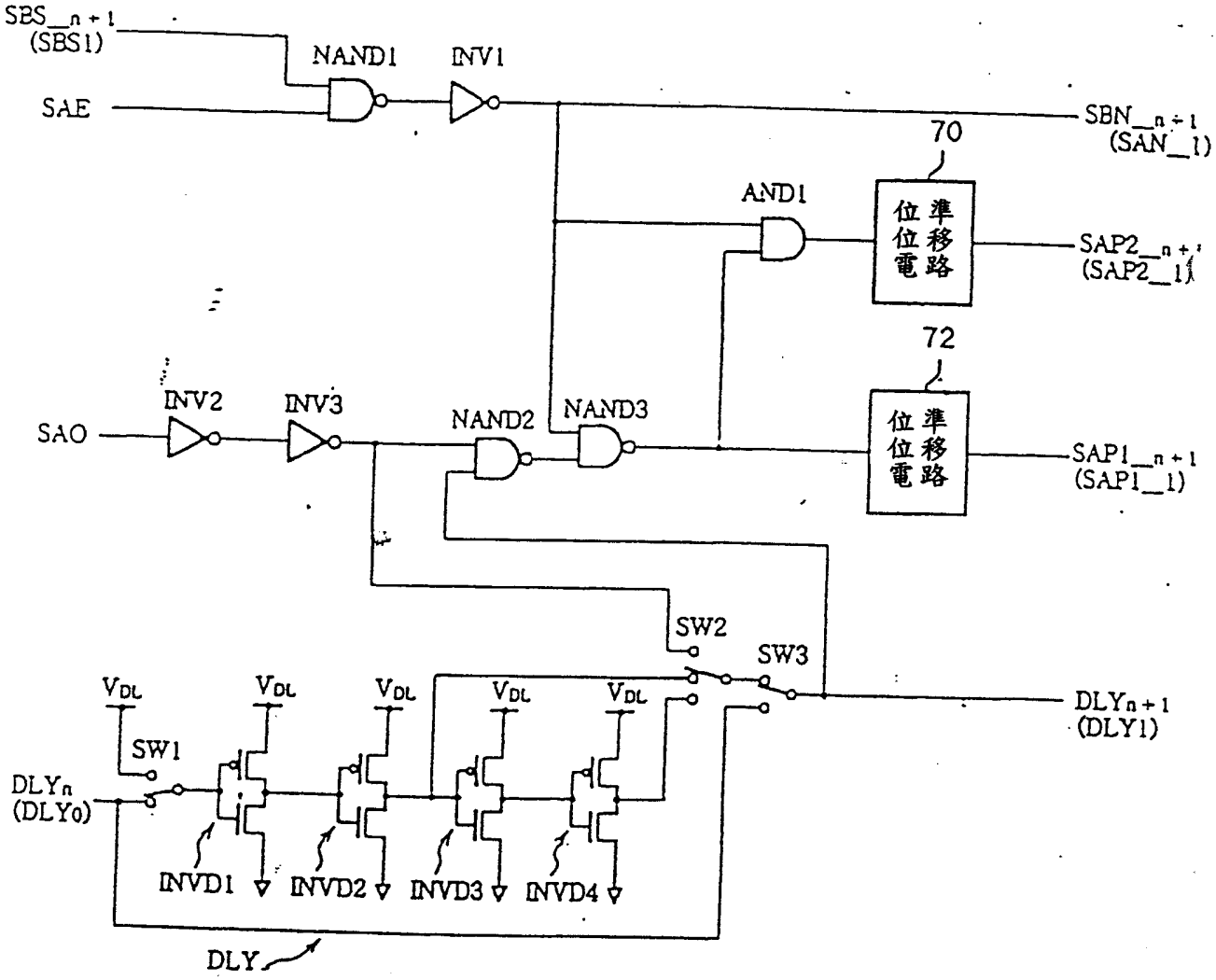

SBS_n+1
(SBS1)
NAND1
INV1
SAE
SBN_n+1
(SAN_1)
70
AND1
位準移位電路
SAP2_n+1
(SAP2_1)
72
INV2
INV3
SAO
NAND2
NAND3
位準移位電路
SAP1_n+1
(SAP1_1)
SW2
SW3
VDL
VDL
VDL
VDL
VDL
DLYn+1
(DLY1)
SW1
DLYn
(DLY0)
INVD1
INVD2
INVD3
INVD4
DLY

圖 8

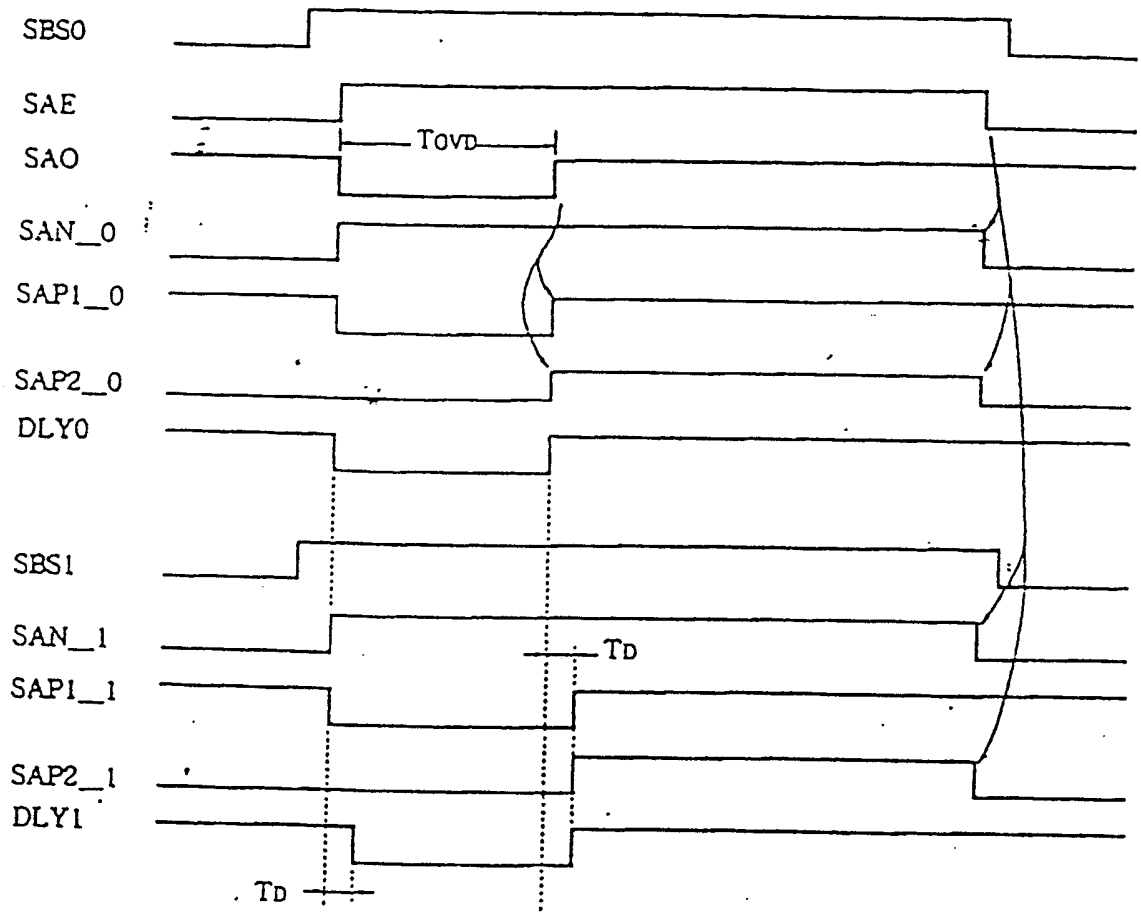

SBS0
SAE
SAO
TOVD
SAN_0
SAP1_0
SAP2_0
DLY0
SBS1
SAN_1
TD
SAP1_1
SAP2_1
DLY1
TD

圖 9

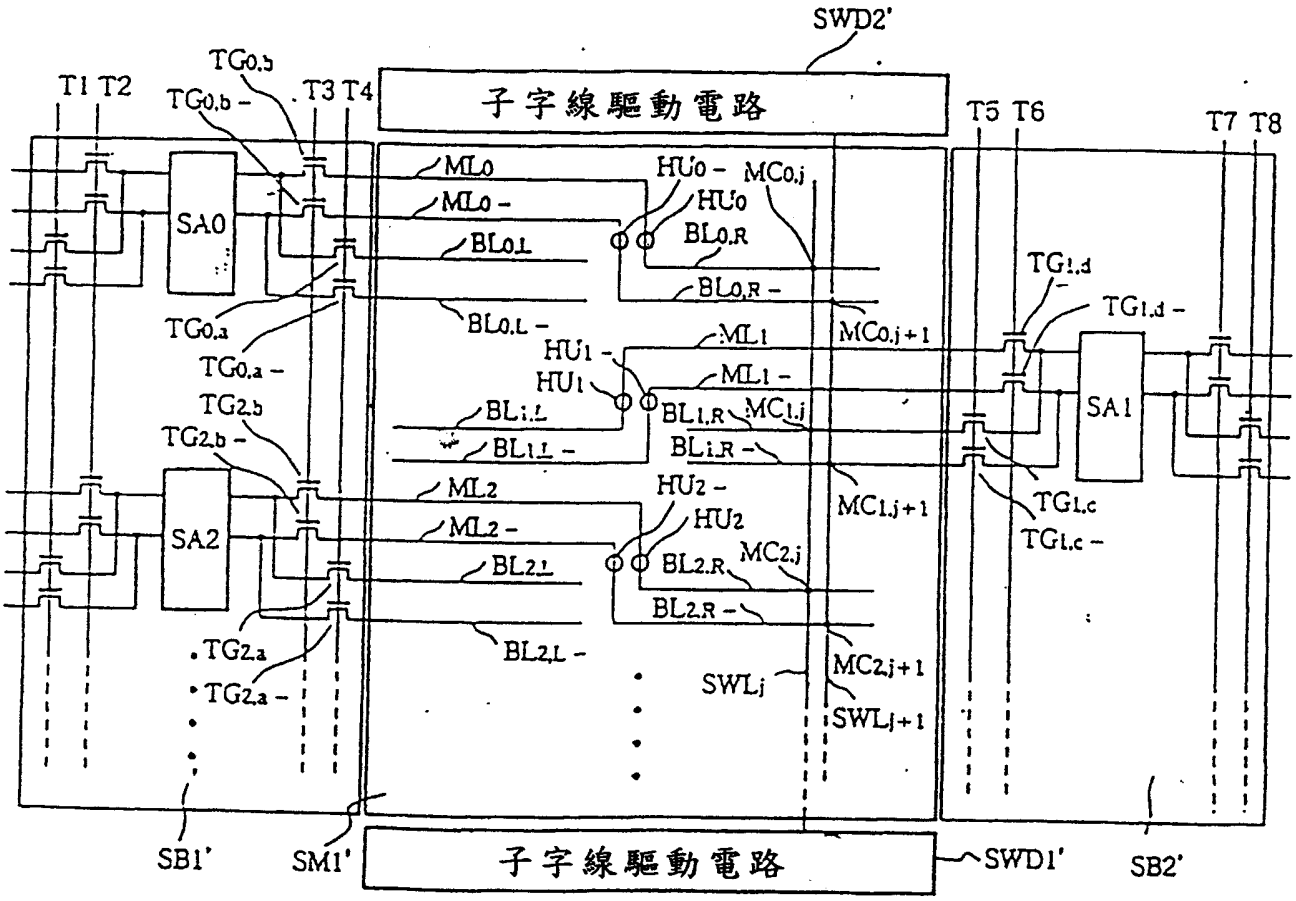

SWD2'
子字線驅動電路
T1 T2
TG0.b
TG0.b –
T3 T4
T5 T6
T7 T8
SA0
SA1
SA2
ML0
ML0 –
BL0.L
BL0.L –
HU0 –
HU0
MC0.j
BL0.R
BL0.R –
MC0.j+1
TG0.a
TG0.a –
TG1.d
TG1.d –
HU1 –
HU1
ML1
ML1 –
BL1.L
BL1.L –
BL1.R
BL1.R –
MC1.j
MC1.j+1
TG2.b
TG2.b –
TG1.c
TG1.c –
ML2
ML2 –
HU2 –
HU2
BL2.L
BL2.R
BL2.R –
MC2.j
BL2.L –
TG2.a
TG2.a –
SWLj
MC2.j+1
SWLj+1
SB1'
SM1'
子字線驅動電路
SWD1'
SB2'

圖 10

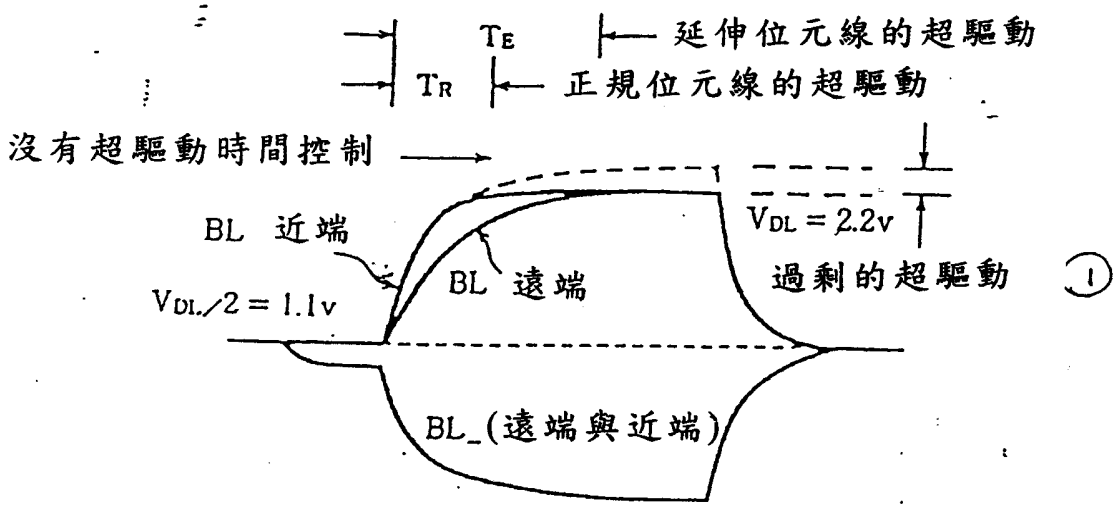

TE
延伸位元線的超驅動
TR
正規位元線的超驅動
沒有超驅動時間控制
BL 近端
BL 遠端
VDL/2 = 1.1v
VDL = 2.2v
過剩的超驅動
①
BL_(遠端與近端)

圖 11

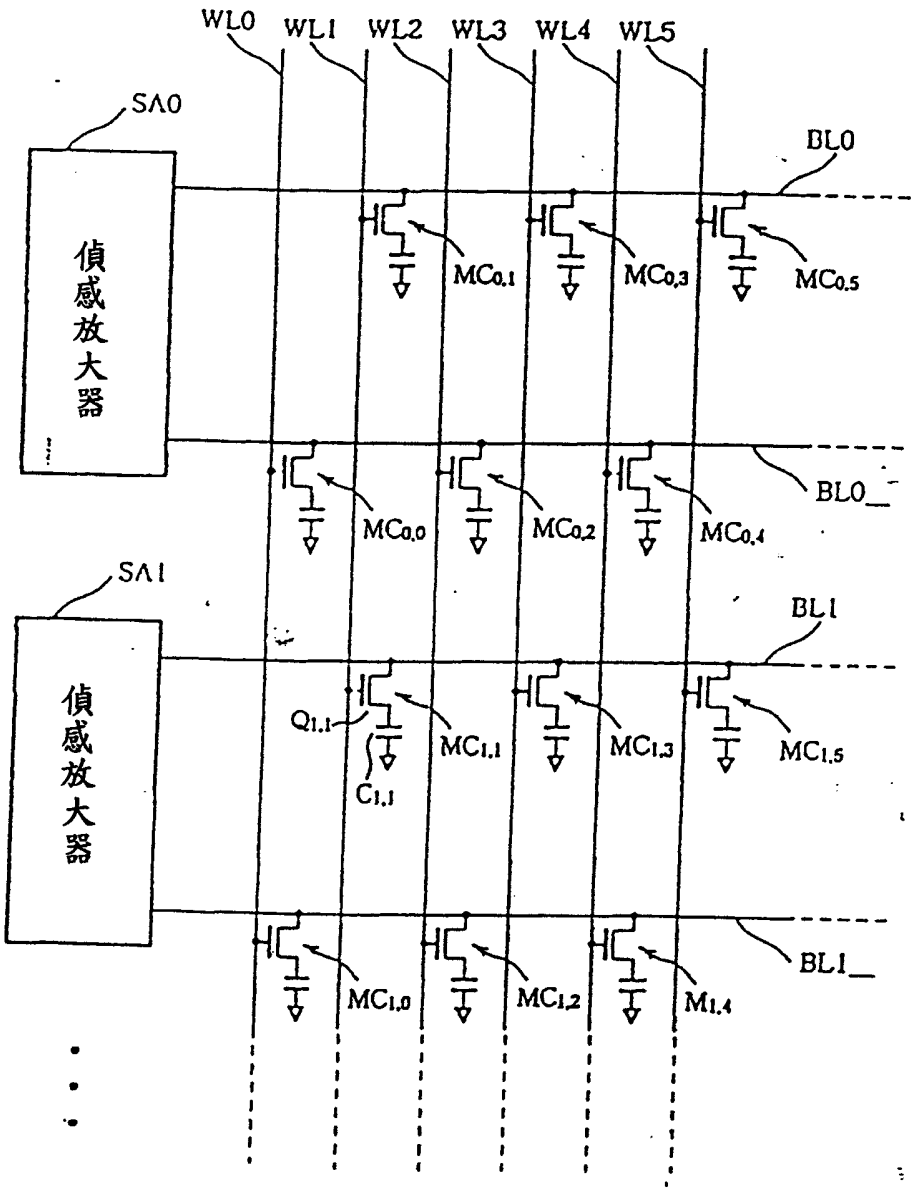

WL0
WL1
WL2
WL3
WL4
WL5
SA0
偵感放大器
BL0
MC0,1
MC0,3
MC0,5
BL0_
MC0,0
MC0,2
MC0,4
SA1
偵感放大器
BL1
Q1,1
C1,1
MC1,1
MC1,3
MC1,5
BL1_
MC1,0
MC1,2
M1,4

圖 12

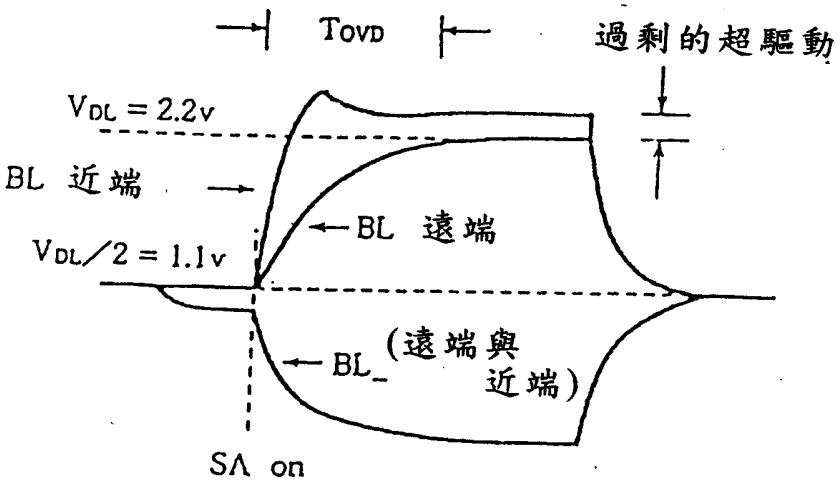


圖 13