

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-105277

(P2012-105277A)

(43) 公開日 平成24年5月31日(2012.5.31)

(51) Int.Cl.

H03K 19/0185 (2006.01)

F I

H03K 19/00 I O I D

テーマコード (参考)

5 J O 5 6

審査請求 未請求 請求項の数 23 O L (全 34 頁)

(21) 出願番号 特願2011-247518 (P2011-247518)
 (22) 出願日 平成23年11月11日 (2011.11.11)
 (31) 優先権主張番号 61/412, 952
 (32) 優先日 平成22年11月12日 (2010.11.12)
 (33) 優先権主張国 米国 (US)
 (31) 優先権主張番号 10-2011-0005020
 (32) 優先日 平成23年1月18日 (2011.1.18)
 (33) 優先権主張国 韓国 (KR)

(71) 出願人 390019839
 三星電子株式会社
 Samsung Electronics
 Co., Ltd.
 大韓民国京畿道水原市靈通区梅灘洞416
 416, Maetan-dong, Yeongtong-gu, Suwon-si,
 Gyeonggi-do, Republic of Korea
 (74) 代理人 100089037
 弁理士 渡邊 隆
 (74) 代理人 100110364
 弁理士 実広 信哉

最終頁に続く

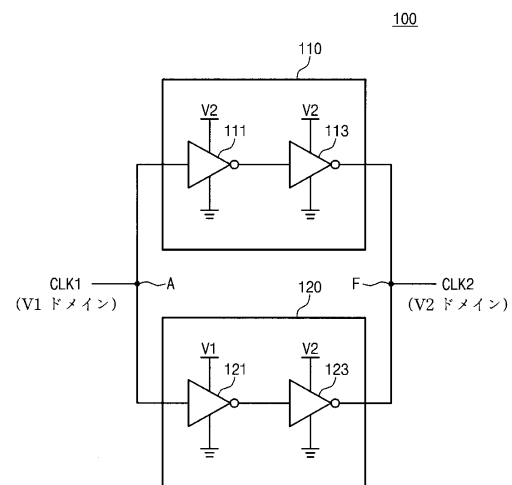
(54) 【発明の名称】 レベル変換器、それを含むシステムオンチップ、及びそれを含むマルチメディア装置

(57) 【要約】

【課題】 向上された信頼性を有するレベル変換器、それを含むシステムオンチップ、及びそれを含むマルチメディア装置が提供される。

【解決手段】 本発明のレベル変換器は、入力ノードを通じて受信される第1電圧ドメインの入力クロックに応じて第2電圧ドメインの出力クロックを発生する第1及び第2電圧変換回路を含み、第1及び第2電圧変換回路は同一の構造を有し、入力ノード及び出力ノードの間に並列に連結される。

【選択図】 図1



【特許請求の範囲】**【請求項 1】**

入力ノードと、

前記入力ノードを通じて受信される第 1 電圧ドメインの入力クロックに応じて第 2 電圧ドメインの出力クロックを発生するように構成される第 1 及び第 2 電圧変換回路と、

前記出力クロックを出力する出力ノードと、を含み、

前記第 1 及び第 2 電圧変換回路は同一な構造を有し、前記入力ノード及び出力ノードの間に並列に連結されるレベル変換器。

【請求項 2】

前記第 1 電圧変換回路は前記第 2 電圧ドメインで動作する少なくとも 2 つのインバータを含む請求項 1 に記載のレベル変換器。

10

【請求項 3】

前記第 2 電圧変換回路は前記第 1 電圧ドメインで動作する少なくとも 1 つのインバータと前記第 2 電圧ドメインで動作する少なくとも 1 つのインバータとを含む請求項 1 に記載のレベル変換器。

【請求項 4】

前記第 2 電圧ドメインで動作する少なくとも 1 つのインバータは前記第 1 電圧ドメインで動作する少なくとも 1 つのインバータの出力を受信するように構成される請求項 3 に記載のレベル変換器。

【請求項 5】

前記第 1 電圧変換回路は前記入力ノードの電圧にしたがって第 2 電圧又は接地電圧を出力する第 1 インバータ及び前記第 1 インバータの出力にしたがって前記第 2 電圧又は接地電圧を出力ノードに出力する第 2 インバータを含み、

20

前記第 2 電圧変換回路は前記入力ノードの電圧にしたがって前記第 1 電圧又は接地電圧を出力する第 3 インバータ及び前記第 3 インバータの出力にしたがって前記第 2 電圧又は接地電圧を前記出力ノードに出力する第 4 インバータを含む請求項 1 に記載のレベル変換器。

【請求項 6】

前記第 1 乃至第 4 インバータは C M O S インバータである請求項 1 に記載のレベル変換器。

30

【請求項 7】

第 1 電圧ドメインの第 1 クロックを発生するように構成される位相ロックループと、

前記第 1 クロックに応じて動作する周辺ブロック、オーディオブロック、ディスプレイブロック、グラフィックブロック、イメージプロセッシングブロック、及びコーデックブロックと、

前記第 1 クロックに基づいて、第 2 電圧ドメインの第 2 クロックを発生するレベル変換器と、

前記第 2 クロックに応じて動作するプロセッサと、を含み、

前記レベル変換器は入力ノード及び出力ノードの間に並列に連結され、同一な構造を有する第 1 及び第 2 電圧変換回路と、を含むシステムオンチップ (S O C 、 S y s t e m - O n - C h i p) 。

40

【請求項 8】

前記第 1 電圧変換回路は前記第 2 電圧ドメインで動作し、直列に連結された第 1 及び第 2 インバータを含み、

前記第 2 電圧変換回路は前記第 1 電圧ドメインで動作する第 3 インバータ、及び前記第 2 電圧ドメインで前記第 3 インバータの出力に応じて動作する第 4 インバータを含む請求項 7 に記載のシステムオンチップ。

【請求項 9】

前記第 2 電圧ドメインの電圧レベルは前記第 1 電圧ドメインの電圧レベルより高い請求項 7 に記載のシステムオンチップ。

50

【請求項 10】

プロセッサと、
前記プロセッサの動作メモリーと、
前記プロセッサの制御にしたがって外部と通信するように構成されるモデムと、
前記プロセッサの制御にしたがってデータを格納するように構成される格納部と、
外部の信号を感知して前記プロセッサに伝達するように構成される使用者インターフェイスと、
前記プロセッサの制御にしたがって、ディスプレイ部を通じて映像を表示するように構成されるディスプレイ制御部と、
前記プロセッサの制御にしたがって、スピーカーを通じて音を出力するように構成されるサウンド制御部と、
前記プロセッサの制御にしたがってエンコーディング及びデコーディングを遂行するコーデック部と、
発振器の出力にしたがってクロックを発生するように構成されるクロック発生部と、
前記クロックに同期される第1電圧ドメインの第1クロックを発生する位相ロックループと、
前記第1クロックに応じて第2電圧ドメインの第2クロックを発生するように構成されるレベル変換器と、を含み、
前記プロセッサは前記第2クロックに応じて動作し、
前記レベル変換器は入力ノード及び出力ノードの間に並列に連結され、同一な構造を有する第1及び第2電圧変換回路を含むマルチメディア装置。

10

20

【請求項 11】

前記レベル変換器は、
前記入力ノードの電圧にしたがって前記第2電圧ドメインの第2電圧又は接地電圧を出力する第1インバータと、
前記第1インバータの出力にしたがって前記第2電圧又は接地電圧を出力ノードに出力する第2インバータと、
前記入力ノードの電圧にしたがって前記第1電圧ドメインの第1電圧又は接地電圧を出力する第3インバータと、
前記第3インバータの出力にしたがって前記第2電圧又は接地電圧を前記出力ノードに出力する第4インバータと、を含む請求項10に記載のマルチメディア装置。

30

【請求項 12】

前記プロセッサ、動作メモリー、ディスプレイ制御部、サウンド制御部、コーデック部、及び位相ロックループはシステムオンチップを構成し、
前記動作メモリー、ディスプレイ制御部、サウンド制御部、及びコーデック部は前記第1クロックに応じて動作する請求項10に記載のマルチメディア装置。

【請求項 13】

前記プロセッサの制御にしたがって、カメラから獲得されるイメージデータを処理するように構成されるイメージプロセッシング部をさらに含む請求項10に記載のマルチメディア装置。

40

【請求項 14】

前記プロセッサ、ディスプレイ制御部、サウンド制御部、イメージプロセッシング部、動作メモリー、コーデック部、及び位相ロックループはシステムオンチップを構成し、
前記ディスプレイ制御部、サウンド制御部、イメージプロセッシング部、動作メモリー、及びコーデック部は前記第1クロックに応じて動作する請求項13に記載のマルチメディア装置。

【請求項 15】

前記プロセッサ、ディスプレイ制御部、サウンド制御部、モデム、イメージプロセッシング部、動作メモリー、コーデック部、及び位相ロックループはシステムオンチップに含まれ、

50

前記ディスプレイ制御部、サウンド制御部、モデム、イメージプロセッシング部、動作メモリー、及びコーデック部は前記第 1 クロックに応じて動作する請求項 1 3 に記載のマルチメディア装置。

【請求項 1 6】

前記プロセッサ、ディスプレイ制御部、サウンド制御部、動作メモリー、コーデック部、及び位相ロックループはシステムオンチップに含まれ、

前記ディスプレイ制御部、サウンド制御部、動作メモリー、及びコーデック部は前記第 1 クロックに応じて動作する請求項 1 3 に記載のマルチメディア装置。

【請求項 1 7】

前記プロセッサ、ディスプレイ制御部、サウンド制御部、動作メモリー、及び位相ロックループはシステムオンチップに含まれ、

前記ディスプレイ制御部、サウンド制御部、及び動作メモリーは前記第 1 クロックに応じて動作する請求項 1 3 に記載のマルチメディア装置。

【請求項 1 8】

前記プロセッサ、ディスプレイ制御部、動作メモリー、及び位相ロックループはシステムオンチップに含まれ、

前記ディスプレイ制御部、及び動作メモリーは前記第 1 クロックに応じて動作する請求項 1 3 に記載のマルチメディア装置。

【請求項 1 9】

前記プロセッサ、動作メモリー、及び位相ロックループはシステムオンチップに含まれ、

前記動作メモリーは前記第 1 クロックに応じて動作する請求項 1 3 に記載のマルチメディア装置。

【請求項 2 0】

前記プロセッサ、サウンド制御部、動作メモリー、及び位相ロックループはシステムオンチップに含まれ、

前記サウンド制御部及び動作メモリーは前記第 1 クロックに応じて動作する請求項 1 3 に記載のマルチメディア装置。

【請求項 2 1】

前記プロセッサ、動作メモリー、モデム、格納部、使用者インターフェイス、ディスプレイ制御部、ディスプレイ部、サウンド制御部、スピーカー、発振器、クロック発生部、カメラ、イメージプロセッシング部、コーデック部、及び位相ロックループはモバイル装置に含まれる請求項 1 0 に記載のマルチメディア装置。

【請求項 2 2】

前記プロセッサ、動作メモリー、モデム、格納部、使用者インターフェイス、ディスプレイ制御部、ディスプレイ部、サウンド制御部、スピーカー、発振器、クロック発生部、カメラ、イメージプロセッシング部、コーデック部、及び位相ロックループはスマートテレビ (Smart Television) に含まれる請求項 1 0 に記載のマルチメディア装置。

【請求項 2 3】

第 1 電圧変換回路と、

入力ノードと出力ノードとの間に前記第 1 電圧変換回路と並列に連結される第 2 電圧変換回路と、を含み、

前記入力ノードに入力される第 1 電圧ドメインの第 1 クロックに応じて前記出力ノードから第 2 電圧ドメインの第 2 クロックが出力され、

前記第 1 クロックの立ち上がりエッジ及び前記第 2 クロックの立ち上がりエッジの間の遅延時間は前記第 1 クロックの立ち下がりエッジ及び前記第 2 クロックの立ち下がりエッジ間の遅延時間と同一であるレベル変換器。

【発明の詳細な説明】

【技術分野】

10

20

30

40

50

【 0 0 0 1 】

本発明は電子回路に、より詳細にはレベル変換器、それを含むシステムオンチップ、及びそれを含むマルチメディア装置に関する。

【 背景技術 】

【 0 0 0 2 】

レベル変換器 (l e v e l s h i f t e r) は第 1 電圧ドメインの信号を受信し、第 1 電圧と異なる第 2 電圧ドメインの信号を出力する素子である。互いに異なる電圧を使用する複数の電圧ドメインの間でレベル変換器が使用される。

【 0 0 0 3 】

システムオンチップ (S O C 、 S y s t e m - O n - C h i p) は複数の I P (I n t e l l e c t u a l P r o p e r t y) 及びプロセッサを含む。プロセッサは I P より速い動作速度を有する。プロセッサの動作性能を向上させるために、プロセッサへ供給されるクロックの電圧レベルは I P へ供給されるクロックの電圧レベルより高く設定され得る。プロセッサへ供給されるクロックの電圧レベルを上昇させるために、システムオンチップ (S O C) でレベル変換器が使用され得る。

【 先行技術文献 】

【 特許文献 】

【 0 0 0 4 】

【 特許文献 1 】 韓国特許公開第 1 0 - 2 0 0 6 - 0 1 1 9 6 6 7 号公報

【 発明の概要 】

【 発明が解決しようとする課題 】

【 0 0 0 5 】

本発明の目的は向上された信頼性を有するレベル変換器、それを含むシステムオンチップ、及びそれを含むマルチメディア装置を提供することにある。

【 課題を解決するための手段 】

【 0 0 0 6 】

本発明の実施形態によるレベル変換器は、入力ノードと、前記入力ノードを通じて受信される第 1 電圧ドメインの入力クロックに応じて第 2 電圧ドメインの出力クロックを発生するように構成される第 1 及び第 2 電圧変換回路と、及び前記出力クロックを出力する出力ノードと、を含み、前記第 1 及び第 2 電圧変換回路は同一な構造を有し、前記入力ノード及び出力ノードの間に並列に連結される。

【 0 0 0 7 】

実施形態として、前記第 1 電圧変換回路は前記第 2 電圧ドメインで動作する少なくとも 2 つのインバータを含む。

【 0 0 0 8 】

実施形態として、前記第 2 電圧変換回路は前記第 1 電圧ドメインで動作する少なくとも 1 つのインバータと前記第 2 電圧ドメインで動作する少なくとも 1 つのインバータを含む。

【 0 0 0 9 】

実施形態として、前記第 2 電圧ドメインで動作する少なくとも 1 つのインバータは前記第 1 電圧ドメインで動作する少なくとも 1 つのインバータの出力を受信するように構成される。

【 0 0 1 0 】

実施形態として、前記第 1 電圧変換回路は前記入力ノードの電圧にしたがって第 2 電圧又は接地電圧を出力する第 1 インバータ及び前記第 1 インバータの出力にしたがって前記第 2 電圧又は接地電圧を出力ノードに出力する第 2 インバータを含み、前記第 2 電圧変換回路は前記入力ノードの電圧にしたがって前記第 1 電圧又は接地電圧を出力する第 3 インバータ及び前記第 3 インバータの出力にしたがって前記第 2 電圧又は接地電圧を前記出力ノードに出力する第 4 インバータを含む。

【 0 0 1 1 】

10

20

30

40

50

実施形態として、前記第 1 乃至第 4 インバータは C M O S インバータである。

【 0 0 1 2 】

本発明の実施形態によるシステムオンチップは、第 1 電圧ドメインの第 1 クロックを発生するように構成される位相ロックループ (P L L) と、前記第 1 クロックに応じて動作する周辺ブロック、オーディオブロック、ディスプレイブロック、グラフィックブロック、イメージプロセッシングブロック、及びコーデックブロックと、前記第 1 クロックに基づいて、第 2 電圧ドメインの第 2 クロックを発生するレベル変換器と、前記第 2 クロックに応じて動作するプロセッサを含み、前記レベル変換器は入力ノード及び出力ノードの間に並列に連結され、同一な構造を有する第 1 及び第 2 電圧変換回路を含む。

【 0 0 1 3 】

実施形態として、前記第 1 電圧変換回路は前記第 2 電圧ドメインで動作し、直列に連結された第 1 及び第 2 インバータを含み、前記第 2 電圧変換回路は前記第 1 電圧ドメインで動作する第 3 インバータ、及び前記第 2 電圧ドメインで前記第 3 インバータの出力に応じて動作する第 4 インバータを含む。

【 0 0 1 4 】

実施形態として、前記第 2 電圧ドメインの電圧レベルは前記第 1 電圧ドメインの電圧レベルより高い。

【 0 0 1 5 】

本発明の実施形態によるマルチメディア装置は、プロセッサと、前記プロセッサの動作メモリと、前記プロセッサの制御にしたがって外部と通信するように構成されるモデムと、前記プロセッサの制御にしたがってデータを格納するように構成される格納部と、外部の信号を感知して前記プロセッサに伝達するように構成される使用者インターフェイス (U s e r I n t e r f a c e) と、前記プロセッサの制御にしたがって、ディスプレイ部を通じて映像を表示するように構成されるディスプレイ制御部と、前記プロセッサの制御にしたがって、スピーカーを通じて音を出力するように構成されるサウンド制御部と、前記プロセッサの制御にしたがってエンコーディング及びデコーディングを遂行するコーデック部と、発振器の出力にしたがってクロックを発生するように構成されるクロック発生部と、前記クロックに同期される第 1 電圧ドメインの第 1 クロックを発生する位相ロックループと、及び前記第 1 クロックに応じて第 2 電圧ドメインの第 2 クロックを発生するように構成されるレベル変換器と、を含み、前記プロセッサは前記第 2 クロックに応じて動作し、前記レベル変換器は入力ノード及び出力ノードの間に並列に連結され、同一な構造を有する第 1 及び第 2 電圧変換回路を含む。

【 0 0 1 6 】

実施形態として、前記入力ノードの電圧にしたがって前記第 2 電圧ドメインの第 2 電圧又は接地電圧を出力する第 1 インバータと、前記第 1 インバータの出力にしたがって前記第 2 電圧又は接地電圧を出力ノードに出力する第 2 インバータと、前記入力ノードの電圧にしたがって前記第 1 電圧ドメインの第 1 電圧又は接地電圧を出力する第 3 インバータと、及び前記第 3 インバータの出力にしたがって前記第 2 電圧又は接地電圧を前記出力ノードに出力する第 4 インバータを含む。

【 0 0 1 7 】

実施形態として、前記プロセッサ、動作メモリ、ディスプレイ制御部、サウンド制御部、コーデック部、及び位相ロックループはシステムオンチップに含まれ、前記動作メモリ、ディスプレイ制御部、サウンド制御部、及びコーデック部は前記第 1 クロックに応じて動作する。

【 0 0 1 8 】

実施形態として、前記プロセッサの制御にしたがって、カメラから獲得されるイメージデータを処理するように構成されるイメージプロセッシング部をさらに含む。

【 0 0 1 9 】

実施形態として、前記プロセッサ、ディスプレイ制御部、サウンド制御部、イメージプロセッシング部、動作メモリ、コーデック部、及び位相ロックループはシステムオンチ

10

20

30

40

50

ップに含まれ、前記ディスプレイ制御部、サウンド制御部、イメージプロセッシング部、動作メモリー、及びコーデック部は前記第１クロックに応じて動作する。

【００２０】

実施形態として、前記プロセッサ、ディスプレイ制御部、サウンド制御部、モデム、イメージプロセッシング部、動作メモリー、コーデック部、及び位相ロックループはシステムオンチップに含まれ、前記ディスプレイ制御部、サウンド制御部、モデム、イメージプロセッシング部、動作メモリー、及びコーデック部は前記第１クロックに応じて動作する。

【００２１】

実施形態として、前記プロセッサ、ディスプレイ制御部、サウンド制御部、動作メモリー、コーデック部、及び位相ロックループはシステムオンチップに含まれ、前記ディスプレイ制御部、サウンド制御部、動作メモリー、及びコーデック部は前記第１クロックに応じて動作する。

10

【００２２】

実施形態として、前記プロセッサ、ディスプレイ制御部、サウンド制御部、動作メモリー、及び位相ロックループはシステムオンチップに含まれ、前記ディスプレイ制御部、サウンド制御部、及び動作メモリーは前記第１クロックに応じて動作する。

【００２３】

実施形態として、前記プロセッサ、ディスプレイ制御部、動作メモリー、及び位相ロックループはシステムオンチップに含まれ、前記ディスプレイ制御部、及び動作メモリーは前記第１クロックに応じて動作する。

20

【００２４】

実施形態として、前記プロセッサ、動作メモリー、及び位相ロックループはシステムオンチップに含まれ、前記動作メモリーは前記第１クロックに応じて動作する。

【００２５】

実施形態として、前記プロセッサ、サウンド制御部、動作メモリー、及び位相ロックループはシステムオンチップに含まれ、前記サウンド制御部及び動作メモリーは前記第１クロックに応じて動作する。

【００２６】

実施形態として、前記プロセッサ、動作メモリー、モデム、格納部、使用者インターフェイス、ディスプレイ制御部、ディスプレイ部、サウンド制御部、スピーカー、発振器、クロック発生部、カメラ、イメージプロセッシング部、コーデック部、及び位相ロックループはモバイル装置に包含される。

30

【００２７】

実施形態として、前記プロセッサ、動作メモリー、モデム、格納部、使用者インターフェイス、ディスプレイ制御部、ディスプレイ部、サウンド制御部、スピーカー、発振器、クロック発生部、カメラ、イメージプロセッシング部、コーデック部、及び位相ロックループはスマートテレビ (Smart Television) に包含される。

【００２８】

本発明の実施形態によるレベル変換器は、第１電圧変換回路と、及び入力ノードと出力ノードの間に前記第１電圧変換回路と並列に連結される第２電圧変換回路を含み、前記入力ノードに入力される第１電圧ドメインの第１クロックに応じて前記出力ノードから第２電圧ドメインの第２クロックが出力され、前記第１クロックの立ち上がりエッジ及び前記第２クロックの立ち上がりエッジ間の遅延時間は前記第１クロックの立ち下がりエッジ及び前記第２クロックの立ち下がりエッジ間の遅延時間と同一である。

40

【発明の効果】

【００２９】

本発明によると、レベル変換器の出力クロックの高レベル区間の幅と低レベル区間の幅とが平準化される。したがって、向上された信頼性を有するレベル変換器、それを含むシステムオンチップ、及びそれを含むマルチメディア装置が提供される。

【図面の簡単な説明】

50

【 0 0 3 0 】

【図 1】本発明の実施形態によるレベル変換器を示すブロック図である。

【図 2】本発明の実施形態によるレベル変換器を示す回路図である。

【図 3】第 1 クロックが立ち上がる時、図 2 を参照して説明された第 1 乃至第 4 インバータの動作を示す図面である。

【図 4】第 1 クロックが立ち下がる時、図 2 を参照して説明された第 1 乃至第 4 インバータの動作を示す図面である。

【図 5】図 1 乃至図 4 を参照して説明されたレベル変換器の入力クロック及び出力クロックを示すタイミング図である。

【図 6】図 1 乃至図 5 を参照して説明されたレベル変換器を含むシステムオンチップを示すブロック図である。

10

【図 7】本発明の実施形態によるレベル変換器を含むマルチメディア装置の第 1 例を示すブロック図である。

【図 8】本発明の実施形態によるレベル変換器を含むマルチメディア装置の第 2 例を示すブロック図である。

【図 9】本発明の実施形態によるレベル変換器を含むマルチメディア装置の第 3 例を示すブロック図である。

【図 10】本発明の実施形態によるレベル変換器を含むマルチメディア装置の第 4 例を示すブロック図である。

【図 11】本発明の実施形態によるレベル変換器を含むマルチメディア装置の第 5 例を示すブロック図である。

20

【図 12】本発明の実施形態によるレベル変換器を含むマルチメディア装置の第 6 例を示すブロック図である。

【図 13】本発明の実施形態によるレベル変換器を含むマルチメディア装置の第 7 例を示すブロック図である。

【図 14】本発明の実施形態によるレベル変換器を含むマルチメディア装置の第 8 例を示すブロック図である。

【図 15】本発明の実施形態によるスマートフォンを示す図面である。

【図 16】本発明の実施形態によるタブレットコンピューターを示す図面である。

【図 17】本発明の実施形態によるモバイルコンピューターを示す図面である。

30

【図 18】本発明の実施形態によるコンピューターを示す図面である。

【図 19】本発明の実施形態によるテレビを示す図面である。

【発明を実施するための形態】

【 0 0 3 1 】

以下で、本発明が属する技術分野で通常の知識を有する者が本発明の技術的思想を容易に実施できるように詳細に説明するために、本発明の実施形態を添付された図面を参照して説明する。

【 0 0 3 2 】

図 1 は本発明の実施形態によるレベル変換器 100 を示すブロック図である。図 1 を参照すれば、レベル変換器 100 は第 1 電圧変換回路 110 及び第 2 電圧変換回路 120 を含む。第 1 及び第 2 電圧変換回路 110、120 は入力ノード A 及び出力ノード F の間に並列に連結される。

40

【 0 0 3 3 】

第 1 電圧変換回路 110 は入力ノード A を通じて第 1 電圧 V1 に対応する第 1 電圧ドメインの第 1 クロック CLK1 を受信する。第 1 クロック CLK1 は第 1 電圧 V1 のスウィング (swing) 幅を有することができる。第 1 電圧変換回路 110 は受信された第 1 クロック CLK1 に基づいて、第 2 電圧 V2 に対応する第 2 電圧ドメインの信号を発生する。第 2 クロック CLK2 は第 2 電圧 V2 のスウィング幅を有することができる。

【 0 0 3 4 】

第 1 電圧変換回路 110 は第 1 及び第 2 インバータ 111、113 を含む。第 1 インバ

50

ータ 1 1 1 は第 1 クロック C L K 1 に応じて第 2 電圧 V 2 及び接地電圧 V S S の中で 1 つを出力するように構成される。第 2 インバータ 1 1 3 は第 1 インバータ 1 1 1 の出力に応じて第 2 電圧 V 2 及び接地電圧 V S S の中で 1 つを出力するように構成される。即ち、第 2 インバータ 1 1 3 は第 1 クロック C L K 1 に同期される第 2 電圧ドメインの信号を出力する。

【 0 0 3 5 】

第 2 電圧変換回路 1 2 0 は入力ノード A を通じて第 1 電圧ドメインの第 1 クロック C L K 1 を受信する。第 1 電圧変換回路 1 1 0 は受信された第 1 クロック C L K 1 に基づいて第 2 電圧ドメインの信号を発生する。

【 0 0 3 6 】

第 2 電圧変換回路 1 2 0 は第 1 電圧変換回路 1 1 0 と同一な構造を有する。第 2 電圧変換回路 1 2 0 は第 3 及び第 4 インバータ 1 2 1、1 2 3 を含む。第 3 インバータ 1 2 1 は第 1 クロック C L K 1 に応じて第 1 電圧 V 1 及び接地電圧 V S S の中で 1 つを出力するように構成される。第 4 インバータ 1 2 3 は第 3 インバータ 1 2 1 の出力に応じて第 2 電圧 V 2 及び接地電圧 V S S の中で 1 つを出力するように構成される。即ち、第 4 インバータ 1 2 3 は第 1 クロック C L K 1 に同期される第 2 電圧ドメインの信号を出力する。

【 0 0 3 7 】

第 1 及び第 2 電圧変換回路 1 1 0、1 2 0 は出力ノード F で混合される。第 1 電圧変換回路 1 1 0 は第 1 クロック C L K 1 に同期される第 2 電圧ドメインの信号を出力する。第 2 電圧変換回路 1 2 0 また第 1 クロック C L K 1 に同期される第 2 電圧ドメインの信号を出力する。即ち、出力ノード F で、第 1 クロック C L K 1 に同期される第 2 電圧ドメインの信号が生成される。出力ノード F の信号は第 2 電圧ドメインの第 2 クロック C L K 2 へ出力される。

【 0 0 3 8 】

図 2 は本発明の実施形態によるレベル変換器 1 0 0 を示す回路図である。例示的に、図 1 を参照して説明された第 1 乃至第 4 インバータ 1 1 1、1 1 3、1 2 1、1 2 3 の内部回路が図示されている。例示的に、第 1 乃至第 4 インバータ 1 1 1、1 1 3、1 2 1、1 2 3 各々は C M O S インバータであり得る。しかし、第 1 乃至第 4 インバータ 1 1 1、1 1 3、1 2 1、1 2 3 の内部回路は図 2 に図示された回路に限定されない、

【 0 0 3 9 】

図 1 及び図 2 を参照すれば、第 1 インバータ 1 1 1 は第 1 P M O S トランジスタ P 1 及び第 1 N M O S トランジスタ N 1 を含む。第 1 P M O S トランジスタ P 1 のゲートは入力ノード A に連結される。第 1 P M O S トランジスタ P 1 の一端へ第 2 電圧 V 2 が供給され、他端は出力ノード B に連結される。第 1 N M O S トランジスタ N 1 のゲートは入力ノード A に連結される。第 1 N M O S トランジスタ N 1 の一端は接地ノードに連結され、他端は出力ノード B に連結される。

【 0 0 4 0 】

第 2 インバータ 1 1 3 は第 1 インバータ 1 1 1 と同一な構造を有する。第 2 インバータ 1 1 3 は第 2 P M O S トランジスタ P 2 及び第 2 N M O S トランジスタ N 2 を含む。第 2 P M O S トランジスタ P 2 のゲートは第 1 インバータ 1 1 1 の出力ノード B に連結される。第 2 P M O S トランジスタ P 2 の一端へ第 2 電圧 V 2 が供給され、他端は出力ノード C に連結される。第 2 N M O S トランジスタ N 2 のゲートは第 1 インバータ 1 1 1 の出力ノード B に連結される。第 2 N M O S トランジスタ N 2 の一端は接地ノードに連結され、他端は出力ノード C に連結される。

【 0 0 4 1 】

第 3 インバータ 1 2 1 は第 1 インバータ 1 1 1 と同一な構造を有する。第 3 インバータ 1 2 1 は第 3 P M O S トランジスタ P 3 及び第 3 N M O S トランジスタ N 3 を含む。第 3 P M O S トランジスタ P 3 のゲートは入力ノード A に連結される。第 3 P M O S トランジスタ P 3 の一端へ第 1 電圧 V 1 が供給され、他端は出力ノード D に連結される。第 3 N M O S トランジスタ N 3 のゲートは入力ノード A に連結される。第 3 N M O S ト

10

20

30

40

50

ランジスター N 3 の一端は接地ノードに連結され、他端は出力ノード D に連結される。

【 0 0 4 2 】

第 4 インバータ 1 2 3 は第 1 インバータ 1 1 1 と同一な構造を有する。第 4 インバータ 1 2 3 は第 4 P M O S トランジスター P 4 及び第 4 N M O S トランジスター N 4 を含む。第 4 P M O S トランジスター P 4 のゲートは第 3 インバータ 1 2 1 の出力ノード D に連結される。第 4 P M O S トランジスター P 4 の一端へ第 2 電圧 V 2 が供給され、他端は出力ノード E に連結される。第 4 N M O S トランジスター N 4 のゲートは第 3 インバータ 1 2 1 の出力ノード D に連結される。第 4 N M O S トランジスター N 4 の一端は接地ノードに連結され、他端は出力ノード E に連結される。

【 0 0 4 3 】

図 3 は第 1 クロック C L K 1 が立ち上がる時、図 2 を参照して説明された第 1 乃至第 4 インバータ 1 1 1、1 1 3、1 2 1、1 2 3 の動作を示す図面である。図 2 及び図 3 を参照すれば、第 1 クロック C L K 1 は接地電圧 V S S から第 1 電圧 V 1 に上昇する。第 1 クロック C L K 1 が第 1 電圧 V 1 である時、第 1 インバータ 1 1 1 の第 1 P M O S トランジスター P 1 はターンオフされ、第 1 N M O S トランジスター N 1 はターンオンされる。即ち、第 1 インバータ 1 1 1 の出力ノード B は接地ノードに連結される。

【 0 0 4 4 】

第 1 クロック C L K 1 が接地電圧 V S S である時、第 1 インバータ 1 1 1 の出力ノード B へ第 1 P M O S トランジスター P 1 を通じて第 2 電圧 V 2 が供給される。したがって、第 1 クロック C L K 1 が接地電圧 V S S から第 1 電圧 V 1 に上昇する時、第 1 インバータ 1 1 1 の出力ノード B の電圧は第 2 電圧 V 2 から接地電圧 V S S へ放電される。

【 0 0 4 5 】

具体的に、第 1 N M O S トランジスター N 1 のドレーン D 1 へ第 2 電圧 V 2 が印加され、ゲート G 1 へ第 1 電圧 V 1 が印加され、ソース S 1 へ接地電圧 V S S が印加された状態で、第 1 N M O S トランジスター N 1 のチャンネルを通じて出力ノード B の電圧が放電される。この時、第 1 インバータ 1 1 1 の出力ノード B の電圧が接地電圧 V S S へ放電されるのに所要される時間は第 1 時間 T 1 であり得る。第 1 時間 T 1 は第 1 インバータ 1 1 1 の出力ノード B の電圧が第 1 クロック C L K 1 の立ち上がりエッジ (r i s i n g e d g e) に同期されて立ち下がる時までの遅延時間であり得る。

【 0 0 4 6 】

第 1 インバータ 1 1 1 の出力電圧が接地電圧 V S S である時、第 2 インバータ 1 1 3 の第 2 N M O S トランジスター N 2 はターンオフされ、第 2 P M O S トランジスター P 2 はターンオンされる。即ち、第 2 インバータ 1 1 3 の出力ノード C へ第 2 電圧 V 2 が供給される。

【 0 0 4 7 】

第 1 インバータ 1 1 1 の出力電圧が第 2 電圧 V 2 である時、第 2 インバータ 1 1 3 の出力ノード C へ第 2 N M O S トランジスター N 2 を通じて接地電圧 V S S が供給される。したがって、第 1 インバータ 1 1 1 の出力電圧が第 2 電圧 V 2 から接地電圧 V S S に下降する時、第 2 インバータ 1 1 3 の出力ノード C の電圧は接地電圧 V S S から第 2 電圧 V 2 に充電される。

【 0 0 4 8 】

具体的に、第 2 P M O S トランジスター P 2 のソース S 2 へ第 2 電圧 V 2 が印加され、ゲート G 2 へ接地電圧 V S S が印加され、ドレーン D 2 へ接地電圧 V S S が印加された状態で、第 2 P M O S トランジスター P 2 のチャンネルを通じて出力ノード C の電圧が充電される。この時、第 2 インバータ 1 1 3 の出力ノード C の電圧が第 2 電圧 V 2 に充電されるのに所要される時間は第 2 時間 T 2 であり得る。第 2 時間 T 2 は第 2 インバータ 1 1 3 の出力ノード C の電圧が第 1 インバータ 1 1 1 の出力電圧の立ち下がりエッジ (f a l l i n g e d g e) に同期されて立ち上がる時までの遅延時間であり得る。

【 0 0 4 9 】

第 1 クロック C L K 1 は接地電圧 V S S から第 1 電圧 V 1 に上昇する。第 1 クロック C

10

20

30

40

50

L K 1 が第 1 電圧 V 1 である時、第 3 インバータ 1 2 1 の第 3 P M O S トランジスタ P 1 はターンオフされ、第 3 N M O S トランジスタ N 3 はターンオンされる。即ち、第 3 インバータ 1 2 1 の出力ノード D へ接地電圧 V S S が供給される。

【 0 0 5 0 】

第 1 クロック C L K 1 が接地電圧 V S S である時、第 3 インバータ 1 2 1 の出力ノード D へ第 3 P M O S トランジスタ P 3 を通じて第 1 電圧 V 1 が供給される。したがって、第 1 クロック C L K 1 が接地電圧 V S S から第 1 電圧 V 1 に上昇する時、第 3 インバータ 1 2 1 の出力ノード D の電圧は第 1 電圧 V 1 から接地電圧 V S S へ放電される。

【 0 0 5 1 】

具体的に、第 3 N M O S トランジスタ N 3 のドレイン D 3 へ第 1 電圧 V 1 が印加され、ゲート G 3 へ第 1 電圧 V 1 が印加され、ソース S 3 へ接地電圧 V S S が印加された状態で、第 3 N M O S トランジスタ N 3 のチャンネルを通じて出力ノード D の電圧が放電される。この時、第 3 インバータ 1 2 1 の出力ノード D の電圧が接地電圧 V S S へ放電されるのに所要される時間は第 3 時間 T 3 であり得る。第 3 時間 T 3 は第 3 インバータ 1 2 1 の出力ノード D の電圧が第 1 クロック C L K 1 の立ち上がりエッジ (f a l l i n g e d g e) に同期されて立ち下がる時までの遅延時間であり得る。

【 0 0 5 2 】

第 3 インバータ 1 2 1 の出力が接地電圧 V S S である時、第 4 インバータ 1 2 3 の第 4 N M O S トランジスタ N 4 はターンオフされ、第 4 P M O S トランジスタ P 4 はターンオンされる。即ち、第 4 インバータ 1 2 3 の出力ノード E へ第 2 電圧 V 2 が供給される。

【 0 0 5 3 】

第 3 インバータ 1 2 1 の出力電圧が第 1 電圧 V 1 である時、第 4 インバータ 1 2 3 の出力ノード E へ第 4 N M O S トランジスタ N 4 を通じて接地電圧 V S S が供給される。したがって、第 3 インバータ 1 2 1 の出力電圧が第 1 電圧 V 1 から接地電圧 V S S に下降する時、第 4 インバータ 1 2 3 の出力ノード E の電圧は接地電圧 V S S から第 2 電圧 V 2 に充電される。

【 0 0 5 4 】

具体的に、第 4 P M O S トランジスタ P 4 のソース S 4 へ第 2 電圧 V 2 が印加され、ゲート G 4 へ接地電圧 V S S が印加され、ドレイン D 4 へ接地電圧 V S S が印加された状態で、第 4 P M O S トランジスタ P 4 のチャンネルを通じて出力ノード E の電圧が充電される。この時、第 4 インバータ 1 2 3 の第 4 P M O S トランジスタ P 4 のバイアス条件は第 2 インバータ 1 1 3 の第 2 P M O S トランジスタ P 2 のバイアス条件と同一である。したがって、第 4 インバータ 1 2 3 の出力ノード E の電圧が第 2 電圧 V 2 へ充電されるのに所要される時間は第 2 時間 T 2 であり得る。第 2 時間 T 2 は第 4 インバータ 1 2 3 の出力ノード E の電圧が第 3 インバータ 1 2 1 の出力電圧の立ち上がりエッジに同期されて立ち上がる時までの遅延時間であり得る。

【 0 0 5 5 】

図 4 は第 1 クロック C L K 1 が立ち下がる時、図 2 を参照して説明された第 1 乃至第 4 インバータ 1 1 1、1 1 3、1 2 1、1 2 3 の動作を示す図面である。図 2 及び図 4 を参照すれば、第 1 クロック C L K 1 は第 1 電圧 V 1 から接地電圧 V S S に下降する。第 1 クロック C L K 1 が接地電圧 V S S である時、第 1 インバータ 1 1 1 の第 1 N M O S トランジスタ N 1 はターンオフされ、第 1 P M O S トランジスタ P 1 はターンオンされる。即ち、第 1 インバータ 1 1 1 の出力ノード B へ第 2 電圧 V 2 が供給される。

【 0 0 5 6 】

第 1 クロック C L K 1 が第 1 電圧 V 1 である時、第 1 インバータ 1 1 1 の出力ノード B へ第 1 N M O S トランジスタ N 1 を通じて接地電圧 V S S が供給される。したがって、第 1 クロック C L K 1 が第 1 電圧 V 1 から接地電圧 V S S に下降する時、第 1 インバータ 1 1 1 の出力ノード B の電圧は接地電圧 V S S から第 2 電圧 V 2 に充電される。

【 0 0 5 7 】

10

20

30

40

50

具体的に、第1 PMOSトランジスタP1のソースS5へ第2電圧V2が印加され、ゲートG6へ接地電圧VSSが印加され、ドレインD6へ接地電圧VSSが印加された状態で、第1 PMOSトランジスタP1のチャンネルを通じて出力ノードBの電圧が充電される。第1 PMOSトランジスタP1のバイアス条件は図3を参照して説明された第2インバータ113の第2 PMOSトランジスタP2のバイアス条件と同一である。したがって、第1インバータ111の出力ノードBの電圧が第2電圧V2に充電されるのに所要される時間は第2時間T2であり得る。第2時間T2は第1インバータ111の出力ノードBの電圧が第1クロックCLK1の立ち上がりエッジに同期されて立ち上がる時までの遅延時間であり得る。

【0058】

10

第1インバータ111の出力電圧が第2電圧V2である時、第2インバータ113の第2 PMOSトランジスタP2はターンオフされ、第2 NMOSトランジスタN2はターンオンされる。即ち、第2インバータ113の出力ノードCへ接地電圧VSSが供給される。

【0059】

第1インバータ111の出力電圧が接地電圧VSSである時、第2インバータ113の出力ノードCへ第2 PMOSトランジスタP2を通じて第2電圧V2が供給される。したがって、第1インバータ111の出力電圧が接地電圧VSSから第2電圧V2に上昇した時に、第2インバータ113の出力ノードCの電圧は第2電圧V2から接地電圧VSSへ放電される。

20

【0060】

具体的に、第2 NMOSトランジスタN2のドレインD7へ第2電圧V2が印加され、ゲートG7へ第2電圧V2が印加され、ソースS7へ接地電圧VSSが印加された状態で、第2 NMOSトランジスタN2のチャンネルを通じて出力ノードCの電圧が放電される。

【0061】

この時、トランジスタの種類がNMOSトランジスタであることを除外すれば、第2 NMOSトランジスタN2のバイアス条件は第1インバータ111の第1 PMOSトランジスタP1のバイアス条件と同一である。第2 NMOSトランジスタN2のゲート・ソース電圧差は第2電圧V2であり、第1 PMOSトランジスタP1のゲート・ソース電圧差また第2電圧V2である。第2 NMOSトランジスタN2のドレイン・ソース電圧差は第2電圧V2であり、第1 PMOSトランジスタP1のドレイン・ソース電圧差また第2電圧V2である。

30

【0062】

第1乃至第4インバータ111、113、121、123各々は1つのPMOSトランジスタ及び1つのNMOSトランジスタを含む。第1乃至第4インバータ111、113、121、123の入力電圧が低レベルである時、第1乃至第4インバータ111、113、121、123の出力電圧はPMOSトランジスタP1～P4によって生成される。第1乃至第4インバータ111、113、121、123の入力電圧が高レベルである時、第1乃至第4インバータ111、113、121、123の出力電圧はNMOSトランジスタN1～N4によって生成される。

40

【0063】

低レベル出力及び高レベル出力を有するように、第1乃至第4インバータ111、113、121、123が形成され得る。例えば、高レベルを出力する時、充電する電流量と低レベルを出力する時、放電する電流量とが平準化されるように、第1乃至第4インバータ111、113、121、123が形成され得る。同一なバイアス条件で、第1乃至第4 NMOSトランジスタN1～N4は第1乃至第4 PMOSトランジスタP1～P4と同様に動作するように形成され得る。同一なバイアス条件で、第2 NMOSトランジスタN2を通じて流れる電流の量は第1 PMOSトランジスタP1を通じて流れる電流の量と同一であり得る。

50

【 0 0 6 4 】

第 2 N M O S トランジスタ N 2 のバイアス条件が第 1 P M O S トランジスタ P 1 のバイアス条件と同一であるので、第 2 インバータ 1 1 3 の出力ノード C の電圧が接地電圧 V S S へ放電されるのに所要される時間は第 2 時間 T 2 であり得る。第 2 時間 T 2 は第 2 インバータ 1 1 3 の出力ノード C の電圧が第 1 インバータ 1 1 1 の出力電圧の立ち上がりエッジに同期されて立ち下がる時までの遅延時間であり得る。

【 0 0 6 5 】

第 1 クロック C L K 1 が接地電圧 V S S である時、第 3 インバータ 1 2 1 の第 3 N M O S トランジスタ N 1 はターンオフされ、第 3 P M O S トランジスタ P 3 はターンオンされる。即ち、第 3 インバータ 1 2 1 の出力ノード D へ第 1 電圧 V 1 が供給される。

10

【 0 0 6 6 】

第 1 クロック C L K 1 が第 1 電圧 V 1 である時、第 3 インバータ 1 2 1 の出力ノード D へ第 3 N M O S トランジスタ N 3 を通じて接地電圧 V S S が供給される。したがって、第 1 クロック C L K 1 が第 1 電圧 V 1 から接地電圧 V S S に下降する時、第 3 インバータ 1 2 1 の出力ノード D の電圧は接地電圧 V S S から第 1 電圧 V 1 に充電される。

【 0 0 6 7 】

具体的に、第 3 P M O S トランジスタ P 3 のソース S 7 へ第 1 電圧 V 1 が印加され、ゲート G 7 へ接地電圧 V S S が印加され、ドレイン D 7 へ接地電圧 V S S が印加された状態で、第 3 P M O S トランジスタ P 3 のチャンネルを通じて出力ノード D の電圧が充電される。

20

【 0 0 6 8 】

この時、トランジスタの種類が P M O S トランジスタであることを除外すれば、第 3 P M O S トランジスタ P 2 のバイアス条件は図 3 を参照して説明された第 3 N M O S トランジスタ N 3 のバイアス条件と同一である。第 3 P M O S トランジスタ P 3 のゲート - ソース電圧差は第 1 電圧 V 1 であり、第 3 N M O S トランジスタ N 3 のゲート - ソース電圧差また第 1 電圧 V 1 である。第 3 P M O S トランジスタ P 3 のドレイン - ソース電圧差は第 1 電圧 V 1 であり、第 3 N M O S トランジスタ N 3 のドレイン - ソース電圧差また第 1 電圧 V 1 である。

【 0 0 6 9 】

したがって、第 3 インバータ 1 2 1 の出力ノード D の電圧が第 1 電圧 V 1 に充電されるのに所要される時間は第 3 時間 T 3 であり得る。第 3 時間 T 3 は第 3 インバータ 1 2 1 の出力ノード D の電圧が第 1 クロック C L K 1 の立ち上がりエッジに同期されて立ち上がる時までの遅延時間であり得る。

30

【 0 0 7 0 】

第 3 インバータ 1 2 1 の出力電圧が第 1 電圧 V 1 である時、第 4 インバータ 1 2 3 の第 4 P M O S トランジスタ P 4 はターンオフされ、第 4 N M O S トランジスタ N 4 はターンオンされる。即ち、第 4 インバータ 1 2 3 の出力ノード E へ接地電圧 V S S が供給される。

【 0 0 7 1 】

第 3 インバータ 1 2 1 の出力電圧が接地電圧 V S S である時、第 4 インバータ 1 2 3 の出力ノード E へ第 4 P M O S トランジスタ P 4 を通じて第 2 電圧 V 2 が供給される。したがって、第 3 インバータ 1 2 1 の出力電圧が接地電圧 V S S から第 1 電圧 V 1 に上昇する時、第 4 インバータ 1 2 3 の出力ノード E の電圧は第 2 電圧 V 2 から接地電圧 V S S へ放電される。

40

【 0 0 7 2 】

具体的に、第 4 N M O S トランジスタ N 4 のドレイン D 8 へ第 2 電圧 V 2 が印加され、ゲート G 8 へ第 1 電圧 V 1 が印加され、ソース S 8 へ接地電圧 V S S が印加された状態で、第 4 P M O S トランジスタ P 4 のチャンネルを通じて出力ノード E の電圧が放電される。

【 0 0 7 3 】

50

この時、第 4 インバータ 1 2 3 の第 4 N M O S トランジスタ N 4 のバイアス条件は図 3 を参照して説明された第 1 N M O S トランジスタ N 1 のバイアス条件と同一である。したがって、第 4 インバータ 1 2 3 の出力ノード E の電圧が接地電圧 V S S へ放電されるのに所要される時間は第 1 時間 T 1 であり得る。第 1 時間 T 1 は第 4 インバータ 1 2 3 の出力ノード E の電圧が第 3 インバータ 1 2 1 の出力電圧の立ち上がりエッジに同期されて立ち下がる時までの遅延時間であり得る。

【 0 0 7 4 】

図 5 は図 1 乃至図 4 を参照して説明されたレベル変換器 1 0 0 の入力クロック C L K 1 及び出力クロック C L K 2 を示すタイミング図である。図 1 乃至図 5 を参照すれば、第 1 クロック C L K 1 がレベル変換器 1 0 0 へ入力される。第 1 クロック C L K 1 は第 1 電圧 V 1 のスウィング幅を有する。第 1 クロック C L K 1 は周期的に反復される立ち上がりエッジ及び立ち下がりエッジを有する。

10

【 0 0 7 5 】

第 2 クロック C L K 2 がレベル変換器 1 0 0 から出力される。第 2 クロック C L K 2 は第 2 電圧 V 2 のスウィング幅を有する。第 1 クロック C L K 1 の立ち上がりエッジに同期されて、第 2 クロック C L K 2 が立ち上がる。第 2 クロック C L K 2 は第 1 電圧変換回路 1 1 0 の第 1 及び第 2 インバータ 1 1 1、1 1 3 の充電と放電、及び第 2 電圧変換回路 1 2 0 の第 3 及び第 4 インバータ 1 2 1、1 2 3 の充電と放電によって上昇する。

【 0 0 7 6 】

図 3 を参照して説明されたように、第 1 クロック C L K 1 が上昇し、第 1 時間 T 1 後に、第 1 インバータ 1 1 1 の出力電圧が減少して接地電圧 V S S に到達する。第 1 インバータ 1 1 1 の出力電圧が下降し、第 2 時間 T 2 後に、第 2 インバータ 1 1 3 の出力電圧が増加して第 2 電圧 V 2 に到達する。第 1 クロック C L K 1 が上昇し、第 3 時間 T 3 後に、第 3 インバータ 1 2 1 の出力電圧が下降して接地電圧 V S S に到達する。第 3 インバータ 1 2 1 の出力電圧が下降し、第 2 時間 T 2 後に、第 4 インバータ 1 2 3 の出力電圧が上昇して第 2 電圧 V 2 に到達する。

20

【 0 0 7 7 】

第 2 及び第 4 インバータ 1 1 3、1 2 3 の出力電圧が混合されて第 2 クロック C L K 2 が形成される。即ち、第 1 クロック C L K 1 の立ち上がりエッジと第 2 クロック C L K 2 の立ち上がりエッジとの間の遅延 D 1 は第 1 時間 T 1、第 2 時間 T 2、及び第 3 時間 T 3 が加算されて発生される。

30

【 0 0 7 8 】

図 4 を参照して説明されたように、第 1 クロック C L K 1 が下降し、第 2 時間 T 2 後に、第 1 インバータ 1 1 1 の出力電圧が上昇して第 2 電圧 V 2 に到達する。第 1 インバータ 1 1 1 の出力電圧が上昇し、第 2 時間 T 2 後に、第 2 インバータ 1 1 3 の出力電圧が下降して接地電圧 V S S に到達する。第 1 クロック C L K 1 が下降し、第 3 時間 T 3 後に、第 3 インバータ 1 2 1 の出力電圧が上昇して第 1 電圧 V 1 に到達する。第 3 インバータ 1 2 1 の出力電圧が上昇し、第 1 時間 T 1 後に、第 4 インバータ 1 2 3 の出力電圧が下降して接地電圧 V S S に到達する。

【 0 0 7 9 】

第 2 及び第 4 インバータ 1 1 3、1 2 3 の出力電圧が混合されて、第 2 クロック C L K 2 が形成される。即ち、第 1 クロック C L K 1 の立ち下がりエッジと第 2 クロック C L K 2 の立ち下がりエッジの間の遅延 D 2 は第 1 時間 T 1、第 2 時間 T 2、及び第 3 時間 T 3 が加算されて発生される。

40

【 0 0 8 0 】

上述したように、第 1 及び第 2 クロック C L K 1、C L K 2 の立ち上がりエッジの間の遅延 D 1 を発生させる時間要因 T 1、T 2、T 3 は立ち下がりエッジの間の遅延 D 2 を発生させる時間要因 T 1、T 2、T 3 と同一である。したがって、第 1 及び第 2 クロック C L K 1、C L K 2 の立ち上がりエッジの間の遅延 D 1 と立ち下がりエッジの間の遅延 D 2 とは同一であり得る。

50

【 0 0 8 1 】

立ち上がりエッジの間の遅延 D 1 と立ち下がりエッジの間の遅延 D 2 とが互に異なる場合、第 2 クロック C L K 2 の一周期の高レベル区間と低レベル区間との比率が可変され得る。

【 0 0 8 2 】

例示的に、立ち上がりエッジの間の遅延 D 1 が立ち下がりエッジの間の遅延 D 2 より大きい場合、第 2 クロック C L K 2 の一周期の高レベル区間の比率は第 1 クロック C L K 1 の一周期の高レベル区間の比率より減少する。反対に、立ち下がりエッジの間の遅延 D 2 が立ち上がりエッジの間の遅延 D 1 より大きい場合、第 2 クロック C L K 2 の一周期の低レベル区間の比率は第 1 クロック C L K 1 の一周期の低レベル区間の比率より減少する。本発明の実施形態によれば、レベル変換器 1 0 0 は高レベル及び低レベル区間の比率 (D u t y r a t i o) を維持し、入力される第 1 クロック C L K 1 と他の電圧ドメインの第 2 クロック C L K 2 とを発生できる。したがって、レベル変換器 1 0 0 の出力クロックの信頼性が向上され得る。

【 0 0 8 3 】

例示的に、第 2 電圧 V 2 は第 1 電圧 V 1 より低い、或いは高いことができる。

【 0 0 8 4 】

図 6 は図 1 乃至図 5 を参照して説明されたレベル変換器 1 0 0 を含むシステムオンチップ 5 0 0 (S O C 、 S y s t e m - O n - C h i p) を示すブロック図である。図 6 を参照すれば、システムオンチップ 5 0 0 はプロセッサ 5 1 0 、位相ロックループ 5 2 0 、周辺ブロック 5 3 0 、オーディオブロック 5 4 0 、ディスプレイブロック 5 5 0 、グラフィックブロック 5 6 0 、イメージプロセッシングブロック 5 7 0 、及びコーデックブロック 5 8 0 を含む。

【 0 0 8 5 】

プロセッサ 5 1 0 は第 1 乃至第 8 フリップフロップ 5 1 2 ~ 5 1 9 を含む。プロセッサ 5 1 0 はレベル変換器 1 0 0 をさらに包含するか、又はレベル変換器 1 0 0 に連結され得る。レベル変換器 1 0 0 は位相ロックループ 5 2 0 から第 1 クロック C L K 1 を受信する。第 1 クロック C L K 1 は第 1 電圧 V 1 のスウィングを有することができる。レベル変換器 1 0 0 は高レベル及び低レベル区間の比率を維持し、第 1 クロック C L K 1 に同期される第 2 クロック C L K 2 を発生する。第 2 クロック C L K 2 は第 2 電圧 V 1 のスウィングを有することができる。第 2 電圧 V 2 は第 1 電圧 V 1 より大きくなり得る。

【 0 0 8 6 】

レベル変換器 1 0 0 で発生された第 2 クロック C L K 2 はプロセッサ 5 1 0 のフリップフロップ 5 1 2 ~ 5 1 9 へ供給される。プロセッサ 5 1 0 のフリップフロップ 5 1 2 ~ 5 1 9 は第 2 クロック C L K 2 に応じて動作する。

【 0 0 8 7 】

位相ロックループ 5 2 0 は外部からクロック C L K を受信する。位相ロックループ 5 2 0 は受信されたクロック C L K と同期される第 1 クロック C L K 1 を発生する。第 1 クロック C L K 1 はプロセッサ 5 1 0 のレベル変換器 1 0 0 、周辺ブロック 5 3 0 、オーディオブロック 5 4 0 、ディスプレイブロック 5 5 0 、グラフィックブロック 5 6 0 、イメージプロセッシングブロック 5 7 0 、及びコーデックブロック 5 8 0 へ供給される。

【 0 0 8 8 】

周辺ブロック 5 3 0 、オーディオブロック 5 4 0 、ディスプレイブロック 5 5 0 、グラフィックブロック 5 6 0 、イメージプロセッシングブロック 5 7 0 、及びコーデックブロック 5 8 0 は第 1 クロック C L K 1 に応じて動作する。周辺ブロック 5 3 0 、オーディオブロック 5 4 0 、ディスプレイブロック 5 5 0 、グラフィックブロック 5 6 0 、イメージプロセッシングブロック 5 7 0 、及びコーデックブロック 5 8 0 は I P (I n t e l l e c t u a l P r o p e r t y) であり得る。

【 0 0 8 9 】

オーディオブロック 5 4 0 はオーディオデータを処理できる。ディスプレイブロック 5

10

20

30

40

50

50はモニター（図示せず）のようなディスプレイ装置を制御する信号を発生できる。グラフィックブロック560はモニター（図示せず）のようなディスプレイ装置に表示されるグラフィックデータを処理できる。イメージプロセッシングブロック570はカメラ（図示せず）のような撮影装置によって撮影されるイメージデータを処理できる。コーデック580はオーディオデータのエンコーディング又はデコーディングを遂行できる。コーデック580はグラフィックデータのエンコーディング又はデコーディングを遂行できる。

【0090】

図6に示したように、システムオンチップ500の周辺ブロック530、オーディオブロック540、ディスプレイブロック550、グラフィックブロック560、イメージプロセッシングブロック570、及びコーデックブロック580は第1クロックCLK1に応じて動作する。プロセッサ510は第1電圧ドメインの第1クロックCLK1が変換された第2電圧ドメインの第2クロックCLK2に応じて動作できる。第2電圧V2は第1電圧V1より高いことができる。

【0091】

レベル変換器100は図1乃至図5を参照して説明されたレベル変換器100であり得る。例示的に、レベル変換器100は入力ノードAと出力ノードFとの間に並列に連結され、同一な構造を有する第1及び第2電圧変換回路110、120を包含できる。レベル変換器100の入力クロックCLK1と出力クロックCLK2との立ち上がりエッジの間の遅延D1と立ち下がりエッジの間の遅延D2とは同一であり得る。したがって、第2クロックCLK2に応じて動作するプロセッサ510の信頼性、及びプロセッサ510を含むシステムオンチップ500の信頼性が向上される。

【0092】

プロセッサ510が高速に動作するように設計される場合、プロセッサ510は第2クロックCLK2の立ち上がりエッジと立ち下がりエッジとの全てに同期されて動作できる。本発明の実施形態によるレベル変換器100は高レベル区間及び低レベル区間の比率を維持し、第1電圧ドメインの第1クロックCLK1を第2電圧ドメインの第2クロックCLK2に変換する。高レベル区間及び低レベル区間の比率が維持されれば、第2クロックCLK2の立ち上がりエッジと立ち下がりエッジとのマージン（margin）が最適化されて維持され得る。したがって、本発明の実施形態によるレベル変換器100が提供される時、第2クロックCLK2の立ち上がりエッジと立ち下がりエッジとの全てに同期されて動作するプロセッサ510及びシステムオンチップ500の信頼性が向上され得る。

【0093】

図7は本発明の実施形態によるレベル変換器100を含むマルチメディア装置1000の第1例を示すブロック図である。図7を参照すれば、マルチメディア装置1000は発振器1010、クロック発生部1020、位相ロックループ1030、プロセッサ1040、メモリ1050、ディスプレイ制御部1060、ディスプレイ部1070、サウンド制御部1080、スピーカー1090、格納部1100、モデム1110、イメージプロセッシング部1120、カメラ1130、使用者インターフェイス1140、及びコーデック部1150を含む。

【0094】

発振器1010は特定周波数にしたがって発振する発振信号を発生する。発振信号はクロック発生部1020へ供給される。

【0095】

クロック発生部1020は発振器1010から供給される発振信号に応じてクロック1020を発生する。クロックCLKは位相ロックループ1030へ供給され得る。

【0096】

位相ロックループ1030はクロック発生部1020から受信されるクロックCLKに応じて第1クロックCLK1を発生するように構成される。第1クロックCLK1は受信されたクロックCLKと同期され得る。第1クロックCLK1はプロセッサ1040へ

供給され得る。

【0097】

プロセッサ１０４０はマルチメディア装置１０００の諸般動作を制御するように構成される。プロセッサ１０４０はマルチメディア装置１０００のハードウェア構成要素を制御する。プロセッサ１０４０はマルチメディア装置１０００のソフトウェア構成要素を駆動する。

【0098】

プロセッサ１０４０は本発明の実施形態によるレベル変換器１００を包含するか、又はレベル変換器１００に連結され得る。レベル変換器１００は位相ロックループ１０３０から供給される第１電圧ドメインの第１クロックCLK１に基づいて、第２電圧ドメインの第２クロックCLK２を発生する。第２クロックCLK２はプロセッサ１０１０の内部クロックに使用される。

10

【0099】

メモリ１０５０はプロセッサ１０４０の動作メモリであり得る。例示的に、メモリ１０５０はSRAM(Static RAM)、DRAM(Dynamic RAM)、SDRAM(Synchronous DRAM)等のような揮発性メモリ、又はフラッシュメモリ、PRAM(Phase-change RAM)、MRAM(Magnetic RAM)、RRAM(Resistive RAM)(登録商標)、FRAM(Ferroelectric RAM)(登録商標)等のような不揮発性メモリを包含できる。

20

【0100】

ディスプレイ制御部１０６０はプロセッサ１０４０の制御にしたがって動作する。ディスプレイ制御部１０６０はディスプレイ部１０７０を通じて表示される映像を生成及び制御するように構成される。ディスプレイ制御部１０６０はグラフィック処理ユニット(GPU、Graphic Processing Unit)を包含できる。

【0101】

ディスプレイ部１０７０はディスプレイ制御部１０６０によって生成された映像を表示するように構成される。ディスプレイ部１０７０は液晶ディスプレイ(LCD、Liquid Crystal Display)、有機発光ダイオード(OLED、Organic Light Emitting Diode)ディスプレイ、アクティブマトリックス有機発光ダイオード(AMOLED、Active Matrix Organic Light Emitting Diode)ディスプレイ、電子紙(electronic paper)等を包含できる。

30

【0102】

サウンド制御部１０８０はプロセッサ１０４０の制御にしたがって動作する。サウンド制御部１０８０はスピーカー１０９０を通じて出力されるサウンドを生成及び制御することができる。スピーカー１０９０はサウンド制御部１０８０のサウンド制御部１０８０はプロセッサ１０４０の制御にしたがって動作する。サウンド制御部１０８０はスピーカー１０９０を通じて出力されるサウンドを生成及び制御することができる。スピーカー１０９０はサウンド制御部１０８０の制御にしたがってサウンドを出力することができる。

40

【0103】

格納部１１００はプロセッサ１０４０の制御にしたがって、データを格納するように構成される。格納部１１００はフラッシュメモリ、PRAM(Phase-change RAM)、MRAM(Magnetic RAM)、RRAM(Resistive RAM)(登録商標)、FRAM(Ferroelectric RAM)(登録商標)等のような不揮発性メモリを包含できる。格納部１１００はハードディスクドライブHDD、Hard Disk Drive)、ソリッドステートドライブ(SSD、Solid State Drive)を包含できる。

【0104】

50

モデム 1110 はプロセッサ 1040 の制御にしたがって外部と通信できる。例示的に、モデム 1110 は無線チャンネル又は有線チャンネルを通じて外部と通信できる。モデム 1110 は CDMA (Code Division Multiple Access)、GSM (Global System for Mobile communications) (登録商標)、CDMA 2000、WCDMA (Wideband Code Division Multiple Access)、LTE (Long Term Evolution)、WiBro (Wireless Broadband Internet)、Mobile WiMAX (World Interoperability)、WiFi 等のような無線プロトコルにしたがって、外部と通信できる。モデム 1110 は ADSL (Asymmetric Digital Subscriber Line)、VDSL (Very high data rate Digital Subscriber Line)、ISDN (Integrated Services Digital Network) 等のような有線プロトコルにしたがって、外部と通信できる。

10

【0105】

イメージプロセッシング部 1130 はプロセッサ 1040 の制御に応じて動作する。イメージプロセッシング部 1130 はカメラ 1140 によって撮影又は録画されるイメージデータを処理するように構成される。

【0106】

使用者インターフェイス 1140 は外部から感知される信号をプロセッサ 1140 へ伝達するように構成される。例示的に、使用者インターフェイス 1120 はマイクロフォン (microphone)、タッチパッド (touch pad)、タッチスクリーン (touch screen)、ボタン、マウス、キーボード等を包含できる。

20

【0107】

コーデック部 1150 はオーディオデータをエンコーディング又はデコーディングできる。コーデック部 1150 はビデオデータをエンコーディング又はデコーディングできる。

【0108】

例示的に、位相ロックループ 1030、プロセッサ 1040、メモリー 1050、ディスプレイ制御部 1060、サウンド制御部 1080、イメージプロセッシング部 1120、及びコーデック部 1150 はシステムオンチップ 1200 を構成することができる。システムオンチップ 1200 は図 6 を参照して説明された構造を有することができる。プロセッサ 1040 は図 6 のプロセッサ 510 に対応することができる。メモリー 1050 は図 6 の周辺ブロック 530 に対応することができる。ディスプレイ制御部 1060 は図 6 のディスプレイブロック 550 及びグラフィックブロック 560 に対応することができる。サウンド制御部 1080 は図 6 のオーディオブロック 540 に対応することができる。イメージプロセッシング部 1120 は図 6 のイメージプロセッシングブロック 570 に対応することができる。コーデック部 1150 は図 6 のコーデックブロック 580 に対応することができる。

30

【0109】

クロック発生部 1020 は発生されたクロック CLK をシステムオンチップ 1200 へ供給し、マルチメディア装置 1000 の構成要素の中でクロック CLK を必要とする他の構成要素へ供給することができる。

40

【0110】

システムオンチップ 1200 の位相ロックループ 1030 は受信されたクロック CLK に同期する第 1 クロック CLK1 を発生する。レベル変換器 100 は、図 1 乃至図 5 を参照して説明されたように、高レベル区間及び低レベル区間の比率を維持し、第 1 クロック CLK1 に基づいて第 2 クロック CLK2 を発生できる。プロセッサ 1040 は第 2 クロック CLK2 に基づいて動作できる。システムオンチップ 1200 の他の構成要素、即ち、メモリー 1050、ディスプレイ制御部 1060、サウンド制御部 1080、イメー

50

ジブロセシング部 1 1 2 0、及びコーデック部 1 1 5 0 は第 1 クロック C L K 1 に応じて動作できる。

【 0 1 1 1 】

図 8 は本発明の実施形態によるレベル変換器 1 0 0 を含むマルチメディア装置 2 0 0 0 の第 2 実施形態を示すブロック図である。図 8 を参照すれば、マルチメディア装置 2 0 0 0 は発振器 2 0 1 0、クロック発生部 2 0 2 0、位相ロックループ 2 0 3 0、プロセッサ 2 0 4 0、メモリー 2 0 5 0、ディスプレイ制御部 2 0 6 0、ディスプレイ部 2 0 7 0、サウンド制御部 2 0 8 0、スピーカ 2 0 9 0、格納部 2 1 0 0、モデム 2 1 1 0、イメージプロセシング部 2 1 2 0、カメラ 2 1 3 0、使用者インターフェイス 2 1 4 0、及びコーデック部 2 1 5 0 を含む。

10

【 0 1 1 2 】

図 7 を参照して説明されたマルチメディア装置 1 0 0 0 と比較すれば、マルチメディア装置 2 0 0 0 で位相ロックループ 2 0 3 0、プロセッサ 2 0 4 0、メモリー 2 0 5 0、ディスプレイ制御部 2 0 6 0、サウンド制御部 2 0 8 0、モデム 2 1 1 0、イメージプロセシング部 2 1 2 0、及びコーデック部 2 1 5 0 がシステムオンチップ 2 2 0 0 を構成することができる。システムオンチップ 2 2 0 0 は図 6 を参照して説明された構造を有することができる。プロセッサ 2 0 4 0 は図 6 のプロセッサ 5 1 0 に対応することができる。メモリー 2 0 5 0 及びモデム 2 1 1 0 は図 6 の周辺ブロック 5 3 0 に対応することができる。ディスプレイ制御部 2 0 6 0 は図 6 のディスプレイブロック 5 5 0 及びグラフィックブロック 5 6 0 に対応することができる。サウンド制御部 2 0 8 0 は図 6 のオーディオブロック 5 4 0 に対応することができる。イメージプロセシング部 2 1 2 0 は図 6 のイメージプロセシングブロック 5 7 0 に対応することができる。コーデック部 2 1 5 0 は図 6 のコーデックブロック 5 8 0 に対応することができる。

20

【 0 1 1 3 】

クロック発生部 2 0 2 0 は発生されたクロック C L K をシステムオンチップ 2 2 0 0 へ供給し、マルチメディア装置 2 0 0 0 の構成要素の中でクロック C L K を必要とする他の構成要素へ供給することができる。

【 0 1 1 4 】

システムオンチップ 2 2 0 0 の位相ロックループ 2 0 3 0 は受信されたクロック C L K に同期する第 1 クロック C L K 1 を発生する。レベル変換器 1 0 0 は、図 1 乃至図 5 を参照して説明されたように、高レベル区間及び低レベル区間の比率を維持し、第 1 クロック C L K 1 に基づいて第 2 クロック C L K 2 を発生できる。プロセッサ 2 0 4 0 は第 2 クロック C L K 2 に基づいて動作できる。システムオンチップ 2 2 0 0 の他の構成要素、即ち、メモリー 2 0 5 0、ディスプレイ制御部 2 0 6 0、サウンド制御部 2 0 8 0、モデム 2 1 1 0、イメージプロセシング部 2 1 2 0、及びコーデック部 2 1 5 0 は第 1 クロック C L K 1 に応じて動作できる。

30

【 0 1 1 5 】

図 9 は本発明の実施形態によるレベル変換器 1 0 0 を含むマルチメディア装置 3 0 0 0 の第 3 実施形態を示すブロック図である。図 9 を参照すれば、マルチメディア装置 3 0 0 0 は発振器 3 0 1 0、クロック発生部 3 0 2 0、位相ロックループ 3 0 3 0、プロセッサ 3 0 4 0、メモリー 3 0 5 0、ディスプレイ制御部 3 0 6 0、ディスプレイ部 3 0 7 0、サウンド制御部 3 0 8 0、スピーカ 3 0 9 0、格納部 3 1 0 0、モデム 3 1 1 0、イメージプロセシング部 3 1 2 0、カメラ 3 1 3 0、使用者インターフェイス 3 1 4 0、及びコーデック部 3 1 5 0 を含む。

40

【 0 1 1 6 】

図 7 を参照して説明されたマルチメディア装置 1 0 0 0 と比較すれば、マルチメディア装置 3 0 0 0 で位相ロックループ 3 0 3 0、プロセッサ 3 0 4 0、メモリー 3 0 5 0、ディスプレイ制御部 3 0 6 0、サウンド制御部 3 0 8 0、及びコーデック部 3 1 5 0 がシステムオンチップ 2 2 0 0 を構成することができる。

【 0 1 1 7 】

50

クロック発生部 3020 は発生されたクロック CLK をシステムオンチップ 3200 へ供給し、マルチメディア装置 3000 の構成要素の中でクロック CLK を必要とする他の構成要素へ供給することができる。

【0118】

システムオンチップ 3200 の位相ロックループ 3030 は受信されたクロック CLK に同期する第 1 クロック CLK1 を発生する。レベル変換器 100 は、図 1 乃至図 5 を参照して説明されたように、高レベル区間及び低レベル区間の比率を維持し、第 1 クロック CLK1 に基づいて第 2 クロック CLK2 を発生できる。プロセッサ 3040 は第 2 クロック CLK2 に基づいて動作できる。システムオンチップ 3200 の他の構成要素、即ち、メモリー 3050、ディスプレイ制御部 3060、サウンド制御部 3080、及びコーデック部 3150 は第 1 クロック CLK1 に応じて動作できる。

10

【0119】

図 10 は本発明の実施形態によるレベル変換器 100 を含むマルチメディア装置 4000 の第 4 実施形態を示すブロック図である。図 10 を参照すれば、マルチメディア装置 4000 は発振器 4010、クロック発生部 4020、位相ロックループ 4030、プロセッサ 4040、メモリー 4050、ディスプレイ制御部 4060、ディスプレイ部 4070、サウンド制御部 4080、スピーカ 4090、格納部 4100、モデム 4110、イメージプロセッシング部 4120、カメラ 4130、使用者インターフェイス 4140、及びコーデック部 4150 を含む。

【0120】

20

図 7 を参照して説明されたマルチメディア装置 1000 と比較すれば、マルチメディア装置 4000 で位相ロックループ 4030、プロセッサ 4040、メモリー 4050、ディスプレイ制御部 4060、及びサウンド制御部 4080 がシステムオンチップ 4200 を構成することができる。

【0121】

クロック発生部 4020 は発生されたクロック CLK をシステムオンチップ 4200 へ供給し、マルチメディア装置 4000 の構成要素の中でクロック CLK を必要とする他の構成要素へ供給することができる。

【0122】

システムオンチップ 4200 の位相ロックループ 4030 は受信されたクロック CLK に同期する第 1 クロック CLK1 を発生する。レベル変換器 100 は、図 1 乃至図 5 を参照して説明されたように、高レベル区間及び低レベル区間の比率を維持し、第 1 クロック CLK1 に基づいて第 2 クロック CLK2 を発生できる。プロセッサ 4040 は第 2 クロック CLK2 に基づいて動作できる。システムオンチップ 4200 の他の構成要素、即ち、メモリー 4050、ディスプレイ制御部 4060、及びサウンド制御部 4080 は第 1 クロック CLK1 に応じて動作できる。

30

【0123】

図 11 は本発明の実施形態によるレベル変換器 100 を含むマルチメディア装置 5000 の第 5 実施形態を示すブロック図である。図 11 を参照すれば、マルチメディア装置 5000 は発振器 5010、クロック発生部 5020、位相ロックループ 5030、プロセッサ 5040、メモリー 5050、ディスプレイ制御部 5060、ディスプレイ部 5070、サウンド制御部 5080、スピーカ 5090、格納部 5100、モデム 5110、イメージプロセッシング部 5120、カメラ 5130、使用者インターフェイス 5140、及びコーデック部 5150 を含む。

40

【0124】

図 7 を参照して説明されたマルチメディア装置 1000 と比較すれば、マルチメディア装置 5000 で位相ロックループ 5030、プロセッサ 5040、メモリー 5050、及びディスプレイ制御部 5060 がシステムオンチップ 5200 を構成することができる。

【0125】

50

クロック発生部 5020 は発生されたクロック CLK をシステムオンチップ 5200 へ供給し、マルチメディア装置 5000 の構成要素の中でクロック CLK を必要とする他の構成要素へ供給することができる。

【0126】

システムオンチップ 5200 の位相ロックループ 5030 は受信されたクロック CLK に同期する第 1 クロック CLK1 を発生する。レベル変換器 100 は、図 1 乃至図 5 を参照して説明されたように、高レベル区間及び低レベル区間の比率を維持し、第 1 クロック CLK1 に基づいて第 2 クロック CLK2 を発生できる。プロセッサ 5040 は第 2 クロック CLK2 に基づいて動作できる。システムオンチップ 5200 の他の構成要素、即ち、メモリー 5050 及びディスプレイ制御部 5060 は第 1 クロック CLK1 に応じて動作できる。

10

【0127】

図 12 は本発明の実施形態によるレベル変換器 100 を含むマルチメディア装置 6000 の第 6 実施形態を示すブロック図である。図 12 を参照すれば、マルチメディア装置 6000 は発振器 6010、クロック発生部 6020、位相ロックループ 6030、プロセッサ 6040、メモリー 6050、ディスプレイ制御部 6060、ディスプレイ部 6070、サウンド制御部 6080、スピーカ 6090、格納部 6100、モデム 6110、イメージプロセッシング部 6120、カメラ 6130、使用者インターフェイス 6140、及びコーデック部 6150 を含む。

【0128】

20

図 7 を参照して説明されたマルチメディア装置 1000 と比較すれば、マルチメディア装置 6000 で位相ロックループ 6030、プロセッサ 6040、及びメモリー 6050 がシステムオンチップ 6200 を構成することができる。

【0129】

クロック発生部 6020 は発生されたクロック CLK をシステムオンチップ 6200 へ供給し、マルチメディア装置 6000 の構成要素の中でクロック CLK を必要とする他の構成要素へ供給することができる。

【0130】

システムオンチップ 6200 の位相ロックループ 6030 は受信されたクロック CLK に同期する第 1 クロック CLK1 を発生する。レベル変換器 100 は、図 1 乃至図 5 を参照して説明されたように、高レベル区間及び低レベル区間の比率を維持し、第 1 クロック CLK1 に基づいて第 2 クロック CLK2 を発生できる。プロセッサ 6040 は第 2 クロック CLK2 に基づいて動作できる。システムオンチップ 6200 の他の構成要素、即ち、メモリー 6050 は第 1 クロック CLK1 に応じて動作できる。

30

【0131】

図 13 は本発明の実施形態によるレベル変換器 100 を含むマルチメディア装置 7000 の第 7 実施形態を示すブロック図である。図 13 を参照すれば、マルチメディア装置 7000 は発振器 7010、クロック発生部 7020、位相ロックループ 7030、プロセッサ 7040、メモリー 7050、ディスプレイ制御部 7060、ディスプレイ部 7070、サウンド制御部 7080、スピーカ 7090、格納部 7100、モデム 7110、イメージプロセッシング部 7120、カメラ 7130、使用者インターフェイス 7140、及びコーデック部 7150 を含む。

40

【0132】

図 7 を参照して説明されたマルチメディア装置 1000 と比較すれば、マルチメディア装置 7000 で位相ロックループ 7030、プロセッサ 7040、メモリー 7050、及びサウンド制御部 7080 がシステムオンチップ 7200 を構成することができる。

【0133】

クロック発生部 7020 は発生されたクロック CLK をシステムオンチップ 7200 へ供給し、マルチメディア装置 7000 の構成要素の中でクロック CLK を必要とする他の構成要素へ供給することができる。

50

【 0 1 3 4 】

システムオンチップ 7 2 0 0 の位相ロックループ 7 0 3 0 は受信されたクロック C L K に同期する第 1 クロック C L K 1 を発生する。レベル変換器 1 0 0 は、図 1 乃至図 5 を参照して説明されたように、高レベル区間及び低レベル区間の比率を維持し、第 1 クロック C L K 1 に基づいて第 2 クロック C L K 2 を発生できる。プロセッサ 7 0 4 0 は第 2 クロック C L K 2 に基づいて動作できる。システムオンチップ 7 2 0 0 の他の構成要素、即ち、メモリー 7 0 5 0 及びサウンド制御部 7 0 8 0 は第 1 クロック C L K 1 に応じて動作できる。

【 0 1 3 5 】

図 1 4 は本発明の実施形態によるレベル変換器 1 0 0 を含むマルチメディア装置 8 0 0 0 の第 8 実施形態を示すブロック図である。図 1 4 を参照すれば、マルチメディア装置 8 0 0 0 は発振器 8 0 1 0、クロック発生部 8 0 2 0、位相ロックループ 8 0 3 0、プロセッサ 8 0 4 0、メモリー 8 0 5 0、ディスプレイ制御部 8 0 6 0、ディスプレイ部 8 0 7 0、サウンド制御部 8 0 8 0、スピーカー 8 0 9 0、格納部 8 1 0 0、モデム 8 1 1 0、使用者インターフェイス 8 1 4 0、及びコーデック部 8 1 5 0 を含む。

10

【 0 1 3 6 】

図 7 を参照して説明されたマルチメディア装置 1 0 0 0 と比較すれば、マルチメディア装置 8 0 0 0 でイメージプロセッシング部 1 1 2 0 及びカメラ 1 1 3 0 が提供されないことがある。及び、位相ロックループ 8 0 3 0、プロセッサ 8 0 4 0、メモリー 8 0 5 0、ディスプレイ制御部 8 0 6 0、サウンド制御部 8 0 8 0、及びコーデック部 8 1 5 0 がシステムオンチップ 7 2 0 0 を構成することができる。

20

【 0 1 3 7 】

クロック発生部 8 0 2 0 は発生されたクロック C L K をシステムオンチップ 8 2 0 0 へ供給し、マルチメディア装置 8 0 0 0 の構成要素の中でクロック C L K を必要とする他の構成要素へ供給することができる。

【 0 1 3 8 】

システムオンチップ 8 2 0 0 の位相ロックループ 8 0 3 0 は受信されたクロック C L K に同期する第 1 クロック C L K 1 を発生する。レベル変換器 1 0 0 は、図 1 乃至図 5 を参照して説明されたように、高レベル区間及び低レベル区間の比率を維持し、第 1 クロック C L K 1 に基づいて第 2 クロック C L K 2 を発生できる。プロセッサ 8 0 4 0 は第 2 クロック C L K 2 に基づいて動作できる。システムオンチップ 8 2 0 0 の他の構成要素、即ち、メモリー 8 0 5 0 及びサウンド制御部 8 0 8 0 は第 1 クロック C L K 1 に応じて動作できる。

30

【 0 1 3 9 】

イメージプロセッシング部 2 1 2 0 ~ 7 1 2 0 及びカメラ 2 1 3 0 ~ 7 1 3 0 が提供されないことを除外すれば、マルチメディア装置 8 0 0 0 の構成要素の中でシステムオンチップ 8 2 0 0 を構成する構成要素は図 8 乃至図 1 3 を参照して説明されたように可変され得る。

【 0 1 4 0 】

図 7 乃至図 1 4 を参照して、本発明の実施形態によるマルチメディア装置が説明されたが、本発明の実施形態によるマルチメディア装置は多様な製品で具現され得る。例示的に、本発明の実施形態によるマルチメディア装置はコンピューター、UMPC (Ultra Mobile PC)、ワークステーション、ネットブック (net-book)、PDA (Personal Digital Assistants)、ポータブル (portable) コンピューター、タブレットコンピューター (tablet computer)、無線電話機 (wireless phone)、モバイルフォン (mobile phone)、スマートフォン (smart phone)、e-ブック (e-book)、PMP (portable multimedia player)、携帯用ゲーム機、ナビゲーション (navigation) 装置、ブラックボックス (black box)、デジタルカメラ (digital camera)、DMB (Digita

40

50

l Multimedia Broadcasting)再生器、3次元テレビ(3-dimensional television)、スマートテレビ(smart television)、デジタル音声録音機(digital audio recorder)、デジタル音声再生器(digital audio player)、デジタル映像録画器(digital picture recorder)、デジタル映像再生器(digital picture player)、デジタル動画録画器(digital video recorder)、デジタル動画再生器(digital video player)、情報を無線環境で送受信できる装置、ホームネットワークを構成する多様な電子装置の中で1つ、コンピューターネットワークを構成する多様な電子装置の中で1つ、テレマティクスネットワークを構成する多様な電子装置の中で1つ、RFID装置、又はコンピューティングシステムを構成する多様な構成要素の中で1つ等を構成することができる。

10

【0141】

図15は本発明の実施形態によるスマートフォン9100を示す図面である。図15を参照すれば、スマートフォン9100は外部ケース9110、画面9120、カメラ9130、スピーカー9140、及び動作ボタン9150を含む。

【0142】

画面9120は図7乃至図14を参照して説明されたディスプレイ部1070~8070を構成することができる。カメラ9130は図7乃至図13を参照して説明されたカメラ1130~7130を構成することができる。動作ボタン9150は図7乃至図14を参照して説明された使用者インターフェイス1140~8140を構成することができる。画面9120がタッチスクリーンで形成される時、画面9120また使用者インターフェイス1140~8140を構成することができる。スピーカー9140は図7乃至図14を参照して説明されたスピーカー1090~8090に対応することができる。

20

【0143】

外部ケース9110の内部に、発振器1010~8010、クロック発生部1020~8020、位相ロックループ1030~8030、プロセッサ1040~8040、メモリー1050~8050、ディスプレイ制御部1060~8060、サウンド制御部1080~8080、格納部1100~8100、モデム1110~8110、及びコーデック部1150~8150が提供され得る。外部ケース9110の内部に、イメージプロセッシング部1120~7120がさらに提供され得る。メモリー1050~8050、ディスプレイ制御部1060~8060、サウンド制御部1080~8080、格納部1100~8100、モデム1110~8110、イメージプロセッシング部1120~7120、及びコーデック部1150~7150の中で少なくとも1つは位相ロックループ1030~8030及びプロセッサ1040~8040と共にシステムオンチップ1200~8200を構成することができる。

30

【0144】

クロック発生部1020~8020は発振器1010~8010から受信される発振信号に応じてクロックCLKを発生できる。クロックCLKはシステムオンチップ1200~8200へ供給され得る。位相ロックループ1030~8030はクロックCLKに同期される第1クロックCLK1を発生できる。第1クロックCLK1はシステムオンチップ1200~8200の構成要素へ供給され得る。プロセッサ1040~8040は本発明の実施形態によるレベル変換器100を包含するか、或いはレベル変換器100に連結され得る。レベル変換器100は高レベル区間の比率と低レベル区間の比率を維持し、第1電圧ドメインの第1クロックCLK1を第2電圧ドメインの第2クロックCLK2に変換する。プロセッサ1040~8040は第2クロックCLK2に応じて動作する。システムオンチップ1200~8200の他の構成要素は第1クロックCLK1に応じて動作する。

40

【0145】

図15に図示せずが、スマートフォン9100の後面、上面、下面、及び側面の中で少

50

なくとも１つにディスプレイ部１０７０～８０７０、スピーカー１０９０～８０９０、及び使用者インターフェイス１１４０～８１４０が追加的に提供され得る。また、スマートフォン９１００に連結されるアクセサリ（accessory）として、ディスプレイ部１０７０～８０７０、スピーカー１０９０～８０９０、及び使用者インターフェイス１１４０～８１４０が追加的に提供され得る。

【０１４６】

図１６は本発明の実施形態によるタブレットコンピューター９２００を示す図面である。図１６を参照すれば、タブレットコンピューター９２００は外部ケース９２１０、画面９２２０、カメラ９２３０、及び動作ボタン９２４０を含む。

【０１４７】

画面９２２０は図７乃至図１４を参照して説明されたディスプレイ部１０７０～８０７０を構成することができる。カメラ９２３０は図７乃至図１３を参照して説明されたカメラ１１３０～７１３０を構成することができる。動作ボタン９２４０は図７乃至図１４を参照して説明された使用者インターフェイス１１４０～８１４０を構成することができる。画面９２２０がタッチスクリーンで形成される時、画面９２２０また使用者インターフェイス１１４０～８１４０を構成することができる。

【０１４８】

外部ケース９２１０の内部に、発振器１０１０～８０１０、クロック発生部１０２０～８０２０、位相ロックループ１０３０～８０３０、プロセッサ１０４０～８０４０、メモリー１０５０～８０５０、ディスプレイ制御部１０６０～８０６０、サウンド制御部１０８０～８０８０、格納部１１００～８１００、モデム１１１０～８１１０、及びコーデック部１１５０～８１５０が提供され得る。外部ケース９２１０の内部に、イメージプロセッシング部１１２０～７１２０がさらに提供され得る。メモリー１０５０～８０５０、ディスプレイ制御部１０６０～８０６０、サウンド制御部１０８０～８０８０、格納部１１００～８１００、モデム１１１０～８１１０、イメージプロセッシング部１１２０～７１２０、及びコーデック部１１５０～８１５０の中で少なくとも１つは位相ロックループ１０３０～８０３０及びプロセッサ１０４０～８０４０と共にシステムオンチップ１２００～８２００を構成することができる。

【０１４９】

クロック発生部１０２０～８０２０は発振器１０１０～８０１０から受信される発振信号に応じてクロックCLKを発生できる。クロックCLKはシステムオンチップ１２００～８２００へ供給され得る。位相ロックループ１０３０～８０３０はクロックCLKに同期される第１クロックCLK１を発生できる。第１クロックCLK１はシステムオンチップ１２００～８２００の構成要素へ供給され得る。プロセッサ１０４０～８０４０は本発明の実施形態によるレベル変換器１００を包含するか、或いはレベル変換器１００に連結され得る。レベル変換器１００は高レベル区間の比率と低レベル区間の比率とを維持し、第１電圧ドメインの第１クロックCLK１を第２電圧ドメインの第２クロックCLK２に変換する。プロセッサ１０４０～８０４０は第２クロックCLK２に応じて動作する。システムオンチップ１２００～８２００の他の構成要素は第１クロックCLK１に応じて動作する。

【０１５０】

図１６に図示せずが、タブレットコンピューター９２００の後面、上面、下面、及び側面の中で少なくとも１つへディスプレイ部１０７０～８０７０、スピーカー１０９０～８０９０、及び使用者インターフェイス１１４０～８１４０が追加的に提供され得る。また、タブレットコンピューター６２００に連結されるアクセサリ（accessory）として、ディスプレイ部１０７０～８０７０、スピーカー１０９０～８０９０、及び使用者インターフェイス１１４０～８１４０が追加的に提供され得る。

【０１５１】

図１７は本発明の実施形態によるモバイルコンピューター９３００を示す図面である。図１７を参照すれば、モバイルコンピューター９３００は外部ケース９３１０、画面９３

10

20

30

40

50

20、カメラ9330、スピーカー9340、キーボード9350、及びタッチパッド9360を含む。

【0152】

画面9320は図7乃至図14を参照して説明されたディスプレイ部1070~8070を構成することができる。カメラ9330は図7乃至図13を参照して説明されたカメラ1130~7130を構成することができる。キーボード9350及びタッチパッド9360は図7乃至図14を参照して説明された使用者インターフェイス1140~8140を構成することができる。画面9320がタッチスクリーンで形成される時、画面9320また使用者インターフェイス1140~8140を構成することができる。スピーカー9340は図7乃至図14を参照して説明されたスピーカー1090~8090に対応

10

【0153】

外部ケース9310の内部に、発振器1010~8010、クロック発生部1020~8020、位相ロックループ1030~8030、プロセッサ1040~8040、メモリ1050~8050、ディスプレイ制御部1060~8060、サウンド制御部1080~8080、格納部1100~8100、モデム1110~8110、及びコーデック部1150~8150が提供され得る。外部ケース9310の内部に、イメージプロセッシング部1120~7120がさらに提供され得る。メモリ1050~8050、ディスプレイ制御部1060~8060、サウンド制御部1080~8080、格納部1100~8100、モデム1110~8110、イメージプロセッシング部1120~7120、及びコーデック部1150~7150の中で少なくとも1つは位相ロックループ1030~8030及びプロセッサ1040~8040と共にシステムオンチップ1200~8200を構成することができる。

20

【0154】

クロック発生部1020~8020は発振器1010~8010から受信される発振信号に応じてクロックCLKを発生できる。クロックCLKはシステムオンチップ1200~8200へ供給され得る。位相ロックループ1030~8030はクロックCLKに同期される第1クロックCLK1を発生できる。第1クロックCLK1はシステムオンチップ1200~8200の構成要素へ供給され得る。プロセッサ1040~8040は本発明の実施形態によるレベル変換器100を包含するか、或いはレベル変換器100に連結され得る。レベル変換器100は高レベル区間の比率と低レベル区間の比率とを維持し、第1電圧ドメインの第1クロックCLK1を第2電圧ドメインの第2クロックCLK2に変換する。プロセッサ1040~8040は第2クロックCLK2に応じて動作する。システムオンチップ1200~8200の他の構成要素は第1クロックCLK1に応じて動作する。

30

【0155】

モバイルコンピューター9300はノートブック型コンピューターコンピューター又はネットブックであり得る。図17に図示せずが、モバイルコンピューター9300の後面、上面、下面、及び側面の中で少なくとも1つへディスプレイ部1070~8070、スピーカー1090~8090、及び使用者インターフェイス1140~8140が追加的に提供され得る。また、モバイルコンピューター9300に連結されるアクセサリ(accessory)として、ディスプレイ部1070~8070、スピーカー1090~8090、及び使用者インターフェイス1140~8140が追加的に提供され得る。

40

【0156】

図18は本発明の実施形態によるコンピューター9400を示す図面である。図18を参照すれば、コンピューター9400は本体9410、モニター9420、及びキーボード9430を含む。

【0157】

モニター9420は図7乃至図14を参照して説明されたディスプレイ部1070~8070を構成することができる。キーボード9430は図7乃至図14を参照して説明さ

50

れた使用者インターフェイス 1140 ~ 8140 を構成することができる。モニター 9420 がタッチスクリーンで形成される時、モニター 9420 また使用者インターフェイス 1140 ~ 8140 を構成することができる。

【0158】

本体 9410 の内部に、発振器 1010 ~ 8010、クロック発生部 1020 ~ 8020、位相ロックループ 1030 ~ 8030、プロセッサ 1040 ~ 8040、メモリー 1050 ~ 8050、ディスプレイ制御部 1060 ~ 8060、サウンド制御部 1080 ~ 8080、格納部 1100 ~ 8100、モデム 1110 ~ 8110、及びコーデック部 1150 ~ 8150 が提供され得る。本体 9410 の内部に、イメージプロセッシング部 1120 ~ 7120 がさらに提供され得る。メモリー 1050 ~ 8050、ディスプレイ制御部 1060 ~ 8060、サウンド制御部 1080 ~ 8080、格納部 1100 ~ 8100、モデム 1110 ~ 8110、イメージプロセッシング部 1120 ~ 7120、及びコーデック部 1150 ~ 7150 の中で少なくとも 1 つは位相ロックループ 1030 ~ 8030 及びプロセッサ 1040 ~ 8040 と共にシステムオンチップ 1200 ~ 8200 を構成することができる。

10

【0159】

クロック発生部 1020 ~ 8020 は発振器 1010 ~ 8010 から受信される発振信号に応じてクロック CLK を発生できる。クロック CLK はシステムオンチップ 1200 ~ 8200 へ供給され得る。位相ロックループ 1030 ~ 8030 はクロック CLK に同期される第 1 クロック CLK1 を発生できる。第 1 クロック CLK1 はシステムオンチップ 1200 ~ 8200 の構成要素へ供給され得る。プロセッサ 1040 ~ 8040 は本発明の実施形態によるレベル変換器 100 を包含するか、或いはレベル変換器 100 に連結され得る。レベル変換器 100 は高レベル区間の比率と低レベル区間の比率とを維持し、第 1 電圧ドメインの第 1 クロック CLK1 を第 2 電圧ドメインの第 2 クロック CLK2 に変換する。プロセッサ 1040 ~ 8040 は第 2 クロック CLK2 に応じて動作する。システムオンチップ 1200 ~ 8200 の他の構成要素は第 1 クロック CLK1 に応じて動作する。

20

【0160】

図 18 に図示せずが、コンピューター 9400 の後面、上面、下面、及び側面の中で少なくとも 1 つへディスプレイ部 1070 ~ 8070、スピーカー 1090 ~ 8090、及び使用者インターフェイス 1140 ~ 8140 が追加的に提供され得る。また、コンピューター 6400 に連結されるアクセサリ (accessory) として、ディスプレイ部 1070 ~ 8070、スピーカー 1090 ~ 8090、及び使用者インターフェイス 1140 ~ 8140 が追加的に提供され得る。

30

【0161】

図 19 は本発明の実施形態によるテレビ 9500 を示す図面である。図 19 を参照すれば、テレビ 9500 は外部ケース 9510、画面 9520、及び動作ボタン 9530 を含む。

【0162】

画面 9520 は図 7 乃至図 14 を参照して説明されたディスプレイ部 1070 ~ 8070 を構成することができる。動作ボタン 9530 は図 7 乃至図 14 を参照して説明された使用者インターフェイス 1140 ~ 8140 を構成することができる。画面 9520 がタッチスクリーンで形成される時、画面 9520 また使用者インターフェイス 1140 ~ 8140 を構成することができる。

40

【0163】

外部ケース 9510 の内部に、発振器 1010 ~ 8010、クロック発生部 1020 ~ 8020、位相ロックループ 1030 ~ 8030、プロセッサ 1040 ~ 8040、メモリー 1050 ~ 8050、ディスプレイ制御部 1060 ~ 8060、サウンド制御部 1080 ~ 8080、格納部 1100 ~ 8100、モデム 1110 ~ 8110、及びコーデック部 1150 ~ 8150 が提供され得る。外部ケース 9510 の内部に、イメージプロ

50

セシング部 1 1 2 0 ~ 7 1 2 0 がさらに提供され得る。メモリー 1 0 5 0 ~ 8 0 5 0、ディスプレイ制御部 1 0 6 0 ~ 8 0 6 0、サウンド制御部 1 0 8 0 ~ 8 0 8 0、格納部 1 1 0 0 ~ 8 1 0 0、モデム 1 1 1 0 ~ 8 1 1 0、イメージプロセシング部 1 1 2 0 ~ 7 1 2 0、及びコーデック部 1 1 5 0 ~ 7 1 5 0 の中で少なくとも 1 つは位相ロックループ 1 0 3 0 ~ 8 0 3 0 及びプロセッサ 1 0 4 0 ~ 8 0 4 0 と共にシステムオンチップ 1 2 0 0 ~ 8 2 0 0 を構成することができる。

【 0 1 6 4 】

クロック発生部 1 0 2 0 ~ 8 0 2 0 は発振器 1 0 1 0 ~ 8 0 1 0 から受信される発振信号に応じてクロック C L K を発生できる。クロック C L K はシステムオンチップ 1 2 0 0 ~ 8 2 0 0 へ供給され得る。位相ロックループ 1 0 3 0 ~ 8 0 3 0 はクロック C L K に同期される第 1 クロック C L K 1 を発生できる。第 1 クロック C L K 1 はシステムオンチップ 1 2 0 0 ~ 8 2 0 0 の構成要素へ供給され得る。プロセッサ 1 0 4 0 ~ 8 0 4 0 は本発明の実施形態によるレベル変換器 1 0 0 を包含するか、或いはレベル変換器 1 0 0 に連結され得る。レベル変換器 1 0 0 は高レベル区間の比率と低レベル区間の比率とを維持し、第 1 電圧ドメインの第 1 クロック C L K 1 を第 2 電圧ドメインの第 2 クロック C L K 2 に変換する。プロセッサ 1 0 4 0 ~ 8 0 4 0 は第 2 クロック C L K 2 に応じて動作する。システムオンチップ 1 2 0 0 ~ 8 2 0 0 の他の構成要素は第 1 クロック C L K 1 に応じて動作する。

【 0 1 6 5 】

テレビ 9 5 0 0 は 3 次元テレビ及びスマートテレビであり得る。図 1 9 に図示せずが、テレビ 9 5 0 0 の後面、上面、下面、及び側面の中で少なくとも 1 つヘディスプレイ部 1 0 7 0 ~ 8 0 7 0、スピーカー 1 0 9 0 ~ 8 0 9 0、及び使用者インターフェイス 1 1 4 0 ~ 8 1 4 0 が追加的に提供され得る。また、テレビ 6 5 0 0 に連結されるアクセサリ (a c c e s s o r y) として、ディスプレイ部 1 0 7 0 ~ 8 0 7 0、スピーカー 1 0 9 0 ~ 8 0 9 0、及び使用者インターフェイス 1 1 4 0 ~ 8 1 4 0 が追加的に提供され得る。例示的に、テレビ 9 5 0 0 と通信するリモートコントローラ (r e m o t e c o n t r o l l e r) が使用者インターフェイス 1 1 4 0 ~ 8 1 4 0 に追加的に提供され得る。

【 0 1 6 6 】

本発明の詳細な説明では具体的な実施形態に関して説明したが、本発明の範囲と技術的思想で逸脱しない限度内で様々な変形が可能する。したがって本発明の範囲は上述した実施形態に限定されることなく、後述する特許請求の範囲のみでなくこの発明の特許請求の範囲と均等なことによって定めなければならない。

【 符号の説明 】

【 0 1 6 7 】

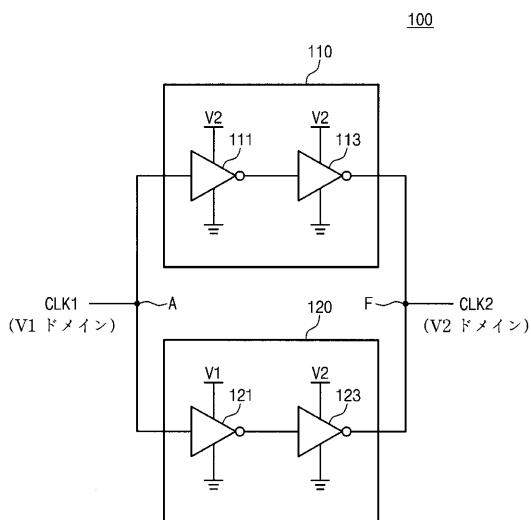
1 0 0	レベル変換器
1 1 0	第 1 電圧変換回路
1 1 1	第 1 インバータ
1 1 3	第 2 インバータ
1 2 0	第 2 電圧変換回路
1 2 1	第 3 インバータ
1 2 3	第 4 インバータ
N 1 ~ N 4	N M O S トランジスター
P 1 ~ P 4	P M O S トランジスター
5 0 0	システムオンチップ (S O C)
5 1 0	プロセッサ
5 1 2 ~ 5 1 9	フリップフロップ
5 2 0	位相ロックループ
5 3 0	周辺ブロック
5 4 0	オーディオブロック

5 5 0	ディスプレイブロック
5 6 0	グラフィックブロック
5 7 0	イメージプロセッシングブロック
5 8 0	コーデックブロック
1 0 0 0 ~ 8 0 0 0	マルチメディア装置
1 0 1 0 ~ 8 0 1 0	発振器
1 0 2 0 ~ 8 0 2 0	クロック発生部
1 0 3 0 ~ 8 0 3 0	位相ロックループ
1 0 4 0 ~ 8 0 4 0	プロセッサ
1 0 5 0 ~ 8 0 5 0	メモリ
1 0 6 0 ~ 8 0 6 0	ディスプレイ制御部
1 0 7 0 ~ 8 0 7 0	ディスプレイ部
1 0 8 0 ~ 8 0 8 0	サウンド制御部
1 0 9 0 ~ 8 0 9 0	スピーカー
1 1 0 0 ~ 8 1 0 0	格納部
1 1 1 0 ~ 8 1 1 0	モデム
1 1 2 0 ~ 7 1 2 0	イメージプロセッシング部
1 1 3 0 ~ 8 1 3 0	カメラ
1 1 4 0 ~ 8 1 4 0	使用者インターフェイス
1 1 5 0 ~ 8 1 5 0	コーデック部
9 1 0 0	スマートフォン
9 2 0 0	タブレットコンピューター
9 3 0 0	モバイルコンピューター
9 4 0 0	コンピューター
9 5 0 0	テレビ

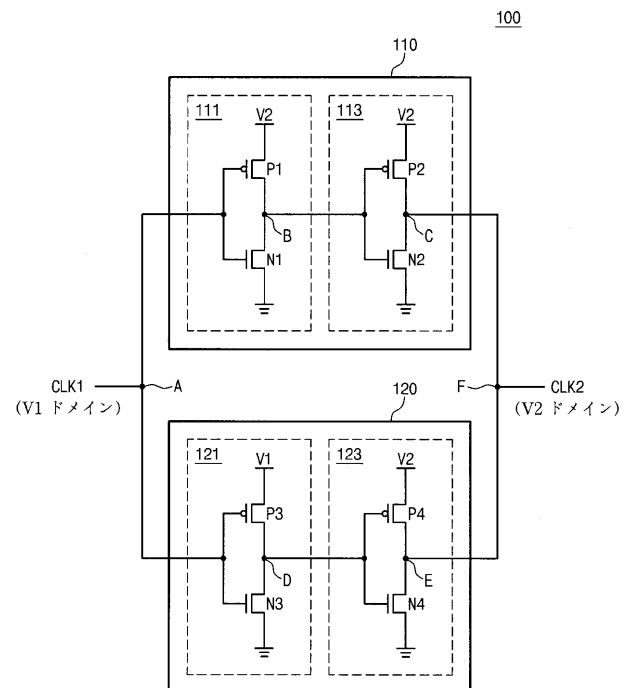
10

20

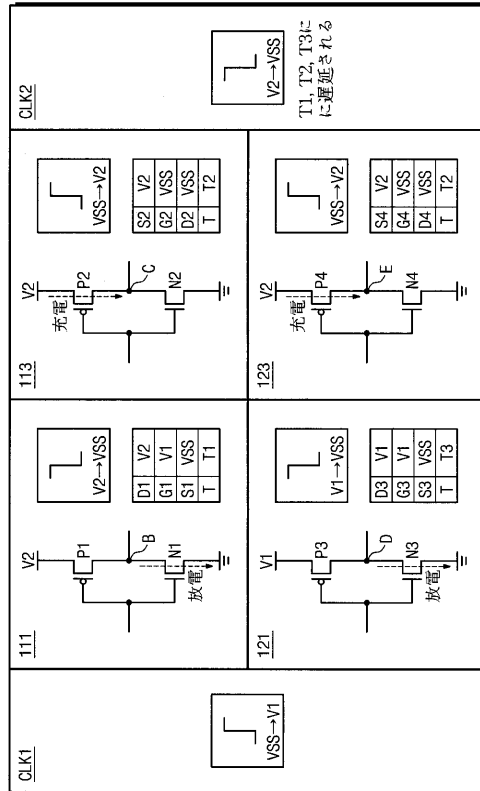
【図 1】



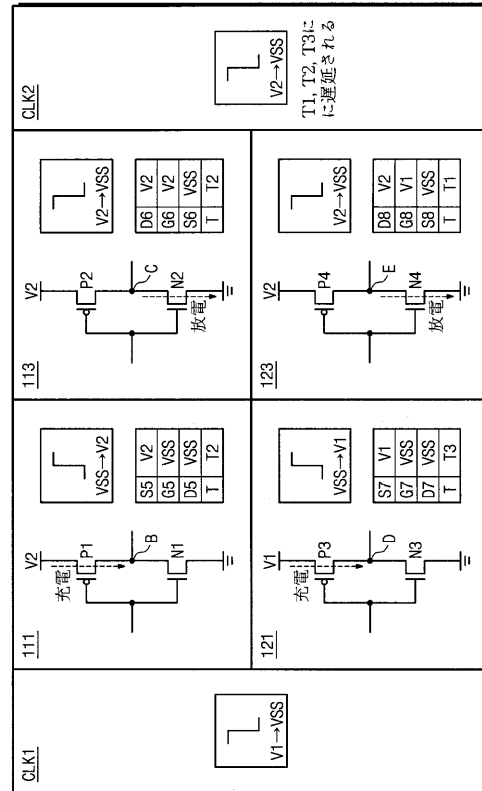
【図 2】



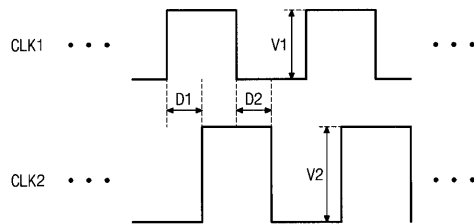
【図 3】



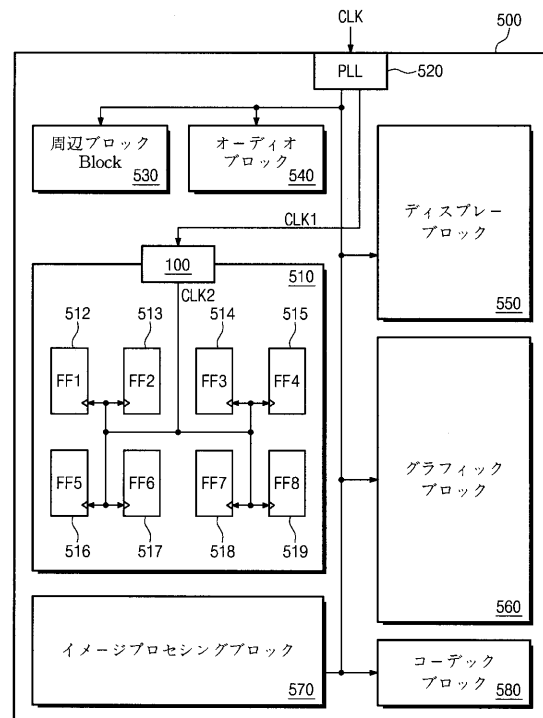
【図 4】



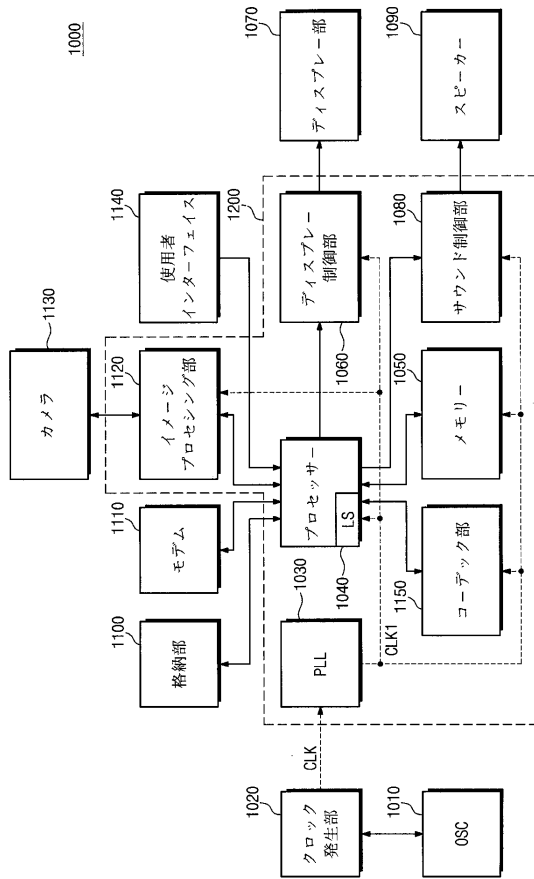
【図 5】



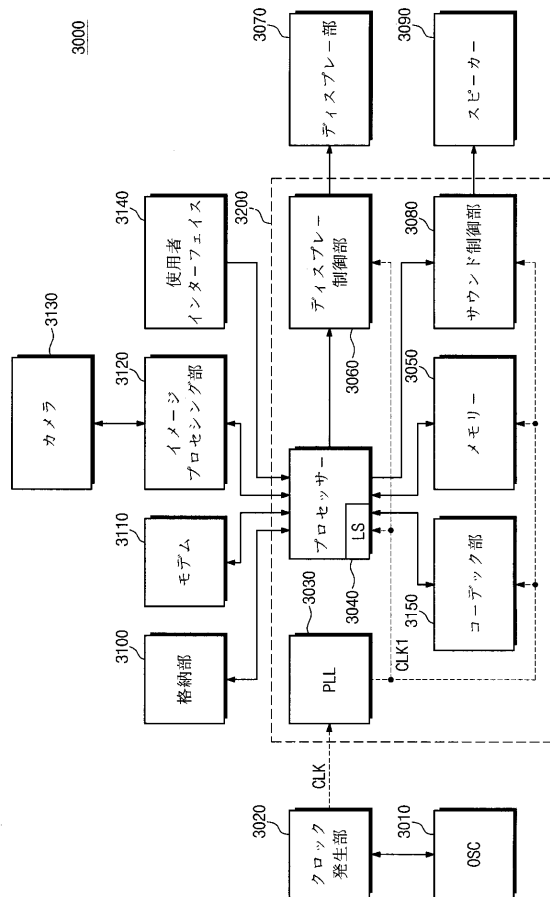
【図 6】



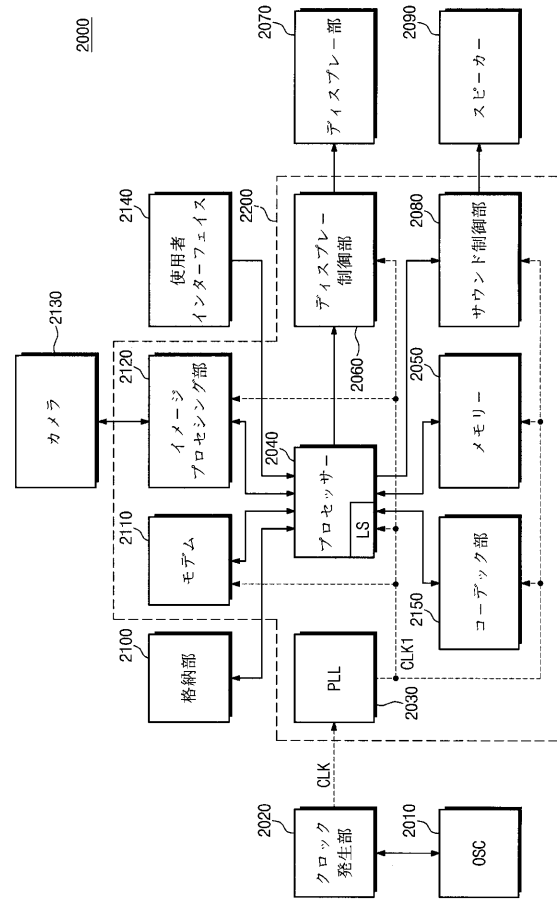
【図 7】



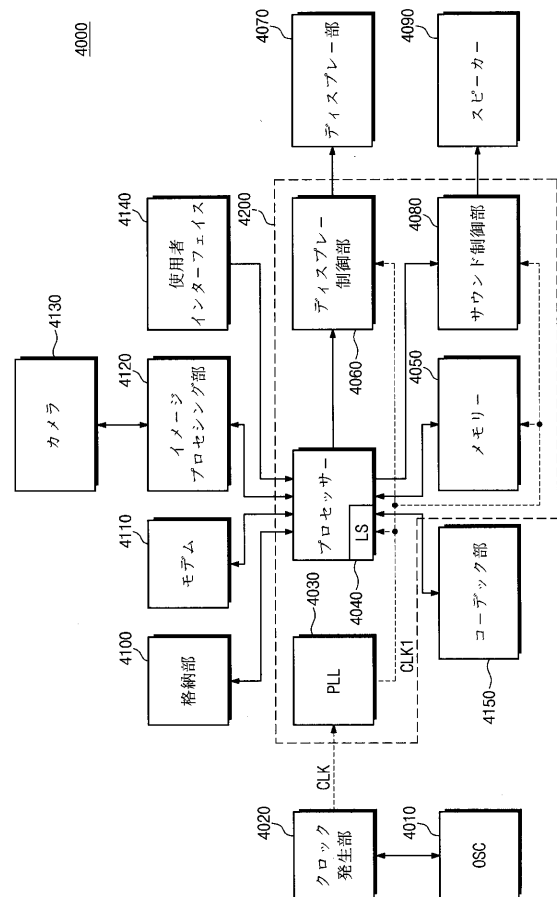
【図 9】



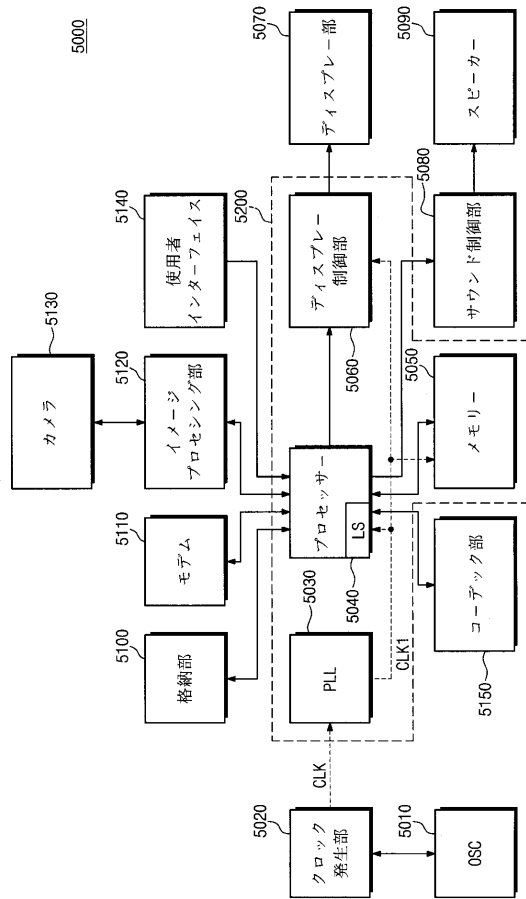
【図 8】



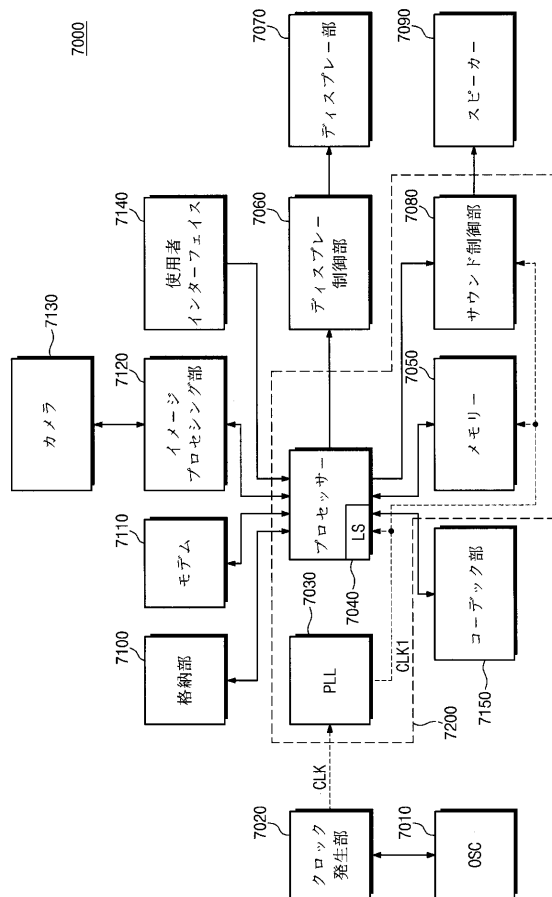
【図 10】



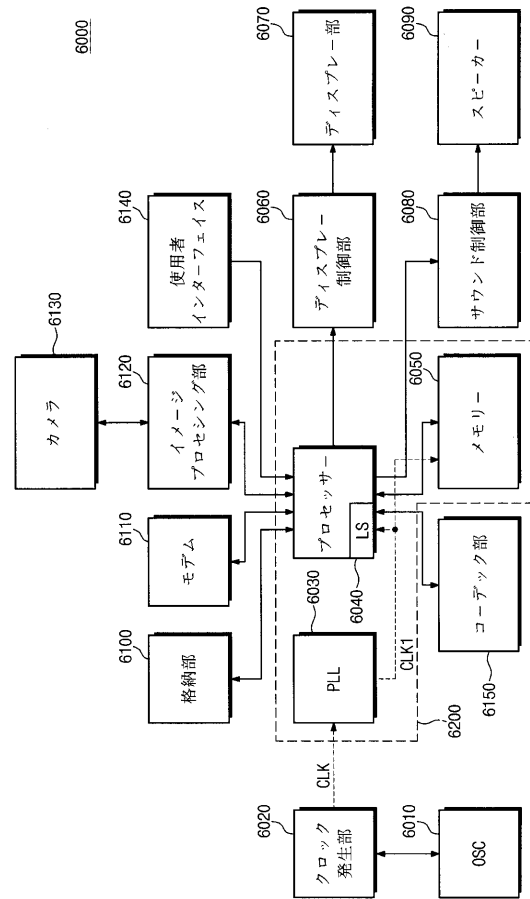
【図 1 1】



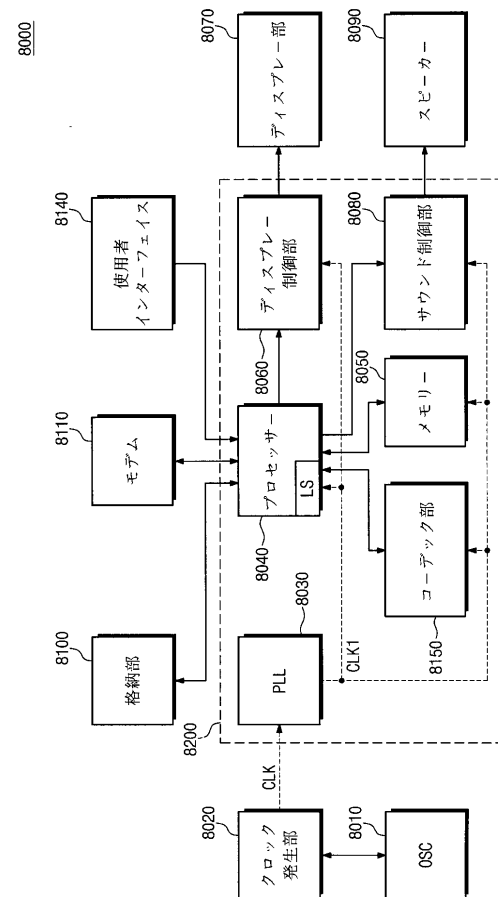
【図 1 3】



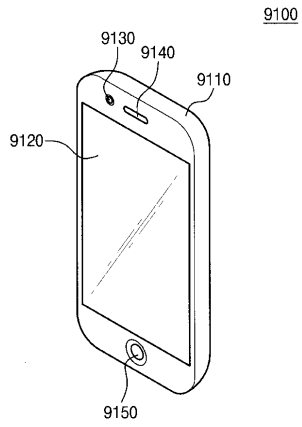
【図 1 2】



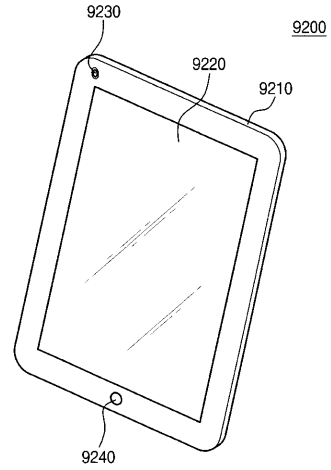
【図 1 4】



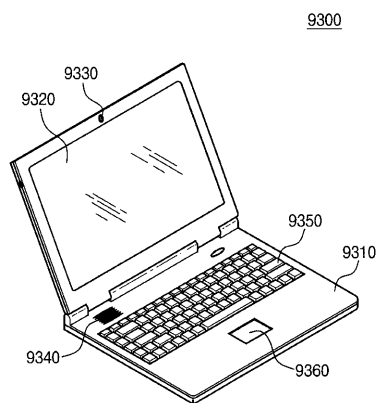
【図 15】



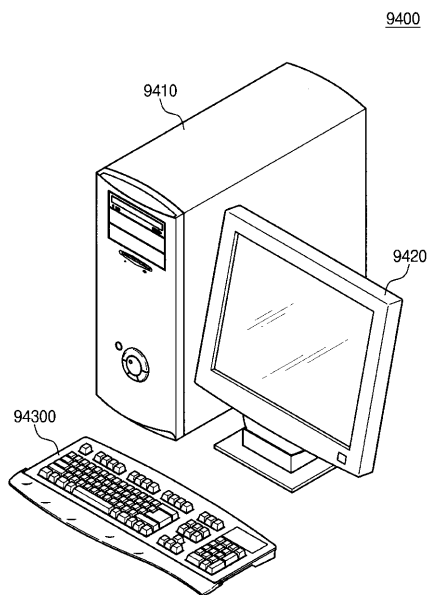
【図 16】



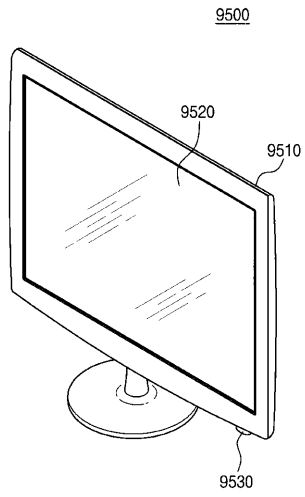
【図 17】



【図 18】



【図 19】



フロントページの続き

(72)発明者 具 滋天

大韓民国ソウル特別市江南区道谷洞(番地なし) 道谷レクセルアパート102棟506号

(72)発明者 林 慶默

大韓民国京畿道華城市石隅洞(番地なし) ウミリンブンギョンチェアパート116棟3202号

Fターム(参考) 5J056 AA37 BB21 DD13 DD29 EE06 EE08 EE15 FF01 GG09 KK01