

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2008-244981

(P2008-244981A)

(43) 公開日 平成20年10月9日(2008.10.9)

(51) Int.Cl.	F I	テーマコード (参考)
HO4N 5/445 (2006.01)	HO4N 5/445 Z	5C025
HO4N 7/173 (2006.01)	HO4N 7/173 630	5C082
GO9G 5/00 (2006.01)	GO9G 5/00 530M	5C164
	GO9G 5/00 510S	

審査請求 有 請求項の数 5 O L (全 11 頁)

(21) 出願番号 特願2007-83995 (P2007-83995)  
 (22) 出願日 平成19年3月28日 (2007. 3. 28)

(71) 出願人 00002369  
 セイコーエプソン株式会社  
 東京都新宿区西新宿2丁目4番1号  
 (74) 代理人 100098084  
 弁理士 川▲崎▼ 研二  
 (72) 発明者 田村 明彦  
 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内  
 Fターム(参考) 5C025 CA09 CB10 DA10  
 5C082 AA02 BB32 CA55 CB01 DA32  
 MM04  
 5C164 UA31S UB88P

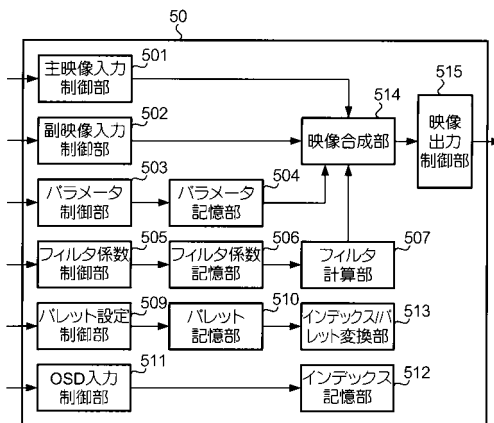
(54) 【発明の名称】 映像合成装置および映像出力装置

(57) 【要約】

【課題】 画素ごとに映像の合成を行うこと。

【解決手段】 映像合成装置は、第1の映像の入力を制御する第1の映像入力制御部と、第2の映像の入力を制御する第2の映像入力制御部と、第1の映像入力制御部により入力された第1の映像および前記第2の映像入力制御部により入力された第2の映像を合成する際の相対位置関係を示すパラメータを入力するパラメータ入力制御部と、前記パラメータ入力制御部により入力されたパラメータに従って、前記第1の映像および前記第2の映像を画素ごとに合成し、合成映像を生成する映像合成部と、前記映像合成部により生成された合成映像を出力する出力部とを有する。

【選択図】 図2



**【特許請求の範囲】****【請求項 1】**

第 1 の映像を入力する第 1 の映像入力部と、  
第 2 の映像を入力する第 2 の映像入力部と、  
前記第 1 の映像入力部により入力された第 1 の映像および前記第 2 の映像入力部により入力された第 2 の映像を合成する際の相対位置関係を示すパラメータを入力するパラメータ入力部と、  
前記パラメータ入力部により入力されたパラメータに従って、前記第 1 の映像および前記第 2 の映像を画素ごとに合成し、合成映像を生成する映像合成部と、  
前記映像合成部により生成された合成映像を出力する出力部と  
を有する映像合成装置。

10

**【請求項 2】**

前記第 2 の映像に対しフィルタ処理を行うフィルタ処理部を有し、  
前記映像合成部が、前記第 1 の映像および前記フィルタ処理部によりフィルタ処理された第 2 の映像を合成することを特徴とする請求項 1 に記載の映像合成装置。

**【請求項 3】**

前記第 2 の映像が、前記第 1 の映像よりもデータ量の少ないデータ形式で表され、  
前記第 2 の映像のデータ形式を前記第 1 の映像のデータ形式に変換するための変換情報を記憶する変換情報記憶部と、  
前記変換情報記憶手段に記憶された変換情報に基づいて、前記第 2 の映像のデータ形式を前記第 1 の映像のデータ形式と同じデータ形式に変換する変換部と  
を有する請求項 1 に記載の映像合成装置。

20

**【請求項 4】**

前記第 2 の映像入力部により入力された映像のうち処理対象となる処理対象画素および前記処理対象画素の水平方向および垂直方向に隣接する隣接画素を含む、少なくとも 5 つの画素のデータを記憶する画素記憶部を有し、  
前記フィルタ処理部が、前記記憶部に記憶されたデータを用いて、前記処理対象画素の水平方向および垂直方向の 2 方向にフィルタ処理を行う  
ことを特徴とする請求項 1 に記載の映像合成装置。

30

**【請求項 5】**

前記第 1 の映像を記憶する第 1 の映像記憶部と、  
前記第 2 の映像を記憶する第 2 の映像記憶部と、  
請求項 1 ~ 4 のいずれかの項に記載された映像合成装置と  
を有し、  
前記映像合成装置が、前記第 1 の映像記憶部に記憶された第 1 の映像と前記第 2 の映像記憶部に記憶された第 2 の映像とを合成することを特徴とする映像出力装置。

**【発明の詳細な説明】****【技術分野】**

40

**【0001】**

本発明は、映像の合成を行う映像合成装置および映像出力装置に関する。

**【背景技術】****【0002】**

テレビ、ディスプレイ、プロジェクタなどの映像出力装置において、映像を重ねて OSD (On Screen Display) のような別の映像を表示する技術が知られている。例えば特許文献 1 は、映像の合成を行う映像合成回路を開示している。

**【0003】**

【特許文献 1】国際公開第 2004/090860 号パンフレット

**【発明の開示】**

50

**【発明が解決しようとする課題】****【0004】**

特許文献1の映像合成回路は、映像をライン単位で処理している。すなわち、回路内部にラインバッファを有している必要があった。

これに対し本発明は、より少ないメモリで映像の合成を行う技術を提供する。

**【課題を解決するための手段】****【0005】**

上述の課題を解決するため、本発明は、第1の映像の入力を制御する第1の映像入力制御部と、第2の映像の入力を制御する第2の映像入力制御部と、第1の映像入力制御部により入力された第1の映像および前記第2の映像入力制御部により入力された第2の映像を合成する際の相対位置関係を示すパラメータを入力するパラメータ入力制御部と、前記パラメータ入力制御部により入力されたパラメータに従って、前記第1の映像および前記第2の映像を画素ごとに合成し、合成映像を生成する映像合成部と、前記映像合成部により生成された合成映像を出力する出力部とを有する映像合成装置を提供する。

この映像合成装置によれば、映像の合成は画素ごとに行われる。

**【0006】**

好ましい態様において、この映像合成装置は、前記第2の映像に対しフィルタ処理を行うフィルタ処理部を有し、前記映像合成部が、前記第1の映像および前記フィルタ処理部によりフィルタ処理された第2の映像を合成してもよい。

この映像合成装置によれば、合成前の映像に対しフィルタ処理が行われる。

**【0007】**

別の好ましい態様において、この映像合成装置は、前記第2の映像が、前記第1の映像よりもデータ量の少ないデータ形式で表され、前記第2の映像のデータ形式を前記第1の映像のデータ形式に変換するための変換情報を記憶する変換情報記憶部と、前記変換情報記憶手段に記憶された変換情報に基づいて、前記第2の映像のデータ形式を前記第1の映像のデータ形式と同じデータ形式に変換する変換部とを有してもよい。

この映像合成装置によれば、第2の映像は第1の映像よりもデータ量が少ない形式で表される。

**【0008】**

さらに別の好ましい態様において、この映像合成装置は、前記第2の映像入力制御部により入力された映像のうち処理対象となる処理対象画素および前記処理対象画素の水平方向および垂直方向に隣接する隣接画素を含む、少なくとも5つの画素のデータを記憶する画素記憶部を有し、前記フィルタ処理部が、前記記憶部に記憶されたデータを用いて、前記処理対象画素の水平方向および垂直方向の2方向にフィルタ処理を行ってもよい。

この映像合成装置によれば、第2の映像合成装置に対して水平方向および垂直方向の2方向のフィルタ処理が行われる。

**【0009】**

また、この発明は、前記第1の映像を記憶する第1の映像記憶部と、前記第2の映像を記憶する第2の映像記憶部と、上記いずれかの映像合成装置とを有し、前記映像合成装置が、前記第1の映像記憶部に記憶された第1の映像と前記第2の映像記憶部に記憶された第2の映像とを合成する映像出力装置を提供する。

この映像出力装置によれば、画素ごとに合成された映像が出力される。

**【発明を実施するための最良の形態】****【0010】****1. 構成**

図1は、本発明の一実施形態に係る映像出力装置1の構成を示す図である。本実施形態において、映像出力装置1はプロジェクタである。映像出力装置1は、画素単位で映像の処理を行うことにより、ラインバッファを用いずに、第1の映像（例えば主映像または副映像）と第2の映像（例えばOSD映像）の合成を行うものである。ここで「映像」とは、静止画、動画、およびこれらの組み合わせを含む。外部記憶部10は、主映像、副映像

10

20

30

40

50

およびOSD映像など、出力される映像または処理の対象となる映像を示すデータを記憶する記憶装置である。主映像および副映像は、マトリクス状に配置された複数の画素を有する。主映像および副映像において、各画素は、ある表色系（例えばRGB表色系）により示される色のデータを含む。OSD映像も、マトリクス状に配置された複数の画素を有する。OSD映像において、各画素は、主映像および副映像よりもデータ量の少ない形式（例えばインデックス形式）で示される色のデータを含む。

#### 【0011】

メモリ制御部20は、外部記憶部10から必要なデータを読み出し、読み出したデータを他の構成要素に出力する。IP(interlace/progressive)変換処理部30は、主映像または副映像に対し必要に応じてインターレース/プログレッシブ処理を行う。映像拡大縮小処理部40は、主映像または副映像の拡大または縮小を行う。映像合成部50は、主映像または副映像と、OSD映像とを合成し、合成映像を生成する。台形補正処理部60は、合成映像に対し台形補正処理を行い、出力映像を生成する。出力部70は、出力映像に従って映像を出力する。制御部80は、映像出力装置1の各構成要素を制御する。制御部80は、プロセッサおよびメモリを有する。

10

#### 【0012】

図2は、映像合成部50の構成を示す図である。主映像入力制御部501は、映像合成部514の状態をモニタし、主映像の入力を制御する。映像合成部514は、主映像入力制御部501にビジー(busy)信号を出力する。ビジー信号が「True」のとき、主映像入力制御部501は、処理対象となる画素のデータを映像合成部514に出力しない。すなわち、ビジー信号が「True」のとき、主映像入力制御部501は、処理対象となる画素以外の画素、例えば直前に処理対象であった画素のデータを映像合成部514に出力する。あるいは、ビジー信号が「True」のとき、主映像入力制御部501は、ブランクのデータを映像合成部514に出力してもよい。ビジー信号が「False」のとき、主映像入力制御部501は、処理対象となる画素のデータを映像合成部514に出力する。なお実際にビジー制御をするのは後述する映像合成部514である。主映像入力制御部501は、リングバッファを用いたキューで実装されてもよい。映像合成部50と映像拡大縮小処理部40はバスで接続されているので、主映像入力制御部501はバスマスタである。同様に、副映像入力制御部502は、映像合成部514の状態をモニタし、副映像の入力を制御する。

20

30

#### 【0013】

OSD入力制御部511は、外部記憶部10に記憶されているOSDインデックス映像の読み出し制御を行う。OSD入力制御部511は、バスマスタである。OSD入力制御部511は、読み出したOSDインデックス映像をインデックス記憶部512に出力する。インデックス記憶部512は、OSDインデックス映像を記憶するメモリである。インデックス記憶部512は、複数のラインバッファを有する。インデックス記憶部512は、処理を高速にするために設けられている。インデックス記憶部512の容量は任意である。インデックス記憶部512は、処理対象画素の周辺の画素、例えば、処理対象画素を中心として上下左右に1画素ずつ、計5画素のデータをインデックス/パレット変換部513に出力する。

40

#### 【0014】

インデックス/パレット変換部513は、パレット記憶部510に記憶されているデータに基づいて、OSDインデックス映像をRGBデータに変換する。パレット記憶部510は、OSDインデックスをRGBデータに変換するためのデータを記憶する。また、パレット記憶部510は、OSDインデックスを透明度に変換するデータを記憶する。パレット記憶部510に記憶されるデータは、パレット設定制御部509により更新される。すなわちパレット設定制御部509は、制御部80の制御下で、パレットの設定、すなわちパレット記憶部510のデータの変更を行う。パレット設定制御部509はバスマスタである。インデックス/パレット変換部513は、RGB形式に変換された画素のデータをフィルタ計算部507に出力する。

50

## 【0015】

フィルタ計算部507は、インデックス/パレット変換により得られた画素データに対し、フィルタ係数記憶部506に記憶されているフィルタ係数を用いてフィルタ計算を行う。フィルタ係数記憶部506は、フィルタ係数など、フィルタ処理に用いられるパラメータを記憶する。フィルタ係数記憶部506に記憶されるデータは、フィルタ係数制御部505により設定される。すなわち、フィルタ係数制御部505は、制御部80の制御下でフィルタ係数の設定を行う。フィルタ係数制御部505はバススレーブである。

## 【0016】

また、フィルタ計算部507は、映像合成部514の状態をモニタし、OSD映像の入力を制御する。映像合成部514は、フィルタ計算部507にビジー信号を出力する。ビジー信号が「True」のとき、フィルタ計算部507は、処理対象となる画素のデータを映像合成部514に出力しない。ビジー信号が「False」のとき、フィルタ計算部507は、フィルタ処理された画素データを映像合成部514に出力する。

10

## 【0017】

映像合成部514は、主映像、副映像およびOSD映像を合成する。映像合成部514は、画素を単位として映像を合成する。また、映像合成部514は、パラメータ記憶部504に記憶されたパラメータに基づいて合成を行う。パラメータ記憶部504は、映像の合成に必要なパラメータを記憶する。本実施形態において、パラメータ記憶部504は、主映像の幅 $w_1$ 、主映像の高さ $h_1$ 、OSD映像の幅 $w_2$ 、OSD映像の高さ $h_2$ 、OSDメモリ幅 $m$ 、OSDメモリ高さ $n$ 、合成映像幅 $w_3$ 、合成映像高さ $h_3$ 、主映像の水平位置 $x_1$ 、主映像の垂直位置 $y_1$ 、OSD映像の水平位置 $x_2$ 、OSD映像の垂直位置 $y_2$ 、および背景色を記憶する。パラメータ記憶部504に記憶されるデータは、パラメータ制御部503により設定される。すなわち、パラメータ制御部503は、制御部80の制御下でパラメータの設定を行う。

20

## 【0018】

また、映像合成部514は、映像出力制御部515の状態をモニタし、合成映像の出力を制御する。映像合成部514は、映像出力制御部515に合成映像のデータおよびイネーブル(Enable)信号を出力する。映像出力制御部515は、後段の台形補正処理部60の状態をモニタし、必要に応じて合成映像を出力する。なお実際にビジー制御をするのは映像合成部514である。映像出力制御部515は、リングバッファを用いたキューで実装されてもよい。

30

## 【0019】

図3は、主映像を例示する図である。図4は、OSD映像を例示する図である。図5は、合成映像を例示する図である。以下、合成映像における画素の位置を $xy$ 直交座標系を用いて表す。主映像は、高さ $h_1$ および幅 $w_1$ を有する。OSD映像は、高さ $h_2$ および幅 $w_2$ を有する。合成映像は、高さ $h_3$ および幅 $w_3$ を有する。合成映像において、主映像は、代表点、例えば左上頂点の位置が $(x_1, y_1)$ となる位置に配置される。OSD映像は、代表点、例えば左上頂点の位置が $(x_2, y_2)$ となる位置に配置される。

## 【0020】

図6は、OSD映像のデータ形式を示す図である。外部記憶部10は、OSD映像を記憶する領域として、幅 $m$ および高さ $n$ を有する $m \times n$ のマトリクス状の記憶領域(以下「OSDメモリ」という)を有する。マトリクスのセルはそれぞれ、1つの画素を示す。OSD映像データは、インデックス形式で記憶される。インデックス形式のデータは、後述するパレット(あるいはLUT: Look Up Table)に記憶された色を指定するものである。すなわち、OSD映像データは、RGB形式よりデータ量の少ないデータ、例えば8ビットのデータである。

40

## 【0021】

図7は、パレット記憶部510に記憶されるLUTを例示する図である。LUTは、インデックスの値と、そのインデックスの値に対応するRGB各色成分の値と、そのインデックスの値に対応する透明度の値を有するデータセットを複数、ここでは256個含む

50

。例えばインデックス  $OSD\_PALETTE = 0$  の場合、各色成分の値は  $(R, G, B) = (R_0, G_0, B_0)$  である。またこのとき、 $= 0$  である。

【0022】

## 2. 動作

映像出力装置 1 の動作の概要は次のとおりである。主映像または副映像は、IP 変換処理および拡大縮小処理を経て映像合成部 50 に供給される。OSD 映像は、直接、映像合成部 50 に供給される。映像合成部 50 は、主映像または副映像と OSD 映像とを合成する。合成された映像は台形補正処理され、出力される。以下、映像合成部 50 における映像合成処理、特に内部モジュールである映像合成部 514 の動作について説明する。

【0023】

図 8 は、映像合成部 514 の状態遷移図を示す。状態 WAIT において、映像合成部 514 は、垂直同期信号がオフの場合は状態 WAIT を維持し、垂直同期信号がオンになると状態 FIX\_REG に移行する。

【0024】

状態 FIX\_REG において、映像合成部 514 は、映像の合成に用いられるパラメータを確定する。パラメータは、制御部 80 により設定される。パラメータが確定すると、映像合成部 514 は、状態 INIT に移行する。

【0025】

状態 INIT において、映像合成部 514 は、初期化処理を行う。映像合成部 514 は、まず、処理対象画素の水平位置  $pos\_x$  および処理対象画素の垂直位置  $pos\_y$  を、 $(pos\_x, pos\_y) = (0, 0)$  に設定する。さらに映像合成部 514 は、初期化された座標に基づいてビジー制御を行う。ビジー制御は以下で説明するものと同様である。以上の処理を行うと、映像合成部 514 は、状態 OVERLAP に移行する。

【0026】

状態 OVERLAP において、映像合成部 514 は、主映像入力制御部 501 に出力するビジー信号の値を、画素  $(pos\_x, pos\_y)$  に基づいて決定する。すなわち、画素  $(pos\_x, pos\_y)$  が主映像を含む場合、映像合成部 514 は、ビジー信号の値を「False」に決定する。画素  $(pos\_x, pos\_y)$  が主映像を含まない場合、映像合成部 50 は、ビジー信号の値を「True」に決定する。ビジー信号が True のとき、主映像入力制御部 501 は、画素  $(pos\_x, pos\_y)$  のデータを映像合成部 50 に出力しない。ビジー信号が False のとき、主映像入力制御部 501 は、主映像の画素  $(pos\_x, pos\_y)$  のデータを映像合成部 50 に出力する。

【0027】

さらに、映像合成部 514 は、フィルタ計算部 507 に出力するビジー信号の値を、画素  $(pos\_x, pos\_y)$  に基づいて決定する。すなわち、画素  $(pos\_x, pos\_y)$  が OSD 映像を含む場合、映像合成部 514 は、ビジー信号の値を「False」に決定する。画素  $(pos\_x, pos\_y)$  が主映像を含まない場合、映像合成部 50 は、ビジー信号の値を「True」に決定する。ビジー信号が True のとき、フィルタ計算部 507 は、画素  $(pos\_x, pos\_y)$  のデータを映像合成部 514 に出力しない。ビジー信号が False のとき、フィルタ計算部 507 は、OSD 映像の画素  $(pos\_x, pos\_y)$  のデータを映像合成部 514 に出力する。

【0028】

さらに、映像合成部 514 は、映像出力制御部 515 に出力するイネーブル信号の値を「False」に決定する。イネーブル信号が False のとき、映像出力制御部 515 は、合成映像の画素  $(pos\_x, pos\_y)$  のデータを出力しない。以上の処理を終えると、映像合成部 514 は、状態 POST\_OVERLAP に移行し、全てのデータを出力し終わると WAIT 状態に戻る。

【0029】

状態 OVERLAP において、映像合成部 514 は、合成映像を出力する。詳細には以下のとおりである。

10

20

30

40

50

## 【0030】

図9は、状態OVERLAPの詳細を示す状態遷移図である。状態00において、映像合成部514は、座標 $pos\_y$ が $pos\_y = n$ を満たす場合、すなわち、1画面分の処理が完了した場合には状態POST\_OVERLAPに移行する。映像合成部514は、座標 $pos\_y$ が $pos\_y < n$ を満たす場合には状態01に移行する。

## 【0031】

状態01において、映像合成部514は、画素( $pos\_x, pos\_y$ )について、主映像とOSD映像を合成し、合成映像を生成する。

## 【0032】

状態02において、映像合成部514は、映像出力制御部515に出力するイネーブル信号を「True」に設定する。イネーブル信号がTrueのとき、映像出力制御部515は、合成映像の画素( $pos\_x, pos\_y$ )のデータを出力する。画素( $pos\_x, pos\_y$ )が主映像もOSD映像も含んでいないときは、画素( $pos\_x, pos\_y$ )の色は背景色となる。

10

## 【0033】

状態03において、映像合成部514は、座標 $pos\_x$ を $pos\_x = pos\_x + 1$ に更新する。座標 $pos\_x$ が $pos\_x = m$ を満たす場合、すなわち、1ライン分の処理が完了した場合、映像合成部514は、状態04に移行する。座標 $pos\_x$ が $pos\_x < m$ を満たす場合、すなわち、1ライン分の処理がまだ完了していない場合、映像合成部514は、状態05に移行する。

20

## 【0034】

状態04において、映像合成部514は、座標 $pos\_x$ および $pos\_y$ を、 $pos\_x = 0$ および $pos\_y = pos\_y + 1$ に更新し、状態05に移行する。

## 【0035】

状態05において、映像合成部514は、主映像入力制御部501に出力するビジー信号の値を、画素( $pos\_x, pos\_y$ )に基づいて決定する。すなわち、画素( $pos\_x, pos\_y$ )が主映像を含む場合、映像合成部514は、ビジー信号の値を「False」に決定する。画素( $pos\_x, pos\_y$ )が主映像を含まない場合、映像合成部50は、ビジー信号の値を「True」に決定する。ビジー信号の値を決定すると、映像合成部50は、状態06に移行する。

30

## 【0036】

状態06において、映像合成部514は、フィルタ計算部507に出力するビジー信号の値を、画素( $pos\_x, pos\_y$ )に基づいて決定する。すなわち、画素( $pos\_x, pos\_y$ )がOSD映像を含む場合、映像合成部50は、ビジー信号の値を「False」に決定する。画素( $pos\_x, pos\_y$ )が主映像を含まない場合、映像合成部514は、ビジー信号の値を「True」に決定する。ビジー信号の値を決定すると、映像合成部514は、状態00すなわちOVERLAP状態に移行する。

## 【0037】

再び図8を参照して説明する。状態POST\_OVERLAPにおいて、映像合成部50は、出力データ数が合成映像の幅 $w_3$ および高さ $h_3$ の積よりも小さい場合、すなわち出力データ数が出力データ数 $< h_3 \times w_3$ を満たす場合、状態WAITに移行する。映像合成部50は、出力データ数が合成映像の幅 $w_3$ および高さ $h_3$ の積以上である場合、すなわち出力データ数が出力データ数 $h_3 \times w_3$ を満たす場合、状態POST\_OVERLAPを維持する。

40

## 【0038】

以上のようにして、主映像とOSD映像とが合成される。なお上述の実施形態では、説明を簡単にするため、主映像とOSD映像の合成のみを説明したが、主映像、副映像およびOSD映像の3つの映像の合成も同様に行われる。本実施形態によれば、映像の合成は画素を単位として行われるので、ラインバッファのような大量のメモリを用いずに合成が行われる。なお、映像合成部50はインデックス記憶部512を有しているが、これはフ

50

フィルタ処理のためのメモリであり、映像の合成に用いられるものではない。また処理は画素単位で行われるので、後段における処理の負荷も低減される。また、フィルタ処理は合成映像ではなくOSD映像、すなわち合成前の映像に対して行われるので、それぞれの映像の特性に応じたフィルタ処理が行われる。上述のように映像出力装置がプロジェクタであった場合、後段において台形補正処理が必要になる。OSD映像は高周波の映像であることが多いので、アンチエイリアス処理が必要となる。この場合でも本実施形態によればそれぞれの映像の特性に応じたフィルタ処理が行われるので、より高画質化が実現される。また、OSD映像はインデックス/パレット形式で記憶されるので、より少ないデータ量で記憶される。さらに、映像合成部50は、水平フィルタおよび垂直フィルタを有するので、水平フィルタのみの構成と比較して、映像の質はより自在に変化される。

10

【0039】

### 3. 他の実施形態

本発明は上述の実施形態に限定されるものではなく、種々の変形実施が可能である。以下において、実施形態と共通する要素については共通の参照符号が用いられる。また、以下の変形例のうち2つ以上のものが組み合わせられてもよい。

【0040】

合成される映像の数は3つに限定されない。2つの映像が合成されてもよいし、3つ以上の映像が合成されてもよい。また、合成される映像にOSD映像は含まれていなくてもよい。通常の映像が合成されてもよい。また、OSD映像のデータ形式はインデックス/パレット形式ではなくRGB形式でもよい。なお用いられる表色系はRGB表色系に限定されない。YUV系、CMYK表色系、L\*a\*b\*表色系など他の表色系が用いられてもよい。

20

【0041】

パラメータ記憶部504が記憶するパラメータは、上述の実施形態で説明したものに限定されず、これ以外のパラメータが用いられてもよい。また、パラメータ記憶部504は、実施形態で説明したすべてのパラメータを記憶している必要はない。パラメータ記憶部504は、少なくとも、主映像およびOSD映像の相対位置関係を示すパラメータを記憶していればよい。

【0042】

映像合成部50は、フィルタ係数制御部505、フィルタ係数記憶部506、フィルタ計算部507、パレット設定制御部509、パレット記憶部510、およびインデックス/パレット変換部513のうち一部または全部を有していなくてもよい。例えばOSD映像がインデックス/パレット形式ではなくRGB形式であった場合、OSD入力制御部511は、OSD映像のデータを映像合成部514に直接出力してもよい。あるいは、OSD映像がインデックス/パレット形式であっても、映像合成部50は、フィルタ係数制御部505、フィルタ係数記憶部506、およびフィルタ計算部507を有していなくてもよい。この場合、インデックス/パレット変換部513は、映像合成部514の状態をモニタし、OSD映像の入力を制御する。

30

【0043】

映像合成部50は、インデックス記憶部512を有していなくてもよい。この場合、映像合成部50は、フィルタ係数制御部505、フィルタ係数記憶部506、およびフィルタ計算部507を有しない。OSD入力制御部511は、OSD映像のデータを1画素ずつインデックス/パレット変換部513に出力する。インデックス/パレット変換部513は、映像合成部514の状態をモニタし、OSD映像の入力を制御する。

40

【0044】

フィルタ計算部507は、垂直フィルタおよび水平フィルタのいずれか一方の処理のみを行ってもよい。また、フィルタ処理に用いられる画素は、処理対象画素に隣接する画素に限られない。処理対象画素から所定の方向(例えば垂直方向または水平方向)における所定の数の画素がフィルタ処理に用いられてもよい。

【0045】

50

上述の実施形態において、OSD映像にのみフィルタ処理が行われる例について説明した。しかし、主映像または副映像に対しフィルタ処理が行われてもよい。また、合成前の映像だけでなく、合成後の映像に対してフィルタ処理が行われてもよい。

【0046】

パレット記憶部510において、LUTは、透明度を記憶していなくてもよい。あるいは、LUTは、画素の表示に関する他のパラメータを記憶してもよい。

【0047】

映像出力装置1の構成は、図1に示されるものに限定されない。映像出力装置1は、入力された少なくとも2つの映像を合成し、合成した映像を出力する機能を有するものであればどのような構成を有していてもよい。例えば、主映像、副映像およびOSD映像の全部または一部は、ネットワークを介して他の装置から供給されてもよい。また、IP変換処理および台形補正処理は省略されてもよい。あるいは、これら以外の映像処理が行われてもよい。

10

【0048】

上述の実施形態において、映像出力装置1がプロジェクタである例について説明した。しかし、映像出力装置1はプロジェクタに限定されない。映像出力装置1は、プロジェクタのほか、ブラウン管ディスプレイ、液晶ディスプレイ、プラズマディスプレイその他のドット表示ディスプレイであってもよい。

【図面の簡単な説明】

【0049】

20

【図1】本発明の一実施形態に係る映像出力装置1の構成を示す図である。

【図2】映像合成部50の構成を示す図である。

【図3】主映像を例示する図である。

【図4】OSD映像を例示する図である。

【図5】合成映像を例示する図である。

【図6】OSD映像のデータ形式を示す図である。

【図7】パレット記憶部510に記憶されるLUTを例示する図である。

【図8】映像合成部50の状態遷移図を示す。

【図9】状態OVERLAPの詳細を示す状態遷移図である。

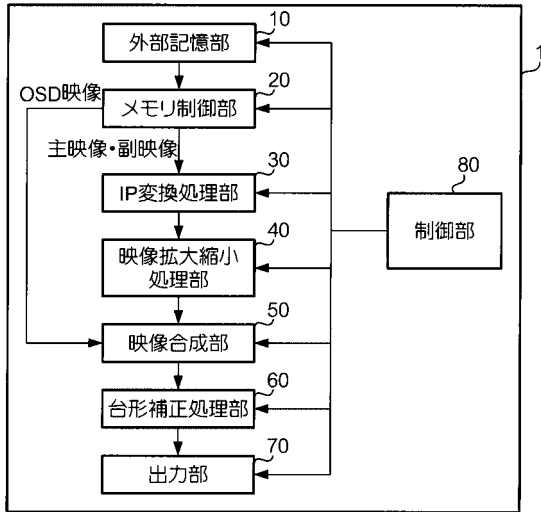
【符号の説明】

30

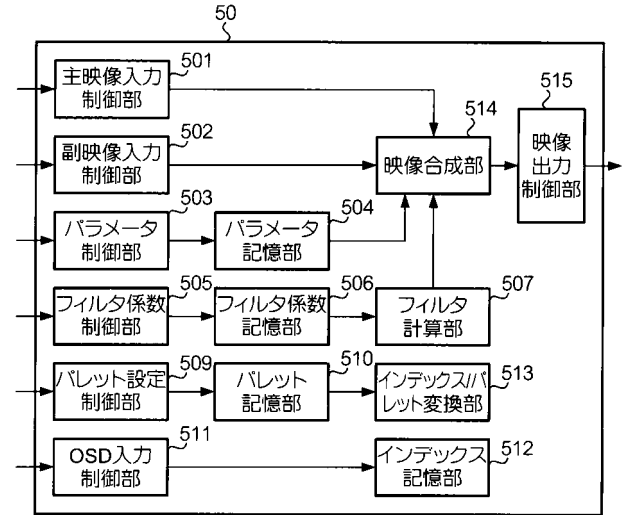
【0050】

1...映像出力装置、10...外部記憶部、20...メモリ制御部、30...IP変換処理部、40...映像拡大縮小処理部、50...映像合成部、60...台形補正処理部、70...出力部、80...制御部、501...主映像入力制御部、502...副映像入力制御部、503...パラメータ制御部、504...パラメータ記憶部、505...フィルタ係数制御部、506...フィルタ係数記憶部、507...フィルタ計算部、509...パレット設定制御部、510...パレット記憶部、511...OSD入力制御部、512...インデックス記憶部、513...インデックス/パレット変換部、514...映像合成部、515...映像出力制御部

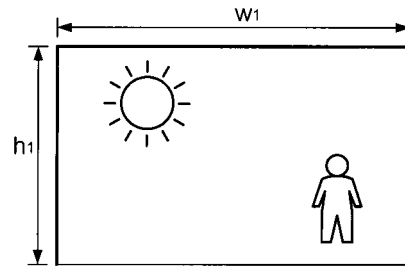
【 図 1 】



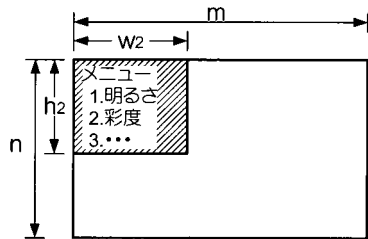
【 図 2 】



【 図 3 】



【 図 4 】



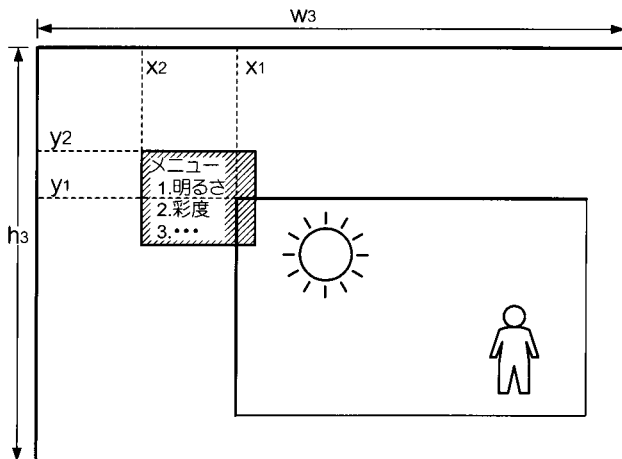
【 図 6 】

$I(0, 0)$	$I(1, 0)$	$I(2, 0)$	...	$I(m, 0)$
$I(0, 1)$	$I(1, 1)$	$I(2, 1)$	...	$I(m, 1)$
...	...	...	...	...
$I(0, n)$	$I(1, n)$	$I(2, n)$	...	$I(m, n)$

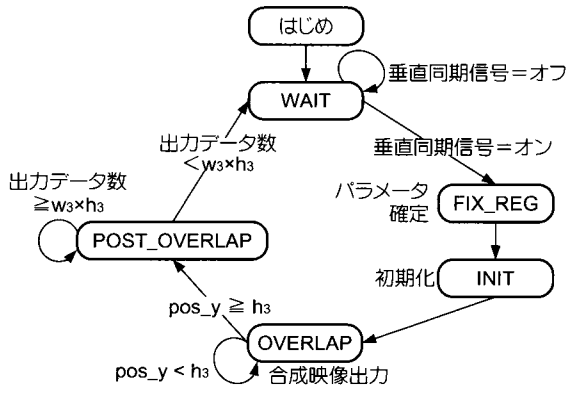
【 図 7 】

インデックス	R	G	B	$\alpha$
0	R0	G0	B0	$\alpha_0$
1	R1	G1	B1	$\alpha_1$
2	R2	G2	B2	$\alpha_2$
...	...	...	...	...
254	R254	G254	B254	$\alpha_{254}$
255	R255	G255	B255	$\alpha_{255}$

【 図 5 】



【 図 8 】



【 図 9 】

