

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2015年4月16日(16.04.2015)



(10) 国際公開番号
WO 2015/053010 A1

- (51) 国際特許分類:
H01L 27/10 (2006.01) H01L 27/108 (2006.01)
H01L 21/8242 (2006.01) H01L 29/786 (2006.01)
- (21) 国際出願番号: PCT/JP2014/073012
- (22) 国際出願日: 2014年9月2日(02.09.2014)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2013-213936 2013年10月11日(11.10.2013) JP
- (71) 出願人: シャープ株式会社(SHARP KABUSHIKI KAISHA) [JP/JP]; 〒5458522 大阪府大阪市阿倍野区長池町2番2号 Osaka (JP).
- (72) 発明者: 上田 直樹(UEDA Naoki). 加藤 純男(KATO Sumio).
- (74) 代理人: 奥田 誠司(OKUDA Seiji); 〒5410041 大阪府大阪市中央区北浜一丁目8番16号 大阪証券取引所ビル10階 奥田国際特許事務所 Osaka (JP).

- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーロパ (AM, AZ, BY, KG, KZ, RU, TJ, TM), ユーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

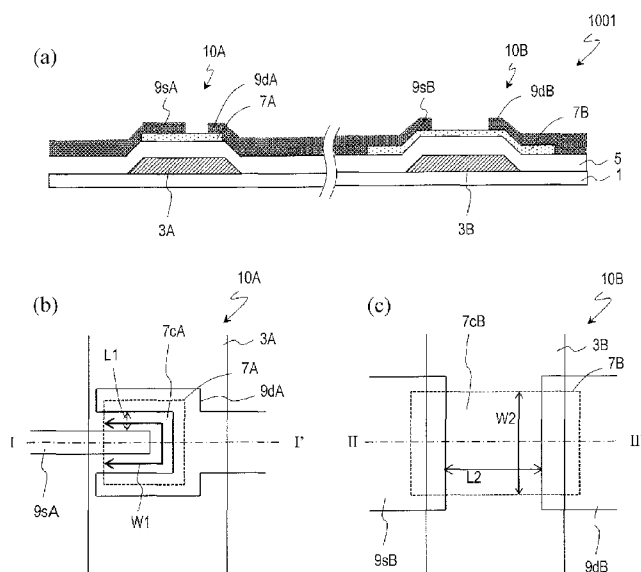
添付公開書類:

— 国際調査報告 (条約第21条(3))

(54) Title: SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置

[図2]



(57) Abstract: A semiconductor device (1001) is provided with a first transistor (10A) that has a first channel length (L1) and a first channel width (W1) and a second transistor (10B) that has a second channel length (L2) and a second channel width (W2). The first transistor (10A) and the second transistor (10B) comprise an active layer that is formed from a shared oxide semiconductor film. The first transistor (10A) is a memory transistor that can be irreversibly changed from a semiconductor state in which a drain current (I_{sd}) depends on a gate voltage (V_g) to a resistor state in which the drain current (I_{sd}) does not depend on the gate voltage (V_g). The first channel length (L1) is smaller than the second channel length (L2).

(57) 要約: 半導体装置(1001)は、第1のチャネル長 $L1$ および第1のチャネル幅 $W1$ を有する第1のトランジスタ(10A)と、第2のチャネル長 $L2$ および第2のチャネル幅 $W2$ を有する第2のトランジスタ(10B)とを備え、第1のトランジスタ(10A)および第2のトランジスタ(10B)は、共通の酸化半導体膜から形成された活性層を有し、第1のトランジスタ(10A)は、

ドレイン電流 I_{sd} がゲート電圧 V_g に依存する半導体状態から、ドレイン電流 I_{sd} がゲート電圧 V_g に依存しない抵抗体状態に不可逆的に変化させられ得るメモリトランジスタであり、第1のチャネル長 $L1$ は、第2のチャネル長 $L2$ よりも小さい。

明 細 書

発明の名称：半導体装置

技術分野

[0001] 本発明は、メモリトランジスタを備えた半導体装置に関する。

背景技術

[0002] ROM（読み出し専用メモリ）として利用可能なメモリ素子として、従来から、トランジスタ構造を有する素子（以下、「メモリトランジスタ」と称する。）を用いることが提案されている。

[0003] 例えば特許文献１には、MOSトランジスタ構造を有する不揮発性のメモリトランジスタが開示されている。このメモリトランジスタでは、ゲート絶縁膜に高電界を印加し、絶縁破壊させることにより、書き込みを行う。また、特許文献２には、ゲートに所定の書き込み電圧をかけることによって生じる閾値電圧の変化を利用したメモリトランジスタが開示されている。

[0004] これに対し、本出願人による特許文献３は、従来よりも消費電力を低減可能な新規な不揮発性メモリトランジスタを提案している。このメモリトランジスタは、活性層（チャネル）に金属酸化物半導体を用いており、ドレイン電流により生じるジュール熱によって、ゲート電圧にかかわらずオーミックな抵抗特性を示す抵抗体状態に不可逆的に変化し得る。このようなメモリトランジスタを用いると、書き込みのための電圧を特許文献１、２における電圧よりも低くすることが可能である。なお、本明細書では、このメモリトランジスタの酸化物半導体を抵抗体状態に変化させる動作を「書き込み」という。また、このメモリトランジスタは、書き込みされた後、金属酸化物半導体が抵抗体となるため、トランジスタとして動作しないが、本明細書では、抵抗体に変化した後も「メモリトランジスタ」と呼ぶ。同様に、抵抗体に変化した後も、トランジスタ構造を構成するゲート電極、ソース電極、ドレイン電極、チャネル領域などの呼称を使用する。

[0005] 特許文献３には、メモリトランジスタを例えば液晶表示装置のアクティブ

マトリクス基板に形成することが記載されている。

先行技術文献

特許文献

[0006] 特許文献1：米国特許第6 7 7 5 1 7 1号明細書

特許文献2：特開平 1 1 - 9 7 5 5 6号公報

特許文献3：国際公開第2 0 1 3 / 0 8 0 7 8 4号

発明の概要

発明が解決しようとする課題

[0007] メモリトランジスタを備えたアクティブマトリクス基板などの半導体装置では、メモリトランジスタの書き込み速度をさらに高めることが求められている。

[0008] 本発明者が検討したところ、特許文献3のメモリトランジスタでは、書き込み時にメモリトランジスタのソース・ドレイン間に印加する電圧（書き込み電圧）を大きく設定すると、書き込み速度を高くできる。しかしながら、メモリトランジスタへの書き込みの際に、基板上に形成された他のトランジスタの特性変動が生じる可能性があることが分かった。これは、半導体装置の信頼性を低下させる要因となり得る。

[0009] 本発明の実施形態は、半導体装置の信頼性を確保しつつ、メモリトランジスタの書き込み速度を高めることを目的とする。

課題を解決するための手段

[0010] 本発明による実施形態の半導体装置は、基板と、前記基板に支持された、第1のチャネル長 L_1 および第1のチャネル幅 W_1 を有する第1のトランジスタと、前記基板に支持された、第2のチャネル長 L_2 および第2のチャネル幅 W_2 を有する第2のトランジスタとを備え、前記第1のトランジスタおよび前記第2のトランジスタは、共通の酸化物半導体膜から形成された活性層を有し、前記第1のトランジスタは、ドレイン電流 I_{ds} がゲート電圧 V_g に依存する半導体状態から、ドレイン電流 I_{ds} がゲート電圧 V_g に依存

しない抵抗体状態に不可逆的に変化させられ得るメモリトランジスタであり、前記第1のチャンネル長 L_1 は、前記第2のチャンネル長 L_2 よりも小さい。

[0011] 本発明による他の実施形態の半導体装置は、基板と、前記基板に支持された、第1のチャンネル長 L_1 および第1のチャンネル幅 W_1 を有する第1のトランジスタと、前記基板に支持された、第2のチャンネル長 L_2 および第2のチャンネル幅 W_2 を有する第2のトランジスタとを備え、前記第1のトランジスタおよび前記第2のトランジスタは、共通の酸化物半導体膜から形成された活性層を有し、前記第1のトランジスタは、ドレイン電流 I_{sd} がゲート電圧 V_g に依存しない抵抗体状態に不可逆的に変化させられ得るメモリトランジスタであり、前記第1のチャンネル幅 W_1 は、前記第2のチャンネル幅 W_2 よりも大きい。

[0012] ある実施形態において、前記第1のトランジスタにおけるチャンネル幅に対するチャンネル長の比 L_1/W_1 は、前記第2のトランジスタにおけるチャンネル幅に対するチャンネル長の比 L_2/W_2 よりも小さい。

[0013] ある実施形態において、前記第1のトランジスタは、ゲート電極と、前記ゲート電極を覆うゲート絶縁膜と、前記ゲート絶縁膜上に配置された活性層と、前記活性層上に、前記活性層の一部と接するように配置されたソース電極と、前記活性層上に、前記活性層の他の一部と接するように配置されたドレイン電極とを有し、前記基板の法線方向から見たとき、前記活性層のうち、前記ゲート電極と前記ゲート絶縁膜を介して重なり、かつ、前記ソース電極と前記ドレイン電極との間に位置する部分は、U字形状を有している。

[0014] ある実施形態において、前記第1のトランジスタを含むメモリ回路を備え、前記第2のトランジスタは、前記メモリ回路を構成するトランジスタを含む。

[0015] 前記基板は、前記第1の薄膜のトランジスタを含む電源ドメイン領域を有し、ある実施形態において、前記第2のトランジスタは、前記電源ドメイン領域に配置された回路を構成するトランジスタを含む。

[0016] ある実施形態において、前記第1のトランジスタのチャンネル長 L_1 は、前

記電源ドメイン領域に配置された、前記共通の酸化物半導体膜から形成された活性層を有する全てのトランジスタのチャネル長の最小値以下である。

[0017] ある実施形態において、前記半導体装置は、アクティブマトリクス基板であり、複数の画素電極と、それぞれが前記複数の画素電極のうち対応する画素電極に電氣的に接続されたスイッチング素子とを有する表示領域、および、前記表示領域以外の領域に配置された、複数の回路を有する周辺領域を備え、前記第2のトランジスタは、前記周辺領域において前記複数の回路を構成する複数のトランジスタの少なくとも1つを含む。

[0018] ある実施形態において、前記第1のトランジスタのチャネル長 L_1 は、前記周辺領域に配置された、前記共通の酸化物半導体膜から形成された活性層を有する全てのトランジスタのチャネル長の最小値以下である。

[0019] ある実施形態において、前記第2のトランジスタは、前記スイッチング素子として機能するトランジスタを含む。

[0020] ある実施形態において、前記第1のトランジスタにおけるチャネル幅に対するチャネル長の比 L_1/W_1 は、前記共通の酸化物半導体膜から形成された活性層を有する全てのトランジスタにおけるチャネル幅に対するチャネル長の比の最小値以下である。

[0021] ある実施形態において、前記共通の酸化物半導体膜は、 $In-Ga-Zn-O$ 系半導体膜である。

[0022] ある実施形態において、前記 $In-Ga-Zn-O$ 系半導体膜は結晶質部分を含む。

[0023] ある実施形態において、前記第1のトランジスタでは、前記半導体状態のとき、ドレイン電圧の絶対値が 0.1 V 以上 10 V 以下の範囲内において、単位チャネル幅当たりのドレイン電流 I_{ds}/W_1 の絶対値が、 $1 \times 10^{-14}\text{ A}/\mu\text{m}$ 以下の微小電流状態となるゲート電圧の電圧範囲が存在し、前記抵抗体状態に変化した後は、ドレイン電圧の絶対値が 0.1 V 以上 10 V 以下の範囲内において、前記ゲート電圧を前記電圧範囲内に設定した場合でも、前記単位チャネル幅当たりのドレイン電流 I_{ds}/W_1 の絶対値が、前記ドレ

イン電圧に応じた $1 \times 10^{-11} \text{ A} / \mu\text{m}$ 以上の電流状態となる。

[0024] ある実施形態において、前記第1のトランジスタおよび前記第2のトランジスタは、薄膜トランジスタである。

[0025] ある実施形態において、前記第1のトランジスタの前記活性層の上方には有機絶縁膜が形成されていない。

[0026] ある実施形態において、前記第2のトランジスタの前記活性層の上方には有機絶縁膜が形成されており、前記第1のトランジスタの前記活性層の上方には、前記有機絶縁膜が形成されていない。

発明の効果

[0027] 本発明の一実施形態によると、半導体状態から抵抗体状態への変化を利用したメモリトランジスタと、メモリトランジスタと共通の酸化物半導体膜を用いた他のトランジスタとを備えた半導体装置において、メモリトランジスタの書き込み速度を高めるとともに、メモリトランジスタへの書き込みの際に、他のトランジスタの特性低下を抑えることが可能になる。従って、半導体装置の信頼性を確保しつつ、メモリトランジスタの書き込み速度を高めることができる。

図面の簡単な説明

[0028] [図1] (a) は、メモリトランジスタの書き込み電圧 V_{ds} およびゲート電圧 V_{gs} と書き込み時間との関係を示す図、(b) は、メモリトランジスタのチャネル長およびチャネル幅と書き込み時間との関係を示す図、(c) は、チャネル領域の平面形状と書き込み時間との関係を示す図である。

[図2] (a) は、第1実施形態の半導体装置1001におけるメモリトランジスタ10Aおよび回路用トランジスタ10Bを示す断面図、(b) および(c) は、それぞれ、メモリトランジスタ10Aおよび回路用トランジスタ10Bの平面図である。

[図3] 第1の実施形態におけるメモリ回路を構成する単一のメモリセルを例示する図である。

[図4] (a) は、第1実施形態のアクティブマトリクス基板1002の平面図

であり、(b)は、アクティブマトリクス基板1002を用いた表示装置2001を例示する断面図である。

[図5]液晶表示装置2001のブロック構成を例示する図である。

[図6](a)～(d)は、それぞれ、不揮発性記憶装置60a～60cを構成するメモリセル、液晶表示装置2001の画素回路、ゲートドライバ76、および、ゲートドライバ76の一段分の構成を示す概略図である。

[図7]第1の実施形態の半導体装置(アクティブマトリクス基板1002)の製造方法を説明するための工程図であり、(a)および(b)は断面図、(c)は上面図である。

[図8]第1の実施形態の半導体装置(アクティブマトリクス基板1002)の製造方法を説明するための工程図であり、(a)および(b)は断面図、(c)は上面図である。

[図9]第1の実施形態の半導体装置(アクティブマトリクス基板1002)の製造方法を説明するための工程図であり、(a)および(b)は断面図、(c)は上面図である。

[図10]第1の実施形態の半導体装置(アクティブマトリクス基板1002)の製造方法を説明するための工程図であり、(a)および(b)は断面図、(c)は上面図である。

[図11](a)および(b)は、第1の実施形態の半導体装置(集積回路)2002を例示する回路ブロック図および半導体装置の一部を示す断面図である。

[図12](a)は、メモリトランジスタ10Aの初期状態(半導体状態)における $I_{ds}-V_{gs}$ 特性を示す図であり、(b)は、メモリトランジスタ10Aの初期状態における $I_{ds}-V_{ds}$ 特性を示す図である。

[図13](a)は、メモリトランジスタ10Aの抵抗体状態における $I_{ds}-V_{gs}$ 特性を示す図であり、(b)は、メモリトランジスタ10Aの抵抗体状態における $I_{ds}-V_{ds}$ 特性を示す図である。

[図14]書き込み前後のメモリトランジスタ10Aにおける、 $V_{gs}=0V$ の

場合の原点付近の $I_{ds} - V_{ds}$ 特性を拡大して示す図である。

[図15]書き込み前後のメモリトランジスタ10Aの $I_{ds} - V_{gs}$ 特性を重ね合わせて示す図である。

[図16]書き込み前後のメモリトランジスタ10Aの微分抵抗 (dV_{ds}/dI_{ds} 、単位： $\Omega \mu m$) とドレイン電圧 V_{ds} との関係を示す図である。

[図17]メモリトランジスタ10Aの書き込み時間（単位：m秒）と単位ドレイン電流（単位： $A/\mu m$ ）との関係の一例を示す。

[図18] (a) および (b) は、第1実施形態における他のメモリトランジスタの構成を例示する平面図および断面図である。

[図19] (a) および (b) は、それぞれ、第2の実施形態の半導体装置におけるメモリトランジスタ10Aを示す平面図および断面図である。

[図20]第2の実施形態の半導体装置（アクティブマトリクス基板1003）の製造方法を説明するための工程図であり、(a) および (b) は断面図、(c) は上面図である。

[図21]第2の実施形態の半導体装置（アクティブマトリクス基板1003）の製造方法を説明するための工程図であり、(a) および (b) は断面図、(c) は上面図である。

[図22]第2の実施形態の半導体装置（アクティブマトリクス基板1003）の製造方法を説明するための工程図であり、(a) および (b) は断面図、(c) は上面図である。

[図23]第2の実施形態の半導体装置（アクティブマトリクス基板1003）の製造方法を説明するための工程図であり、(a) および (b) は断面図、(c) は上面図である。

[図24] (a) および (b) は、それぞれ、第3の実施形態の半導体装置におけるメモリトランジスタ10Aを示す平面図および断面図である。

[図25]第3の実施形態の半導体装置（アクティブマトリクス基板1004）の製造方法を説明するための工程図であり、(a) および (b) は断面図、(c) は上面図である。

[図26]第3の実施形態の半導体装置（アクティブマトリクス基板1004）の製造方法を説明するための工程図であり、（a）および（b）は断面図、（c）は上面図である。

[図27]第3の実施形態の半導体装置（アクティブマトリクス基板1004）の製造方法を説明するための工程図であり、（a）および（b）は断面図、（c）は上面図である。

[図28]（a）および（b）は、本発明による実施形態における他のメモリトランジスタの構成を例示する平面図および断面図である。

[図29]（a）～（c）は、本発明による実施形態における他の半導体装置の構成を例示する断面図である。

発明を実施するための形態

[0029] 本発明者は、特許文献3に開示されているメモリトランジスタを備えた半導体装置において、同一基板上に形成された他のトランジスタの特性低下を抑制しつつ、メモリトランジスタの書き込み速度を高めることが可能な構成について検討を重ねた。

[0030] 本発明者は、まず、メモリトランジスタの書き込み速度と書き込み電圧との関係を調べた。

[0031] 図1（a）は、メモリトランジスタの書き込み電圧 V_{ds} およびゲート電圧 V_{gs} と書き込み時間との関係を示す図である。横軸は書き込み時のゲート電圧 V_{gs} 、縦軸は書き込み時間を表している。なお、ゲート電圧 V_{gs} はゲートーソース間の電圧、書き込み電圧 V_{ds} は、書き込み時にソースードレイン間に印加する電圧をいう。また、「書き込み時間」は、メモリトランジスタに所定のゲート電圧 V_{gs} および書き込み電圧 V_{ds} を印加し、ドレイン電流（書き込み電流）を流した状態で、メモリトランジスタの金属酸化物半導体が抵抗体に変化するまでに要する時間をいう。

[0032] 図1（a）に示す結果から、書き込み電圧 V_{ds} が大きいほど、書き込み時間が短くなる、すなわち書き込み速度が高くなることが分かる。しかしながら、メモリトランジスタと同一基板上に、メモリトランジスタと共通の酸

化物半導体膜を用いて他の薄膜トランジスタが形成されている場合には、メモリトランジスタに高い書き込み電圧 V_{ds} を印加すると、他の薄膜トランジスタにも書き込みの反応（チャネル領域の低抵抗化）が生じ、特性が変動する可能性がある。

[0033] そこで、本発明者は、書き込み電圧を大幅に増大させずに、書き込み速度を高める構成についても検討を行った。なお、メモリトランジスタの書き込み速度は、単に、書き込み時にチャネル領域に生じるジュール熱の発生量にのみ依存するわけではない。ジュール熱の発生量が同じであっても、ジュール熱をより効率的に利用して、チャネル領域の低抵抗化に要する時間（書き込み時間）を短縮させることも可能である。

[0034] 図1（b）は、書き込み時のゲート電圧 V_{gs} および書き込み電圧 V_{ds} を一定（ $V_{gs} = 30V$ 、 $V_{ds} = 30V$ ）とした場合の、メモリトランジスタのチャネル長 L およびチャネル幅 W と書き込み時間との関係を示す図である。横軸はメモリトランジスタのチャネル幅 W 、縦軸は書き込み時間を表している。

[0035] 図1（b）に示す結果から、チャネル長 L が短くなるほど書き込み時間が短くなることが分かる。これは、書き込み時にソースドレイン間に流れる電流（書き込み電流） I_{pp} が大きくなり、ジュール熱の発生量が増加することに加えて、ジュール熱をより効率的にチャネル領域の特性変化に利用できるからと考えられる。

[0036] また、チャネル幅 W が大きくなるほど書き込み時間が短くなることが分かる。これは、書き込み電流 I_{pp} が大きくなってジュール熱の発生量が増加することに加えて、チャネル領域の中央部分（チャネル幅方向における中央部分）の温度を高めることができ、チャネル領域の少なくとも中央に位置する部分をより効率的に導体化できるからと考えられる。

[0037] ここで、メモリトランジスタの書き込み速度を高めつつ、メモリトランジスタへの書き込みによって他の薄膜トランジスタに生じる特性変動を抑えるためには、メモリトランジスタの書き込み反応は、より短い書き込み時間で

、かつ、より低い書き込み電圧で生じることが好ましい。一方、他の薄膜トランジスタの書き込み反応は、メモリトランジスタの書き込み反応と比べて、十分に長い書き込み時間で、かつ、十分に高い書き込み電圧でしか生じないことが好ましい。

[0038] このような観点から図 1 に示す結果を検討すると、以下のような知見が得られる。

(1) メモリトランジスタのチャネル長を他の薄膜トランジスタのチャネル長よりも小さくすると、他の薄膜トランジスタの特性変動を抑えつつ、メモリトランジスタの書き込み速度を改善できる。

(2) メモリトランジスタのチャネル幅を他の薄膜トランジスタのチャネル幅よりも大きくしても、(1) と同様の効果が得られる。

(3) より好ましくは、メモリトランジスタのチャネル幅に対するチャネル長の比を、他の薄膜トランジスタのチャネル幅に対するチャネル長の比よりも小さくする。これにより、より確実に他の薄膜トランジスタの特性変動を抑制できる。

[0039] 図 1 (a) および (b) に示す結果は、基板の法線方向から見たときにチャネル領域が矩形であるメモリトランジスタを用いて検討した結果であるが、チャネル領域の平面形状が矩形以外の場合でも同様の傾向を示す。

[0040] さらに、本発明者は、メモリトランジスタの素子構造によっても書き込み特性が変化することを見出した。例えば、メモリトランジスタが、ジュール熱を発生しやすい構造、あるいは、発生したジュール熱を拡散し難い構造を有していると、より高い書き込み特性を実現できる。一例として、チャネル領域の平面形状によって、ジュール熱をさらに効率的に利用し、書き込み時間の短縮を実現することが可能になる。

[0041] 図 1 (c) は、チャネル領域の平面形状と書き込み時間との関係を示す図である。横軸は、ゲート電圧 V_{gs} および書き込み電圧 V_{ds} (ただし、 $V_{gs} = V_{ds}$ とする)、縦軸は書き込み時間である。ここでは、チャネル領域の平面形状が矩形であるメモリトランジスタと、チャネル領域の平面形状

がU字形であるメモリトランジスタとについて、書き込み時間を調べた。なお、これらのメモリトランジスタのチャネル幅およびチャネル長は等しく、また、チャネル領域の平面形状以外の構成（活性層の厚さ、ゲート絶縁膜の材料や厚さなど）も同じとした。

[0042] 図1(c)に示す結果から、チャネル領域をU字形にすることにより、矩形の場合よりも、書き込み電流によって生じたジュール熱をより効率的に書き込みに利用できることが分かる。この理由は、次のように考えられる。U字形のチャネル領域を形成する場合、基板の法線方向から見たとき、ドレイン電極およびソース電極のうち一方が他方によって囲まれる構造となる。このため、囲まれた方の電極側で電流密度が高くなって、他方の電極側よりも大きなジュール熱が発生する。この結果、ジュール熱による酸化物半導体の低抵抗化が進み、書き込み動作が促進される。なお、チャネル領域の平面形状はU字形に限定されず、局所的に電流密度が高くなるような形状を有していれば、同様の効果を呈する。

[0043] 従って、チャネル長やチャネル幅を上記(1)～(3)のように設定するだけでなく、メモリトランジスタの他のトランジスタとでチャネル領域の平面形状を異ならせることにより、メモリトランジスタの書き込み速度をさらに高め、かつ、他のトランジスタの書き込みによる特性変動をより効果的に抑制できることが確認される。例えば、基板の法線方向から見たとき、メモリトランジスタのチャネル領域がU字形、他のトランジスタのチャネル領域が矩形であれば、メモリトランジスタと他のトランジスタとの書き込み時間の差をさらに拡大でき、より顕著な効果が得られる。

[0044] 本発明者は、上記の知見に基づいて、メモリトランジスタの書き込みを所定の書き込み時間内に完了させるとともに、他のトランジスタの書き込み時間を十分に長くできる構成を見出し、本発明に至った。

[0045] 以下、図面を参照しながら、本発明による半導体装置の実施形態を具体的に説明する。

[0046] (第1の実施形態)

本発明による半導体装置の第1の実施形態は、第1の薄膜トランジスタと、第2の薄膜トランジスタとを同一基板上に備える。第1の薄膜トランジスタはメモリ素子として機能するメモリトランジスタである。第2の薄膜トランジスタは、メモリ素子として機能せず、回路を構成するトランジスタである。本明細書では、このようなトランジスタを「回路用トランジスタ」と称し、メモリトランジスタと区別する。

[0047] 図2(a)は、本実施形態の半導体装置1001におけるメモリトランジスタ(第1の薄膜トランジスタ)10Aおよび回路用トランジスタ(第2の薄膜トランジスタ)10Bを示す断面図である。図2(b)および(c)は、それぞれ、メモリトランジスタ10Aおよび回路用トランジスタ10Bの平面図である。図2(a)は、図2(b)のI-I'線および図2(c)のI-I'線に沿った断面構造を示している。

[0048] 半導体装置1001は、基板1と、基板1に支持されたメモリトランジスタ10Aと、基板1に支持された回路用トランジスタ10Bとを備えている。回路用トランジスタ10Bは、回路を構成する回路素子であればよく、その用途は限定されない。これらのトランジスタ10A、10Bは、共通の酸化物半導体膜から形成された活性層(酸化物半導体層)7A、7Bを有している。

[0049] メモリトランジスタ10Aは、ドレイン電流 I_{ds} がゲート電圧 V_{gs} に依存する状態(半導体状態という。)から、ドレイン電流 I_{ds} がゲート電圧 V_{gs} に依存しない状態(抵抗体状態という。)に不可逆的に変化させられ得る不揮発性メモリ素子である。ドレイン電流 I_{ds} は、メモリトランジスタ10Aのソースドレイン間を流れる電流であり、ゲート電圧 V_{gs} は、ゲートソース間の電圧である。

[0050] 上記の状態変化は、例えば、半導体状態(初期状態)のメモリトランジスタ10Aのソースドレイン間に所定の書き込み電圧 V_{ds} を印加することによって生じる。書き込み電圧 V_{ds} の印加により、活性層7Aのうちチャネルが形成される部分(チャネル領域)7cAに電流が流れ、ジュール熱が

発生する。このジュール熱により、活性層 7 A のうちチャネル領域 7 c A が低抵抗化される。この結果、ゲート電圧 V_{gs} に依存せずに、オーミックな抵抗特性を示す抵抗状態となる。酸化物半導体の低抵抗化が生じる理由は現在解明中であるが、ジュール熱によって酸化物半導体中に含まれる酸素がチャネル領域 7 c A の外部に拡散することにより、チャネル領域 7 c A 中の酸素欠損が増加してキャリア電子が生じるからと考えられる。なお、このような状態変化を生じ得るメモリトランジスタは、本出願人による特許文献 3、本出願人による未公開の特許出願である特願 2012-137868 号および特願 2012-231480 号に記載されている。これらの開示内容の全てを参考のために本明細書に援用する。

[0051] 本実施形態では、メモリトランジスタ 10 A のチャネル長 L_1 は、回路用トランジスタ 10 B のチャネル長 L_2 よりも小さい ($L_1 < L_2$)。代わりに、あるいはそれに加えて、メモリトランジスタ 10 A のチャネル幅 W_1 は、回路用トランジスタ 10 B のチャネル幅 W_2 よりも大きくてもよい ($W_1 > W_2$)。

[0052] 半導体装置 1001 では、メモリトランジスタ 10 A および回路用トランジスタ 10 B のチャネル長またはチャネル幅は上記のように設定されている。このため、図 1 を参照しながら前述したように、メモリトランジスタ 10 A への書き込み時に回路用トランジスタ 10 B の特性が変動することを抑制しつつ、メモリトランジスタ 10 A の書き込み速度を高めることが可能になる。

[0053] より好ましくは、メモリトランジスタにおけるチャネル幅に対するチャネル長の比 L_1/W_1 は、回路用トランジスタにおけるチャネル幅に対するチャネル長の比 L_2/W_2 よりも小さくなるように設定される。これにより、書き込み動作に起因する回路用トランジスタ 10 B の特性変動をより確実に抑えることができる。

[0054] 従って、本実施形態によると、例えば、メモリトランジスタと他の薄膜トランジスタとに同じ電圧が印加されてドレイン電流が流れる場合でも、メモ

リトランジスタで書き込み動作を完了させて、抵抗体状態に遷移させるとともに、他の薄膜トランジスタの書き込み動作を完了させずに、他の薄膜トランジスタを初期の半導体状態のまま維持することが可能になる。メモリトランジスタの書き込み動作が完了した時点でドレイン電流を遮断すると、メモリトランジスタのみを抵抗体状態に遷移させることができる。

[0055] 書き込み動作後のメモリトランジスタ 10A は、半導体状態または抵抗体状態である。半導体装置 1001 は複数のメモリトランジスタ 10A を有してもよい。この場合、書き込み後の複数のメモリトランジスタ 10A は、例えば、半導体状態のメモリトランジスタと、抵抗体状態のメモリトランジスタとを含んでいる。なお、複数のメモリトランジスタ 10A を有する場合でも、各メモリトランジスタ 10A のチャネル長またはチャネル幅は上記のように設定されていることが好ましい。

[0056] ここで、各トランジスタ 10A、10B のより具体的な構造を説明する。

[0057] メモリトランジスタ 10A は、酸化物半導体膜から形成された活性層 7A と、ゲート電極 3A と、活性層 7A とゲート電極 3A との間に位置するゲート絶縁膜 5 と、活性層 7A の一部と接するように配置されたソース電極 9sA と、活性層 7A の他の一部と接するように配置されたドレイン電極 9dA とを有している。基板 1 の法線方向から見たとき、活性層 7A の少なくとも一部は、ゲート絶縁膜 5 を介してゲート電極 3A と重なるように配置される。なお、活性層 7A とソース電極 9sA およびドレイン電極 9dA とは、電氣的に接続されていればよく、直接接していなくてもよい。活性層 7A のうちソース電極 9sA と接する領域（または電氣的に接続された領域）を「ソースコンタクト領域」、ドレイン電極 9dA と接する領域（または電氣的に接続された領域）を「ドレインコンタクト領域」と称する。基板 1 の法線方向から見たとき、ゲート電極 3A とゲート絶縁膜 5 を介して重なり、かつ、活性層 7A のうちソースコンタクト領域とドレインコンタクト領域との間に位置する領域がチャネル領域 7cA となる。本明細書では、チャネル領域 7cA のチャネル方向の長さをチャネル長 L_1 、チャネル領域 7cA のチャネ

ル方向に直交する方向の長さをチャネル幅 W_1 という。

[0058] 本実施形態では、活性層7Aの全体がゲート電極3Aと重なっており、活性層7Aとソース電極9sAおよびドレイン電極9dAとが直接接している。このような場合、メモリトランジスタ10Aのチャネル長 L_1 は、基板1の法線方向から見たとき、活性層7A上におけるソース電極9sAとドレイン電極9dAとの間隙部分のチャネル方向の長さに相当する。チャネル幅 W_1 は、上記間隙部分のチャネル方向に直交する方向の長さに相当する。

[0059] また、図示する例では、基板1の法線方向から見たとき、ドレイン電極9dAおよびソース電極9sAのうち一方の電極（ここではドレイン電極9dA）は、活性層7A上に凹部を有しており、他方の電極（ここではソース電極9sA）は、ドレイン電極9dAの凹部内に、ドレイン電極9dAと間隔を空けて配置されている。このため、ソース電極9sAおよびドレイン電極9dAの間に位置するチャネル領域7cAは、U字形状を有している。このような場合、図2（b）に示すように、ソース電極9sAとドレイン電極9dAとの間に位置する間隙部分の幅がチャネル長 L_1 である。また、チャネル領域7cAのうちソース電極9sAからの距離とドレイン電極9dAからの距離とが等しくなる線の長さ（ソース電極9sAとドレイン電極9dAとの活性層7A上での離間距離の2等分点を結ぶ線の長さ）がチャネル幅 W_1 である。

[0060] 回路用トランジスタ10Bは、活性層7Aと共通の酸化物半導体膜から形成された活性層7Bと、ゲート電極3Bと、活性層7Bとゲート電極3Bとの間に位置するゲート絶縁膜5と、活性層7Bの一部と接するように配置されたソース電極9sBと、活性層7Aの他の一部と接するように配置されたドレイン電極9dBとを有している。基板1の法線方向から見たとき、ゲート電極3Bは、活性層7Bの少なくとも一部と重なるように配置される。上述したメモリトランジスタ10Aと同様に、活性層7Bは、ソース電極9sBと接する（または電氣的に接続された）ソースコンタクト領域、ドレイン電極9dBと接する（または電氣的に接続された）ドレインコンタクト領域

、およびチャネル領域 7 c B を有する。チャネル領域 7 c B は、基板 1 の法線方向から見たとき、ゲート電極 3 B とゲート絶縁膜 5 を介して重なり、かつ、活性層 7 B のうちソースコンタクト領域とドレインコンタクト領域との間に位置する領域である。図示する例では、回路用トランジスタ 10 B のチャネル長 L_2 は、活性層 7 B 上におけるソース電極 9 s B とドレイン電極 9 d B との間隙部分のチャネル方向の長さ、チャネル幅 W_2 は、間隙部分のチャネル方向に直交する方向の長さである。

[0061] 本実施形態では、メモリトランジスタ 10 A のチャネル領域 7 c A は U 字形状であり、回路用トランジスタ 10 B のチャネル領域 7 c B は矩形である。これにより、メモリトランジスタ 10 A においては、書き込み電流によって生じるジュール熱を、チャネル領域 7 c A の低抵抗化（書き込み）により効率的に利用できる。また、活性層 7 A のサイズを増大することなく、チャネル幅 W_1 を拡大できる。従って、メモリトランジスタ 10 A と回路用トランジスタ 10 B との書き込み速度の差をより拡大できる。このため、メモリトランジスタ 10 A への書き込みによる回路用トランジスタ 10 B の特性変動をより確実に抑制できる。

[0062] 本実施形態では、メモリトランジスタ 10 A および回路用トランジスタ 10 B のゲート電極 3 A、3 B は、共通のゲート用導電膜から形成されている。また、メモリトランジスタ 10 A のゲート絶縁膜 5 は、回路用トランジスタ 10 B まで延設され、回路用トランジスタ 10 B のゲート絶縁膜としても機能する。メモリトランジスタ 10 A および回路用トランジスタ 10 B のソース電極 9 s A、9 s B およびドレイン電極 9 d A、9 d B は、共通のソース用導電膜から形成されている。これにより、回路用トランジスタ 10 B とメモリトランジスタ 10 A とを共通のプロセスを利用して形成できるので、製造工程数を低減できる。

[0063] なお、図 2 に示す例では、メモリトランジスタ 10 A のチャネル領域 7 c A の平面形状は U 字形であるが、矩形であってもよい。同様に、回路用トランジスタ 10 B のチャネル領域 7 c B の平面形状は矩形であるが、U 字形で

あってもよい。また、メモリトランジスタ 10A および回路用トランジスタ 10B はボトムゲート構造に限定されず、トップゲート構造を有していてもよい。ただし、メモリトランジスタ 10A および回路用トランジスタ 10B が同様の構造を有していると、共通のプロセスを利用してこれらのトランジスタ 10A、10B を形成できる。

[0064] メモリトランジスタ 10A および回路用トランジスタ 10B の活性層 7A、7B となる酸化物半導体膜は、例えば In-Ga-Zn-O 系半導体膜である。ここで、 In-Ga-Zn-O 系半導体は、 In （インジウム）、 Ga （ガリウム）、 Zn （亜鉛）の三元系酸化物であって、 In 、 Ga および Zn の割合（組成比）は特に限定されず、例えば $\text{In}:\text{Ga}:\text{Zn}=2:2:1$ 、 $\text{In}:\text{Ga}:\text{Zn}=1:1:1$ 、 $\text{In}:\text{Ga}:\text{Zn}=1:1:2$ 等を含む。本実施形態では、活性層 7A、7B は、 In 、 Ga 、 Zn を、例えば $\text{In}:\text{Ga}:\text{Zn}=1:1:1$ の割合で含む In-Ga-Zn-O 系半導体層であってもよい。

[0065] In-Ga-Zn-O 系半導体層を有する TFT は、高い移動度（ $\mu\text{-Si TFT}$ に比べ 20 倍超）および低いリーク電流（ $\mu\text{-Si TFT}$ に比べ 100 分の 1 未満）を有している。 In-Ga-Zn-O 系半導体層を有する TFT を用いれば、表示装置の消費電力を大幅に削減することが可能になる。

[0066] In-Ga-Zn-O 系半導体は、アモルファスでもよいし、結晶質部分を含んでもよい。結晶質 In-Ga-Zn-O 系半導体としては、 c 軸が層面に概ね垂直に配向した結晶質 In-Ga-Zn-O 系半導体を用いてもよい。このような In-Ga-Zn-O 系半導体の結晶構造は、例えば、特開 2012-134475 号公報に開示されている。参考のために、特開 2012-134475 号公報の開示内容の全てを本明細書に援用する。

[0067] 酸化物半導体膜として、 In-Ga-Zn-O 系半導体の代わりに、ジュール熱による低抵抗化が生じ得る他の半導体膜を用いてもよい。例えば NiO 、 SnO_2 、 TiO_2 、 VO_2 、 In_2O_3 、 SrTiO_3 を含む半導体膜を用いて

もよい。あるいは、 $Zn-O$ 系半導体 (ZnO)、 $In-Zn-O$ 系半導体 ($InZnO$ (登録商標))、 $Zn-Ti-O$ 系半導体 (ZTO)、 $Cd-Ge-O$ 系半導体、 $Cd-Pb-O$ 系半導体、 CdO (酸化カドミウム)、 $Mg-Zn-O$ 系半導体、 $In-Sn-Zn-O$ 系半導体 (例えば $In_2O_3-SnO_2-ZnO$)、 $In-Ga-Sn-O$ 系半導体などを用いることもできる。さらに、これらの酸化物半導体に種々の不純物を添加した膜を使用してもよい。

[0068] <メモリトランジスタ 10A の動作>

メモリトランジスタ 10A は、例えば半導体状態 (初期状態) を論理値「0」、抵抗体状態を論理値「1」に割り当てることにより、情報を不揮発的に記憶するメモリ回路に用いられ得る。以下、メモリトランジスタ 10A を用いたメモリ回路の構成および動作の一例を説明する。メモリ回路は、1つまたは複数のメモリセルを有している。

[0069] 図3は、メモリ回路を構成する単一のメモリセルを例示する図である。メモリセルは、例えば、メモリトランジスタ 10A と、メモリトランジスタ 10A に直列に接続されたメモリセル選択用のトランジスタ (「選択トランジスタ」と称する。) 10D とを有している。メモリ回路は、例えば、複数のメモリセルをマトリクス状に配列させた構成を有している。

[0070] 選択トランジスタ 10D の構造は特に限定しないが、メモリトランジスタ 10A の活性層と同じ酸化物半導体膜から形成された活性層を有していてもよい。これにより、メモリトランジスタ 10A と選択トランジスタ 10D とを共通のプロセスを利用して簡便に製造できる。このような場合、図2に示す回路用トランジスタ 10B は、例えば選択トランジスタ 10D であってもよい。

[0071] 図3に示すメモリセルでは、選択トランジスタ 10D にゲート電圧を印加してオン状態にすることにより、メモリトランジスタ 10A への書き込みまたは読み出し動作が可能になる。

[0072] メモリトランジスタ 10A への書き込みは、期間 (書き込み時間) T_{pp}

の間、メモリトランジスタ 10A のゲート電極に所定のゲート電圧 V_g を印加し、かつ、ドレイン電極に所定の書き込み電圧 V_{pp} を印加することにより行うことができる。この間、選択トランジスタ 10D のソース電極は固定電圧（例えば接地電位）に接続しておく。これにより、期間 T_{pp} の間、メモリトランジスタ 10A のチャネル領域を書き込み電流 I_{pp} が流れる。書き込み電流 I_{pp} によるジュール熱により、チャネル領域を構成する酸化物半導体の化学組成比が変化し、チャネル領域が低抵抗化した抵抗体状態となる。

[0073] メモリトランジスタ 10A の読み出しは、メモリトランジスタ 10A のソースドレイン間に所定の電圧を印加することによって流れる電流（読み出し電流）のゲート電圧依存性を調べることによって行うことができる。具体的には、半導体状態にあるメモリトランジスタ 10A に流れる読み出し電流を I_t とすると、電流 I_t に対する読み出し時の読み出し電流 I_r の比によって容易に判別できる。なお、読み出しの際のゲート電圧 V_{gs} を、所定の電圧範囲内（例えば約 0.5 V 以下）に設定すると、読み出し電流 I_t と読み出し電流 I_r との差が大きいため、メモリトランジスタ 10A の状態をより容易に判別できる。

[0074] <半導体装置の構成>

本実施形態は、メモリ回路を備えた電子機器に広く適用され得る。本実施形態の半導体装置は、メモリトランジスタ 10A および回路用トランジスタ 10B を少なくとも 1 つずつ備えていればよく、その用途や構成は限定されない。例えば、不揮発性半導体記憶装置、集積回路（IC、LSI）、液晶表示装置や有機 EL 表示装置などの各種表示装置、各種表示装置に用いられるアクティブマトリクス基板であってもよい。

[0075] 本実施形態を同一基板上に複数の電源ドメイン領域を有する電子機器に適用する場合、回路用トランジスタ 10B は、メモリトランジスタ 10A を含む電源ドメイン領域内に配置された薄膜トランジスタであってもよい。ここでいう「電源ドメイン領域」とは、同電圧のかかる領域を指す。

[0076] なお、上記電源ドメイン領域内に、回路素子として、メモリトランジスタ 10A の活性層と共通の酸化物半導体膜から形成された活性層を有する複数の薄膜トランジスタが形成されていてもよい。その場合、メモリトランジスタ 10A のチャネル長 L_1 は、上記の複数の薄膜トランジスタのチャネル長の最小値以下であってもよい。より好ましくは最小値未満である。これにより、メモリトランジスタ 10A に書き込み電圧を印加した際に、同一の電圧のかかる可能性のある全てのトランジスタの特性変動をより効果的に抑制できる。また、メモリトランジスタ 10A のチャネル幅に対するチャネル長の比 L_1/W_1 が、上記の複数の薄膜トランジスタのチャネル幅に対するチャネル長の比の最小値以下（より好ましくは最小値未満）に設定されていれば、より顕著な効果が得られる。

[0077] 本実施形態を表示装置のアクティブマトリクス基板に適用する場合、アクティブマトリクス基板の表示領域以外の領域（周辺領域）に、メモリトランジスタ 10A を含むメモリ回路を設けてもよい。この場合、回路用トランジスタ 10B は、周辺領域に設けられた駆動回路などの周辺回路を構成する回路用トランジスタであってもよい。

[0078] また、周辺領域内に、回路素子として、メモリトランジスタ 10A の活性層と共通の酸化物半導体膜から形成された活性層を有する複数の薄膜トランジスタが形成されていてもよい。その場合、メモリトランジスタ 10A のチャネル長 L_1 は、上記の複数の薄膜トランジスタのチャネル長の最小値以下、好ましくは最小値未満であってもよい。これにより、メモリトランジスタ 10A に書き込み電圧を印加した際に、周辺領域内の全ての薄膜トランジスタの特性変動をより効果的に抑制できる。また、メモリトランジスタ 10A のチャネル幅に対するチャネル長の比 L_1/W_1 が、上記の複数の薄膜トランジスタのチャネル幅に対するチャネル長の比の最小値以下、好ましくは最小値未満に設定されていれば、より顕著な効果が得られる。

[0079] 以下、図面を参照しながら、本実施形態の半導体装置のより具体的な構成を説明する。

[0080] <1. アクティブマトリクス基板の構成>

本実施形態は、例えば液晶表示装置に用いられるアクティブマトリクス基板に適用され得る。

[0081] 図4(a)は、アクティブマトリクス基板1002の一部を示す平面図である。アクティブマトリクス基板1002は、複数の画素101を含む表示領域100と、表示領域以外の領域（周辺領域）200とを有している。

[0082] 表示領域100の各画素101には、スイッチング素子として薄膜トランジスタ（「画素用トランジスタ」と称する。）10Cが形成されている。図示しないが、周辺領域200には、表示装置を構成する複数の回路（メモリ回路や駆動回路など）の少なくとも一部がモノリシックに形成されている。周辺領域200に形成された回路を「周辺回路」と称する。

[0083] 本実施形態では、メモリトランジスタ10Aは、例えば周辺領域200に形成されたメモリ回路に用いられる。また、回路用トランジスタ10Bは、何れかの周辺回路、例えば駆動回路を構成する薄膜トランジスタである。なお、回路用トランジスタ10Bは、各画素に設けられる画素用トランジスタ10Cであってもよい。

[0084] 各画素101には、画素の列方向に沿って延びるソース配線Sと、画素の行方向に沿って延びるゲート配線Gと、画素電極19とが設けられている。画素用トランジスタ10Cは、ソース配線Sとゲート配線Gとが交差する点の近傍に配置されている。図示する例では、画素101には、ゲート配線Gと同一の導電膜から形成された容量配線CSが設けられている。容量配線CS上には、容量部20が配置されている。

[0085] 周辺領域200には、ゲート配線Gまたはソース配線Sを外部配線と接続するための複数の端子部201が設けられている。ソース配線Sは、表示領域100の端部まで延びて、ソース接続部9sgと接続されている。ソース接続部9sgは、ゲート配線Gと同一膜から形成されたゲート接続部3sgと電氣的に接続される。この接続部を「ソース・ゲート接続部」30と称する。ゲート接続部3sgは周辺領域200まで延び、端子部（ソース端子）

201を介して、例えばソースドライバ（図示せず）に接続される。一方、図示しないが、ゲート配線Gも周辺領域200まで延びて、端子部（ゲート端子）を介して、例えばゲートドライバ（図示せず）と接続される。

[0086] 周辺領域200には、メモリ回路を含む複数の周辺回路（図示せず）がモノリシックに形成されている。例えばゲートドライバ、ソースドライバなどの駆動回路と、各駆動回路に接続されたメモリ回路とが形成されていてもよい。メモリ回路は、図2に示すメモリトランジスタ10Aを含み、メモリ回路または他の周辺回路は、図2に示す回路用トランジスタ10Bを含んでいる。また、周辺領域200に形成されるメモリトランジスタ10Aおよび回路用トランジスタ10Bと、表示領域100に形成される画素用トランジスタ10Cとは、共通の酸化物半導体膜から形成された活性層を有していてもよい。この場合、これらのトランジスタ10A～10Cは、共通のプロセスを利用して製造され得る。

[0087] アクティブマトリクス基板1002は、液晶表示装置などの表示装置に適用され得る。液晶表示装置は、例えば、図4（b）に示すように、アクティブマトリクス基板1002と、表面に対向電極42を有する対向基板41と、これらの間に配置された液晶層43とを備える。液晶層43には、画素電極19と対向電極42とによって画素ごとに電圧が印加され、これにより、表示が行われる。

[0088] 図5は、アクティブマトリクス基板1002を用いた液晶表示装置2001のブロック構成を例示する図である。図6（a）～（d）は、それぞれ、不揮発性記憶装置60a～60cを構成するメモリセル、液晶表示装置2001の画素回路、ゲートドライバ76、および、ゲートドライバ76の一段分の構成を示す概略図である。

[0089] 液晶表示装置2001は、複数の画素を含む表示部71を有している。表示部71は、アクティブマトリクス基板1002の表示領域100（図4（a））に対応している。本実施形態では、表示部71には、複数の画素回路70がマトリクス状に配列されている。これらの画素回路70は、ソース線

SL1～SLk、ゲート線GL1～GLj、及び、補助容量線CSL1～CSLjにより相互に接続されている。

[0090] 各画素回路70は、図6(b)に示すように、画素用トランジスタ10C、液晶容量Clc、補助容量Csを有している。画素用トランジスタ10Cのソース電極はソース配線S、ゲート電極はゲート配線Gと、ドレイン電極は画素電極（図示せず）と接続されている。画素電極と、共通電極COMとによって液晶容量Clcが形成され、画素電極と、容量配線CSとによって補助容量Csが形成されている。

[0091] 液晶表示装置2001は、また、ソース配線Sと電氣的に接続されたソースドライバ75、ゲート配線Gと電氣的に接続されたゲートドライバ76、容量配線CSに電氣的に接続されたCSドライバ77、および、共通電極を駆動する共通電極駆動回路74を備えている。これらの駆動回路75、76、77、74は、タイミングやソース配線S、ゲート配線G、容量配線CSおよび共通電極に印加する電圧を制御する表示制御回路73と、これらの回路に電源を供給する電源回路（図示せず）とに接続されている。さらに、ソースドライバ75、ゲートドライバ76および表示制御回路73は、それぞれ、不揮発性記憶装置60a、60b、60cに接続されている。不揮発性記憶装置60a、60b、60cは共通メモリ制御回路部61に接続されている。

[0092] 不揮発性記憶装置60a、60b、60cは、例えば、複数のメモリセルがアレイ状に配列された構成を有している。メモリセルは、メモリトランジスタ10Aを含んでいる。メモリセルは、図3を参照しながら前述した構成を有していてもよい。あるいは、図6(a)に例示するように、図3に示す選択トランジスタ10Dの代わりに、並列に接続された2個または2個以上の選択トランジスタ10D、10Eを有してもよい。

[0093] 不揮発性記憶装置60aには、ディスプレイパネルの構成情報や固有ID等が格納されている。これらの不揮発性記憶装置60aに記憶された情報は、表示制御回路73により参照され、これらの情報に基づいて詳細な表示制

御方法の切り替え、或いは、制御パラメータの最適化が行われる。また、固有ID等は、ディスプレイパネルと接続するシステム側からの照会が可能であり、ディスプレイパネルの判別や、最適な駆動方法の選択等に利用される。表示制御回路73は、不揮発性記憶装置60aに格納された情報に基づいて表示制御のために使用する回路を切り替え、最適なディスプレイの表示制御を実現する。

[0094] 不揮発性記憶装置60bには、ゲートドライバの冗長救済情報等、ゲートドライバの駆動に必要な構成パラメータの情報が格納されている。同様に、不揮発性記憶装置60cには、ソースドライバの冗長救済情報等、ソースドライバの駆動に必要な構成パラメータの情報が格納されている。

[0095] 不揮発性記憶装置60a、60b、60cの少なくとも一部と、表示部71以外に設けられる回路73、74、75、76、77、61の少なくとも一部とは、アクティブマトリクス基板1002の周辺領域200（図4（a））にモノリシックに形成されている。

[0096] 本実施形態では、例えばゲートドライバ76が、アクティブマトリクス基板にモノリシックに形成されている。ゲートドライバ76は、例えば、図6（c）に示すように、複数段を有するシフトレジスタ410によって構成されている。表示部71に例えばi行×j列の画素マトリクスが形成されている場合、それら画素マトリクスの各行と1対1で対応するようにi段の双安定回路を有している。

[0097] シフトレジスタ410に含まれている双安定回路（シフトレジスタ410の1段分の構成）は、図6（d）に示すように、10個の薄膜トランジスタMA、MB、MI、MF、MJ、MK、ME、ML、MNおよびMDと、キャパシタCAP1とを備えている。また、この双安定回路は、第1クロックCKAを受け取る入力端子、第2クロックCKBを受け取る入力端子、第3クロックCKCを受け取る入力端子、第4クロックCKDを受け取る入力端子、セット信号Sを受け取る入力端子、リセット信号Rを受け取る入力端子、クリア信号CLRを受け取る入力端子、および状態信号Qを出力する出力

端子を備えている。

[0098] 本実施形態では、例えば、図6（d）に示す双安定回路に含まれる複数の薄膜トランジスタと、不揮発性記憶装置60a～60cの何れかに含まれるメモリトランジスタ10Aとは、共通の酸化物半導体膜から形成された活性層を有している。双安定回路に含まれる薄膜トランジスタの少なくとも1つ、好ましくは全部が、図2に示す回路用トランジスタ10Bに相当する。さらに、メモリトランジスタ10Aのチャネル長（あるいはチャネル長／チャネル幅）は、図6（d）に示す双安定回路に含まれる複数の薄膜トランジスタおよび画素用トランジスタ10Cのチャネル長（あるいはチャネル長／チャネル幅）の最小値以下、好ましくは最小値未満であってもよい。

[0099] なお、ここではゲートドライバ76を例に説明したが、薄膜トランジスタを含む他の回路がモノリシックに形成されている場合でも同様である。表示制御回路73、共通電極駆動回路74、ソースドライバ75及びCSドライバ77の詳細な回路構成については、公知の液晶表示装置の構成とほぼ同様であるため、詳細な説明を省略する。

[0100] 本実施形態では、モノリシックに形成された回路を構成する薄膜トランジスタの少なくとも1つが、図2を参照しながら前述した回路用トランジスタ10Bに相当すればよい。好ましくは、アクティブマトリクス基板1002上において、メモリトランジスタ10Aを含む回路と同一の電源ドメイン領域にある全ての回路（同一の電源回路に接続された回路）において、回路素子として機能する全ての薄膜トランジスタが回路用トランジスタ10Bに相当する。さらに、画素用トランジスタ10Cも回路用トランジスタ10Bであってもよい。なお、上記回路の一部は、アクティブマトリクス基板1002に外付けされた他の基板上に形成されていてもよい。

[0101] 次に、図面を参照しながら、アクティブマトリクス基板1002の製造方法の一例を説明する。

[0102] 図7～図10は、アクティブマトリクス基板1002の製造方法を説明するための工程図であり、各図の（a）および（b）は断面図、（c）は上面

図である。これらの図では、アクティブマトリクス基板 1002 におけるメモリトランジスタ 10A を形成する領域 R (10A)、回路用トランジスタ 10B を形成する領域 R (10B)、容量部 20 を形成する領域 R (20)、ゲート・ソースコンタクト部 30 を形成する領域 R (30) およびゲート・ソース交差部 40 を形成する領域 R (40) をそれぞれ示している。ゲート・ソース交差部 40 は、ゲート配線またはゲート配線と同一の導電膜から形成された導電層と、ソース配線またはソース配線と同一の導電膜から形成された導電層とが、絶縁層を介して交差する部分を指す。なお、これらの図では、便宜上、トランジスタ 10A、10B や容量部 20 などの形成領域を並べて示しているが、これらの形成領域の配置は図示する配置に限定されない。

[0103] まず、基板 1 上に、例えばスパッタリング法でゲート用導電膜を形成し、これを周知のドライエッチング法でパターニングする。これにより、図 7 (a) ~ 図 7 (c) に示すように、ゲート・ソースコンタクト部形成領域 R (30) にゲート接続部 3sg、ゲート・ソース交差部形成領域 R (40) にゲート配線 G、メモリトランジスタ形成領域 R (10A) にゲート電極 3A、容量部形成領域 R (20) に容量配線 CS、回路用トランジスタ形成領域 R (10B) にゲート電極 3B をそれぞれ形成する。ゲート用導電膜から形成されたこれらの配線および電極を含む層を「ゲート配線層」と称する。

[0104] 基板 1 としては、例えばガラス基板などの透明絶縁性の基板を用いることができる。ゲート用導電膜として、例えばアルミニウム (Al)、クロム (Cr)、銅 (Cu)、タンタル (Ta)、チタン (Ti)、モリブデン (Mo)、またはタングステン (W) などの単層膜、それらを 2 層以上積層した積層膜、あるいは上記の金属元素のうち 2 以上の元素を成分とする合金膜を用いてもよい。例えば、基板 1 側から Ti 膜、Al 膜および Ti 膜をこの順で有する 3 層膜 (Ti/Al/Ti)、Mo 膜、Al 膜および Mo 膜をこの順で有する 3 層膜 (Mo/Ti/Mo) 等を用いることができる。本実施形態では、一例として、基板 1 から、厚さが 10 ~ 100 nm の Ti 膜、厚さ

が50～500nmのAl膜、および厚さが50～300nmのTi膜をこの順で有する3層膜(Ti/Al/Ti)を用いる。

[0105] この後、ゲート配線層を覆うようにゲート絶縁膜5を形成する。ゲート絶縁膜5は、例えばプラズマCVD法、スパッタリング法などにより形成される。ゲート絶縁膜5としては、例えば、酸化シリコン膜(SiO₂)、窒化シリコン膜(SiN)、酸化窒化シリコン膜(SiNO)、窒化酸化シリコン膜(SiON)、酸化アルミニウム(Al₂O₃)、酸化タンタル(Ta₂O₅)から選択される単層または2層以上の積層膜を用いてもよい。本実施形態では、一例として、基板1側から、厚さが100～500nmのSiN膜、および厚さが20～100nmのSiO₂膜をこの順で有する2層膜を使用する。

[0106] 続いて、ゲート絶縁膜5上に、例えばスパッタリング法で酸化物半導体膜(厚さ：例えば20～200nm)を形成した後、周知のウェットエッチング法で酸化物半導体膜のパターニングを行う。これにより、図8(a)～図8(c)に示すように、メモリトランジスタ形成領域R(10A)に活性層7A、回路用トランジスタ形成領域R(10B)に活性層7Bをそれぞれ形成する。活性層7A、7Bは、それぞれ、対応するゲート電極3A、3Bにゲート絶縁膜5を介して重なるように配置される。ここでは、ゲート電極3A、3Bのチャネル方向の幅を略等しくし、活性層7Aのチャネル方向の幅を、活性層7Bのチャネル方向の幅よりも小さくしている。例えば、図示するように、活性層7Aのチャネル方向の幅を、ゲート電極3Aのチャネル方向の幅よりも小さく、活性層7Bのチャネル方向の幅を、ゲート電極3Bのチャネル方向の幅よりも大きくしてもよい。このような構成により、ゲート電極3A、3Bとソース・ドレイン電極とが重なる部分に形成される寄生容量を増大させることなく、チャネル長の異なるトランジスタ構造を作り分けることができる。

[0107] 酸化物半導体膜として、例えばIn、GaおよびZnを含む酸化物半導体膜を用いることができる。本実施形態では、In-Ga-Zn-O系のアモ

ルファス酸化物半導体膜（厚さ：例えば20～200nm）を用いる。この半導体膜は、n型の金属酸化物半導体であり、低温で形成される。In-Ga-Zn-O系酸化物半導体膜における各金属元素の組成比In:Ga:Znは、例えば1:1:1である。この組成比を基準として組成比が調整されても本発明の効果を奏する。

[0108] 次いで、ゲート絶縁膜5および活性層7A、7Bの上に、例えばスパッタリング法でソース用導電膜を形成し、周知のドライエッチング法でソース用導電膜のパターニングを行う。これにより、図9(a)～図9(c)に示すように、ゲート・ソースコンタクト部形成領域R(30)にソース接続部9sg、ゲート・ソース交差部形成領域R(40)にソース配線S、メモリトランジスタ形成領域R(10A)にソース電極9sAおよびドレイン電極9dA、容量部形成領域R(20)に容量電極9cs、回路用トランジスタ形成領域R(10B)にソース電極9sBおよびドレイン電極9dBをそれぞれ形成する。ソース用導電膜から形成されたこれらの配線および電極を含む層を「ソース配線層」と称する。

[0109] メモリトランジスタ形成領域R(10A)および回路用トランジスタ形成領域R(10B)では、ソース電極9sAとドレイン電極9dAとは、互いに電氣的に分離し、かつ、活性層7Aの一部とそれぞれ接するように配置される。同様に、ソース電極9sBとドレイン電極9dBとは、互いに電氣的に分離し、かつ、活性層7Bの一部とそれぞれ接するように配置される。活性層7A、7Bのうち対応するゲート電極3A、3Bと重なり、かつ、ソース電極9sA、9sBとドレイン電極9dA、9dBとの間に位置する領域がチャネル領域7cA、7cBとなる。本実施形態では、例えば、メモリトランジスタ形成領域R(10A)において、基板1の法線方向から見たとき、チャネル領域7cAがU字形となるように、ソース電極9sAおよびドレイン電極9dAを配置する。一方、回路用トランジスタ形成領域R(10B)において、基板1の法線方向から見たとき、チャネル領域7cBが矩形となるように、ソース電極9sBおよびドレイン電極9dBを配置する。この

ようにして、メモリトランジスタ10Aと、回路用トランジスタ10Bとが形成される。

[0110] また、容量部形成領域R(20)に、容量配線CSと、容量電極9csと、その間に位置する誘電体層(ここではゲート絶縁膜5)とを有する容量部20が形成される。ゲート・ソース交差部形成領域R(40)には、ゲート配線Gとソース配線Sとがゲート絶縁膜5を介して交差するゲート・ソース交差部40が形成される。ゲート・ソースコンタクト部形成領域R(30)において、ソース接続部9sgは、ゲート絶縁膜5を介して、ゲート接続部3sgの一部と重なるように配置される。

[0111] ソース用導電膜として、例えばアルミニウム(Al)、クロム(Cr)、銅(Cu)、タンタル(Ta)、チタン(Ti)、モリブデン(Mo)、またはタングステン(W)などの単層膜、それらを2層以上積層した積層膜、あるいは上記の金属元素のうち2以上の元素を成分とする合金膜を用いてもよい。例えば、基板1側からTi膜、Al膜およびTi膜をこの順で有する3層膜(Ti/Al/Ti)、Mo膜、Al膜およびMo膜をこの順で有する3層膜(Mo/Ti/Mo)等を用いることができる。本実施形態では、一例として、基板1から、厚さが10~100nmのTi膜、厚さが50~400nmのAl膜、および厚さが50~300nmのTi膜をこの順で有する3層膜(Ti/Al/Ti)を用いる。

[0112] 次いで、図10(a)~図10(c)に示すように、例えばプラズマCVD法またはスパッタリング法で、ソース配線層を覆うように保護膜(パッシベーション膜)11を形成する。保護膜11として、例えば、酸化シリコン膜(SiO₂)、窒化シリコン膜(SiN)、酸化窒化シリコン膜(SiNO)、窒化酸化シリコン膜(SiON)、酸化アルミニウム(Al₂O₃)、酸化タンタル(Ta₂O₅)から選択される単層または2層以上の積層膜を用いてもよい。本実施形態では、一例として、保護膜11として、CVD法によりSiO₂膜(厚さ:例えば50~500nm)を用いる。

[0113] この後、大気雰囲気中で、200~400℃の温度で、30分~4時間程

度のアニーリングを行う。これにより、ソース電極 9 s A、9 s B およびドレイン電極 9 d A、9 d B と活性層 7 A、7 B との界面に、反応層が形成される。このため、ソース電極 9 s A、9 s B およびドレイン電極 9 d A、9 d B と活性層 7 A、7 B とのコンタクト抵抗を低減できる。

[0114] この後、必要に応じて、パッシベーション膜 1 1 上に平坦化膜を形成してもよい。本実施形態では、平坦化膜として、例えば、感光性樹脂等の有機絶縁膜 1 3 を形成する。有機絶縁膜 1 3 は、公知のフォトリソ法（露光、現像、ベーク）によりパターニングされる。これにより、有機絶縁膜 1 3 のうちゲート・ソースコンタクト部形成領域 R（30）上に位置する部分に開口部を形成する。この後、有機絶縁膜 1 3 をマスクとして、ゲート絶縁膜 5 およびパッシベーション膜 1 1 のエッチングを行う。エッチングでは、ソース接続部 9 s g およびゲート接続部 3 s g はエッチストップとして機能する。このため、ゲート絶縁膜 5 のうちソース接続部 9 s g で覆われた部分はエッチングされずに残る。このようにして、ゲート接続部 3 s g およびソース接続部 9 s g の表面を露出するコンタクトホール 1 5 を得る。

[0115] 続いて、コンタクトホール 1 5 内および有機絶縁膜 1 3 上に導電膜を形成し、パターニングを行う。これにより、ゲート・ソースコンタクト部形成領域 R（30）において、コンタクトホール 1 5 内で、ゲート接続部 3 s g とソース接続部 9 s g とを電氣的に接続する上部導電層 1 7 を得る。このようにして、ゲート・ソースコンタクト部 30 が形成される。

[0116] 本実施形態では、導電膜として、ITO 膜（厚さ：例えば約 20 nm～300 nm）などの透明導電膜を用いる。なお、図示しないが、この導電膜から、各画素に形成される画素電極も形成され得る。このようにして、アクティブマトリクス基板 1002 が得られる。

[0117] <2. 集積回路>

次に、本実施形態を VLSI などの集積回路に適用した半導体装置の一例を説明する。

[0118] 図 11（a）および（b）は、本実施形態の半導体装置（集積回路）20

02を例示する回路ブロック図および半導体装置の一部を示す断面図である。

[0119] 本実施形態の集積回路（VLSI）2002は、低電圧コア・ロジック回路51、電圧コンバータ回路およびバッファ回路53、不揮発性メモリによる切り替え回路55などを有している。これらの回路51、53、55はLSIチップ59上に支持されている。切り替え回路55は、不揮発性メモリ素子を利用して配線の切り替えを行う。これにより、回路の切り替え、機能の切り替えまたは回路ブロックの構成の変更を行うことができる。切り替え回路55は、例えばLSIチップ59の外部にある高電圧回路やチップ間インターフェースに接続されてもよい。

[0120] 本実施形態では、切り替え回路55は、不揮発性メモリ素子としてメモリトランジスタ10Aを含んでいる。また、例えば電圧コンバータ回路およびバッファ回路53または切り替え回路55を構成する薄膜トランジスタの何れか1つ、好ましくは全部は、回路用トランジスタ10Bに相当する。

[0121] 図11（b）に示すように、LSIチップ59は、LSI素子層56と、LSI素子層56を覆う層間絶縁層57とを有している。低電圧コア・ロジック回路51は、例えば内部に形成されている。電圧コンバータ回路およびバッファ回路53と切り替え回路55とは、層間絶縁層57上に形成されている。なお、図11（b）では、切り替え回路55のメモリトランジスタ10A、配線部およびコンタクト部58の構成のみを示している。回路用トランジスタ10Bも、層間絶縁層57上に形成される。回路用トランジスタ10Bは、チャネル長またはチャネル幅は異なるものの、メモリトランジスタ10Aと同様のトランジスタ構造を有し得る。

[0122] 本実施形態の半導体装置は、表示装置や集積回路に限定されない。例えば、メモリトランジスタ10Aおよび回路用トランジスタ10Bは比較的低温（例えば200℃以下）で製造可能であるため、ICタグ等にも適用され得る。この場合、メモリトランジスタ10AはIDの記憶に利用され得る。さらに、酸化物半導体膜として透明な金属酸化物膜を用いることができるので

、デジタルサイネージ向けの大容量記憶装置に利用することもできる。記憶装置以外にも、ASIC (Application Specific Integrated Circuit) やFPGA (Field-Programmable Gate Array) 等のプログラム可能な論理回路装置に適用することも可能である。

[0123] <メモリトランジスタ10Aの電気的特性>

ここで、図12～図17を参照しながら、メモリトランジスタ10Aの電気的特性を説明する。

[0124] メモリトランジスタ10Aとして、酸化物半導体としてIn-Ga-Zn-O系半導体を用いたnチャネル型の薄膜トランジスタを作製し、書き込み前および書き込み後の電気的特性を測定した。測定に用いたメモリトランジスタ10Aのチャネル長 L_1 を $4\mu\text{m}$ 、チャネル幅 W_1 を $20\mu\text{m}$ 、活性層（酸化物半導体層）7Aの厚さを $20\sim 100\text{nm}$ 、チャネル領域7cAの平面形状を矩形またはU字形とした。

[0125] メモリトランジスタ10Aは、製造された直後（初期状態）には、通常の薄膜トランジスタと同様にトランジスタ特性を示す。すなわち、ドレイン電流 I_{ds} （ドレイン電極からソース電極に流れる電流）は、ゲート電圧 V_{gs} （ソース電極を基準としてゲート電極に印加される電圧）およびドレイン電圧 V_{ds} （ソース電極を基準としてドレイン電極に印加される電圧）のそれぞれに依存して変化する。

[0126] 図12(a)は、メモリトランジスタ10Aの初期状態における、 $V_{ds}=0.1\text{V}$ および $V_{ds}=10\text{V}$ の場合の $I_{ds}-V_{gs}$ 特性を示す図である。図12(b)は、メモリトランジスタ10Aの初期状態において、 V_{gs} を0から7Vまで1Vごとに変化させた場合の $I_{ds}-V_{ds}$ 特性を示す図である。なお、図12(a)および(b)におけるドレイン電流 I_{ds} の値は、単位ゲート幅($1\mu\text{m}$)あたりのドレイン電流（単位ドレイン電流）の値を示している。

[0127] 図12(a)および(b)より明らかなように、初期状態のメモリトラン

ジスタ 10 A では、ゲート電圧 V_{gs} が約 0.5 V 以下の範囲（特定電圧範囲）であり、かつ、ドレイン電圧 V_{ds} が 0.1 V 以上 10 V 以下の範囲において、単位ドレイン電流は極めて微小（例えば $1 \times 10^{-14} \text{ A} / \mu\text{m}$ 以下）となる。これは、実質的にオフ状態である。ゲート電圧 V_{gs} が上記特定電圧範囲よりも大きくなると、ゲート電圧 V_{gs} の増加とともにドレイン電流 I_{ds} も増加する（図 12（a））。また、ドレイン電圧 V_{ds} の増加とともにドレイン電流 I_{ds} も増加する（図 12（b））。

[0128] このような初期状態（半導体状態ともいう。）のメモリトランジスタ 10 A に対して書き込み動作を行って、書き込み後の電気的特性を調べた。書き込みは、メモリトランジスタ 10 A に所定のゲート電圧 V_{gs} およびドレイン電圧 V_{ds} を印加し、チャネル領域 7 c A に大きなドレイン電流を流すことによって行う。ドレイン電流により、活性層 7 A に局所的にジュール熱が発生し、チャネル領域 7 c A の電気抵抗を低下させることができる。なお、書き込みの際のゲート電圧 V_{gs} は、例えば、回路動作によって回路用トランジスタに印加されるゲート電圧の範囲より高い電圧に設定される。ここでは、メモリトランジスタ 10 A に、ドレイン電圧 V_{ds} : 24 V、ゲート電圧 V_{gs} : 30 V を印加して書き込みを行った。書き込み時間（ドレイン電流 I_{ds} の通電時間）を 100 m 秒とした。

[0129] 図 13（a）は、メモリトランジスタ 10 A の書き込み動作後における、 $V_{ds} = 0.1 \text{ V}$ および $V_{ds} = 10 \text{ V}$ の場合の $I_{ds} - V_{gs}$ 特性を示す図である。図 13（b）は、メモリトランジスタ 10 A の書き込み動作後において、 V_{gs} を 0 から 7 V まで 1 V ごとに変化させた場合の $I_{ds} - V_{ds}$ 特性を示す図である。

[0130] また、図 14 は、書き込み前後の電気的特性を比較するため、書き込み前（初期状態）および書き込み後のメモリトランジスタ 10 A における、 $V_{gs} = 0 \text{ V}$ の場合の原点付近の $I_{ds} - V_{ds}$ 特性を拡大して示す図である。線 R1 は書き込み前の $I_{ds} - V_{ds}$ 特性、線 T1 は書き込み後の $I_{ds} - V_{ds}$ 特性を表している。

[0131] 図15は、書き込み前後のメモリトランジスタ10Aの $I_{ds}-V_{gs}$ 特性を重ね合わせて示す図である。線T2およびT3は、それぞれ、 V_{ds} が0.1Vおよび10Vのときの書き込み前の $I_{ds}-V_{gs}$ 特性を表している。線R2およびR3は、それぞれ、 V_{ds} が0.1Vおよび10Vのときの書き込み後の $I_{ds}-V_{gs}$ 特性を表している。

[0132] 図16は、書き込み前後のメモリトランジスタ10Aの、 $I_{ds}-V_{ds}$ 特性から得られる微分抵抗(dV_{ds}/dI_{ds} 、単位： $\Omega\mu m$)とドレイン電圧 V_{ds} との関係を示す図である。線T4、T5は、それぞれ、ゲート電圧 V_{gs} が0Vおよび7Vのときの、書き込み前の dV_{ds}/dI_{ds} と V_{ds} との関係を表している。線R4、R5は、それぞれ、ゲート電圧 V_{gs} が0Vおよび7Vのときの、書き込み後の dV_{ds}/dI_{ds} と V_{ds} との関係を表している。

[0133] 図13(a)および(b)から明らかなように、書き込み後のメモリトランジスタ10Aでは、ドレイン電流 I_{ds} は、ゲート電圧 V_{gs} に殆ど依存せず、主としてドレイン電圧 V_{ds} に依存して変化する。ドレイン電圧 V_{ds} が一定であれば、ドレイン電流 I_{ds} はほぼ一定値である。また、 $I_{ds}-V_{ds}$ 特性の各ゲート電圧 V_{gs} における $I-V$ 曲線は、ゲート電圧 V_{gs} にかかわらず、ほぼ直線状であり、かつ、原点($I_{ds}=0A/\mu m$ 、 $V_{ds}=0V$)を通過する。すなわち、書き込み後のメモリトランジスタ10Aは、オーミックな抵抗特性を呈する抵抗体であることが分かる。原点における微分抵抗(dV_{ds}/dI_{ds})は無限大でも0でも無い有限値を有する。

[0134] 初期状態のメモリトランジスタ10Aでは、ドレイン電圧 V_{ds} が一定とすると、ドレイン電流 I_{ds} はゲート電圧 V_{gs} に大きく依存して変化する。また、ゲート電圧 V_{gs} が特定電圧範囲内(例えば約0.5V以下)にある場合、ドレイン電流 I_{ds} は殆ど流れず、実質的にオフ状態である。これに対し、書き込み後においては、ドレイン電圧 V_{ds} が一定とすると、ゲート電圧 V_{gs} にかかわらず、一定のドレイン電流 I_{ds} が流れる。ゲート電

圧 V_{gs} が特定電圧範囲内にある場合、ドレイン電圧が例えば 0.1 V 以上 10 V 以下の範囲であれば、単位ドレイン電流は $1 \times 10^{-11}\text{ A}/\mu\text{m}$ 以上となる。

[0135] このように、メモリトランジスタ 10 A では、半導体状態のとき、ドレイン電圧の絶対値が 0.1 V 以上 10 V 以下の範囲内において、単位チャネル幅当たりのドレイン電流 I_{ds}/W_1 の絶対値が、例えば $1 \times 10^{-14}\text{ A}/\mu\text{m}$ 以下の微小電流状態となるゲート電圧の電圧範囲が存在する。抵抗体状態に変化した後は、ドレイン電圧の絶対値が 0.1 V 以上 10 V 以下の範囲内において、ゲート電圧を上記の電圧範囲内に設定した場合でも、単位チャネル幅当たりのドレイン電流 I_{ds}/W_1 の絶対値は、ドレイン電圧に応じて、例えば $1 \times 10^{-11}\text{ A}/\mu\text{m}$ 以上の電流状態となる。

[0136] さらに、図 16 から分かるように、初期状態における微分抵抗 dV_{ds}/dI_{ds} は、ゲート電圧 V_{gs} により変化する。これに対し、書き込み後における微分抵抗 dV_{ds}/dI_{ds} は、ゲート電圧 V_{gs} により変化しない。

[0137] 次に、メモリトランジスタ 10 A の書き込み動作について更に説明を追加する。メモリトランジスタ 10 A の書き込み動作は、高電流密度のドレイン電流 I_{ds} を、チャネル領域 7 c A に一定の書き込み時間流すことで実行される。高電流密度のドレイン電流 I_{ds} は、書き込み動作以外の回路動作においてメモリトランジスタ 10 A に印加されるゲート電圧 V_{gs} およびドレイン電圧 V_{ds} の電圧範囲よりも高いバイアス状態で流れる。所定の高電流密度のドレイン電流 I_{ds} が一定の書き込み時間流れることにより、チャネル領域 7 c A にジュール熱とエレクトロマイグレーションが発生する。これにより、チャネル領域 7 c A （活性層 7 A ）を構成する金属酸化物半導体の組成が変化して、低抵抗化が誘起されるものと考えられる。なお、活性層 7 A の厚さを一定とすると、単位ドレイン電流（単位： $\text{A}/\mu\text{m}$ ）は、ドレイン電流の電流密度（単位： A/m^2 ）と比例関係にある。単位ドレイン電流（単位： $\text{A}/\mu\text{m}$ ）を大きくすることにより、ドレイン電流の電流密度（単

位： A/m^2)が大きくなる。本実施形態では、書き込み動作時の単位ドレイン電流を例えば $1\mu A/\mu m \sim 1mA/\mu m$ 程度、書き込み時間を例えば $10\mu s \sim 100s$ 程度とする。書き込み時のゲート電圧 V_{gs} は、例えば $0V$ より大きく $200V$ 以下、好ましくは $30V$ 以上 $100V$ 以下に設定される。書き込み時のドレイン電圧 V_{ds} は、例えば $0V$ より大きく $200V$ 以下、好ましくは $30V$ 以上 $100V$ 以下に設定される。ただし、書き込み時の電圧 V_{gs} 、 V_{ds} は上記範囲に限定されず、所望の単位ドレイン電流が流れるように適宜設定され得る。また、書き込み動作時の単位ドレイン電流および書き込み時間も、上述の数値範囲に限定されない。単位ドレイン電流および書き込み時間は、活性層7Aに使用する金属酸化物半導体の種類や厚さ、メモリトランジスタ10Aの素子構造などに依存して変化し得る。

[0138] メモリトランジスタ10Aの電気的特性は、メモリトランジスタ10Aで発生するジュール熱が大きいほど変化しやすい。例えば、書き込み時の単位ドレイン電流 I_{ds} を大きくすると、より大きなジュール熱を生じさせることができる。

[0139] 図17に、書き込み時間（単位： ms ）と単位ドレイン電流（単位： $A/\mu m$ ）との関係の一例を示す。図17から、単位ドレイン電流が大きい程、ジュール熱が大きくなり、書き込み時間を短縮できることが分かる。

[0140] 書き込み時の単位ドレイン電流は、書き込み時のゲート電圧 V_{gs} を高くする、あるいは、ゲート絶縁膜5の容量を高めることにより増加させることができる。ただし、書き込み時のゲート電圧 V_{gs} はゲート絶縁膜5の絶縁破壊電圧よりも低い値に設定される。従って、書き込み時のゲート電圧 V_{gs} をさらに高くするためには、ゲート絶縁膜5の絶縁破壊電圧を高めることが好ましい。このような観点から、本実施形態では、ゲート絶縁膜5に比誘電率の高い材料を使用して、電気容量を大きくしている。比誘電率の高い絶縁材料として、例えば、窒化シリコン膜（ SiN ）または酸化窒化シリコン膜（ $SiNO$ ）を用いてもよい。これらの比誘電率は、酸化シリコン膜（ SiO_2 ）の比誘電率よりも高い。また、誘電率の大きい材料の選択とは別に、

または併せて、ゲート絶縁膜 5 の厚さを大きくすることにより、ゲート絶縁膜 5 にかかる電界強度を低く抑えてもよい。これにより、ゲート絶縁膜 5 の絶縁破壊電圧を低減できる。なお、比誘電率の高い絶縁膜として、窒化シリコン膜 (SiN) や窒化酸化シリコン膜 (SiON) を CVD 法で形成すると、これらの膜中に水素が含まれる。このため、SiN 膜または SiON 膜と活性層 7A である酸化物半導体層とが接していると、水素が酸化物半導体の酸素と反応する結果、活性層 7A が導電体に近づく可能性がある。そこで、活性層 7A と窒化シリコン膜 (SiN) や酸化窒化シリコン膜 (SiNO) とが直接接触しないように、これらの間に、膜中の水素濃度の低い酸化シリコン膜 (SiO₂) または窒化酸化シリコン膜 (SiON) を挿入してもよい。

[0141] <メモリトランジスタ 10A の構成例>

メモリトランジスタ 10A の書き込み動作時のドレイン電流 I_{ds} をさらに大きくするために、活性層 7A におけるゲート電極 3A と反対側に、他のゲート電極 18 を設けてもよい。

[0142] 図 18 (a) および (b) は、本実施形態における他のメモリトランジスタ 10A の構成を例示する平面図および断面図である。この例では、活性層 7A の上方に、層間絶縁層（ここではパッシベーション膜 11 および有機絶縁膜 13）を介して上部ゲート電極 18 が設けられている。上部ゲート電極 18 は、基板 1 の法線方向から見たとき、活性層 7A の少なくともチャネル領域 7cA と重なるように配置されている。上部ゲート電極 18 は、例えば画素電極と共通の透明導電膜から形成された透明電極であってもよい。また、上部ゲート電極 18 と、活性層 7A の基板 1 側にあるゲート電極（ゲート配線）3A とは、コンタクトホール CH を介して接続されていてもよい。これにより、他のゲート電極 18 とゲート電極 3A とが同電位となるので、バックゲート効果によりドレイン電流 I_{ds} をさらに大きくできる。なお、図 18 (a) に示す例では、上部ゲート電極 18 は透明電極として示されているが、透明電極でなくてもよい。このように、メモリトランジスタ 10A に

上部ゲート電極 18 を設けることにより、ゲート電圧 V_{gs} を大幅に高めることなく、ジュール熱を増加させ、書き込み時間を短縮することが可能になる。なお、メモリトランジスタ 10A に上部ゲート電極 18 を設け、回路用トランジスタ 10B には上部ゲート電極 18 を設けなくてもよい。これにより、メモリトランジスタ 10A と回路用トランジスタ 10B との書き込み速度の差をさらに拡大できる。

[0143] 本実施形態のメモリトランジスタ 10A および回路用トランジスタ 10B の構成は、図 2 および図 18 に示す構成に限定されない。メモリトランジスタ 10A および回路用トランジスタ 10B は、後述するように、チャネル領域 7cA の表面と接するようにエッチストップ層を設けたエッチストップ構造を有していてもよい。あるいは、活性層 7A をソースおよびドレイン電極上に形成し、活性層 7A の下面がこれらの電極と接するように配置されたボトムコンタクト構造を有していてもよい。

[0144] (第 2 の実施形態)

以下、本発明の半導体装置の第 2 の実施形態を説明する。本実施形態の半導体装置は、メモリトランジスタ 10A および回路用トランジスタ 10B の活性層上に、エッチストップとして保護層を有する点で、第 1 の実施形態の半導体装置と異なる。その他の構成は同様である。

[0145] 図 19 (a) および (b) は、それぞれ、第 2 の実施形態におけるメモリトランジスタ 10A の構成の一例を示す平面図及び断面図である。図 19 (b) に示す断面は、図 19 (a) に示す A-A' 線に沿った断面である。図 19 では、図 2 と同様の構成要素には同じ参照符号を付し、説明を省略している。なお、図示していないが、回路用トランジスタ 10B は、チャネル長およびチャネル幅は異なるが、図示するメモリトランジスタ 10A と同様のトランジスタ構造を有する。

[0146] メモリトランジスタ 10A は、活性層 7A の少なくともチャネル領域 7cA 上に保護層 31 を有している。活性層 7A のチャネル方向の幅は、ゲート電極 3A のチャネル方向の幅よりも大きい。この例では、保護層 31 は、活

性層 7 A を覆うように設けられている。保護層 3 1 には、活性層 7 A のうちチャンネル領域 7 c A の両側に位置する領域をそれぞれ露出する開口部 3 2 s、3 2 d が設けられている。ソース電極 9 s A およびドレイン電極 9 d A は、保護層 3 1 上および開口部 3 2 s、3 2 d 内に形成され、開口部 3 2 s、3 2 d 内で活性層 7 A と接している。これにより、活性層 7 A のうちソース電極 9 s A と接する領域はソースコンタクト領域、ドレイン電極 9 d A と接する領域はドレインコンタクト領域となる。

[0147] なお、図 1 9 では、チャンネル領域 7 c A の平面形状は矩形であるが、図 2 (b) に示すような U 字形であってもよい。

[0148] 本実施形態でも、メモリトランジスタ 1 0 A のチャンネル長 L_1 およびチャンネル幅 W_1 、回路用トランジスタ 1 0 B のチャンネル長 L_2 およびチャンネル幅 W_2 を、第 1 の実施形態と同様に、 $L_1 < L_2$ 、または $W_1 > W_2$ となるように設定する。好ましくは、 $L_1 / W_1 < L_2 / W_2$ となるように設定する。これにより、第 1 の実施形態と同様の効果が得られる。

[0149] 次に、図面を参照しながら、本実施形態の半導体装置の製造方法を、アクティブマトリクス基板を例に説明する。

[0150] 図 2 0 ~ 図 2 3 は、アクティブマトリクス基板 1 0 0 3 の製造方法の一例を説明するための工程図であり、各図の (a) および (b) は断面図、(c) は上面図である。ここでは、アクティブマトリクス基板 1 0 0 3 におけるメモリトランジスタ 1 0 A、回路用トランジスタ 1 0 B、容量部 2 0、ゲート・ソースコンタクト部 3 0 およびゲート・ソース交差部 4 0 を形成する工程を示す。なお、(c) の上面図において、メモリトランジスタ 1 0 A と回路用トランジスタ 1 0 B とは、チャンネル長およびチャンネル幅は異なるが、同様のトランジスタ構造を有するため、1 つの図面で表している。

[0151] まず、図 2 0 (a) ~ (c) に示すように、基板 1 上にゲート用導電膜を形成し、これをパターニングすることにより、ゲート接続部 3 s g、ゲート配線 G、ゲート電極 3 A および容量配線 C S、ゲート電極 3 B を含むゲート配線層を形成する。この後、ゲート配線層を覆うようにゲート絶縁膜 5 を形

成する。次いで、ゲート絶縁膜 5 上に、酸化物半導体膜を形成し、これをパターニングすることにより、メモリトランジスタ形成領域 R (10A) に活性層 7A、回路用トランジスタ形成領域 R (10B) に活性層 7B をそれぞれ形成する。また、容量部形成領域 R (20) に、容量配線 CS とゲート絶縁膜 5 を介して重なるように半導体層 7cs を残す。容量部形成領域 R (20) に半導体層 7cs を残しておく点で、前述の実施形態とは異なっている。また、この例では、活性層 7A、7B のチャネル方向の幅を、ゲート電極 3A、3B のチャネル方向の幅よりも大きくしている。なお、各層の材料や厚さ、形成方法は、第 1 の実施形態で説明した各層の材料・厚さおよび形成方法と同様である。

[0152] 次いで、図 21 (a) ~ (c) に示すように、ゲート絶縁膜 5、活性層 7A、7B および半導体層 7cs の上に絶縁保護膜を形成し、これをパターニングすることにより保護層 31 を得る。

[0153] 絶縁保護膜のパターニングの際には、絶縁保護膜の下方にあるゲート絶縁膜 5 も同時にエッチングされる。このとき、活性層 7A、7B および半導体層 7cs はエッチストップして機能するため、ゲート絶縁膜 5 のうちこれらの層で覆われた部分は除去されない。ここでは、パターニングにより、ゲート・ソースコンタクト部形成領域 R (30) においては、保護層 31 およびゲート絶縁膜 5 に、ゲート接続部 3sg を露出する開口部 33 が形成される。容量部形成領域 R (20) では、保護層 31 に半導体層 7cs を露出する開口部 34 が形成される。さらに、メモリトランジスタおよび回路用トランジスタ形成領域 R (10A、10B) では、活性層 7A、7B のうちチャネル領域 7cA、7cB となる部分の両側に、活性層 7A、7B を露出する開口部 32s、32d がそれぞれ形成される。

[0154] 絶縁保護膜は、例えばプラズマ CVD 法またはスパッタリング法で形成され、周知のドライエッチング法でパターニングされ得る。絶縁保護膜の形成後、例えば、大気雰囲気中で、200~450℃の温度で、30分~4時間程度のアニーリングを行う。絶縁保護膜として、例えば、酸化シリコン膜（

S i O₂)、窒化シリコン膜 (S i N)、酸化窒化シリコン膜 (S i N O)、窒化酸化シリコン膜 (S i O N)、酸化アルミニウム (A l₂O₃)、酸化タンタル (T a₂O₅) から選択される単層または2層以上の積層膜を用いることができる。本実施形態では、一例として、厚さが10nm~500nmのS i O₂膜を用いる。

[0155] 続いて、図22(a)~(c)に示すように、保護層31の上および保護層31の開口部内にソース用導電膜を形成し、パターニングを行う。これにより、ゲート・ソースコンタクト形成領域R(30)に、開口部33内でゲート接続部3sgと接するソース接続部9sgが得られる。また、ゲート・ソース交差部形成領域R(40)にソース配線Sが形成される。容量部形成領域R(20)には、開口部34内で半導体層7csと接する容量電極9csが形成される。さらに、メモリトランジスタおよび回路用トランジスタ形成領域R(10A、10B)には、開口部32s、32d内で活性層7A、7Bとそれぞれ接するソース電極9sA、9sBおよびドレイン電極9dA、9dBが得られる。ソース用導電膜の材料、厚さ、形成方法は、第1の実施形態で説明したソース用導電膜の材料、厚さおよび形成方法と同様である。このようにして、ゲート・ソースコンタクト部形成領域R(30)にゲート・ソースコンタクト部30、ゲート・ソース交差部形成領域R(40)にゲート・ソース交差部40、容量部形成領域R(20)に容量部20、メモリトランジスタおよび回路用トランジスタ形成領域R(10A、10B)にメモリトランジスタ10Aおよび回路用トランジスタ10Bが形成される。

[0156] 続いて、図23(a)~(c)に示すように、保護膜(パッシベーション膜)11、感光性樹脂等の有機絶縁膜13および上部導電層17を形成する。まず、第1の実施形態で前述した方法と同様の方法で、保護膜11および有機絶縁膜13をこの順で形成する。次いで、有機絶縁膜13のうちゲート・ソースコンタクト部形成領域R(30)上に位置する部分に開口部を形成する。この後、有機絶縁膜13をマスクとして、パッシベーション膜11のエッチングを行う。これにより、ソース接続部9sgの表面を露出するコン

タクトホール 15 を得る。続いて、コンタクトホール 15 内および有機絶縁膜 13 上に導電膜を形成し、パターニングを行う。これにより、ゲート・ソースコンタクト部形成領域 R (30) において、コンタクトホール 15 内でソース接続部 9 sg に接する上部導電層 17 を得る。保護膜 11、有機絶縁膜 13 および導電膜の材料や厚さ、形成方法は、第 1 の実施形態で説明したこれらの膜の材料、厚さおよび形成方法と同様である。このようにして、アクティブマトリクス基板 1003 が得られる。

[0157] 本実施形態のメモリトランジスタ 10A および回路用トランジスタ 10B は、エッチストップ層を有する（エッチストップ構造）ので、エッチストップ層を有しない場合（チャネルエッチ構造）と比べて次のような利点を有する。

[0158] 本実施形態では、チャネル領域 7cA、7cB が保護層 31 で覆われた状態で、ソース・ドレイン分離のためのソース用導電膜のエッチング工程を行う。このため、チャネルエッチ構造を有する薄膜トランジスタと比べて、エッチングによるチャネル領域 7cA、7cB のダメージを低減できる。従って、メモリトランジスタ 10A および回路用トランジスタ 10B の電気的特性のばらつきを改善できる。また、電気ストレスによる電気的特性の変動量を低減できる。さらに、ゲート・ソースコンタクト部 30 において、ゲート接続部 3 sg とソース接続部 9 sg とを直接コンタクトさせることが可能となる。従って、ゲート・ソースコンタクト部 30 のサイズを小さくできるので、回路面積を縮小できる。

[0159] （第 3 の実施形態）

以下、本発明の半導体装置の第 3 の実施形態を説明する。本実施形態の半導体装置は、メモリトランジスタ 10A および回路用トランジスタ 10B のソースおよびドレイン電極上に活性層を形成する点で、第 1 の実施形態の半導体装置と異なる。その他の構成は同様である。

[0160] 図 24 (a) および (b) は、それぞれ、第 3 の実施形態におけるメモリトランジスタ 10A の構成の一例を示す平面図及び断面図である。図 24 (

b) に示す断面は、図 24 (a) に示す A-A' 線に沿った断面である。図 24 では、図 2 と同様の構成要素には同じ参照符号を付し、説明を省略している。なお、回路用トランジスタ 10B は、チャネル長およびチャネル幅は異なるが、図示するメモリトランジスタ 10A と同様のトランジスタ構造を有する。

[0161] メモリトランジスタ 10A では、ゲート電極 3A を覆うゲート絶縁膜 5 上に、ソース電極 9sA およびドレイン電極 9dA が離間して設けられ、その上に活性層 7A が形成されている。活性層 7A は、ソース電極 9sA とドレイン電極 9dA との間に位置するゲート絶縁膜 5 と、ソース電極 9sA およびドレイン電極 9dA の上面および側面と接するように配置されている。活性層 7A のうち、ゲート電極 3A と重なり、かつ、ソース電極 9sA の側面と接する領域とドレイン電極 9dA の側面と接する領域との間に位置する部分がチャネル領域 7cA となる。

[0162] なお、図 24 では、チャネル領域 7cA の平面形状は矩形であるが、図 2 (b) に示すような U 字形であってもよい。

[0163] また、本実施形態でも、メモリトランジスタ 10A のチャネル長 L_1 およびチャネル幅 W_1 、回路用トランジスタ 10B のチャネル長 L_2 およびチャネル幅 W_2 を、第 1 の実施形態と同様に、 $L_1 < L_2$ 、または $W_1 > W_2$ となるように設定する。好ましくは、 $L_1 / W_1 < L_2 / W_2$ となるように設定する。これにより、第 1 の実施形態と同様の効果が得られる。

[0164] 次に、図面を参照しながら、本実施形態の半導体装置の製造方法を、アクティブマトリクス基板を例に説明する。

[0165] 図 25 ~ 図 27 は、アクティブマトリクス基板の製造方法の一例を説明するための工程図であり、各図の (a) および (b) は断面図、(c) は上面図である。ここでは、アクティブマトリクス基板におけるメモリトランジスタ 10A、回路用トランジスタ 10B、容量部 20、ゲート・ソースコンタクト部 30 およびゲート・ソース交差部 40 を形成する工程を示す。

[0166] まず、図 25 (a) ~ (c) に示すように、基板 1 上にゲート用導電膜を

形成し、これをパターニングすることにより、ゲート接続部 3 s g、ゲート配線 G、ゲート電極 3 A および容量配線 C S、ゲート電極 3 B を含むゲート配線層を形成する。この後、ゲート配線層を覆うようにゲート絶縁膜 5 を形成する。

[0167] 次いで、ゲート絶縁膜 5 上に、ソース用導電膜を形成し、これをパターニングする。これにより、ゲート・ソースコンタクト形成領域 R (30) にソース接続部 9 s g を形成する。ソース接続部 9 s g は、基板 1 の法線方向から見たとき、ゲート接続部 3 s g の一部と重なるように配置される。また、ゲート・ソース交差部形成領域 R (40) にソース配線 S が形成され、ゲート・ソース交差部 40 が得られる。容量部形成領域 R (20) には容量電極 9 c s が形成され、容量部 20 が得られる。容量電極 9 c s は、基板 1 の法線方向から見たとき、容量配線 C S と重なるように配置される。メモリトランジスタおよび回路用トランジスタ形成領域 R (10A) および R (10B) においては、ソース電極 9 s A、9 s B とドレイン電極 9 d A、9 d B とは離間して配置される。

[0168] ゲート用導電膜、ゲート絶縁膜およびソース用導電膜の材料、厚さ、形成方法は、第 1 の実施形態で前述したこれらの膜の材料、厚さおよび形成方法と同様である。

[0169] 本実施形態では、活性層 7 A 上におけるソースドレイン間の距離を、活性層 7 B 上におけるソースドレイン間の距離よりも小さくしている。これにより、メモリトランジスタのチャネル長 L_1 を、回路用トランジスタのチャネル長 L_2 よりも短くできる ($L_1 < L_2$)。一方、図示する例では、ソース電極 9 s A およびドレイン電極 9 d A のチャネル方向と直交する方向 (チャネル幅方向) の幅を、ソース電極 9 s B およびドレイン電極 9 d B のチャネル幅方向の幅をよりも小さくしているため、メモリトランジスタのチャネル幅 W_1 は、回路用トランジスタのチャネル幅 W_2 よりも小さくなる ($W_1 < W_2$)。このような場合でも、 $L_1 < L_2$ を満たしていれば本願発明の効果が得られる。このように、 $L_1 < L_2$ および $W_1 > W_2$ のうち何れか一

方を満足すればよい。何れか一方しか満足しない場合には、その一方による効果を主導的に制御することにより、本願発明の効果がより確実に得られる。何れか一方しか満足しない場合でも、例えば、 $L1/W1 < L2/W2$ となるようにチャネル長およびチャネル幅を設定すれば、さらに確実に上記効果を実現できる。

[0170] 次いで、図26(a)～(c)に示すように、ゲート絶縁膜5およびソース配線層上に酸化物半導体膜を形成し、これをパターニングする。これにより、メモリトランジスタ形成領域R(10A)に活性層7A、回路用トランジスタ形成領域R(10B)に活性層7Bをそれぞれ形成する。活性層7A、7Bは、ソース電極9sA、7sBとドレイン電極9dA、7dBとの間に位置するゲート絶縁膜5と、ソース電極9sA、7sBおよびドレイン電極9dA、7dBの上面および側面と接するように配置される。酸化物半導体膜の材料や厚さ、形成方法は、前述した実施形態の材料・厚さおよび形成方法と同様である。これにより、メモリトランジスタおよび回路用トランジスタ形成領域R(10A、10B)にメモリトランジスタ10Aおよび回路用トランジスタ10Bが形成される。

[0171] 本実施形態では、ソース用導電膜のエッチング工程後に、活性層7A、7Bを形成するため、エッチング工程による活性層7A、7Bのダメージを抑制できる。

[0172] 続いて、図27(a)～(c)に示すように、ソース配線層および活性層7A、7B上に、保護膜(パッシベーション膜)11、感光性樹脂等の有機絶縁膜13および上部導電層17を形成する。まず、前述の実施形態と同様の方法で、保護膜11および有機絶縁膜13をこの順で形成し、有機絶縁膜13のうちゲート・ソースコンタクト部形成領域R(30)上に位置する部分に開口部を形成する。次いで、この有機絶縁膜13をマスクとして、パッシベーション膜11のエッチングを行う。これにより、ゲート接続部3sgおよびソース接続部9sgの表面を露出するコンタクトホール15を得る。続いて、コンタクトホール15内および有機絶縁膜13上に導電膜を形成し

、パターニングを行う。これにより、コンタクトホール15内でソース接続部9sgとを電氣的に接続する上部導電層17を得る。保護膜11、有機絶縁膜13および導電膜の材料や厚さ、形成方法は、前述した実施形態の材料、厚さおよび形成方法と同様である。このようにして、アクティブマトリクス基板1004が得られる。

[0173] 本実施形態のメモリトランジスタ10Aおよび回路用トランジスタ10Bは、活性層7A、7Bの下面でソースおよびドレイン電極と接するように構成されたボトムコンタクト構造を有する。このような構造によると、チャンネルエッチ構造を有する場合と比べて次のような利点を有する。

[0174] 本実施形態では、ソース・ドレイン分離のためのソース用導電膜のエッチング工程を行った後で活性層7A、7Bを形成する。このため、チャンネルエッチ構造を有する薄膜トランジスタと比べて、エッチングによるチャンネル領域7cA、7cBのダメージを低減できる。従って、メモリトランジスタ10Aおよび回路用トランジスタ10Bの電氣的特性のばらつきを改善できる。また、電気ストレスによる電氣的特性の変動量を低減できる。

[0175] さらに、本実施形態では、第2の実施形態のエッチストップ構造を有する場合よりも、製造工程が簡略化される。このため、製造コストを低減でき、かつ、歩留まりを向上できるという利点がある。

[0176] なお、第2および第3の実施形態におけるメモリトランジスタ10Aの動作や電氣的特性については、第1の実施形態で説明した動作および電氣的特性と同様である。また、これらの実施形態も、第1の実施形態と同様に、アクティブマトリクス基板に限らず、集積回路など、メモリ回路を備えた電子機器などに広く適用され得る。

[0177] なお、上記各実施形態では、メモリトランジスタ10Aおよび回路用トランジスタ10Bとして、ボトムゲート型の薄膜トランジスタを用いたが、トップゲート型の薄膜トランジスタであってもよい。

[0178] 図28(a)および(b)は、それぞれ、トップゲート構造を有するメモリトランジスタ10Aの一例を示す平面図および断面図である。図28(b

）に示す断面は、図28（a）に示すA－A'線に沿った断面である。図28では、図2と同様の構成要素には同じ参照符号を付している。

[0179] メモリトランジスタ10Aは、基板1上に、金属酸化物半導体を含む活性層7Aと、活性層7Aを覆うゲート絶縁膜5と、ゲート絶縁膜5上に配置されたゲート電極3Aとを備えている。これらの上には層間絶縁層12が形成され、層間絶縁層12上にはソース電極9sA、ドレイン電極9dAが設けられている。これらは、層間絶縁層12に形成されたコンタクトホール8内で活性層7Aと接している。なお、図示していないが、回路用トランジスタ10Bも、同様のトランジスタ構造を有していてもよい。

[0180] また、回路用トランジスタ10Bは、直列または並列に接続された2以上のチャネル領域を含む構造を有していてもよい。このような場合、例えば、メモリトランジスタ10Aのチャネル長 L_1 が、回路用トランジスタ10Bにおける複数のチャネル領域のチャネル長のうちの最小値よりも小さければ、上述した実施形態と同様の効果が得られる。あるいは、上記構造を有する回路用トランジスタ10Bを、そのトランジスタと等価な性能を示し且つ単一のチャネル領域を有するトランジスタに近似し、近似のトランジスタのチャネル長およびチャネル幅を、「チャネル長 L_2 」および「チャネル幅 W_2 」としてもよい。一例として、メモリトランジスタ10Aのチャネル幅 W_1 が、回路用トランジスタ10Bに近似のトランジスタのチャネル幅よりも大きければ、上述した実施形態と同様の効果が得られる。なお、等価な性能を有する「近似のトランジスタ」は、公知の関係から適宜求められ得る。例えば、回路用トランジスタ10Bが、並列接続したチャネル領域aおよびチャネル領域bを有する場合、チャネル領域aおよびチャネル領域bのチャネル長を「チャネル長 L_a 、チャネル長 L_b 」、チャネル幅を「チャネル幅 W_a 、チャネル幅 W_b 」とし、この複合トランジスタと等価な性能を有する「近似のトランジスタ」のチャネル長を L_1' 、チャネル幅を W_1' とすると、 L_1' および W_1' は、 $W_1' / L_1' = W_a / L_a + W_b / L_b$ を満たすように設定され得る。

[0181] さらに、メモリトランジスタ 10A および回路用トランジスタ 10B のチャネル領域は、基板の法線方向から見たとき、チャネル長方向またはチャネル幅方向の長さが不均一な形状を有していてもよい。チャネル長方向の長さが不均一な場合、チャネル長方向の長さにおける最小値を、「チャネル長 L_1 、 L_2 」としてもよい。一例として、メモリトランジスタ 10A のチャネル長方向の長さの最小値が、回路用トランジスタ 10B のチャネル長方向の長さの最小値よりも小さければ、上述した実施形態と同様の効果が得られる。あるいは、上記の不均一な形状を有するトランジスタ 10A、10B を、そのトランジスタと等価な性能を示し且つチャネル長およびチャネル幅が一定であるトランジスタに近似し、近似のトランジスタのチャネル長およびチャネル幅を、「チャネル長 L_1 、 L_2 」または「チャネル幅 W_1 、 W_2 」としてもよい。

[0182] このように、本発明は、メモリトランジスタ 10A および回路用トランジスタ 10B が、チャネル長およびチャネル幅を特定することが困難な構造を有している場合にも適用され得る。このような場合には、上記に例示したように、例えば、チャネル長方向の長さの最小値や、近似のトランジスタのチャネル長・チャネル幅が、上述した実施形態と同様の関係を満たすように設定されていれば、上述した実施形態と同様の効果が得られる。

[0183] 本実施形態の半導体装置では、メモリトランジスタ 10A への書き込み動作は、酸化物半導体層 7A で生じるジュール熱によって行う。書き込み動作時のチャネル領域 7cA の温度は、例えば 200℃ 以上になる。チャネル領域 7cA のドレイン側では、さらに高くなることもあり得る（例えば 250℃ 以上、あるいは 300℃ 以上）。このため、メモリトランジスタ 10A の酸化物半導体層 7A の上方に、耐熱性の低い材料（軟化温度：200℃ 未満、好ましくは 300℃ 未満）からなる層（例えば有機絶縁膜）が配置されていないことが好ましい。以下、アクティブマトリクス基板を例に、より具体的に説明する。

[0184] 図 10、図 23 および図 27 に例示するアクティブマトリクス基板では、

メモリトランジスタ 10A の酸化物半導体層 7A は、パッシベーション膜 11 および有機絶縁膜 13 で覆われている。この有機絶縁膜 13 の耐熱性が低いと、書き込み条件などによっては、有機絶縁膜 13 のうち酸化物半導体層 7A 上に位置する部分がパッシベーション膜 11 から剥がれたり、変形する可能性がある。特に、有機絶縁膜 13 のうち酸化物半導体層 7A のドレイン側の端部上で、剥離や変形が生じ得る。有機絶縁膜 13 の剥離や変形が生じると、例えば複数のメモリトランジスタ 10A を用いてメモリアレイを構成した場合、書き込まれたメモリトランジスタ 10A と書き込まれていないメモリトランジスタ 10A とを、有機絶縁膜 13 の剥離や変形の位置によって見分けられるおそれがある。

[0185] そこで、図 29 (a) ~ (c) に例示するように、酸化物半導体層 7A の上方に、パッシベーション膜 11 として、耐熱性の比較的高い無機絶縁膜（上記に列挙したシリコン酸化膜等）を設け、パッシベーション膜 11 上に有機絶縁膜 13 を形成しなくてもよい。これにより、書き込み時の熱に起因する上記問題が生じないので、デバイスの信頼性やセキュリティ性をさらに向上できる。

[0186] 図 29 (a) ~ (c) に例示するアクティブマトリクス基板は、平坦化膜として有機絶縁膜を有していなくてもよい。あるいは、基板 1 の一部領域のみに有機絶縁膜 13 を有していてもよい。この場合、有機絶縁膜 13 は、少なくともメモリトランジスタ 10A の酸化物半導体層 7A の上方に形成されていなければよく、例えば回路用トランジスタ 10B の酸化物半導体層 7B の上方には有機絶縁膜 13 が形成されていてもよい。

[0187] 図 4 に例示するアクティブマトリクス基板 1002 において、有機絶縁膜 13 は、複数の画素用トランジスタ 10C の上方に形成され、メモリ回路内のメモリトランジスタ 10A の上方には形成されていなくてもよい。例えば、有機絶縁膜 13 は表示領域 100 に設けられ、周辺領域 200（周辺領域 200 のうち少なくともメモリ回路上）に設けられていなくてもよい。

[0188] なお、図 10、図 23 および図 27 に例示するアクティブマトリクス基板

において、有機絶縁膜 13 の代わりに、耐熱性の高い材料（例えば軟化温度：200℃以上、好ましくは300℃以上）からなる平坦化膜を用いても、書き込み時の熱による上記問題を抑制できる。例えば、平坦化膜として、無機系のSOG（スピノングラス）膜などの無機絶縁膜を用いてもよい。

[0189] また、上記各実施形態では、メモリトランジスタ 10A および回路用トランジスタ 10B は薄膜トランジスタであるが、MOS 型のトランジスタであってもよい。MOS 型のトランジスタでも、チャネル領域に高電流密度のドレイン電流を流すことにより、抵抗体状態に変化させることが可能である。MOS 型のトランジスタは、例えば、シリコン基板上に絶縁膜を介して金属酸化物半導体膜が配置された構成を有する。このような構成では、放熱性の高いシリコン基板を用いるが、シリコン基板と酸化物半導体膜とが絶縁膜によって分離されているので、書き込み電流によるジュール熱がシリコン基板に放出することを抑制できる。このため、酸化物半導体膜をジュール熱によって低抵抗化させることが可能である。

[0190] メモリトランジスタ 10A および回路用トランジスタ 10B の導電型は n チャネル型に限定されず、p チャネル型であってもよい。さらに、メモリトランジスタ 10A および回路用トランジスタ 10B を構成する各導電膜及び各絶縁膜の材料、構造、厚さ、及びトランジスタ特性及び書き込み特性は、上記各実施形態で例示した内容に限定されない。

産業上の利用可能性

[0191] 本発明の実施形態は、メモリ回路を備えた半導体装置および電子機器に広く適用され得る。例えば、不揮発性半導体記憶装置、集積回路（IC、LSI）、液晶表示装置や有機EL表示装置などの各種表示装置、各種表示装置に用いられるアクティブマトリクス基板に適用される。

符号の説明

[0192] 1 基板
3A、3B ゲート電極
3sg ゲート接続部

- 5 ゲート絶縁膜
- 7 A、7 B 活性層
- 7 c A、7 c B チャネル領域
- 9 d A、9 d B ドレイン電極
- 9 s A、9 s B ソース電極
- 9 c s 容量電極
- 9 s g ソース接続部
- 1 0 A メモリトランジスタ
- 1 0 B 回路用トランジスタ
- 1 0 C 画素用トランジスタ
- 1 0 D、1 0 E 選択トランジスタ
- 1 1 保護膜（パッシベーション膜）
- 1 3 有機絶縁膜
- 1 5 コンタクトホール
- 1 7 上部導電層
- 1 8 上部ゲート電極
- 1 9 画素電極
- 2 0 容量部
- 3 0 ソースコンタクト部
- 3 1 保護層
- 3 2 s、3 2 d、3 3、3 4 開口部
- 4 0 ソース交差部
- 1 0 0 表示領域
- 1 0 1 画素
- 2 0 0 周辺領域
- 2 0 1 端子部
- 1 0 0 1 半導体装置
- 1 0 0 2、1 0 0 3、1 0 0 4 アクティブマトリクス基板

C S	容量配線
G	ゲート配線
S	ソース配線

請求の範囲

[請求項1]

基板と、

前記基板に支持された、第1のチャンネル長 L_1 および第1のチャンネル幅 W_1 を有する第1のトランジスタと、

前記基板に支持された、第2のチャンネル長 L_2 および第2のチャンネル幅 W_2 を有する第2のトランジスタと

を備え、

前記第1のトランジスタおよび前記第2のトランジスタは、共通の酸化物半導体膜から形成された活性層を有し、

前記第1のトランジスタは、ドレイン電流 I_{sd} がゲート電圧 V_g に依存する半導体状態から、ドレイン電流 I_{sd} がゲート電圧 V_g に依存しない抵抗体状態に不可逆的に変化させられ得るメモリトランジスタであり、

前記第1のチャンネル長 L_1 は、前記第2のチャンネル長 L_2 よりも小さい半導体装置。

[請求項2]

基板と、

前記基板に支持された、第1のチャンネル長 L_1 および第1のチャンネル幅 W_1 を有する第1のトランジスタと、

前記基板に支持された、第2のチャンネル長 L_2 および第2のチャンネル幅 W_2 を有する第2のトランジスタと

を備え、

前記第1のトランジスタおよび前記第2のトランジスタは、共通の酸化物半導体膜から形成された活性層を有し、

前記第1のトランジスタは、ドレイン電流 I_{sd} がゲート電圧 V_g に依存しない抵抗体状態に不可逆的に変化させられ得るメモリトランジスタであり、

前記第1のチャンネル幅 W_1 は、前記第2のチャンネル幅 W_2 よりも大きい半導体装置。

- [請求項3] 前記第1のトランジスタにおけるチャネル幅に対するチャネル長の比 L_1/W_1 は、前記第2のトランジスタにおけるチャネル幅に対するチャネル長の比 L_2/W_2 よりも小さい、請求項1または2に記載の半導体装置。
- [請求項4] 前記第1のトランジスタは、
ゲート電極と、
前記ゲート電極を覆うゲート絶縁膜と、
前記ゲート絶縁膜上に配置された活性層と、
前記活性層上に、前記活性層の一部と接するように配置されたソース電極と、
前記活性層上に、前記活性層の他の一部と接するように配置されたドレイン電極と
を有し、
前記基板の法線方向から見たとき、前記活性層のうち、前記ゲート電極と前記ゲート絶縁膜を介して重なり、かつ、前記ソース電極と前記ドレイン電極との間に位置する部分は、U字形状を有している請求項1から3のいずれかに記載の半導体装置。
- [請求項5] 前記第1のトランジスタを含むメモリ回路を備え、
前記第2のトランジスタは、前記メモリ回路を構成するトランジスタを含む請求項1から4のいずれかに記載の半導体装置。
- [請求項6] 前記基板は、前記第1の薄膜のトランジスタを含む電源ドメイン領域を有し、
前記第2のトランジスタは、前記電源ドメイン領域に配置された回路を構成するトランジスタを含む請求項1から5のいずれかに記載の半導体装置。
- [請求項7] 前記第1のトランジスタのチャネル長 L_1 は、前記電源ドメイン領域に配置された、前記共通の酸化物半導体膜から形成された活性層を有する全てのトランジスタのチャネル長の最小値以下である請求項6

に記載の半導体装置。

[請求項8]

前記半導体装置は、アクティブマトリクス基板であり、

複数の画素電極と、それぞれが前記複数の画素電極のうち対応する画素電極に電氣的に接続されたスイッチング素子とを有する表示領域、および、

前記表示領域以外の領域に配置された、複数の回路を有する周辺領域

を備え、

前記第2のトランジスタは、前記周辺領域において前記複数の回路を構成する複数のトランジスタの少なくとも1つを含む請求項1から7のいずれかに記載の半導体装置。

[請求項9]

前記第1のトランジスタのチャネル長 L_1 は、前記周辺領域に配置された、前記共通の酸化物半導体膜から形成された活性層を有する全てのトランジスタのチャネル長の最小値以下である請求項8に記載の半導体装置。

[請求項10]

前記第2のトランジスタは、前記スイッチング素子として機能するトランジスタを含む請求項8または9に記載の半導体装置。

[請求項11]

前記第1のトランジスタにおけるチャネル幅に対するチャネル長の比 L_1/W_1 は、前記共通の酸化物半導体膜から形成された活性層を有する全てのトランジスタにおけるチャネル幅に対するチャネル長の比の最小値以下である、請求項1から10のいずれかに記載の半導体装置。

[請求項12]

前記共通の酸化物半導体膜は、 $In-Ga-Zn-O$ 系半導体膜である、請求項1から11のいずれかに記載の半導体装置。

[請求項13]

前記 $In-Ga-Zn-O$ 系半導体膜は結晶質部分を含む、請求項12に記載の半導体装置。

[請求項14]

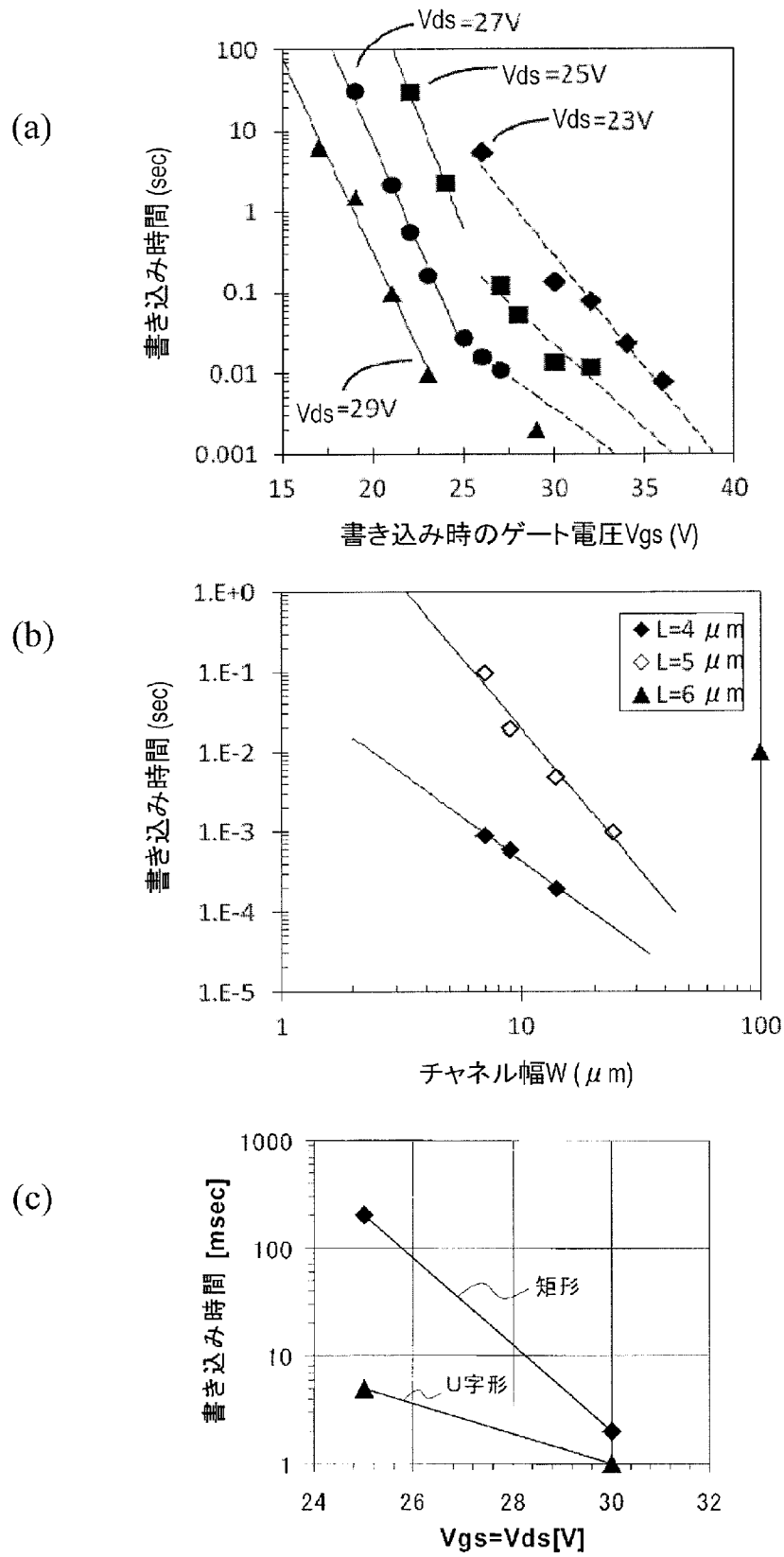
前記第1のトランジスタでは、前記半導体状態のとき、ドレイン電圧の絶対値が0.1V以上10V以下の範囲内において、単位チャネ

ル幅当たりのドレイン電流 I_{ds}/W_1 の絶対値が、 $1 \times 10^{-14} \text{ A}/\mu\text{m}$ 以下の微小電流状態となるゲート電圧の電圧範囲が存在し、

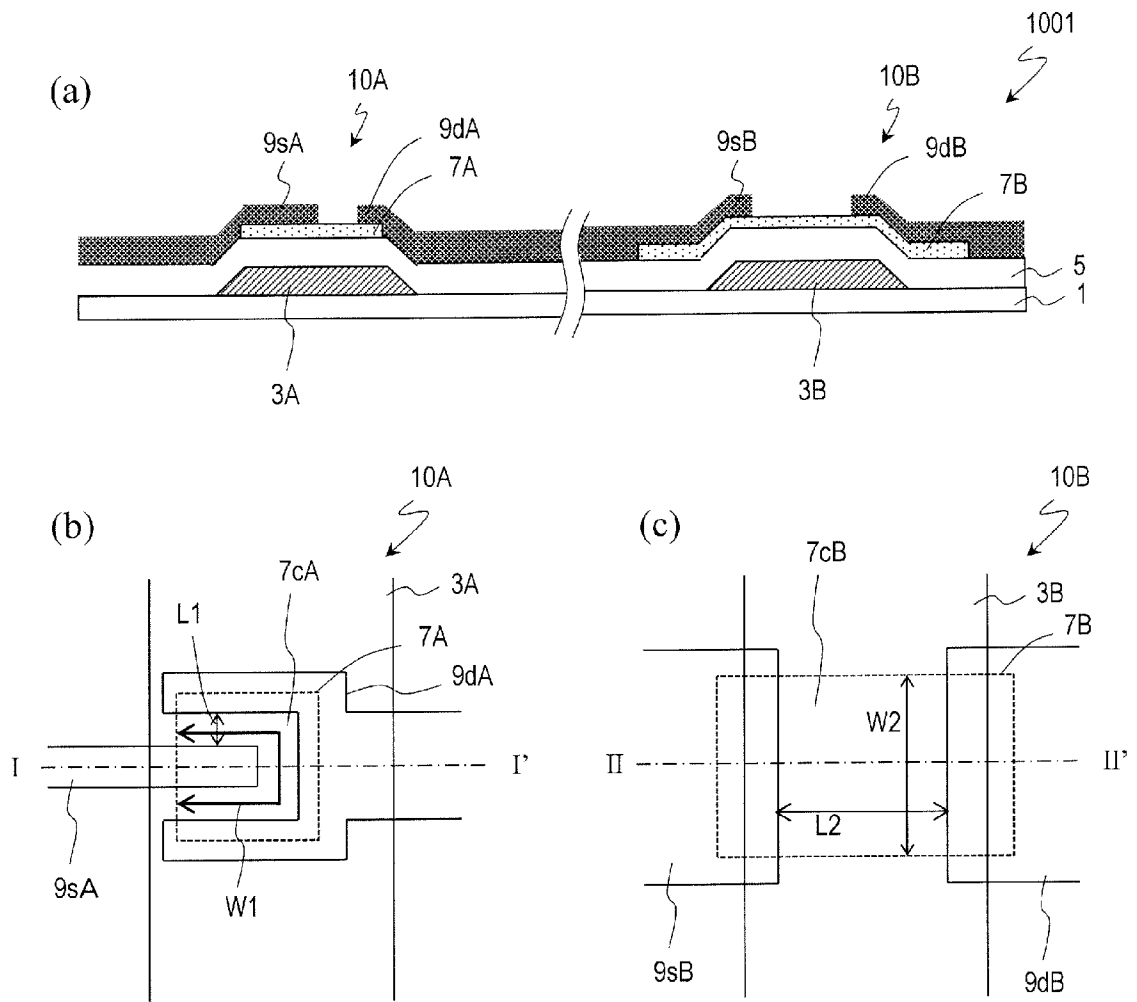
前記抵抗体状態に変化した後は、ドレイン電圧の絶対値が 0.1 V 以上 10 V 以下の範囲内において、前記ゲート電圧を前記電圧範囲内に設定した場合でも、前記単位チャネル幅当たりのドレイン電流 I_{ds}/W_1 の絶対値が、前記ドレイン電圧に応じた $1 \times 10^{-11} \text{ A}/\mu\text{m}$ 以上の電流状態となる請求項 1 から 13 のいずれかに記載の半導体装置。

[請求項15] 前記第 1 のトランジスタおよび前記第 2 のトランジスタは、薄膜トランジスタである請求項 1 から 14 のいずれかに記載の半導体装置。

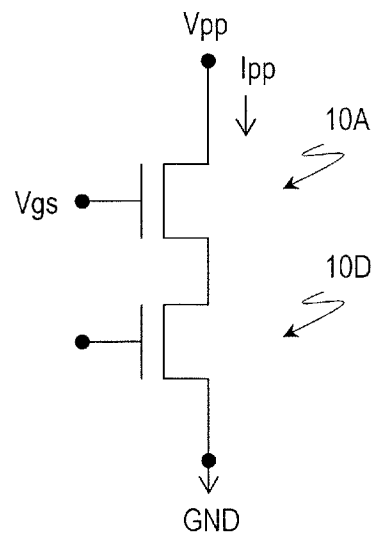
[図1]



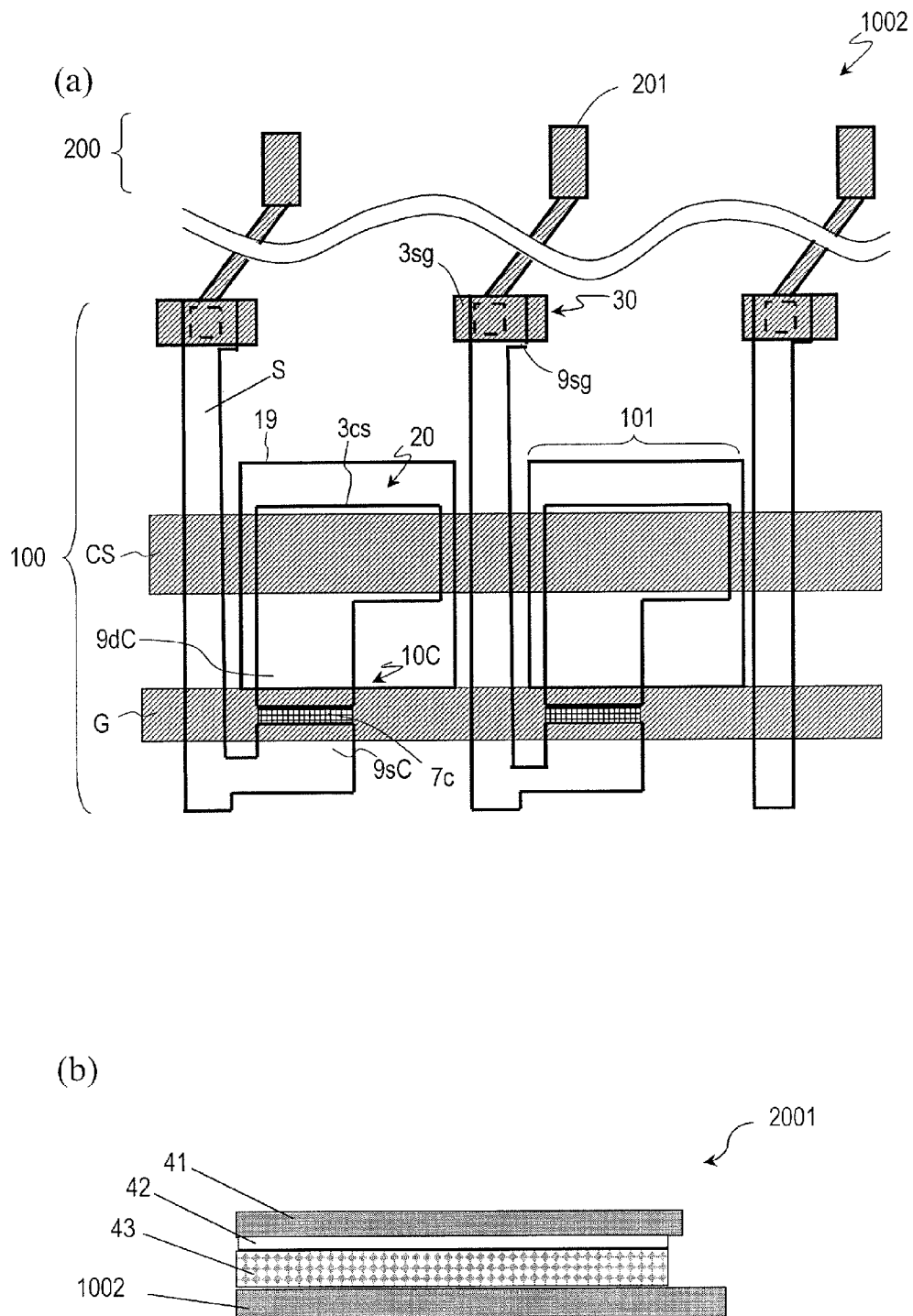
[図2]



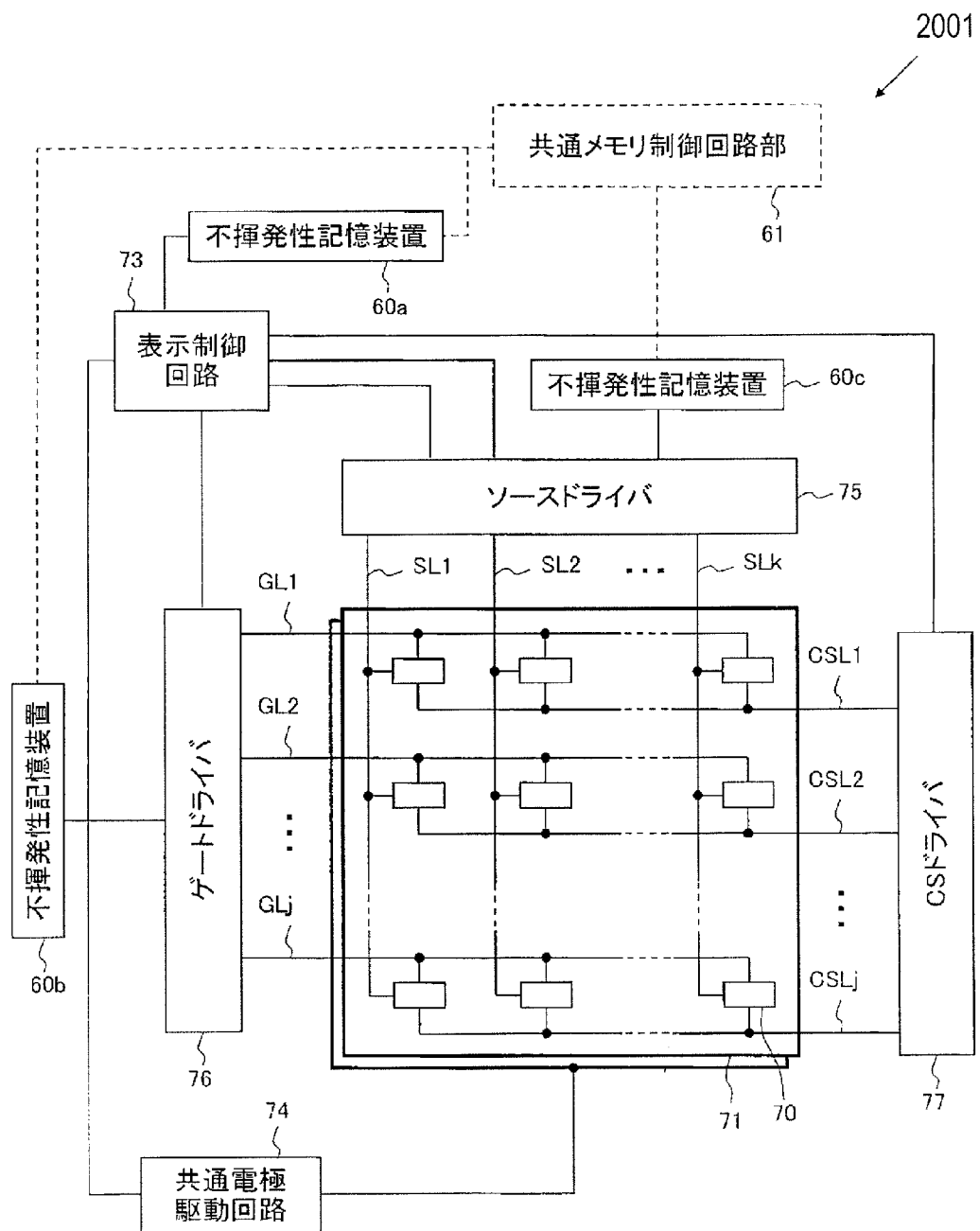
[図3]

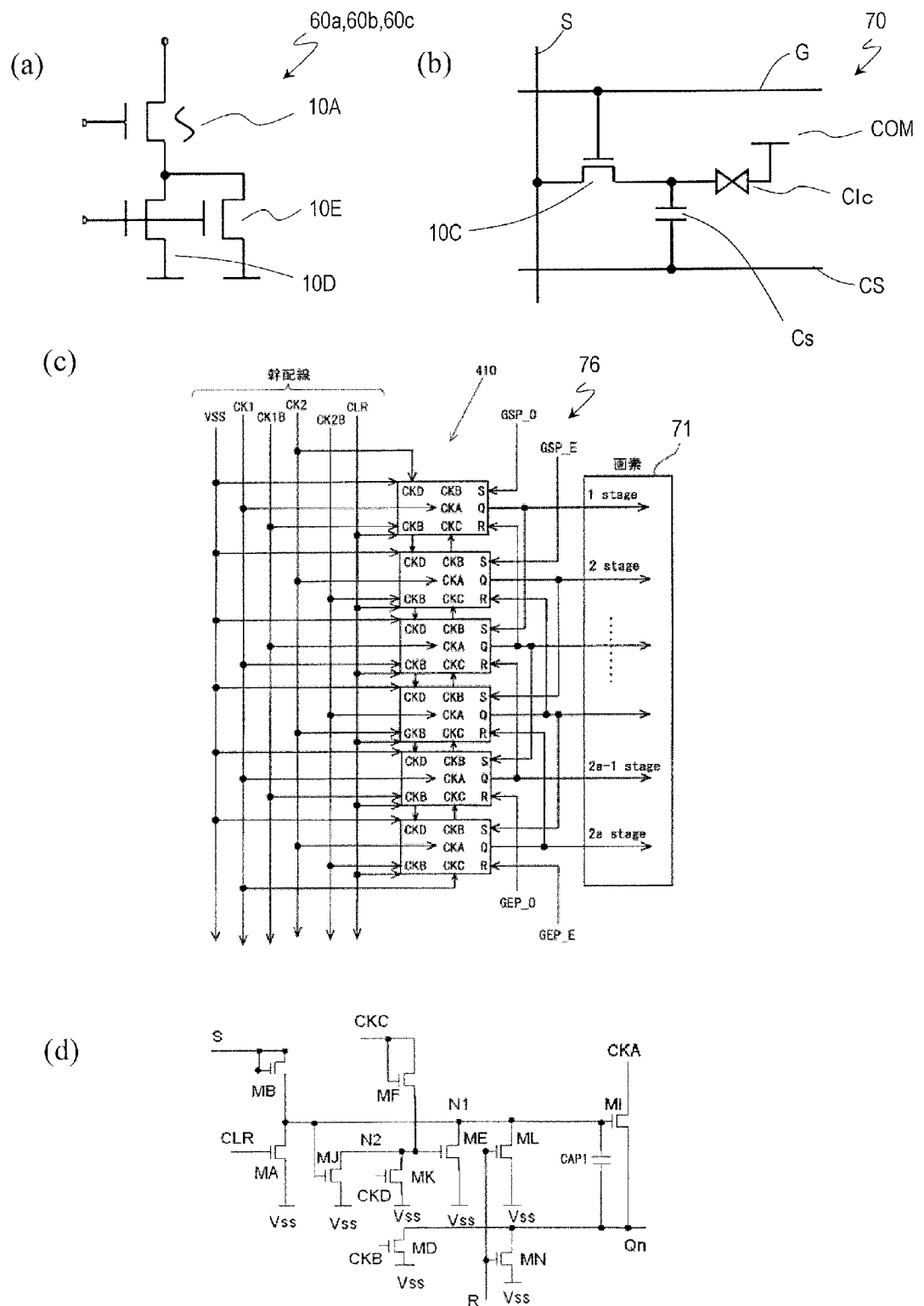


[図4]

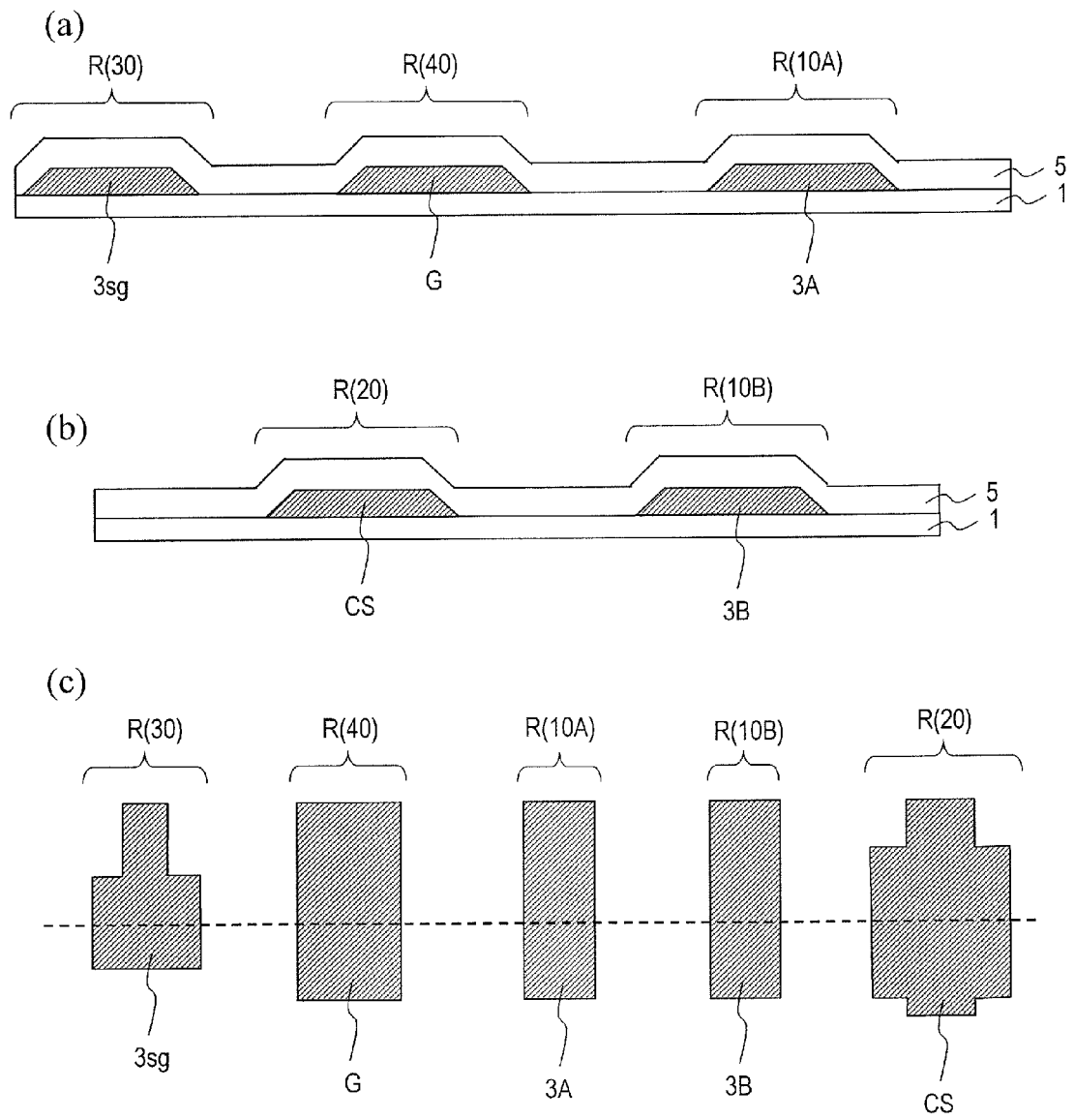


[図5]

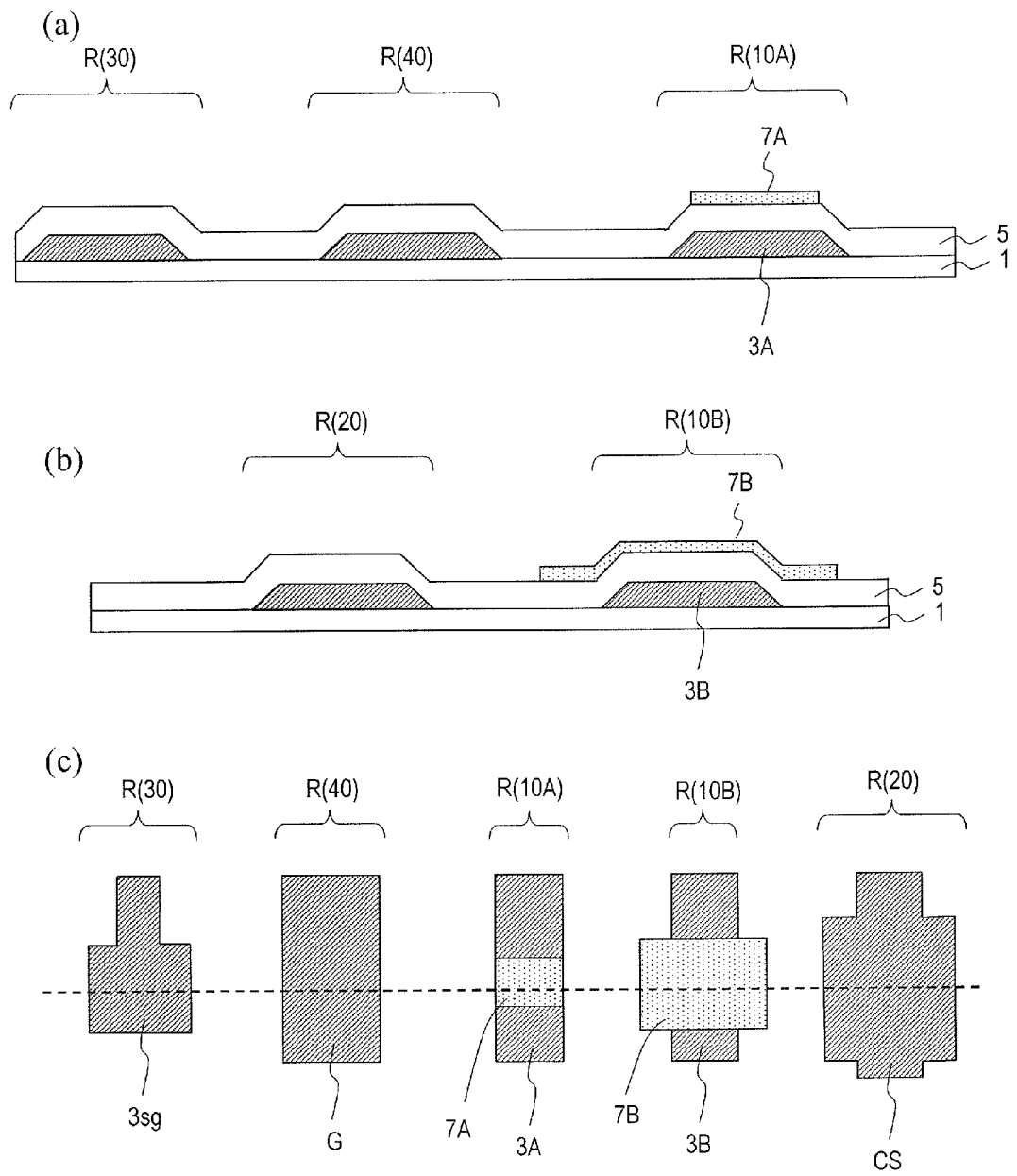




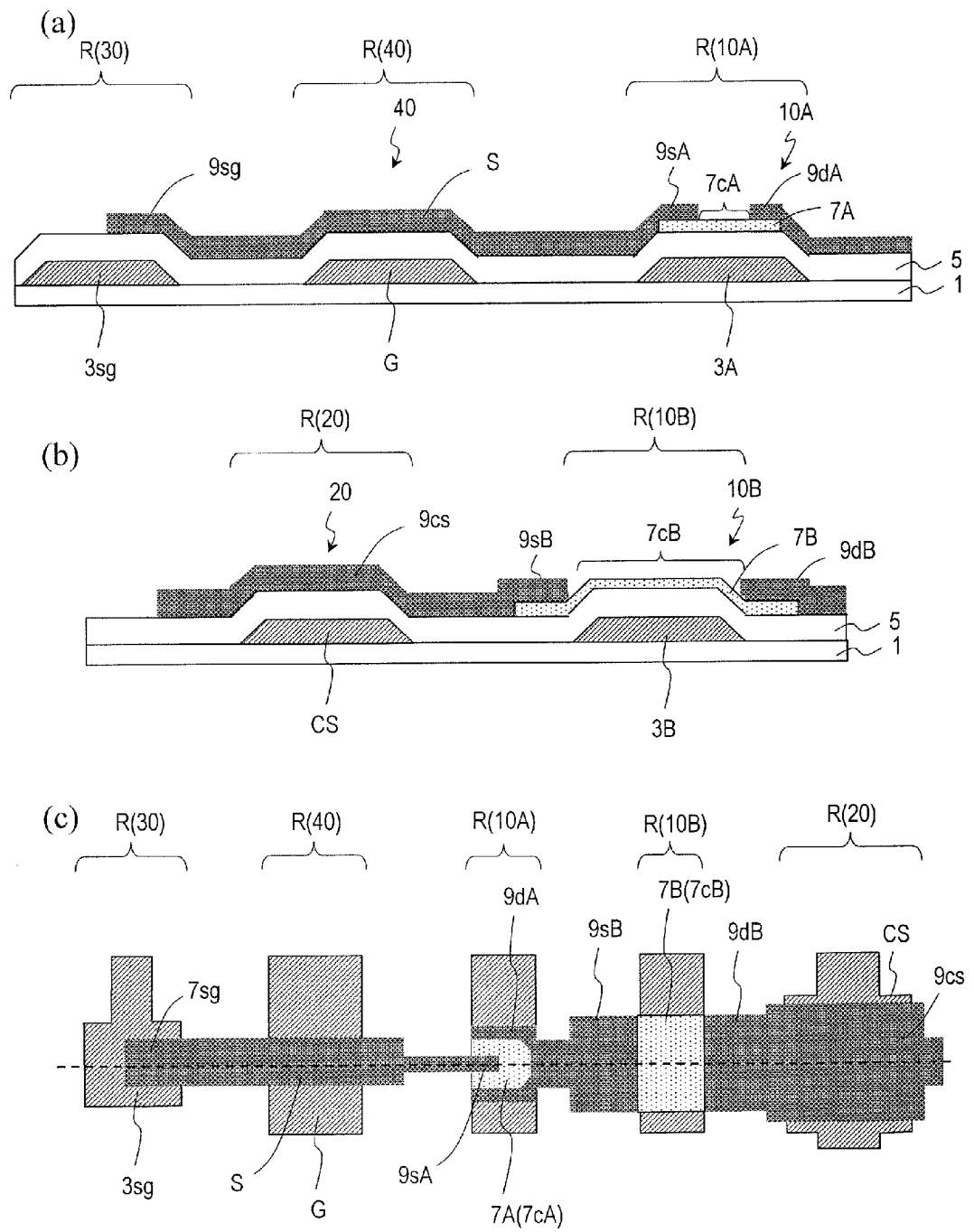
[図7]



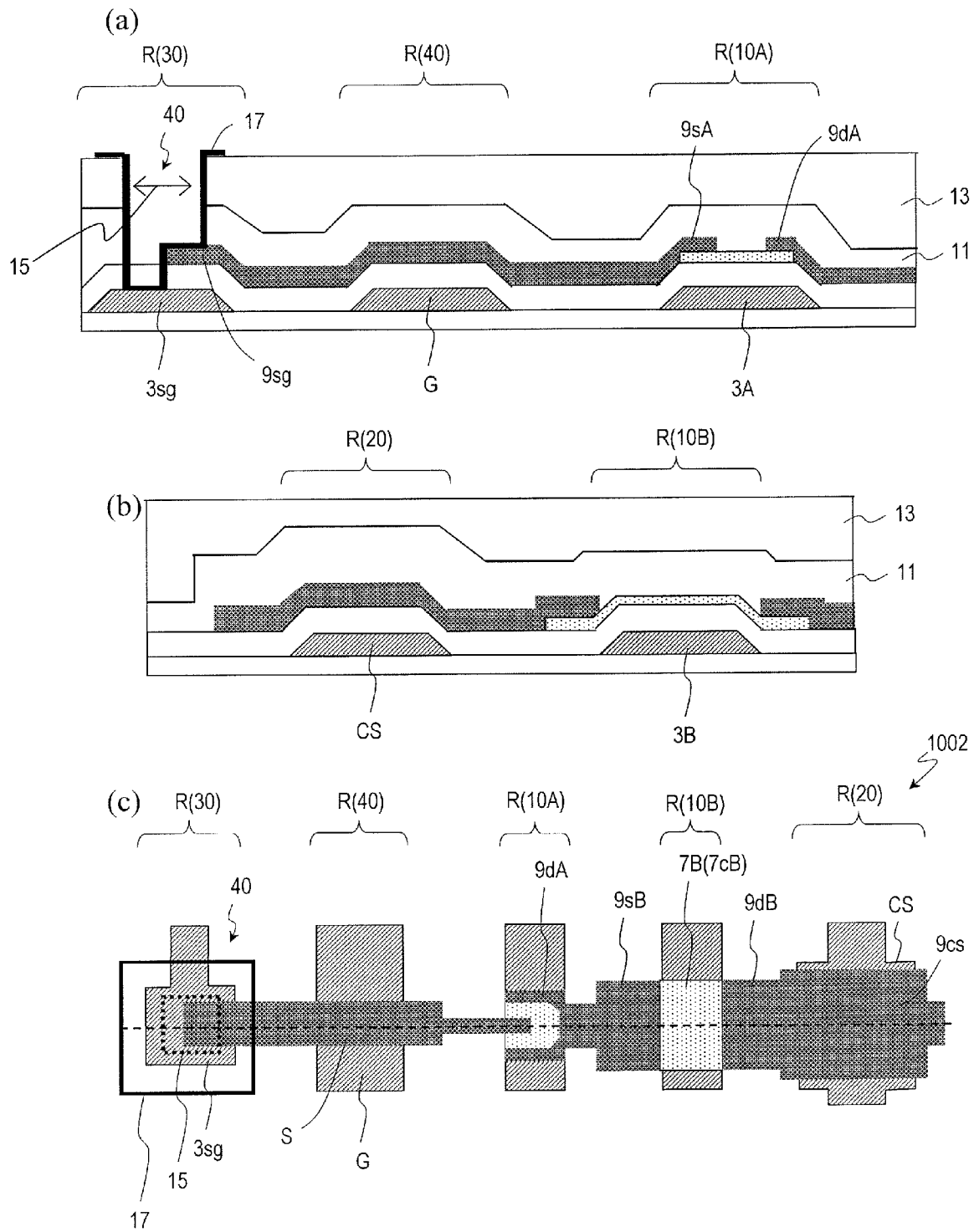
[図8]



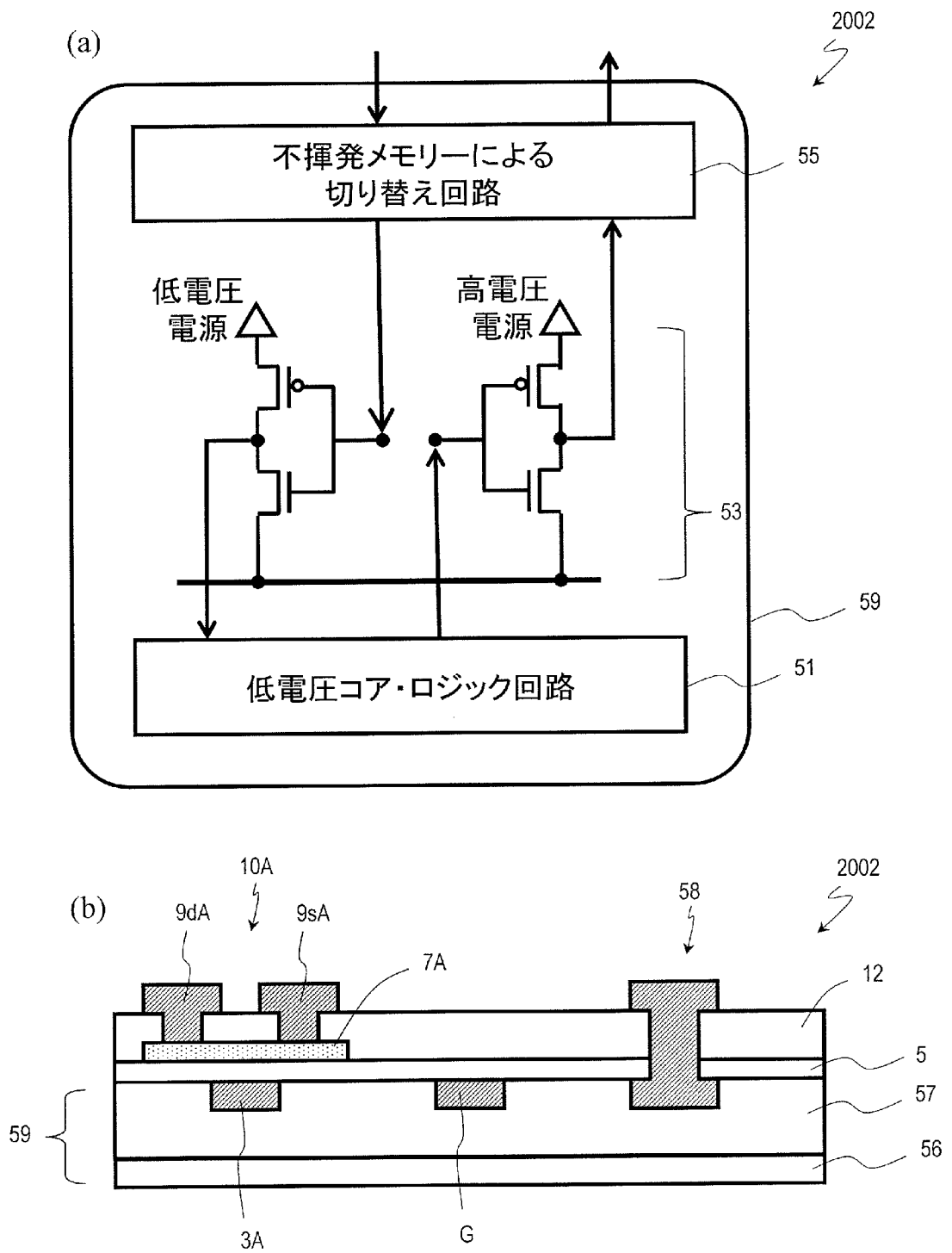
[図9]



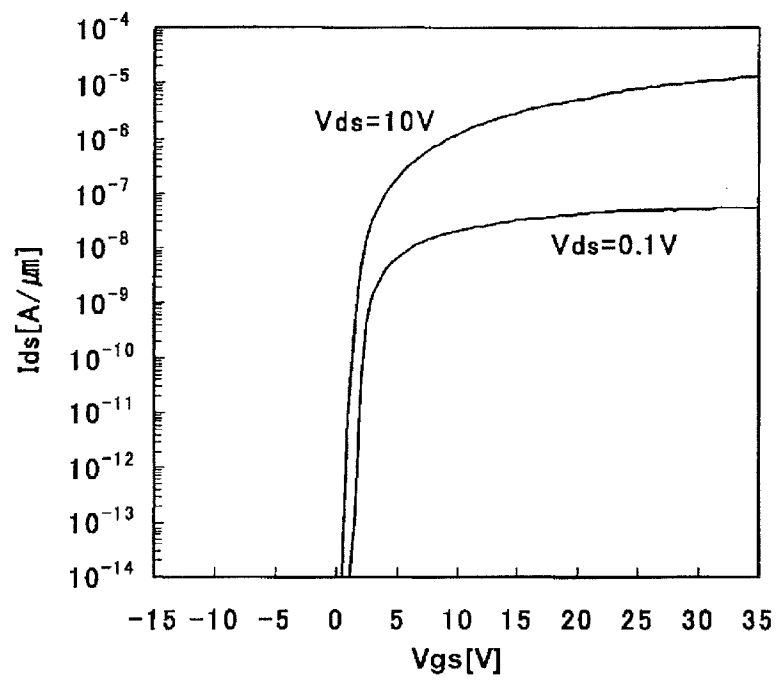
[図10]



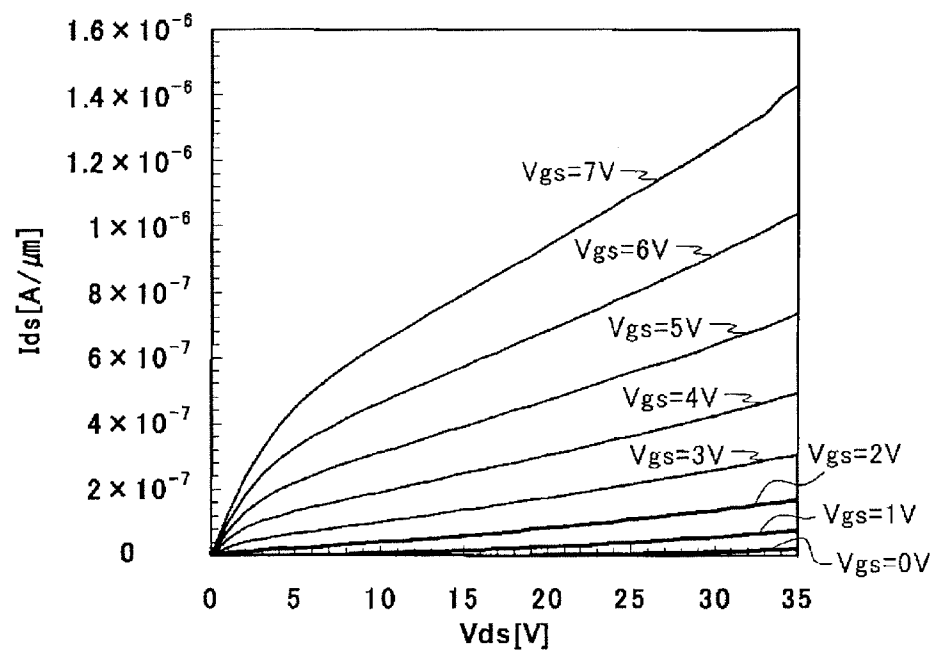
[図11]



[図12]

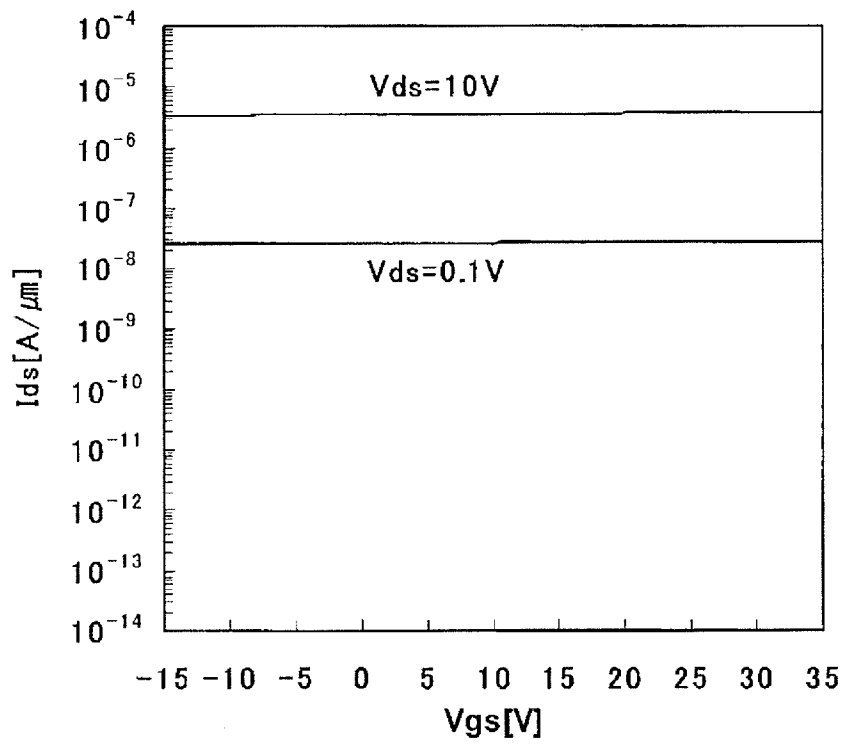


(a)

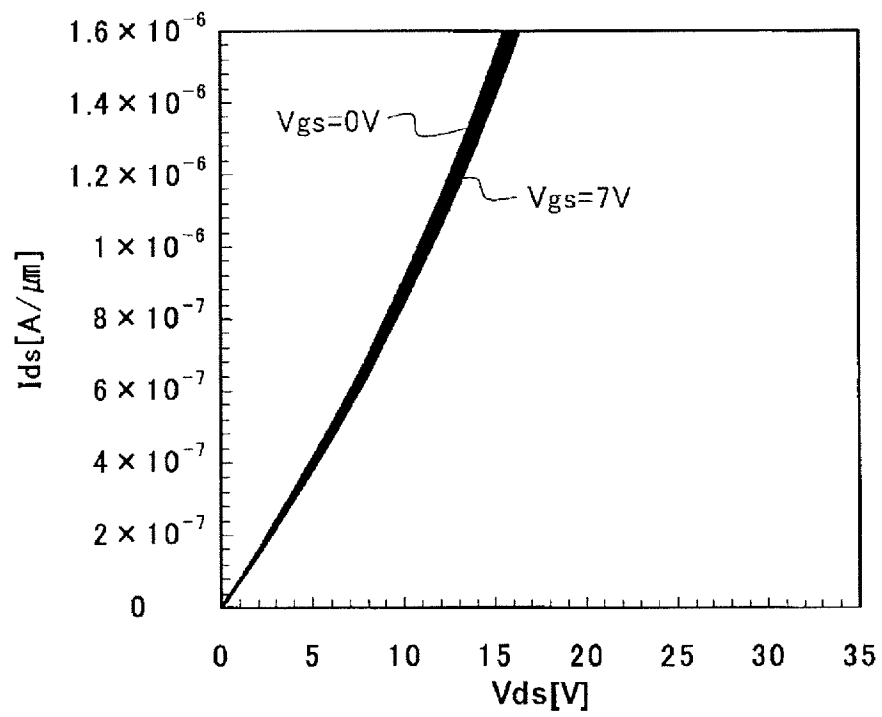


(b)

[図13]

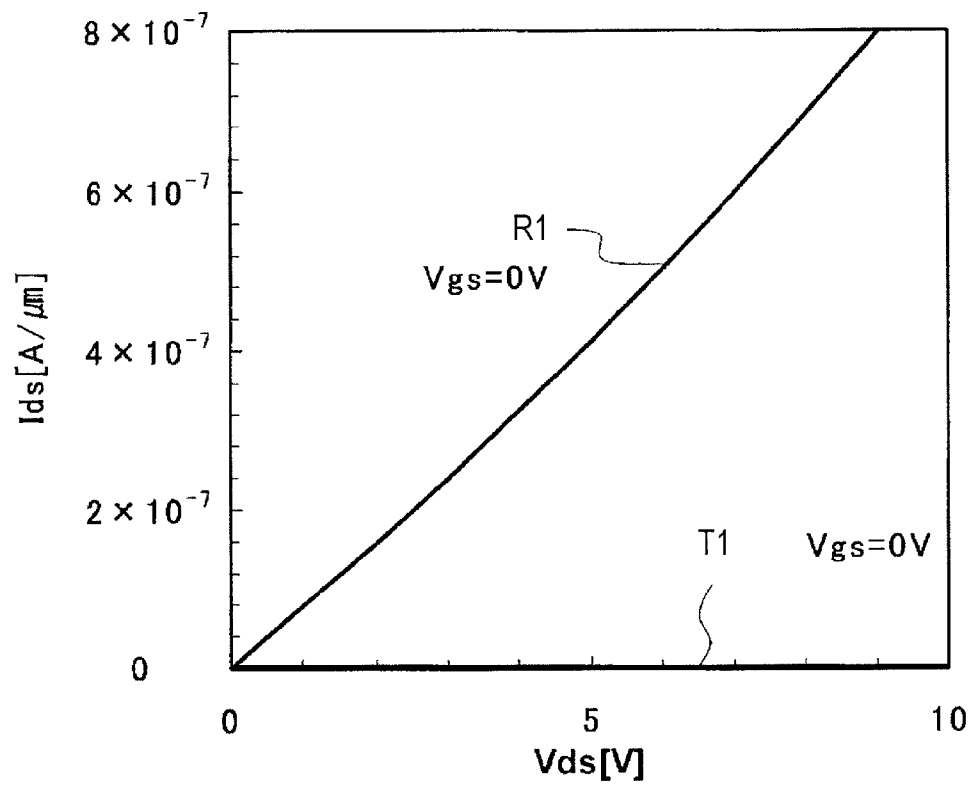


(a)

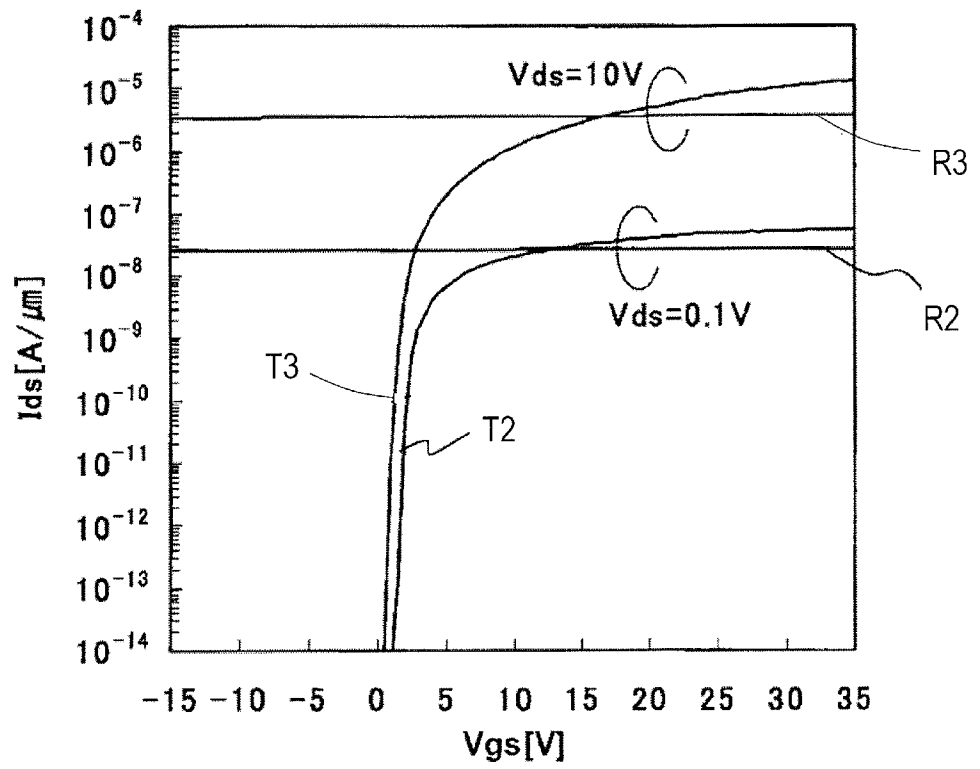


(b)

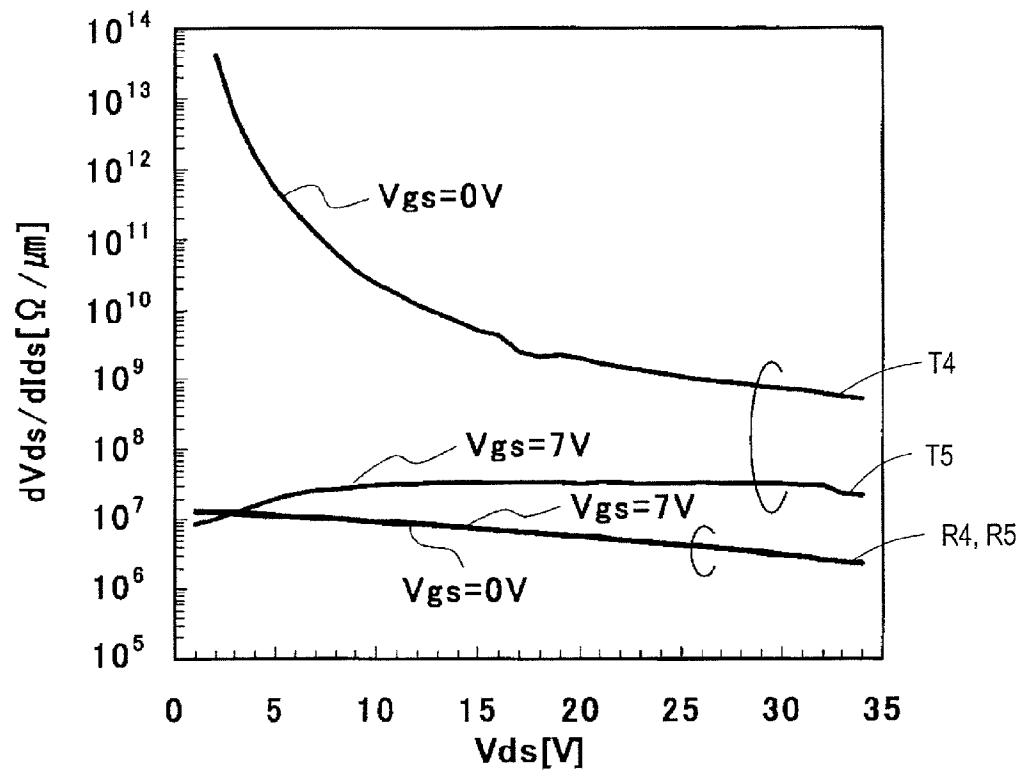
[図14]



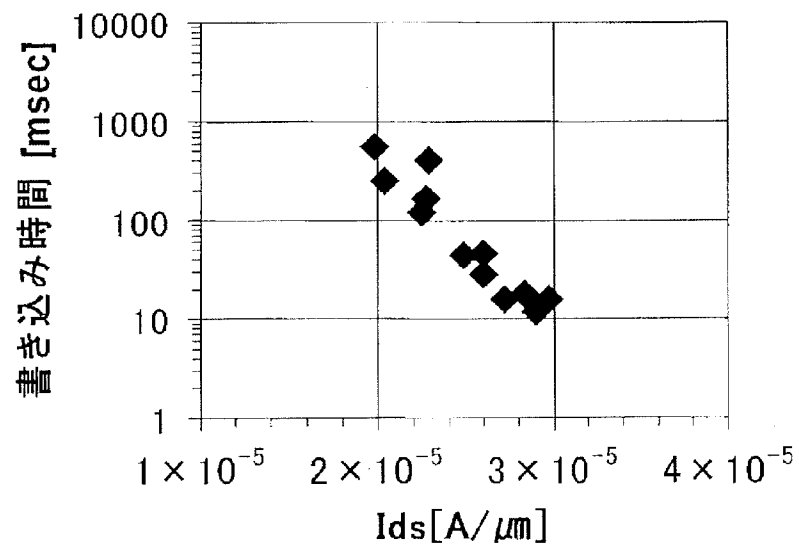
[図15]



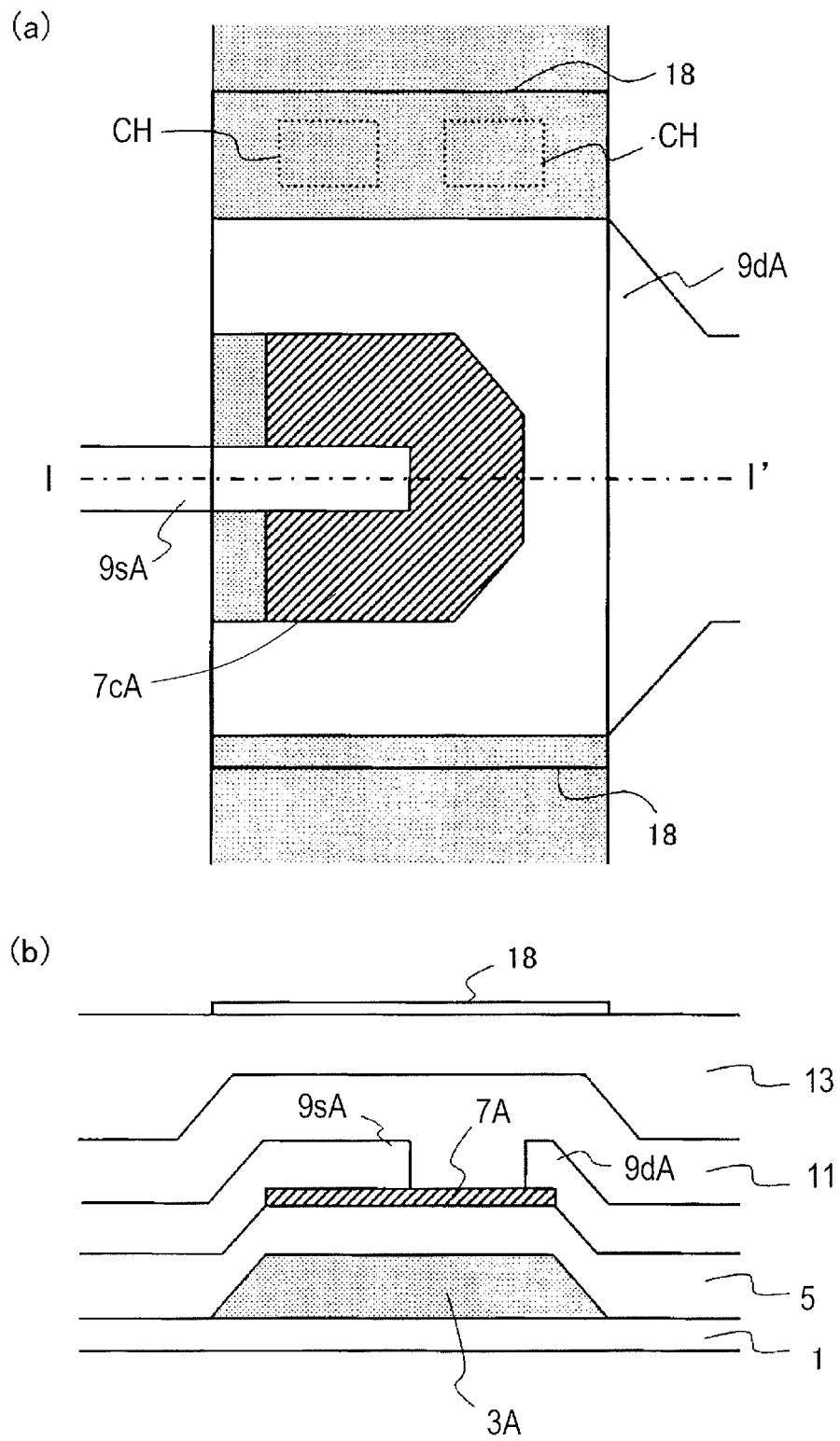
[図16]



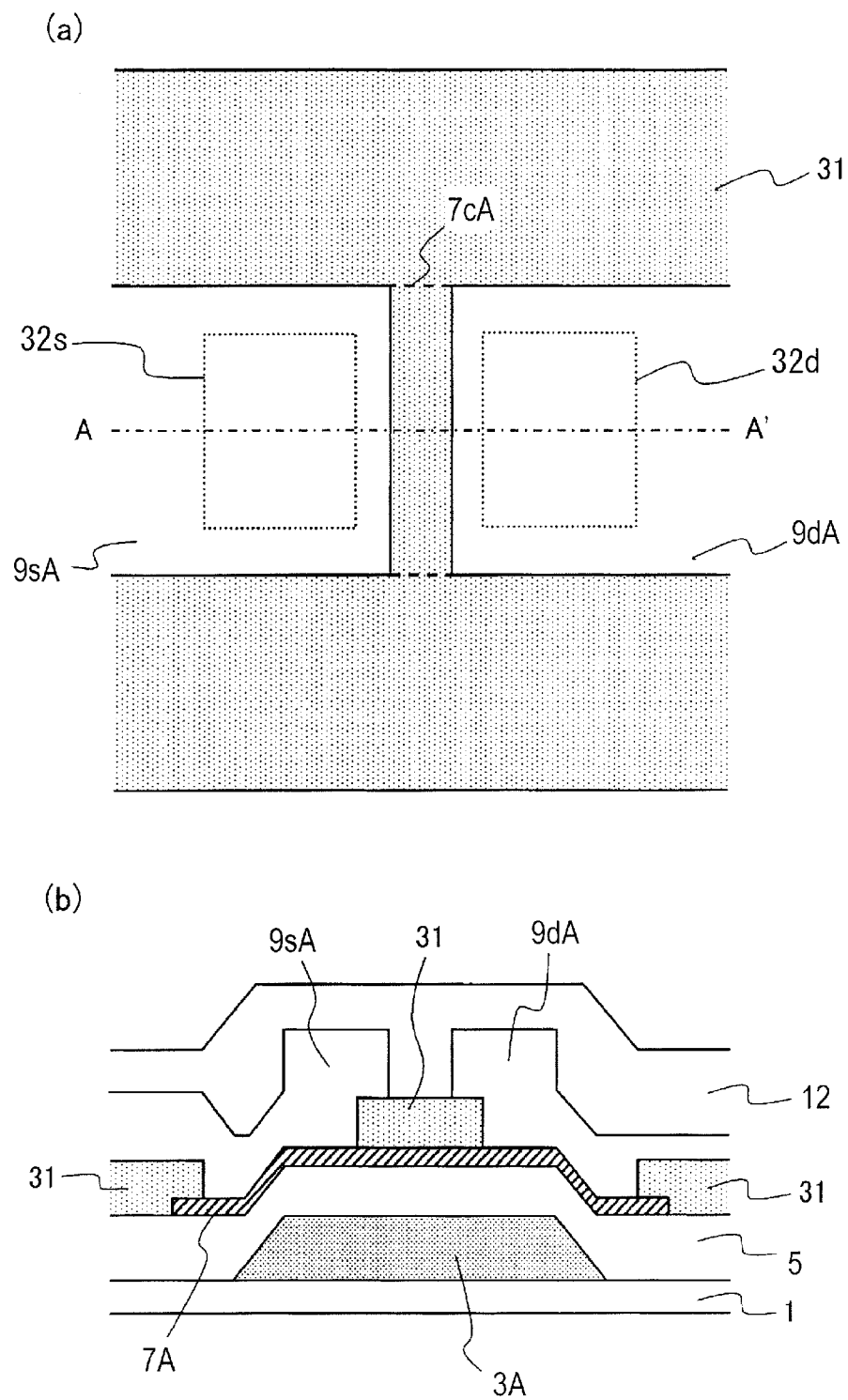
[図17]



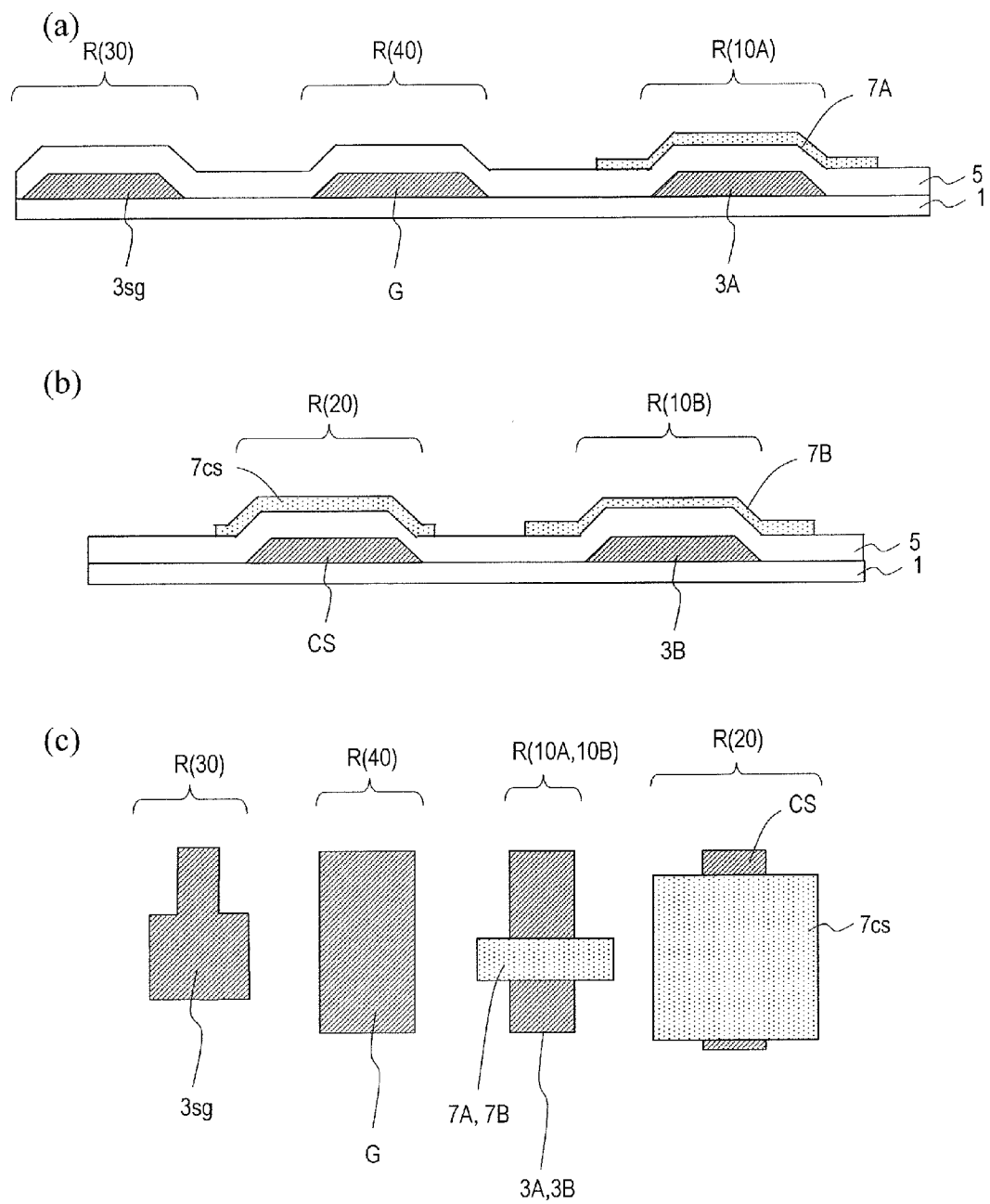
[図18]



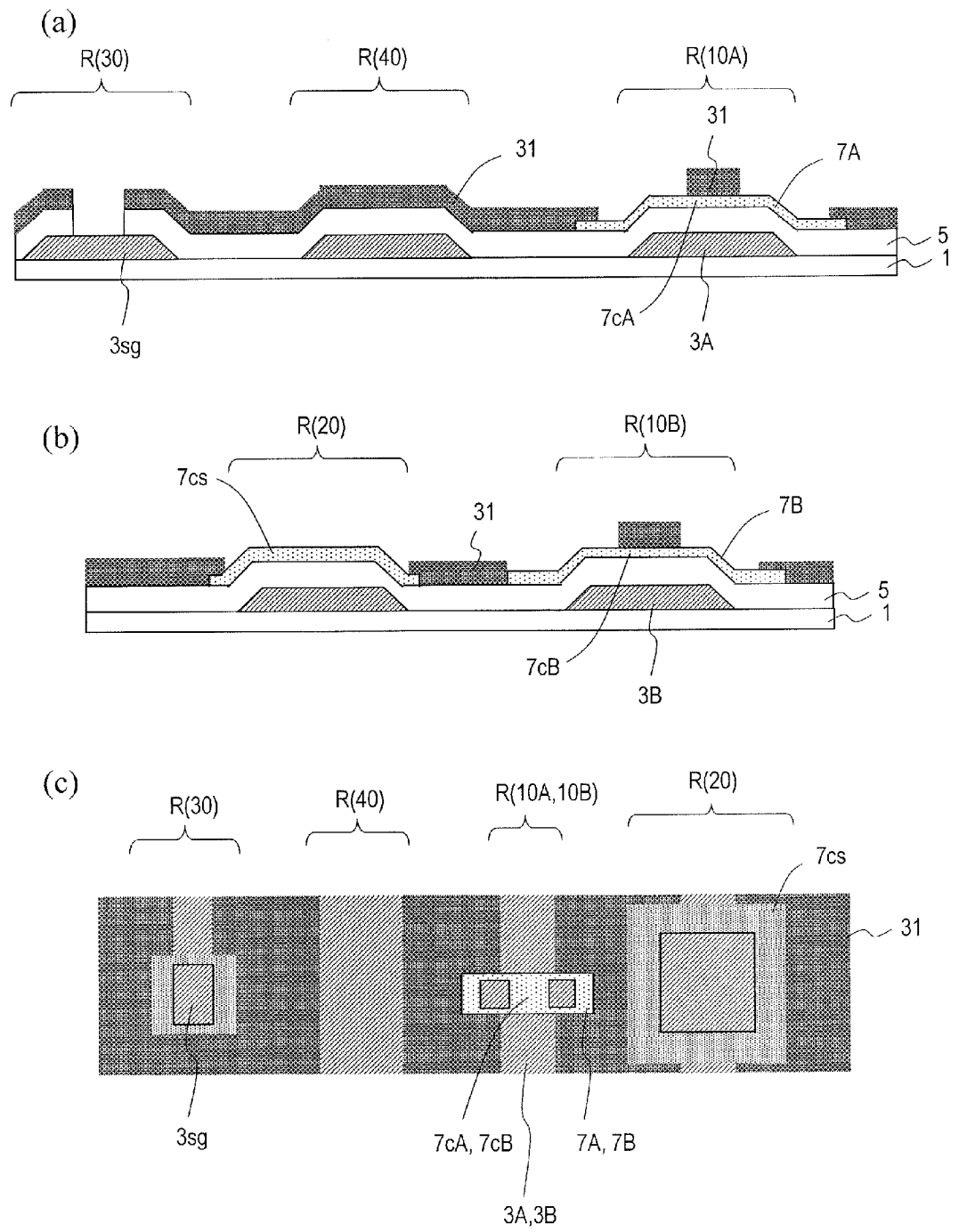
[図19]



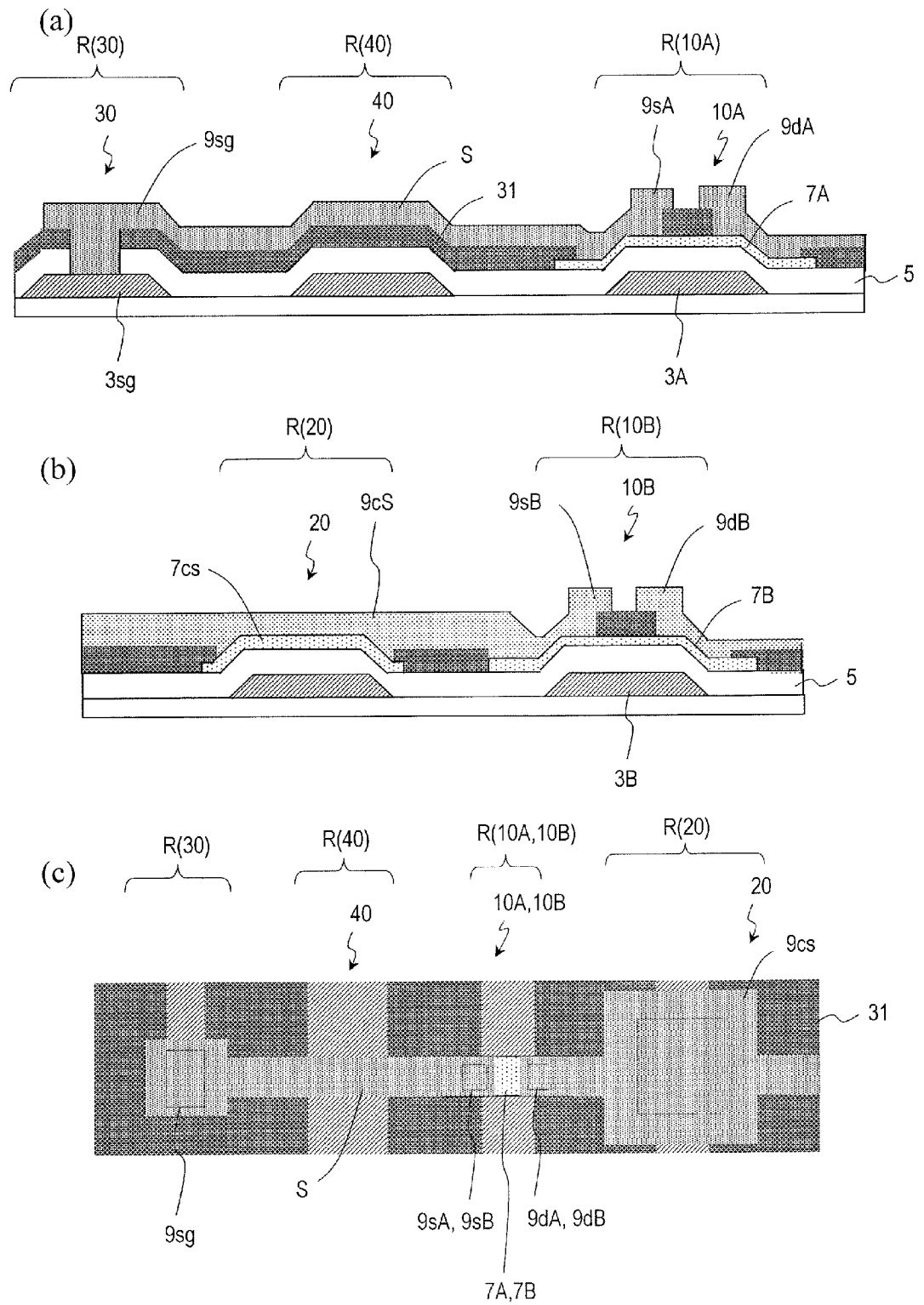
[図20]



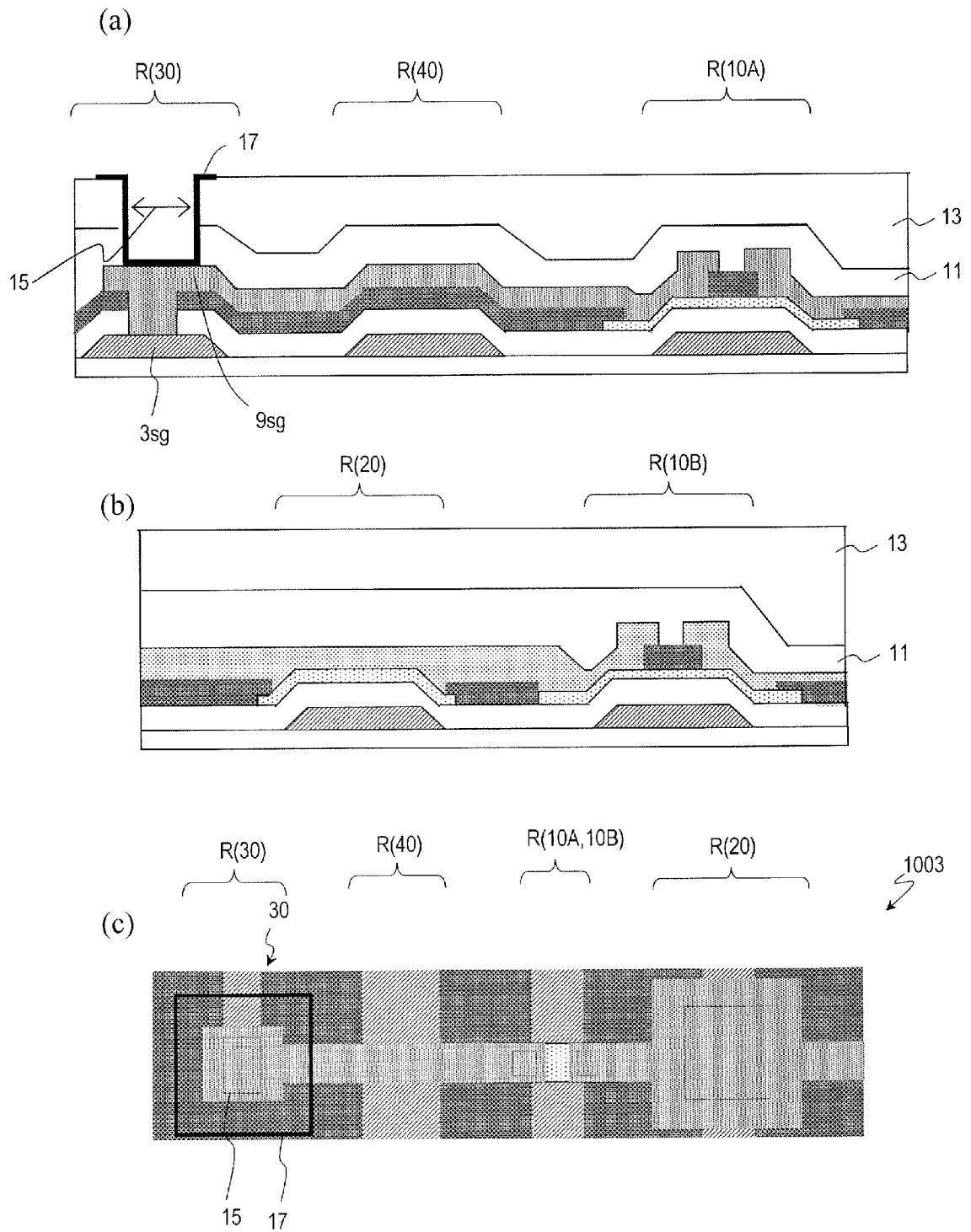
[図21]



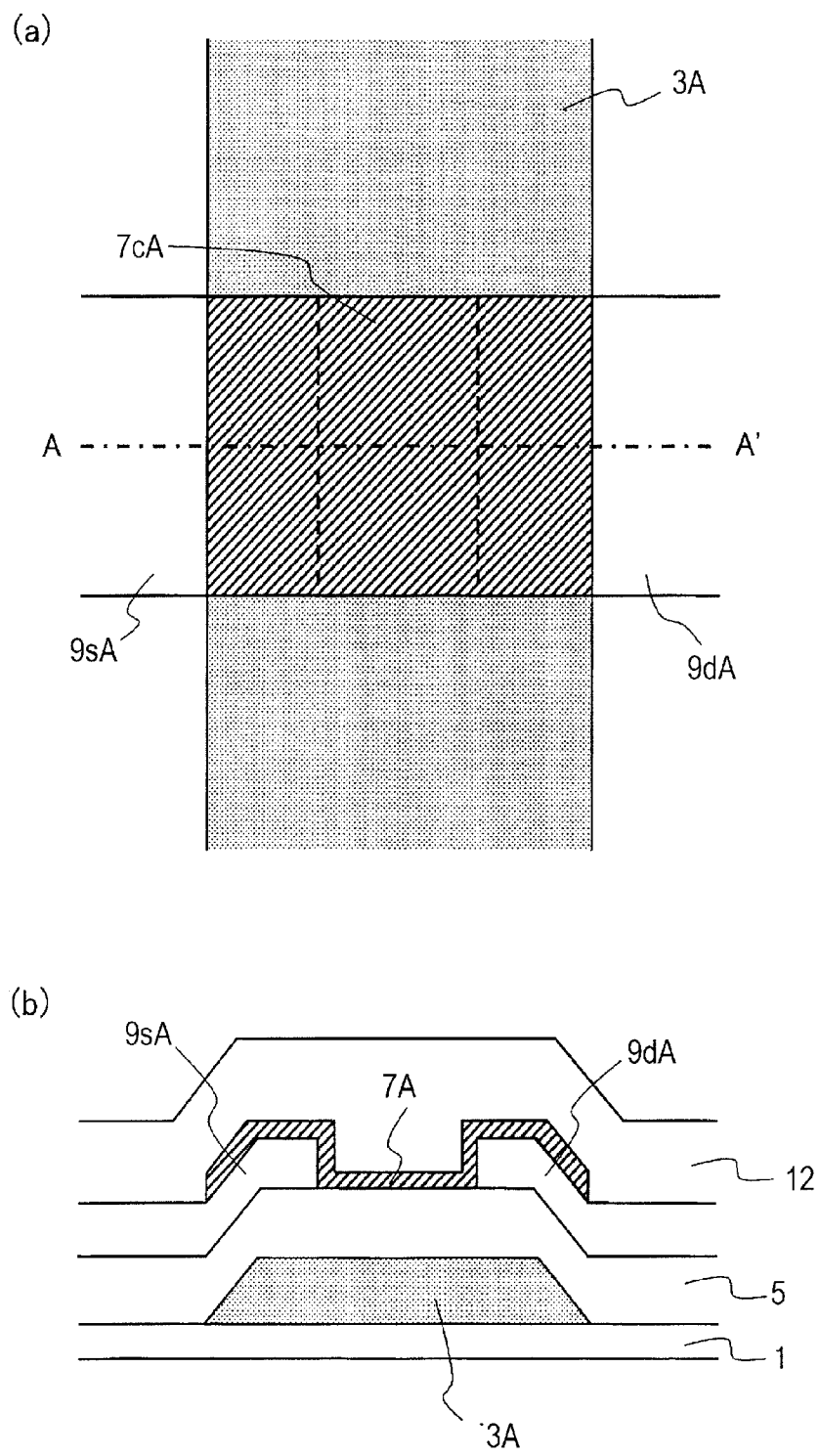
[図22]



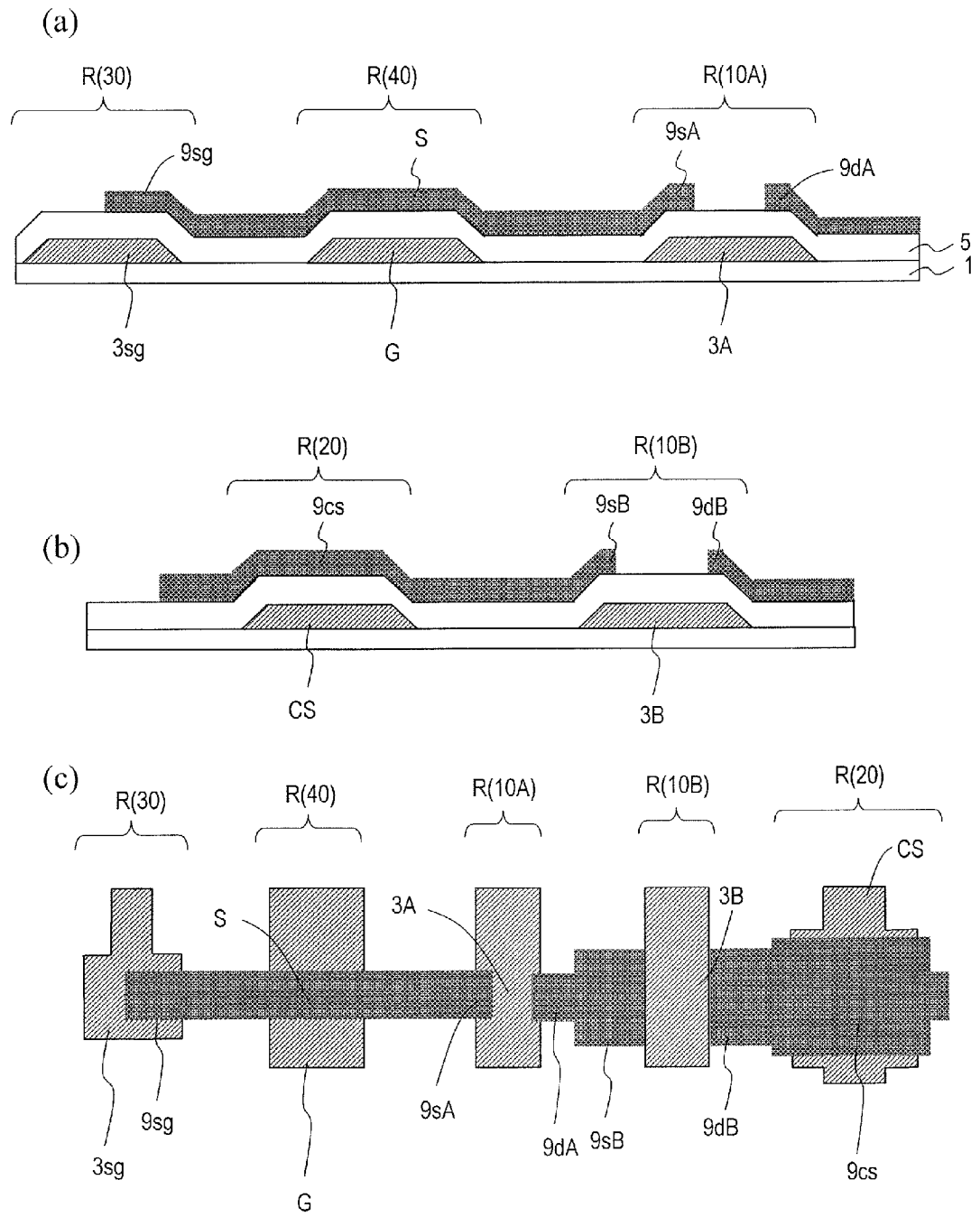
[図23]



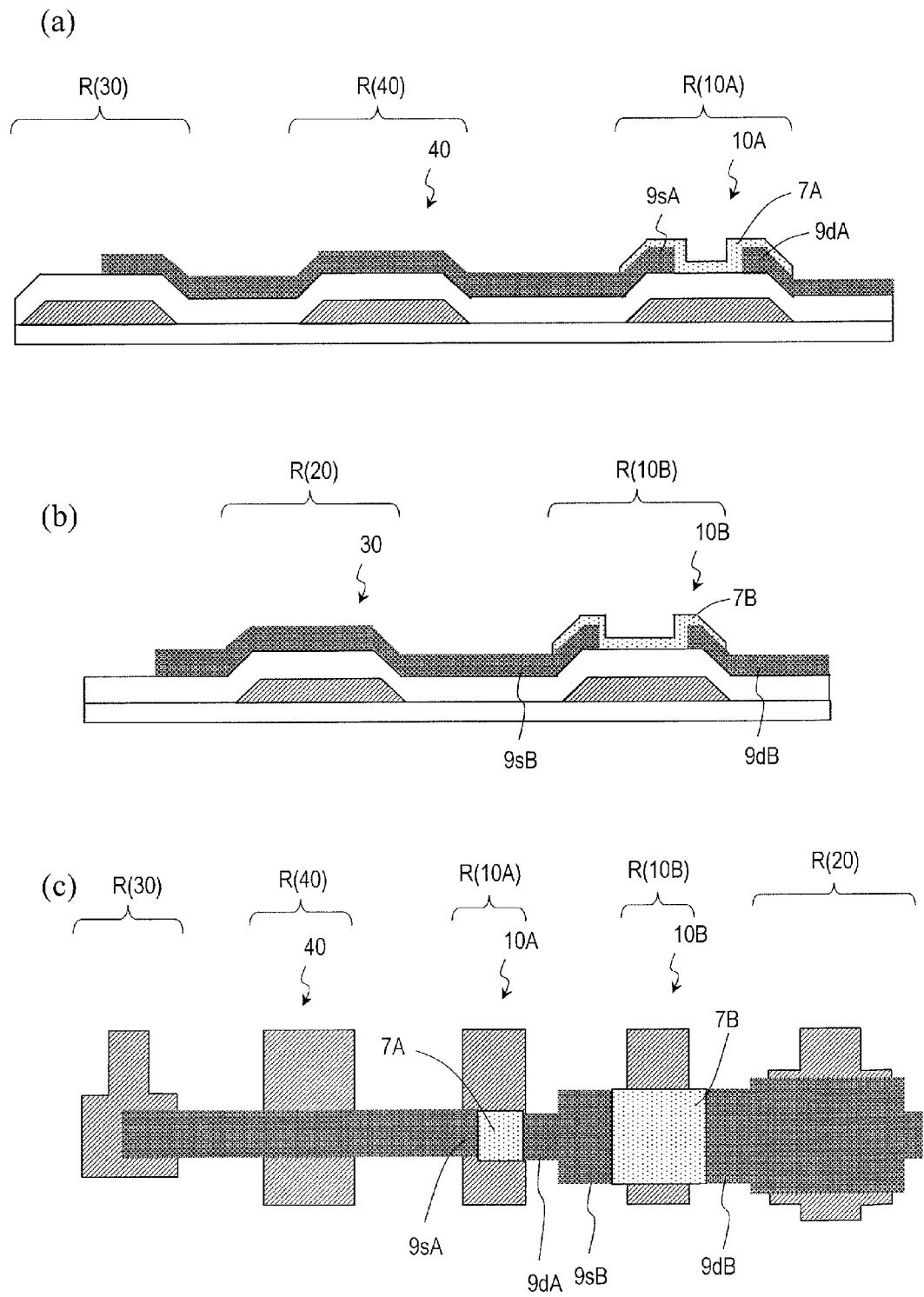
[図24]



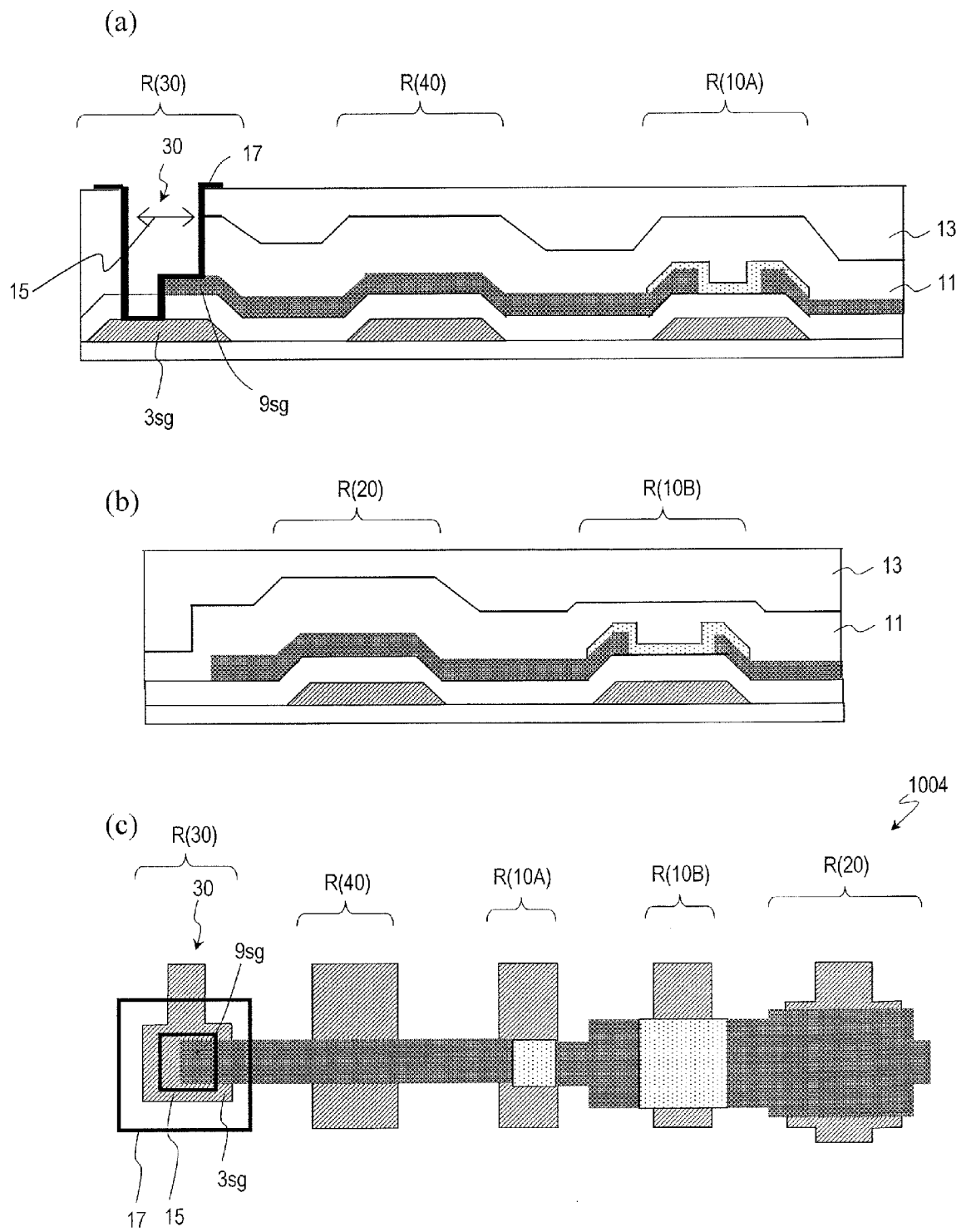
[図25]



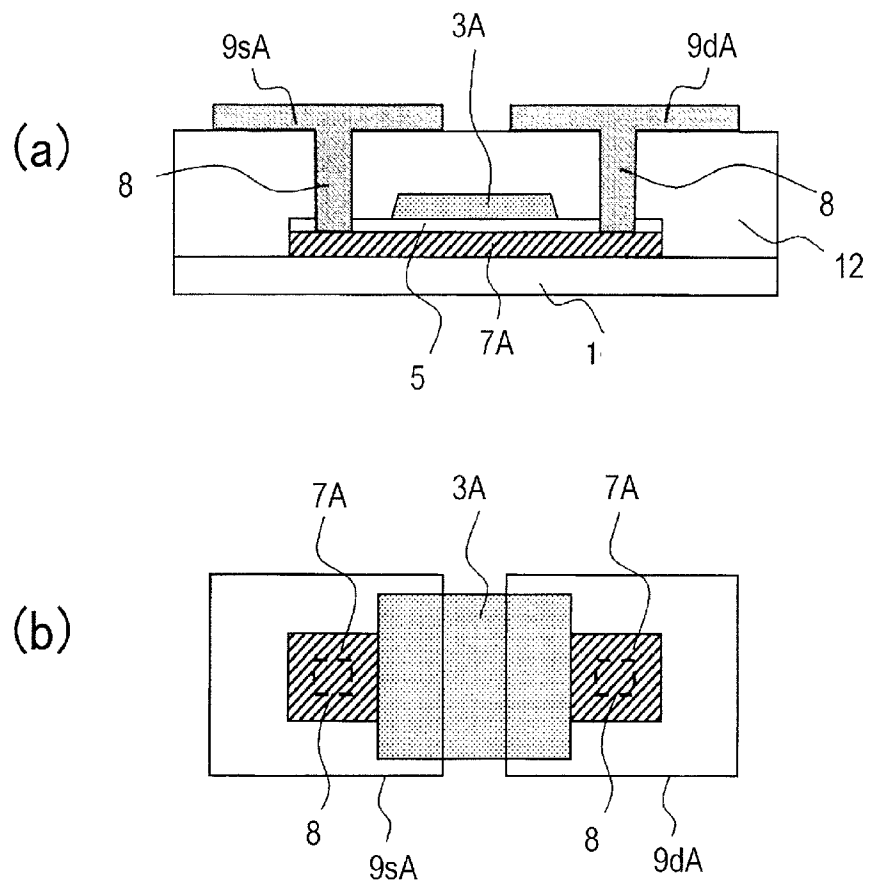
[図26]



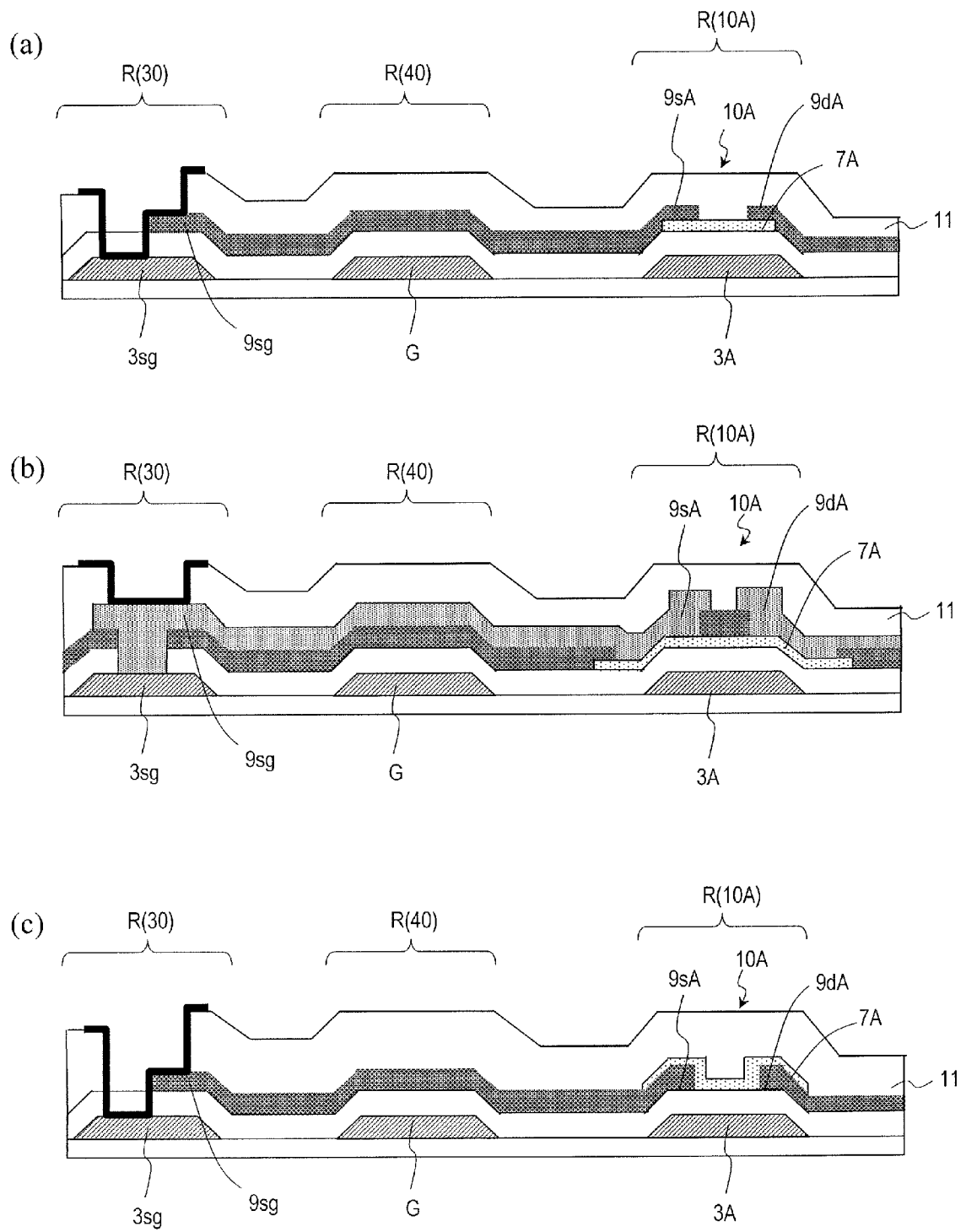
[図27]



[図28]



[図29]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2014/073012

A. CLASSIFICATION OF SUBJECT MATTER

H01L27/10(2006.01)i, H01L21/8242(2006.01)i, H01L27/108(2006.01)i,
H01L29/786(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L27/10, H01L21/8242, H01L27/108, H01L29/786

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2014
Kokai Jitsuyo Shinan Koho	1971-2014	Toroku Jitsuyo Shinan Koho	1994-2014

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	WO 2013/080784 A1 (Sharp Corp.), 06 June 2013 (06.06.2013), paragraphs [0036], [0098], [0099], [0110], [0158] to [0165] (Family: none)	1, 2, 4-10, 12, 13, 15 3, 11, 14
Y A	JP 2011-192979 A (Semiconductor Energy Laboratory Co., Ltd.), 29 September 2011 (29.09.2011), paragraphs [0144] to [0150] & US 2011/0204365 A1 & WO 2011/102205 A1 & TW 201203514 A & CN 102763214 A & KR 10-2012-0135407 A	1, 2, 4-10, 12, 13, 15 3, 11, 14

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
17 October, 2014 (17.10.14)

Date of mailing of the international search report
28 October, 2014 (28.10.14)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2014/073012

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 11-97556 A (Seiko Epson Corp.), 09 April 1999 (09.04.1999), paragraphs [0065] to [0079] (Family: none)	2
Y	JP 2012-160719 A (Semiconductor Energy Laboratory Co., Ltd.), 23 August 2012 (23.08.2012), paragraphs [0032] to [0035] & US 2012/0175610 A1 & CN 102593186 A & KR 10-2012-0090784 A & TW 201234483 A	4

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H01L27/10(2006.01)i, H01L21/8242(2006.01)i, H01L27/108(2006.01)i, H01L29/786(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H01L27/10, H01L21/8242, H01L27/108, H01L29/786

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 4 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 4 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 4 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	WO 2013/080784 A1 (シャープ株式会社) 2013. 06. 06, [0036], [0098], [0099], [0110], [0158] - [0165] (ファミリーなし)	1, 2, 4-10, 12, 13, 15
A		3, 11, 14
Y	JP 2011-192979 A (株式会社半導体エネルギー研究所) 2011. 09. 29, 【0 1 4 4】 - 【0 1 5 0】 & US 2011/0204365 A1 & WO 2011/102205 A1 & TW 201203514 A & CN 102763214 A & KR 10-2012-0135407 A	1, 2, 4-10, 12, 13, 15
A		3, 11, 14

☒ C 欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

1 7 . 1 0 . 2 0 1 4

国際調査報告の発送日

2 8 . 1 0 . 2 0 1 4

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

鈴木 和樹

5 F

3 2 5 2

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 1 6

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 11-97556 A (セイコーエプソン株式会社) 1999. 04. 09, 【0 0 6 5】－【0 0 7 9】 (ファミリーなし)	2
Y	JP 2012-160719 A (株式会社半導体エネルギー研究所) 2012. 08. 23, 【0 0 3 2】－【0 0 3 5】 & US 2012/0175610 A1 & CN 102593186 A & KR 10-2012-0090784 A & TW 201234483 A	4