



FEDERÁLNÍ ÚŘAD
PRO VYNÁLEZY

POPIS VYNÁLEZU

K AUTORSKÉMU OSVEDČENIU

266 973

(11)

(13) B1

(51) Int. Cl.⁴
G 06 F 12/02

(21) PV 8996-87.U
(22) Prihlášené 09 12 87

(40) Zverejnené 12 05 89
(45) Vydané 14 12 90

(75)

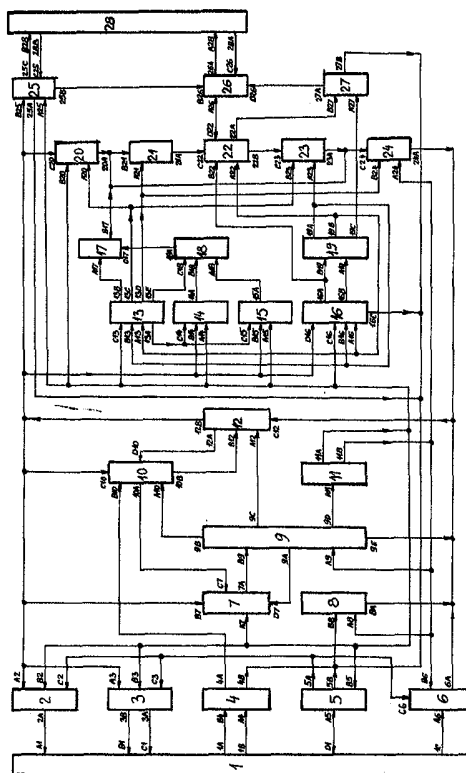
Autor vynálezu

OČKAIK DUŠAN ing., VINOHRADSKÝ TIBOR ing., ŽILINA

(54)

Zapojenie riadiaceho modulu vonkajších pamätí

(57) Zapojenie riadiaceho modulu vonkajších pamätí umožňuje pripájať malé pevné diskové pamäti k číslicovým počítačom so systémovou zbernicou Spoločná zbernica. Organizácia blokov a dát na disku je v riadiacom module určená mikroprogramovo. Zapojenie umožňuje vykonávať súčasný prenos blokov dát medzi operačnou pamäťou počítača, riadiacim modulom a diskovou pamäťou.



Vynález sa týka zapojenia riadiaceho modulu vonkajších pamätí pre pripojenie malých pevných diskových pamätí na systémovú zbernicu Spoločná zbernica číslícového počítača.

Doteraz známe zapojenia riadiacich modulov diskových pamätí neumožňovali pripojenie malých pevných diskových pamätí na systémovú zbernicu Spoločná zbernica číslícového počítača.

Vyššie uvedené nedostatky odstraňuje zapojenie podľa vynálezu, ktorého podstata je v tom, že výstupy bloku pamäti mikroprogramu sú spojené so vstupmi bloku aritmeticko-logickej jednotky, zatiaľ čo výstupy bloku pamäti mikroprogramu sú spojené so vstupmi bloku výberu podmienky, pričom výstupy bloku pamäti mikroprogramu sú spojené so vstupmi bloku dekódera riadiacich signálov, zatiaľ čo výstupy bloku pamäti mikroprogramu sú spojené so vstupmi bloku riadenia mikroprogramu, pričom výstupy bloku aritmeticko-logickej jednotky sú spojené so vstupmi bloku výstupných dát a tiež so vstupmi bloku adresy operačnej pamäti a ďalej tiež so vstupmi bloku riadenia mikroprogramu a tiež so vstupmi bloku výberu podmienky, a ďalej tiež so vstupmi bloku adresy vyrovnávacej pamäti mikroprogramu a tiež so vstupmi bloku adresy vyrovnávacej pamäti disku a ďalej tiež so vstupmi bloku počtu slov a tiež so vstupom vstupného registra vyrovnávacej pamäti a ďalej tiež so vstupmi bloku riadenia disku, zatiaľ čo výstupy bloku dekódera riadiacich signálov sú spojené so vstupom bloku výstupných dát a tiež so vstupom bloku adresy operačnej pamäti a ďalej tiež so vstupom bloku riadenia mikroprogramu a tiež so vstupmi bloku riadenia styku s počítačom, ďalej tiež so vstupom bloku počtu slov a tiež so vstupom bloku adresy vyrovnávacej pamäti disku a ďalej tiež so vstupom bloku adresy vyrovnávacej pamäti mikroprogramu a tiež so vstupmi bloku riadenia vyrovnávacej pamäti a ďalej tiež so vstupom vstupného registra vyrovnávacej pamäti a tiež so vstupom bloku riadenia disku, zatiaľ čo vstupy bloku aritmeticko-logickej jednotky sú spojené s výstupmi bloku vstupných dát a tiež s výstupmi bloku stavových signálov a ďalej tiež s výstupmi bloku pamäti mikroprogramu a tiež s výstupmi výstupného registra vyrovnávacej pamäti, pričom výstupy bloku dekódera riadiacich signálov sú spojené so vstupom bloku vstupných dát a tiež so vstupom bloku stavových signálov a ďalej tiež so vstupom bloku pamäti mikroprogramu a tiež so vstupom výstupného registra vyrovnávacej pamäti, zatiaľ čo vstupy bloku stavových signálov sú spojené s výstupmi bloku dekódera adresy a tiež s výstupmi bloku riadenia styku s počítačom a ďalej tiež s výstupmi bloku riadenia disku a tiež s výstupom bloku kontroly dát a ďalej tiež s výstupom bloku počtu slov, pričom výstup bloku dekódera adresy je spojený so vstupom bloku výberu podmienky, zatiaľ čo výstup bloku výberu podmienky je spojený so vstupom bloku riadenia mikroprogramu, pričom výstupy bloku aritmeticko-logickej jednotky sú spojené so vstupmi bloku výberu podmienky, zatiaľ čo výstup bloku výberu podmienky je spojený so vstupom bloku aritmeticko-logickej jednotky, pričom výstupy bloku riadenia mikroprogramu sú spojené so vstupmi bloku pamäti mikroprogramu, zatiaľ čo výstupy bloku riadenia styku s počítačom sú spojené so vstupom bloku adresy operačnej pamäti a tiež so vstupom bloku výstupných dát a ďalej tiež so vstupom bloku vstupných dát, pričom výstupy bloku výstupných dát sú spojené so vstupmi bloku styku s počítačom, zatiaľ čo výstupy bloku adresy operačnej pamäti sú spojené so vstupmi bloku styku s počítačom, pričom výstup bloku adresy operačnej pamäti je spojený so vstupom bloku styku s počítačom, zatiaľ čo vstupy bloku dekódera adresy sú spojené s výstupmi bloku styku s počítačom, pričom vstup bloku dekódera adresy je spojený s výstupom bloku styku s počítačom, zatiaľ čo obojsmerné vstupy bloku riadenia styku s počítačom sú spojené s obojsmernými vstupmi bloku styku s počítačom, pričom vstupy bloku vstupných dát sú spojené s výstupmi bloku styku s počítačom, zatiaľ čo výstupy bloku počtu slov sú spojené so vstupmi bloku riadenia dát a tiež sú spojené so vstupmi bloku posuvného registra, pričom výstupy bloku počtu slov sú spojené so vstupmi bloku riadenia dát, zatiaľ čo výstup bloku riadenia dát je spojený so vstupom vyrovnávacieho registra čítaných dát a tiež so vstupom bloku počtu slov a ďalej tiež so vstupom bloku riadenia vyrovnávacej pamäti, pričom výstup bloku riadenia dát je spojený so vstupom bloku posuvného registra a tiež so vstupom bloku počtu slov, a ďalej tiež so vstupom bloku riadenia vyrovnávacej pamäti, zatiaľ čo výstupy bloku riadenia dát sú spojené so vstupmi bloku kontroly dát, pričom výstup bloku riadenia vyrovnávacej pamäti je spojený so vstupom bloku adresy vyrovnávacej pamäti mikroprogramu a tiež so vstupom

bloku adresy vyrovnávacej pamäti disku, zatiaľ čo výstupy bloku riadenia vyrovnávacej pamäti sú spojené so vstupmi bloku vyrovnávacej pamäti, pričom výstupy bloku riadenia vyrovnávacej pamäti sú spojené so vstupom vstupného registra vyrovnávacej pamäti a tiež so vstupom vyrovnávacieho registra čítaných dát, zatiaľ čo výstupy bloku riadenia vyrovnávacej pamäti sú spojené so vstupom vyrovnávacieho registra zapisovaných dát a tiež so vstupom výstupného registra vyrovnávacej pamäti, pričom výstup bloku riadenia vyrovnávacej pamäti je spojený so vstupom bloku výberu adresy, zatiaľ čo výstupy bloku adresy vyrovnávacej pamäti mikroprogramu sú spojené so vstupmi bloku výberu adresy, pričom výstupy bloku adresy vyrovnávacej pamäti disku sú spojené so vstupmi bloku výberu adresy, pričom výstupy bloku výberu adresy sú spojené so vstupmi bloku vyrovnávacej pamäti, zatiaľ čo obojsmerné vstupy bloku vyrovnávacej pamäti sú spojené s výstupmi vstupného registra vyrovnávacej pamäti a tiež so vstupmi vyrovnávacieho registra zapisovaných dát a ďalej tiež s výstupmi vyrovnávacieho registra čítaných dát a tiež so vstupmi výstupného registra vyrovnávacej pamäti, pričom výstupy vyrovnávacieho registra zapisovaných dát sú spojené so vstupmi bloku posuvného registra, zatiaľ čo výstupy bloku posuvného registra sú spojené so vstupmi vyrovnávacieho registra čítaných dát, pričom obojsmerné vstupy bloku posuvného registra sú spojené s obojsmernými vstupmi bloku dekódovania dát, zatiaľ čo výstup bloku posuvného registra je spojený so vstupom bloku kontroly dát, pričom výstup bloku kontroly dát je spojený so vstupom bloku kódovania dát, zatiaľ čo výstup bloku riadenia disku je spojený so vstupom bloku kódovania dát, pričom vstupy bloku riadenia disku sú spojené s výstupmi bloku styku s diskom, pričom výstupy bloku riadenia disku sú spojené so vstupmi bloku styku s diskom, zatiaľ čo výstupy bloku kódovania dát sú spojené so vstupmi bloku styku s diskom, pričom vstupy bloku kódovania dát sú spojené s výstupmi bloku styku s diskom.

Výhodou zapojenia podľa tohoto vynálezu je možnosť pripájania malých pevných diskových pamätí s rôznymi kapacitami k počítačom so systémovou zbernicou Spoločná zbernica bez zmien v zapojení. Tejto výhody je dosiahnuté tým, že organizácia blokov na disku je v riadiacom module určovaná mikroprogramovo. Ďalšou výhodou tohoto vynálezu je, že prenosy blokov dát medzi operačnou pamäťou počítača a blokom vyrovnávacej pamäti a zároveň medzi blokom vyrovnávacej pamäti a diskovou pamäťou sú vykonávané autonómne. Toho je dosiahnuté tým, že pri prenose blokov dát s operačnou pamäťou je realizovaná autonómna súčinnosť bloku aritmeticko-logickej jednotky s blokom riadenia vyrovnávacej pamäti a blokom riadenia styku s počítačom. Pri prenose bloku dát s diskovou pamäťou je to dosiahnuté realizovaním autonómnej súčinnosti bloku riadenia dát s blokom počtu slov.

Na priloženom výkrese obr. 1 je zobrazená celková bloková schéma zapojenia podľa tohoto vynálezu.

Príklad konkrétnej realizácie vynálezu je riešenie podľa obr. 1, vyznačujúce sa tým, že výstupy 9C bloku 9 pamäti mikroprogramu sú spojené so vstupmi A12 bloku 12 aritmeticko-logickej jednotky, zatiaľ čo výstupy 9B bloku 9 pamäti mikroprogramu sú spojené so vstupmi A10 bloku 10 výberu podmienky, pričom výstupy 9D bloku 9 pamäti mikroprogramu sú spojené so vstupmi A11 bloku 11 dekódera riadiacich signálov, zatiaľ čo výstupy 9A bloku 9 pamäti mikroprogramu sú spojené so vstupmi D7 bloku 7 riadenia mikroprogramu, pričom výstupy 12B bloku 12 aritmeticko-logickej jednotky sú spojené so vstupmi A2 bloku 2 výstupných dát a tiež so vstupmi A3 bloku 3 adresy operačnej pamäti a ďalej tiež so vstupmi B7 bloku 7 riadenia mikroprogramu a tiež so vstupmi C10 bloku 10 výberu podmienky a ďalej tiež so vstupmi B14 bloku 14 adresy vyrovnávacej pamäti mikroprogramu a tiež so vstupmi B15 bloku 15 adresy vyrovnávacej pamäti disku a ďalej tiež so vstupmi D16 bloku 16 počtu slov a tiež so vstupom C20 vstupného registra 20 vyrovnávacej pamäti a ďalej tiež so vstupmi B25 bloku 25 riadenia disku, zatiaľ čo výstupy 11A bloku 11 dekódera riadiacich signálov sú spojené so vstupom B2 bloku 2 výstupných dát a tiež so vstupom B3 bloku 3 adresy operačnej pamäti a ďalej tiež so vstupom A7 bloku 7 riadenia mikroprogramu a tiež so vstupmi B5 bloku 5 riadenia styku s počítačom a ďalej tiež so vstupom C16 bloku 16 počtu slov a tiež so vstupom A15 bloku 15 adresy vyrovnávacej pamäti disku a ďalej tiež so vstupom A14 bloku 14 adresy vyrovnávacej pamäti mikroprogramu a tiež so vstupmi C13 bloku 13 riadenia vyrovnávacej

pamäti a ďalej tiež so vstupom B20 vstupného registra 20 vyrovnávacej pamäti a tiež so vstupom A25 bloku 25 riadenia disku, zatiaľ čo vstupy C12 bloku 12 aritmeticko-logickej jednotky sú spojené s výstupmi 6A bloku 6 vstupných dát a tiež s výstupmi 8A bloku 8 stavových signálov a ďalej tiež s výstupmi 9E bloku 9 pamäti mikroprogramu a tiež s výstupmi 24A výstupného registra 24 vyrovnávacej pamäti, pričom výstupy 11B bloku 11 dekódera riadiacich signálov sú spojené so vstupom B6 bloku 6 vstupných dát a tiež so vstupom A8 bloku 8 stavových signálov a ďalej tiež so vstupom A9 bloku 9 pamäti mikroprogramu a tiež so vstupom A24 výstupného registra 24 vyrovnávacej pamäti, zatiaľ čo vstupy B8 bloku 8 stavových signálov sú spojené s výstupmi 4B bloku 4 dekódera adresy a tiež s výstupmi 5B bloku 5 riadenia styku s počítačom a ďalej tiež s výstupmi 25A bloku 25 riadenia disku a tiež s výstupom 27B bloku 27 kontroly dát a ďalej tiež s výstupom 16C bloku 16 počtu slov, pričom výstup 4A bloku 4 dekódera adresy je spojený so vstupom B10 bloku 10 výberu podmienky, zatiaľ čo výstup 10A bloku 10 výberu podmienky je spojený so vstupom C7 bloku 7 riadenia mikroprogramu, pričom výstupy 12A bloku 12 aritmeticko-logickej jednotky sú spojené so vstupmi D10 bloku 10 výberu podmienky, zatiaľ čo výstup 10B bloku 10 výberu podmienky je spojený so vstupom B12 bloku 12 aritmeticko-logickej jednotky, pričom výstupy 7A bloku 7 riadenia mikroprogramu sú spojené so vstupmi B9 bloku 9 pamäti mikroprogramu, zatiaľ čo výstupy 5A bloku 5 riadenia styku s počítačom sú spojené so vstupom C3 bloku 3 adresy operačnej pamäti a tiež so vstupom C2 bloku 2 výstupných dát a ďalej tiež so vstupom C6 bloku 6 vstupných dát, pričom výstupy 2A výstupných dát sú spojené so vstupmi A1 bloku 1 styku s počítačom, zatiaľ čo výstupy 3B bloku 3 adresy operačnej pamäti sú spojené so vstupmi B1 bloku 1 styku s počítačom, pričom výstup 3A bloku 3 adresy operačnej pamäti je spojený so vstupom C1 bloku 1 styku s počítačom, zatiaľ čo vstupy B4 bloku 4 dekódera adresy sú spojené s výstupmi 1A bloku 1 styku s počítačom, pričom vstup A4 bloku 4 dekódera adresy je spojený s výstupom 1B bloku 1 styku s počítačom, zatiaľ čo obojsmerné vstupy A5 bloku 5 riadenia styku s počítačom sú spojené s obojsmernými vstupmi D1 bloku 1 styku s počítačom, pričom vstupy A6 bloku 6 vstupných dát sú spojené s výstupmi 1C bloku 1 styku s počítačom, zatiaľ čo výstupy 16A bloku 16 počtu slov sú spojené so vstupmi B19 bloku 19 riadenia dát a tiež so vstupmi B22 bloku 22 posuvného registra, pričom výstupy 16B bloku 16 počtu slov sú spojené so vstupmi A19 bloku 19 riadenia dát, zatiaľ čo výstup 19A bloku 19 riadenia dát je spojený so vstupom A23 vyrovnávacieho registra 23 čítaných dát a tiež so vstupom B16 bloku 16 počtu slov a ďalej tiež so vstupom B13 bloku 13 riadenia vyrovnávacej pamäti, pričom výstup 19B bloku 19 riadenia dát je spojený so vstupom A22 bloku 22 posuvného registra a tiež so vstupom A16 bloku 16 počtu slov a ďalej tiež so vstupom A13 bloku 13 riadenia vyrovnávacej pamäti, zatiaľ čo výstupy 19C bloku 19 riadenia dát sú spojené so vstupmi A27 bloku 27 kontroly dát, pričom výstup 13A bloku 13 riadenia vyrovnávacej pamäti je spojený so vstupom C14 bloku 14 adresy vyrovnávacej pamäti mikroprogramu a tiež so vstupom C15 bloku 15 adresy vyrovnávacej pamäti disku, zatiaľ čo výstupy 13B bloku 13 riadenia vyrovnávacej pamäti sú spojené so vstupmi A17 bloku 17 vyrovnávacej pamäti, pričom výstupy 13C bloku 13 riadenia vyrovnávacej pamäti sú spojené so vstupom A20 výstupného registra 20 vyrovnávacej pamäti a tiež so vstupom B23 vyrovnávacieho registra 23 čítaných dát, zatiaľ čo výstupy 13D bloku 13 riadenia vyrovnávacej pamäti sú spojené so vstupom A21 vyrovnávacieho registra 21 zapisovaných dát a tiež so vstupom B24 výstupného registra 24 vyrovnávacej pamäti, pričom výstupy 13E bloku 13 riadenia vyrovnávacej pamäti je spojený so vstupom C18 bloku 18 výberu adresy, zatiaľ čo výstupy 14A bloku 14 adresy vyrovnávacej pamäti mikroprogramu sú spojené so vstupmi B18 bloku 18 výberu adresy, pričom výstupy 15A bloku 15 adresy vyrovnávacej pamäti disku sú spojené so vstupmi A18 bloku 18 výberu adresy, pričom výstupy 18A bloku 18 výberu adresy sú spojené so vstupmi C17 bloku 17 vyrovnávacej pamäti, zatiaľ čo obojsmerné vstupy B17 bloku 17 vyrovnávacej pamäti sú spojené s výstupmi 20A vstupného registra 20 vyrovnávacej pamäti a tiež so vstupmi B21 vyrovnávacieho registra 21 zapisovaných dát a ďalej tiež s výstupmi 23A vyrovnávacieho registra 23 čítaných dát a tiež so vstupmi C24 výstupného registra 24 vyrovnávacej pamäti, pričom výstupy 21A vyrovnávacieho registra 21 zapisovaných dát sú spojené so vstupmi C22 bloku 22 posuvného registra, zatiaľ čo výstupy 22B bloku 22 posuvného registra sú spojené so vstupmi C23 vyrovnávacieho registra 23 čítaných dát, pričom obojsmerné vstupy D22 bloku 22 posuvného registra sú spojené s obojsmernými vstupmi A26 bloku 26 kódovania dát, zatiaľ čo výstup 22A bloku 22 posuvného registra je

spojený so vstupom B27 bloku 27 kontroly dát, pričom výstup 27A bloku 27 kontroly dát je spojený so vstupom D26 bloku 26 kódovania dát, zatiaľ čo výstup 25B bloku 25 riadenia disku je spojený so vstupom B26 bloku 26 kódovania dát, pričom vstupy C25 bloku 25 riadenia disku sú spojené s výstupmi 28B bloku 28 styku s diskom, pričom výstupy 25C bloku 25 riadenia disku sú spojené so vstupmi B28 bloku 28 styku s diskom, zatiaľ čo výstupy 26A bloku 26 kódovania dát sú spojené so vstupmi A28 bloku 28 styku s diskom, pričom vstupy C26 bloku 26 kódovania dát sú spojené s výstupmi 28A bloku 28 styku s diskom.

Funkcia zapojenia podľa tohoto vynálezu je nasledovná: Adresné linky systémovej zbernice sú cez výstup 1A bloku 1 styku s počítačom privedené na vstup B4 bloku 4 dekódera adresy, kde sú porovnávané s danou adresou riadiaceho modulu. Platnosť adresných liniek v riadiacom module je potvrdzovaná signálom zo systémovej zbernice, ktorý cez výstup 1B bloku 1 styku s počítačom je privedený na vstup A4 bloku 4 dekódera adresy, kde spôsobí vyhodnotenie zhody prijatej adresy s danou adresou riadiaceho modulu. Na základe dekódovania adresy riadiaceho modulu sa na výstupe 4A bloku 4 dekódera adresy vygeneruje signál, ktorý je cez vstup B10 bloku 10 výberu podmienky, v ktorom na základe riadiacich výstupov 9B bloku 9 pamäti mikroprogramu privedených na vstupy A10 bloku 10 výberu podmienky, dôjde k jeho výberu a cez výstup 10A bloku 10 výberu podmienky je takto vybratá podmienka privedená na vstup C7 bloku 7 riadenia mikroprogramu, pričom na výstupe 7A bloku 7 riadenia mikroprogramu sa vygeneruje nasledujúca adresa mikroprogramu, ktorá je privedená na vstup B9 bloku 9 pamäti mikroprogramu, od ktorej sa začne vykonávať obslužná rutina požadovaná zo strany systémovej zbernice. Nasledujúca adresa mikroprogramu sa vygeneruje v závislosti od inštrukcie a adresy privedenej na vstupy D7 bloku 7 riadenia mikroprogramu z výstupov 9A bloku 9 pamäti mikroprogramu.

Na danej adrese mikroprogramu sa na výstupech 9D bloku 9 pamäti mikroprogramu vygenerujú signály, ktoré sú privedené na vstupy A11 bloku 11 dekódera riadiacich signálov, kde sa vygeneruje riadiaci signál, ktorý cez výstup 11B bloku 11 dekódera riadiacich signálov je privedený na vstup A8 bloku 8 stavových signálov, kde spôsobí, že výstupné signály 4B bloku 4 dekódera adresy určujúce adresu systémových registrov riadiaceho modulu privedené na vstupy B8 bloku 8 stavových signálov, ako aj výstupný signál 5B bloku 5 riadenia styku s počítačom, určujúci operáciu čítanie alebo zápis dát systémového registra riadiaceho modulu privedeného na vstupy B8 bloku 8 stavových signálov, sú vyhradľované na výstup 8A bloku 8 stavových signálov odkiaľ sú privedené na vstupy C12 bloku 12 aritmeticko-logickej jednotky 12. V bloku 12 aritmeticko-logickej jednotky sa vypočíta nasledujúca adresa pre mikroprogram, ktorá je cez výstupy 12B bloku 12 aritmeticko-logickej jednotky privedená na vstupy B7 bloku 7 riadenia mikroprogramu.

V prípade, že zo strany systémovej zbernice je požadovaná operácia čítania systémového registra, potom na výstupoch 7A bloku 7 riadenia mikroprogramu prepojených so vstupmi B9 bloku 9 pamäti mikroprogramu sa vygeneruje adresa, na ktorej výstupy 9C bloku 9 pamäti mikroprogramu spojené so vstupmi A12 bloku 12 aritmeticko-logickej jednotky, vygenerujú inštrukciu a adresu požadovaného systémového registra, ktorý je súčasťou bloku 12 aritmeticko-logickej jednotky. Obsah požadovaného systémového registra je z výstupu 12B bloku 12 aritmeticko-logickej jednotky privedený na vstup A2 bloku 2 výstupných dát, pričom signálmi vygenerovanými na výstupoch 11A bloku 11 dekódera riadiacich signálov, ktorý je spojený so vstupmi B2 bloku 2 výstupných dát, je tento obsah odpamätaný a zároveň vyhradľovaný cez výstup 2A bloku 2 výstupných dát, ktorý je spojený so vstupom A1 bloku 1 s počítačom na systémovú zbernicu, pričom na výstupe 11A bloku 11 dekódera riadiacich signálov, ktorý je spojený so vstupom B5 bloku 5 riadenia styku s počítačom sa vygeneruje signál, ktorý cez výstup A5 bloku 5 riadenia styku s počítačom spojený so vstupom D1 bloku 1 styku s počítačom potvrdí platnosť vyslaných dát na systémovej zbernici.

Podobná funkcia je pri operácii zápis dát do systémového registra s tým rozdielom, že dáta privedené zo systémovej zbernice sú cez výstupy 1C bloku 1 styku s počítačom privedené na vstupy A6 bloku 6 vstupných dát, pričom signálmi vygenerovanými na výstupe 11B

bloku 11 dekódera riadiacich signálov, ktorý je spojený so vstupom B6 bloku 6 vstupných dát sú dáta odpamätané a zároveň vyhradľované cez výstup 6A bloku 6 vstupných dát, ktorý je spojený so vstupom C12 bloku 12 aritmeticko-logickej jednotky, odkiaľ sú zapísané do požadovaného systémového registra v bloku 12 aritmeticko-logickej jednotky.

Jednotlivé bity systémových registrov je možné testovať a podľa ich stavu vytvárať podmienku pre vetvenie adresy mikroprogramu. To je dosiahnuté tým, že výstupy 12B bloku 12 aritmeticko-logickej jednotky sú spojené so vstupmi C10 bloku 10 výberu podmienky, pričom testovanie požadovaného bitu sa vykoná pomocou riadiacich výstupov 9B bloku 9 pamäti mikroprogramu, ktoré sú privedené na vstupy A10 bloku 10 výberu podmienky, pričom stav testovaného bitu sa prenesie na výstup 10A bloku 10 výberu podmienky, ktorý je spojený so vstupom C7 bloku 7 riadenia mikroprogramu, ktorý v súčinnosti s adresou generovanou na danej adrese mikroprogramu privedenej z výstupov 9A bloku 9 pamäti mikroprogramu vytvorí nasledujúcu adresu mikroprogramu, ktorá je z výstupu 7A bloku 7 riadenia mikroprogramu, privedená na vstupy B9 bloku 9 pamäti mikroprogramu.

Pri vykonávaní aritmeticko-logických operácií sú nulový výsledok operácie a informácia o prenose do vyššieho rádu taktiež použité pre generovanie podmienky vetvenia adresy mikroprogramu. To je dosiahnuté tým, že výstupy 12A bloku 12 aritmeticko-logickej jednotky charakterizujúce tieto operácie sú privedené na vstupy D10 bloku 10 výberu podmienky, kde sú na základe riadiacich výstupov 9B bloku 9 pamäti mikroprogramu privedených na vstupy A10 bloku 10 výberu podmienky testované, pričom stav testovaného výsledku operácie sa prenesie na výstup 10A bloku 10 výberu podmienky, ktorý je spojený so vstupom C7 bloku 7 riadenia mikroprogramu, pričom výsledky aritmeticko-logických operácií môžu byť využité pre ďalšie aritmeticko-logické operácie, čo je dosiahnuté tým, že na základe riadiacich výstupov 9B pamäti mikroprogramu privedených na vstupy A10 bloku 10 výberu podmienky sa vyberie jeden z výsledkov operácie, ktorý sa prenesie na výstup 10B bloku 10 výberu podmienky spojeného so vstupom B12 bloku 12 aritmeticko-logickej jednotky.

Pri vykonávaní aritmeticko-logických operácií s konštantou, je táto získavaná z mikroprogramového riadenia tým, že na danej adrese mikroprogramu určenej výstupmi 7A bloku 7 riadenia mikroprogramu, ktoré sú spojené so vstupmi B9 bloku 9 pamäti mikroprogramu sú na výstupech 9D bloku 9 pamäti mikroprogramu generované signály privedené na vstup A11 bloku 11 dekódera riadiacich signálov, kde sa na výstupe 11B bloku 11 dekódera riadiacich signálov, ktorý je spojený so vstupom A9 bloku 9 pamäti mikroprogramu vygeneruje signál, ktorý požadovanú konštantu vyhradľuje cez výstup 9E bloku 9 pamäti mikroprogramu na vstup C12 bloku 12 aritmeticko-logickej jednotky.

Pri komunikácii eiadiaceho modulu s diskovou pamäťou sú výstupy 12B bloku 12 aritmeticko-logickej jednotky spojené so vstupmi B25 bloku 25 riadenia disku, na ktorých sa generujú riadiace signály pre disk, ktoré sú riadiacim signálom z výstupu 11A bloku 11 dekódera riadiacich signálov privedeným na vstup A25 bloku 25 riadenia disku odpamätané a z výstupu 25C bloku 25 riadenia disku spojené so vstupom B28 bloku 28 styku s diskom vyslané do diskovej pamäti. Stavové a chybové signály vybratej diskovej pamäti sú z výstupu 28B bloku 28 styku s diskom pripojené na vstup C25 bloku 25 riadenia disku, z ktorého sú cez výstupy 25A bloku 25 riadenia disku privedené na vstup B8 bloku 8 stavových signálov a riadiacim signálom z výstupu 11B bloku 11 dekódera riadiacich signálov, ktorý je spojený so vstupom A8 bloku 8 stavových signálov vyslané cez výstup 8A bloku 8 stavových signálov na vstup C12 bloku 12 aritmeticko-logickej jednotky, pričom stavový signál z diskovej pamäti potvrdzujúci vybratie adresovanej diskovej pamäti je zároveň z výstupu 25B bloku 25 riadenia disku pripojený na vstup B26 bloku 26 kódovania dát, v ktorom zabezpečuje elektrické pripojenie dátového kanála vybratej diskovej pamäti.

Ak sa má vykonať zápis dát do vybratej diskovej pamäti, blok 9 pamäti mikroprogramu zabezpečí, že adresa operačnej pamäti počítača, z ktorej majú byť dáta odpamätané v diskovej pamäti a ktorá je počítačom zadaná v systémovom registri je z výstupu 12B bloku 12 aritme-

ticko-logickej jednotky privedená na vstup A3 bloku 3 adresy operačnej pamäti a odpamätaná signálom, ktorý je generovaný na výstupe 11A bloku 11 dekodéra riadiacich signálov spojený so vstupom B3 bloku 3 adresy operačnej pamäti a zároveň so vstupom B5 bloku 5 riadenia styku s počítačom, v dôsledku ktorého blok 5 riadenia styku s počítačom zabezpečí získanie riadenia nad systémovou zbernicou a výstupným signálom 5A bloku 5 riadenia styku s počítačom, ktorý je spojený so vstupom C3 bloku 3 adresy operačnej pamäti vyššie na systémovú zbernicu cez výstupy 3B bloku 3 adresy operačnej pamäti, ktoré sú spojené so vstupmi B1 bloku 1 styku s počítačom adresu operačnej pamäti počítača a súčasne smer prenosu cez výstup 3A bloku 3 adresy operačnej pamäti spojeného so vstupom C1 bloku 1 styku s počítačom. Blok dát z operačnej pamäti bude postupne odpamätovaný v bloku 17 vyrovnávacej pamäti od adresy, ktorá je určená blokom 14 adresy vyrovnávacej pamäti mikroprogramu. Táto adresa je určená blokom 9 pamäti mikroprogramu, pričom výstupy 12B bloku 12 aritmeticko-logickej jednotky sú spojené so vstupmi B14 bloku 14 adresy vyrovnávacej pamäti mikroprogramu, z ktorých je adresa odpamätaná riadiacim signálom vygenerovaným na výstupe 11A bloku 11 dekodéra riadiacich signálov a privedený na vstup A14 bloku 14 adresy vyrovnávacej pamäti mikroprogramu. Ak dáta z operačnej pamäti sú systémovou zbernicou potvrdené, vygeneruje sa signál na výstupe 5A bloku 5 riadenia styku s počítačom, ktorý je spojený so vstupom C6 bloku 6 vstupných dát, ktorým sú dáta odpamätané z výstupu 1C bloku 1 s počítačom, ktorý je spojený so vstupom A6 bloku 6 vstupných dát, pričom na výstupe 5B bloku 5 riadenia styku s počítačom spojeného so vstupom B8 bloku 8 stavových signálov je vygenerovaný signál, ktorým je blok 9 pamäti mikroprogramu informovaný o tom, že dátové slovo je odpamätané v bloku 6 vstupných dát, pričom je na výstupe 11B bloku 11 dekodéra riadiacich signálov spojeného so vstupom B6 bloku 6 vstupných dát vygenerovaný signál, ktorým sú vyslané dáta na výstup 6A bloku 6 vstupných dát spojeného so vstupom C12 bloku 12 aritmeticko-logickej jednotky, ktoré sú cez výstup 12B bloku 12 aritmeticko-logickej jednotky spojeného so vstupom C20 vstupného registra 20 vyrovnávacej pamäti odpamätané riadiacim signálom z výstupu 11A bloku 11 dekodéra riadiacich signálov spojeného so vstupom B20 vstupného registra 20 vyrovnávacej pamäti a súčasne so vstupom C13 bloku 13 riadenia vyrovnávacej pamäti. Blok 13 riadenia vyrovnávacej pamäti zabezpečí cez výstup 13E bloku 13 riadenia vyrovnávacej pamäti spojeného so vstupom C18 bloku 18 výberu adresy, vybratie adresy tak, že na výstupe 18A bloku 18 výberu adresy spojeného so vstupmi C17 bloku 17 vyrovnávacej pamäti sa objaví adresa bloku 14 adresy vyrovnávacej pamäti mikroprogramu, pričom výstupný signál 13C bloku 13 riadenia vyrovnávacej pamäti spojený so vstupným signálom A20 vstupného registra 20 vyrovnávacej pamäti vyhradluje dáta cez výstupy 20A vstupného registra 20 vyrovnávacej pamäti na vstupy B17 bloku 17 vyrovnávacej pamäti, ktoré sa na danú adresu zapíšu signálom z výstupu 13B bloku 13 riadenia vyrovnávacej pamäti spojeného so vstupom A17 bloku 17 vyrovnávacej pamäti. Po zápise dát do bloku 17 vyrovnávacej pamäti je cez výstup 13A bloku 13 riadenia vyrovnávacej pamäti spojeného so vstupom C14 bloku 14 adresy vyrovnávacej pamäti mikroprogramu zvýšený obsah bloku 14 adresy vyrovnávacej pamäti.

Dáta odpamätané v bloku 17 vyrovnávacej pamäti sú autonómne prenášané do diskovej pamäti tým spôsobom, že blok 9 pamäti mikroprogramu prostredníctvom výstupu 12B bloku 12 aritmeticko-logickej jednotky spojeného so vstupmi B15 bloku 15 adresy vyrovnávacej pamäti disku nastaví adresu, ktorá sa odpamätá riadiacim signálom nastaveným na výstupe 11A bloku 11 dekodéra riadiacich signálov spojeného so vstupom A15 bloku 15 adresy vyrovnávacej pamäti disku a súčasne spojeným so vstupom C13 bloku 13 riadenia vyrovnávacej pamäti, ktorý cez výstup 13E bloku 13 riadenia vyrovnávacej pamäti spojeného so vstupom C18 bloku 18 výberu adresy zabezpečí výber adresy bloku 15 adresy vyrovnávacej pamäti disku, ktorý je privedený cez výstupy 18A bloku 18 výberu adresy na vstupy C17 bloku 17 vyrovnávacej pamäti a zároveň cez výstup 13B bloku 13 riadenia vyrovnávacej pamäti spojeného so vstupom A17 bloku 17 vyrovnávacej pamäti je obsah z danej adresy privedený cez výstupy B17 bloku 17 vyrovnávacej pamäti na vstupy B21 vyrovnávacieho registra 21 zapisovaných dát kde je odpamätaný prepisovateľným signálom privedeným z výstupu 13D bloku 13 riadenia vyrovnávacej pamäti na vstup A21 vyrovnávacieho registra 21 zapisovaných dát. Počet slov, ktoré sa majú preniesť do diskovej pamäti a povel pre zápis dát, z výstupu 12B bloku 12 aritmeticko-logickej jednotky pripojeného na vstup D16 bloku 16 počtu slov sú odpamätané riadiacim signálom z výstupu 11A bloku

11 dekódera riadiacich signálov spojeného so vstupom C16 bloku 16 počtu slov. Odpamätaním povelu je cez výstup 16A bloku 16 počtu slov spojeného so vstupom B22 povolená činnosť bloku 22 posuvného registra a súčasne spojeného so vstupom B19 je povolená činnosť bloku 19 riadenia dát. Cez výstup 19B bloku 19 riadenia dát spojeného so vstupom A22 bloku 22 posuvného registra je riadený prepis dát z výstupu 21A vyrovnávacieho registra 21 zapisovaných dát spojeného so vstupom C22 do vľoku 22 posuvného registra. Zároveň výstupom 19B bloku 19 riadenia dát spojeným so vstupom A13 bloku 13 riadenia vyrovnávacej pamäti je vyžiadaný cyklus prepísania dát z bloku 17 vyrovnávacej pamäti do vyrovnávacieho registra 21 zapisovaných dát, pričom po každom prepise dát je zvýšená adresa bloku 15 adresy vyrovnávacej pamäti disku cez výstup 13A bloku 13 riadenia vyrovnávacej pamäti spojeného so vstupom C15 bloku 15 adresy vyrovnávacej pamäti disku. Zároveň výstupom 19B bloku 19 riadenia dát spojeného so vstupom A16 je zvyšovaný obsah bloku 16 počtu slov. Cez obojsmerný výstup D22 bloku 22 posuvného registra sú dáta sériovo vysielané na vstup A26 bloku 26 kódovania dát, v ktorom sú kódované metódou modifikovanej frekvenčnej modulácie, odkiaľ sú vysielané do diskovej pamäti cez výstup 26A bloku 26 kódovania dát spojeného so vstupom A28 bloku 28 styku s diskom. Zároveň sú sériovo vysielané dáta cez výstup 22A bloku 22 posuvného registra privedené na vstup B27 bloku 27 kontroly dát, kde sú dáta delené polynómom, ktorý má vlastnosť, že dokáže detekovať chybu a zároveň opraviť chybový zhluk bloku dát.

Zvyšok po delení je z výstupu 27A bloku 27 kontroly dát vyslaný sériovo na vstup D26 bloku 26 kódovania dát, odkiaľ je vyslaný do diskovej pamäti. Vysielanie zvyšku je v bloku 27 kontroly dát riadené signálom privedeným z výstupu 19C bloku 19 riadenia dát spojeného so vstupom A27 bloku 27 kontroly dát. Činnosť bloku 19 riadenia dát je ukončená prenesením slov, počet ktorých bol nastavený v bloku 16 počtu slov. Ukončenie činnosti bloku 19 riadenia dát je hlásené stavovým signálom na výstupe 16C bloku 16 počtu slov, ktorý je spojený so vstupom B8 bloku 8 stavových signálov. Pri čítaní dát z diskovej pamäti je do bloku 16 počtu slov zadaný povel pre čítanie a zároveň počet slov, ktoré majú byť prenesené z diskovej pamäti, čím sa povolí činnosť bloku 19 riadenia dát a bloku 22 posuvného registra. Taktiež je do bloku 15 adresy vyrovnávacej pamäti disku nastavená adresa, od ktorej budú dáta čítané z diskovej pamäti ukladané do bloku 17 vyrovnávacej pamäti. Kódované dáta metódou modifikovanej frekvenčnej modulácie z diskovej pamäti prichádzajú z výstupu 28A bloku 28 styku s diskom na vstup C26 bloku 26 kódovania dát, kde dochádza k dekódovaniu dát.

Dekódované dáta sú z obojsmerného výstupu A26 bloku 26 kódovania dát privedené cez vstup D22 do bloku 22 posuvného registra, odkiaľ sú po sformovaní do slova privedené cez výstupy 22B bloku 22 posuvného registra na vstupy C23 vyrovnávacieho registra 23 čítaných dát, kde sú odpamätané signálom z výstupu 19A bloku 19 riadenia dát privedeného na vstup A23 vyrovnávacieho registra 23 čítaných dát. Zároveň s odpamätaním dát je cez výstup 19A bloku 19 riadenia dát privedená na vstup B13 bloku 13 riadenia vyrovnávacej pamäti žiadosť o odpamätanie dát z vyrovnávacieho registra 23 čítaných dát do bloku 17 vyrovnávacej pamäti. Túto operáciu zabezpečí blok 13 riadenia vyrovnávacej pamäti, ktorý pre blok 17 vyrovnávacej pamäti vyberie adresu z bloku 15 adresy vyrovnávacej pamäti disku a cez výstup 13C bloku 13 riadenia vyrovnávacej pamäti spojeného so vstupom B23 vyrovnávacieho registra 23 čítaných dát vyhradluje dáta cez výstup 23A na vstup B17 bloku 17 vyrovnávacej pamäti, v ktorom dôjde k ich odpamätaniu signálom privedeným z výstupu 13B bloku 13 riadenia vyrovnávacej pamäti na vstup A17 bloku 17 vyrovnávacej pamäti.

Po odpamätaní dát sa zvýši obsah bloku 16 počtu slov signálom privedeným z výstupu 19A bloku 19 riadenia dát na vstup B16 bloku 16 počtu slov. Zároveň blok 13 riadenia vyrovnávacej pamäti cez výstup 13A zabezpečí zvýšenie obsahu bloku 15 adresy vyrovnávacej pamäti disku cez vstup C15. Dekódované dáta sú zároveň z výstupu 22A bloku 22 posuvného registra privedené na vstup B27 kontroly dát, v ktorom sa vykoná kontrola správnosti prečítania bloku dát z disku. Táto kontrola je vyhodnotená na konci čítaného bloku dát signálom, ktorý je privedený z výstupu 19C bloku 19 riadenia dát na vstup A27 bloku 27 kontroly dát, pričom vyhodnotená chyba je z výstupu 27B bloku 27 kontroly dát privedená na vstup B8 bloku 8

stavových signálov. Ukončenie činnosti bloku 19 riadenia dát je rovnaké ako pri zápise dát.

Prenos dát odpamätaných v bloku 17 vyrovnávacej pamäti do operačnej pamäti počítača sa uskutočňuje tým spôsobom, že v bloku 14 adresy vyrovnávacej pamäti mikroprogramu sa nastaví počiatočná adresa pre blok 17 vyrovnávacej pamäti, od ktorej sa začne uskutočňovať prenos dát. Počiatočná adresa sa nastaví riadiacim signálom privedeným z výstupu 11A bloku 11 dekódera riadiacich signálov na vstup A14 bloku 14 adresy vyrovnávacej pamäti mikroprogramu, ktorý je taktiež privedený na vstup C13 bloku 13 riadenia vyrovnávacej pamäti, ktorým je vyvolaná žiadosť o prenos dát z bloku 17 vyrovnávacej pamäti do výstupného registra 24 vyrovnávacej pamäti. Na základe tejto žiadosti blok 13 riadenia vyrovnávacej pamäti vyberie pre blok 17 vyrovnávacej pamäti adresu určenú blokom 14 adresy vyrovnávacej pamäti mikroprogramu a zabezpečí vyslanie dát cez obojsmerný výstup B17 bloku 17 vyrovnávacej pamäti na vstup C24 výstupného registra 24 vyrovnávacej pamäti, kde sú odpamätané signálom privedeným z výstupu 13D bloku 13 riadenia vyrovnávacej pamäti na vstup B24 výstupného registra 24 vyrovnávacej pamäti. Signálom privedeným z výstupu 11B bloku 11 dekódera riadiacich signálov na vstup A24 výstupného registra 24 vyrovnávacej pamäti sú odpamätané dáta vyhradľované cez výstup 24A a sú privedené na vstup C12 bloku 12 aritmeticko-logickej jednotky, odkiaľ sú cez výstup 12B privedené na vstup A2 bloku 2 výstupných dát, kde sú odpamätané signálom privedeným z výstupu 11A bloku 11 dekódera riadiacich signálov na vstup B2 bloku 2 výstupných dát. Po nastavení adresy operačnej pamäti a smere prenosu v bloku 3 adresy operačnej pamäti a po získaní riadenia blokom 5 riadenia styku s počítačom sú dáta z bloku 2 výstupných dát, ako aj adresa operačnej pamäti z bloku 3 adresy operačnej pamäti vyslané do počítača signálom privedeným z výstupu 5A bloku 5 riadenia styku s počítačom na vstup C3 bloku 3 adresy operačnej pamäti a taktiež na vstup C2 bloku 2 výstupných dát.

Zapojenie riadiaceho modulu vonkajších pamätí je použité v riadiacej jednotke malých diskových pamätí typu Winchester (RJ MDP-W) pre počítače rady SMEP so systémovou zbernicou Spoločná zbernica.

P R E D M E T V Y N Á L E Z U

Zapojenie riadiaceho modulu vonkajších pamätí vyznačujúce sa tým, že výstupy (9C) bloku (9) pamäti mikroprogramu sú spojené so vstupmi (A12) bloku (12) aritmeticko-logickej jednotky, zatiaľ čo výstupy (9B) bloku (9) pamäti mikroprogramu sú spojené so vstupmi (A10) bloku (10) výberu podmienky, pričom výstupy (9D) bloku (9) pamäti mikroprogramu sú spojené so vstupmi (A11) bloku (11) dekódera riadiacich signálov, zatiaľ čo výstupy (9A) bloku (9) pamäti mikroprogramu sú spojené so vstupmi (D7) bloku (7) riadenia mikroprogramu, pričom výstupy (12B) bloku (12) aritmeticko-logickej jednotky sú spojené so vstupmi (A2) bloku (2) výstupných dát a tiež so vstupmi (A3) bloku (3) adresy operačnej pamäti a ďalej tiež so vstupmi (B7) bloku (7) riadenia mikroprogramu a tiež so vstupmi (C10) bloku (10) výberu podmienky a ďalej tiež so vstupmi (B14) bloku (14) adresy vyrovnávacej pamäti mikroprogramu a tiež so vstupmi (B15) bloku (15) adresy vyrovnávacej pamäti disku a ďalej tiež so vstupmi (D16) bloku (16) počtu slov a tiež so vstupom (C20) vstupného registra (20) vyrovnávacej pamäti a ďalej tiež so vstupmi (B25) bloku (25) riadenia disku, zatiaľ čo výstupy (11A) bloku (11) dekódera riadiacich signálov sú spojené so vstupom (B2) bloku (2) výstupných dát a tiež so vstupom (B3) bloku (3) adresy operačnej pamäti a ďalej tiež so vstupom (A7) bloku (7) riadenia mikroprogramu a tiež so vstupmi (B5) bloku (5) riadenia styku s počítačom a ďalej tiež so vstupom (C16) bloku (16) počtu slov a tiež so vstupom (A15) bloku (15) adresy vyrovnávacej pamäti disku a ďalej tiež so vstupom (A14) bloku (14) adresy vyrovnávacej pamäti mikroprogramu a tiež so vstupmi (C13) bloku (13) riadenia vyrovnávacej pamäti a ďalej tiež so vstupom (B20) vstupného registra (20) vyrovnávacej pamäti a tiež so vstupom (A25) bloku (25) riadenia disku, zatiaľ čo vstupy (C12) bloku (12) aritmeticko-logickej jednotky sú spojené s výstupmi (6A) bloku (6) vstupných dát a tiež s výstupmi (8A) bloku (8) stavových signálov a ďalej tiež s výstupmi (9E) bloku (9) pamäti mikroprogramu a tiež

s výstupmi (24A) výstupného registra (24) vyrovnávacej pamäti, pričom výstupy (11B) bloku (11) dekódera riadiacich signálov sú spojené so vstupom (B6) bloku (6) vstupných dát a tiež so vstupom (A8) bloku (8) stavových signálov a ďalej tiež so vstupom (A9) bloku (9) pamäti mikroprogramu a tiež so vstupom (A24) výstupného registra (24) vyrovnávacej pamäti, zatiaľ čo vstupy (B8) bloku (8) stavových signálov sú spojené s výstupmi (4B) bloku (4) dekódera adresy a tiež s výstupmi (5B) bloku (5) riadenia styku s počítačom a ďalej tiež s výstupmi (25A) bloku (25) riadenia disku a tiež s výstupom (27B) bloku (27) kontroly dát a ďalej tiež s výstupom (16C) bloku (16) počtu slov, pričom výstup (4A) bloku (4) dekódera adresy je spojený so vstupom (B10) bloku (10) výberu podmienky, zatiaľ čo výstup (10A) bloku (10) výberu podmienky je spojený so vstupom (C7) bloku (7) riadenia mikroprogramu, pričom výstupy (12A) bloku (12) aritmeticko-logickej jednotky sú spojené so vstupmi (D10) bloku (10) výberu podmienky, zatiaľ čo výstup (10B) bloku (10) výberu podmienky je spojený so vstupom (B12) bloku (12) aritmeticko-logickej jednotky, pričom výstupy (7A) bloku (7) riadenia mikroprogramu sú spojené so vstupmi (B9) bloku (9) pamäti mikroprogramu, zatiaľ čo výstupy (5A) bloku (5) riadenia styku s počítačom sú spojené so vstupom (C3) bloku (3) adresy operačnej pamäti a tiež so vstupom (C2) bloku (2) výstupných dát a ďalej tiež so vstupom (C6) bloku (6) vstupných dát, pričom výstupy (2A) bloku (2) výstupných dát sú spojené so vstupmi (A1) bloku (1) styku s počítačom, zatiaľ čo výstupy (3B) bloku (3) adresy operačnej pamäti sú spojené so vstupmi (B1) bloku (1) styku s počítačom, pričom výstup (3A) bloku (3) adresy operačnej pamäti je spojený so vstupom (C1) bloku (1) styku s počítačom, zatiaľ čo vstup (B4) bloku (4) dekódera adresy sú spojené s výstupmi (1A) bloku (1) styku s počítačom, pričom vstup (A4) bloku (4) dekódera adresy je spojený s výstupom (1B) bloku (1) styku s počítačom, zatiaľ čo obojsmerné vstupy (A5) bloku (5) riadenia styku s počítačom sú spojené s obojsmernými vstupmi (D1) bloku (1) styku s počítačom, pričom vstupy (A6) bloku (6) vstupných dát sú spojené s výstupmi (1C) bloku (1) styku s počítačom, zatiaľ čo výstupy (16A) bloku (16) sú spojené so vstupmi (B19) bloku (19) riadenia dát a tiež so vstupmi (B22) bloku (22) posuvného registra, pričom výstupy (16B) bloku (16) počtu slov sú spojené so vstupmi (A19) bloku (19) riadenia dát, zatiaľ čo výstup (19A) bloku (19) riadenia dát je spojený so vstupom (A23) vyrovnávacieho registra (23) čítaných dát a tiež so vstupom (B16) bloku (16) počtu slov a ďalej tiež so vstupom (B13) bloku (13) riadenia vyrovnávacej pamäti, pričom výstup (19B) bloku (19) riadenia dát je spojený so vstupom (A22) bloku (22) posuvného registra a tiež so vstupom (A16) bloku (16) počtu slov a ďalej tiež so vstupom (A13) bloku (13) riadenia vyrovnávacej pamäti, zatiaľ čo výstupy (19C) bloku (19) riadenia dát sú spojené so vstupmi (A27) bloku (27) kontroly dát, pričom výstup (13A) bloku (13) riadenia vyrovnávacej pamäti je spojený so vstupom (C14) bloku (14) adresy vyrovnávacej pamäti mikroprogramu a tiež so vstupom (C15) bloku (15) adresy vyrovnávacej pamäti disku, zatiaľ čo výstupy (13B) bloku (13) riadenia vyrovnávacej pamäti sú spojené so vstupmi (A17) bloku (17) vyrovnávacej pamäti, pričom výstupy (13C) bloku (13) riadenia vyrovnávacej pamäti sú spojené so vstupom (A20) vstupného registra (20) vyrovnávacej pamäti a tiež so vstupom (B23) vyrovnávacieho registra (23) čítaných dát, zatiaľ čo výstupy (13D) bloku (13) riadenia vyrovnávacej pamäti sú spojené so vstupom (A21) vyrovnávacieho registra (21) zapisovaných dát a tiež so vstupom (B24) výstupného registra (24) vyrovnávacej pamäti, pričom výstup (13E) bloku (13) riadenia vyrovnávacej pamäti je spojený so vstupom (C18) bloku (18) výberu adresy, zatiaľ čo výstupy (14A) bloku (14) adresy vyrovnávacej pamäti mikroprogramu sú spojené so vstupmi (B18) bloku (18) výberu adresy, pričom výstupy (15A) bloku (15) adresy vyrovnávacej pamäti disku sú spojené so vstupmi (A18) bloku (18) výberu adresy pričom výstupy (18A) bloku (18) výberu adresy sú spojené so vstupmi (C17) bloku (17) vyrovnávacej pamäti, zatiaľ čo obojsmerné vstupy (B17) bloku (17) vyrovnávacej pamäti sú spojené s výstupmi (20A) vstupného registra (20) vyrovnávacej pamäti a tiež so vstupmi (B21) vyrovnávacieho registra (21) zapisovaných dát a ďalej tiež s výstupmi (23A) vyrovnávacieho registra (23) čítaných dát a tiež so vstupmi (C24) výstupného registra (24) vyrovnávacej pamäti, pričom výstupy (21A) vyrovnávacieho registra (21) zapisovaných dát sú spojené so vstupmi (C22) bloku (22) posuvného registra, zatiaľ čo výstupy (22B) bloku (22) posuvného registra sú spojené so vstupmi (C23) vyrovnávacieho registra (23) čítaných dát, pričom obojsmerné vstupy (D22) bloku (22) posuvného registra sú spojené s obojsmernými vstupmi (A26) bloku (26) kódovania dát, zatiaľ čo výstup (22A) bloku (22) posuvného

registra je spojený so vstupom (B27) bloku (27) kontroly dát, pričom výstup (27A) bloku (27) kontroly dát je spojená so vstupom (D26) bloku (26) kódovania dát, zatiaľ čo výstup (25B) bloku (25) riadenia disku je spojený so vstupom (B26) bloku (26) kódovania dát, pričom vstupy (C25) bloku (25) riadenia disku sú spojené s výstupmi (28B) bloku (28) styku s diskom, pričom výstupy (25C) bloku (25) riadenia disku sú spojené so vstupmi (B28) bloku (28) styku s diskom, zatiaľ čo výstupy (26A) bloku (26) kódovania dát sú spojené so vstupmi (A28) bloku (28) styku s diskom, pričom vstupy (C26) bloku (26) kódovania dát sú spojené s výstupmi (28A) bloku (28) styku s diskom.

1 výkres

