I830281

(19)中華民國智慧財產局

(12)發明說明書公告本 **(11)證書號數：TW I830281 B**

(45)公告日： 中華民國 113 (2024) 年 01 月 21 日

(21)申請案號：111125788 (22)申請日： 中華民國 103 (2014) 年 09 月 05 日

(51)Int. Cl.： ***G09G3/20*** ***(2006.01)*** ***H01L51/50*** ***(2006.01)***

(30)優先權：2013/09/13 日本 2013-190864

2013/12/03 日本 2013-249904

2014/03/11 日本 2014-047241

2014/05/22 日本 2014-106477

(71)申請人：日商半導體能源研究所股份有限公司 (日本) SEMICONDUCTOR ENERGY LABORATORY CO., LTD. (JP)

日本

(72)發明人：久保田大介 KUBOTA, DAISUKE (JP) ；初見亮 HATSUMI, RYO (JP)

(74)代理人：林志剛

(56)參考文獻：

TW	200805665A	TW	201107820A
TW	201116908A	CN	102422426A
US	2002/0154262A1	US	2011/0216280A1

審查人員：陳建銘

申請專利範圍項數：2 項 圖式數：44 共 172 頁

(54)名稱

顯示裝置

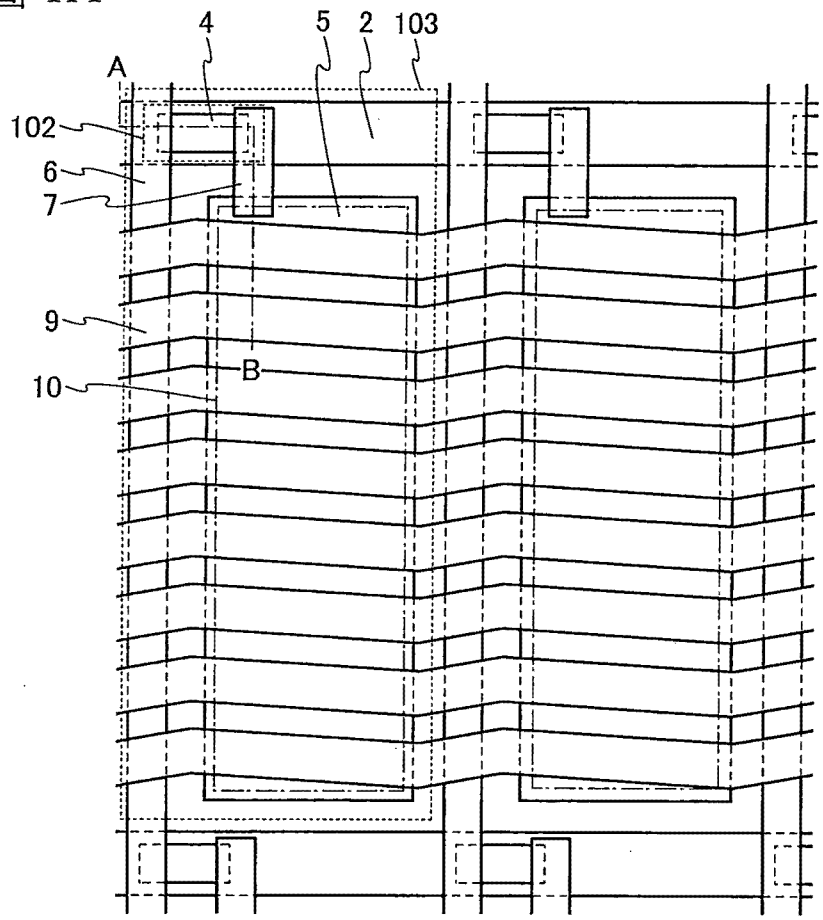
(57)摘要

本發明的一個方式提供一種顯示品質好的顯示裝置。本發明的一個方式是一種顯示裝置，該顯示裝置在像素中包括：信號線；掃描線；電晶體；像素電極；以及共用電極，其中，該共用電極的形狀為：重疊於信號線的區域的延伸方向與重疊於像素電極的區域的延伸方向在平面形狀不同，並且，該延伸方向在信號線與像素電極之間交叉。本發明的一個方式能夠抑制像素的穿透率的變化，從而抑制閃爍。

To provide a display device with excellent display quality, in a display device including a signal line, a scan line, a transistor, a pixel electrode, and a common electrode in a pixel, the common electrode is included in which an extending direction of a region overlapping with the signal line differs from an extending direction of a region overlapping with the pixel electrode in a planar shape and the extending directions intersect with each other between the signal line and the pixel electrode. Thus, a change in transmittance of the pixel can be suppressed; accordingly, flickers can be reduced.

指定代表圖：

圖 1A



符號簡單說明：

2:導電膜

4:半導體膜

5:像素電極

6:導電膜

7:導電膜

9:共用電極

10:點劃線

102:電晶體

103:像素

I830281

【發明摘要】

【中文發明名稱】

顯示裝置

【英文發明名稱】

DISPLAY DEVICE

【中文】

本發明的一個方式提供一種顯示品質好的顯示裝置。本發明的一個方式是一種顯示裝置，該顯示裝置在像素中包括：信號線；掃描線；電晶體；像素電極；以及共用電極，其中，該共用電極的形狀為：重疊於信號線的區域的延伸方向與重疊於像素電極的區域的延伸方向在平面形狀不同，並且，該延伸方向在信號線與像素電極之間交叉。本發明的一個方式能夠抑制像素的穿透率的變化，從而抑制閃爍。

【英文】

To provide a display device with excellent display quality, in a display device including a signal line, a scan line, a transistor, a pixel electrode, and a common electrode in a pixel, the common electrode is included in which an extending direction of a region overlapping with the signal line differs from an extending direction of a region overlapping with the pixel electrode in a planar shape and the extending directions intersect with each other between the signal line and the pixel electrode. Thus, a change in transmittance of the pixel can be suppressed; accordingly, flickers can be reduced.

【代表圖】

【本案指定代表圖】：圖 1A

【本代表圖之符號簡單說明】：

2:導電膜

4:半導體膜

5:像素電極

6:導電膜

7:導電膜

9:共用電極

10:點劃線

102:電晶體

103:像素

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：無

【發明說明書】

【中文發明名稱】

顯示裝置

【英文發明名稱】

DISPLAY DEVICE

【技術領域】

[0001] 本發明係關於一種物體，方法或製造方法。此外，本發明係關於一種製程（process）、機器（machine）、產品（manufacture）或組成物（composition of matter）。尤其是，本發明的一個方式係關於一種半導體裝置、顯示裝置、發光裝置、蓄電裝置及它們的驅動方法或它們的製造方法。尤其是，本發明的一個方式係關於顯示裝置及其製造方法。

【先前技術】

[0002] 近年來，液晶被應用於多種裝置，尤其是具有薄型且輕量的特徵的液晶顯示裝置（液晶顯示器）被應用於各種領域的顯示器。

[0003] 作為對液晶顯示裝置中的液晶施加電場的方法，有垂直電場方式和橫向電場方式。橫向電場方式的液晶顯示面板分為將像素電極與共用電極不重疊地設置的IPS（In-Plane-Switching：平面內切換）模式和像素電極

與共用電極隔著絕緣膜重疊的 FFS（Fringe Field Switching：邊緣電場切換）模式。

[0004] 在 FFS 模式的液晶顯示裝置中，像素電極具有狹縫狀的開口，並且在該開口對液晶施加在像素電極與共用電極之間產生的電場，由此控制液晶分子的配向。

[0005] FFS 模式的液晶顯示裝置的開口率高，在可以實現廣視角的同時還具有可以改善影像對比度的效果，所以近年來被廣泛地使用（參照專利文獻 1）。

[0006] 在顯示裝置中，在 1 秒鐘內切換所顯示的影像幾十次。每 1 秒鐘的影像切換次數被稱為“更新頻率”。另外，更新頻率有時被稱為“驅動頻率”。這樣的人眼難以識別的高速畫面切換被認為是導致眼睛疲勞的原因。於是，在非專利文獻 1 及 2 中，提出了降低 LCD 的更新頻率以減少影像改寫次數的技術。更新頻率得到降低的驅動可以減少顯示裝置的耗電量。

[0007]

[專利文獻 1] 日本專利申請公開第 2000-89255 號公報

[0008]

[非專利文獻 1] S.Amano et al.，“Low Power LC Display Using In-Ga-Zn-Oxide TFT Based On Variable Frame Frequency”，SID International Symposium Digest of Technical Papers，2010，p.626-629

[非專利文獻 2] R.Hatsumi et al.，“Driving Method of

FFS-Mode OS-LCD for Reducing Eye Strain”，SID International Symposium Digest of Technical Papers，2013，p.338-341

[0009] 在作為顯示裝置的一個例子的液晶顯示裝置中，較佳為在保持同一影像的期間中像素的穿透率的變化少。藉由維持儲存在電極之間的電荷容量，能夠減少施加到顯示元件的電壓的變動，並維持像素的穿透率。

[0010] 並且，在降低更新頻率的驅動中，若像素的穿透率的變化超過作為同一影像中的灰階值的偏差可接受的範圍，使用者則會看到影像的閃爍（flicker）。也就是說，會導致顯示裝置的顯示品質的下降。

【發明內容】

[0011] 於是，本發明的一個方式提供一種顯示品質好的顯示裝置。或者，本發明的一個方式的目的是提供一種寄生電容所導致的佈線延遲得到減少的顯示裝置。或者，本發明的一個方式的目的是提供一種漏光少且對比度高的顯示裝置。或者，本發明的一個方式的目的是提供一種開口率高且包括能夠增大電荷容量的電容元件的顯示裝置。或者，本發明的一個方式的目的是提供一種耗電量得到減少的顯示裝置。或者，本發明的一個方式的目的是提供一種包括電特性好的電晶體的顯示裝置。或者，本發明的一個方式的目的是提供一種新穎的顯示裝置。或者，本發明的一個方式的目的是提供一種能夠以少的製程數實現

高開口率及廣視角的顯示裝置的製造方法。或者，本發明的一個方式的目的是提供一種顯示裝置的新穎的製造方法。

[0012] 注意，這些目的並不妨礙其他目的的存在。此外，本發明的一個方式並不需要實現所有上述目的。另外，可以從說明書、圖式、申請專利範圍等的記載顯而易見地得知並抽出上述以外的目的。

[0013] 本發明的一個方式是一種顯示裝置，該顯示裝置在像素中包括：信號線；掃描線；電晶體；像素電極；以及共用電極，其中，該共用電極的形狀為：重疊於信號線的區域的延伸方向與重疊於像素電極的區域的延伸方向在平面形狀不同，並且，該延伸方向在信號線與像素電極之間交叉。

[0014] 在共用電極中，由於重疊於信號線的區域的延伸方向與重疊於像素電極的區域的延伸方向不同，並且該延伸方向在信號線與像素電極之間交叉，因此在信號線與共用電極之間產生的電場方位與在像素電極與共用電極之間產生的電場方位交叉。其結果是，設置在重疊於信號線的區域的第一液晶分子的配向方向與設置在重疊於像素電極的區域的第二液晶分子的配向方向不同，因此第二液晶分子的配向和第一液晶分子的配向不容易互相影響。

[0015] 每當對信號線施加不同的電壓時，設置在重疊於信號線的區域的第一液晶分子的配向方向則發生變化。另一方面，被施加固定的電壓的設置在重疊於像素電

極的區域的第二液晶分子不受第一液晶分子的配向變化的影響，而在固定的方向上配向。其結果是，能夠抑制像素的穿透率的變化，從而抑制閃爍。

[0016] 另外，本發明的一個方式的顯示裝置在絕緣表面上包括：用作信號線的導電膜；用作掃描線的導電膜；電晶體；像素電極；以及共用電極。電晶體與用作信號線的導電膜、用作掃描線的導電膜及像素電極電連接。共用電極包括重疊於用作信號線的導電膜的第一區域以及重疊於像素電極的第二區域。第一區域的延伸方向與第二區域的延伸方向不同，第一區域與第二區域形成的角在頂面形狀中具有第一角度，第一區域與用作信號線的導電膜的垂直線形成的角在頂面形狀中具有第二角度。第一角度大於 90°且小於 180°，第二角度大於 0°且小於 90°，第一角度與第二角度的和大於 135°且小於 180°。

[0017] 另外，顯示裝置還可以包括電晶體上的氧化物絕緣膜以及氧化物絕緣膜上的氮化物絕緣膜，氧化物絕緣膜可以具有使像素電極的一部分露出來的開口。

[0018] 像素電極被設置為矩陣狀。

[0019] 在共用電極中，在與用作掃描線的導電膜平行或大致平行的方向上，第一區域和第二區域被交替地配置。另外，共用電極也可以與用作掃描線的導電膜交叉，並且具有與第一區域或第二區域連接的區域。

[0020] 半導體膜及像素電極與閘極絕緣膜接觸。半導體膜及像素電極包含 In-Ga 氧化物膜、In-Zn 氧化物膜

或 In-M-Zn 氧化物膜（M 為 Al、Ga、Y、Zr、Sn、La、Ce 或 Nd）。另外，半導體膜及像素電極都採用包括第一膜及第二膜的多層結構，第一膜的金屬元素的原子個數比可以與第二膜不同。

[0021] 本發明的一個方式可以提供一種顯示品質好的顯示裝置。或者，本發明的一個方式可以提供一種寄生電容所導致的佈線延遲得到減少的顯示裝置。或者，本發明的一個方式可以提供一種漏光少且對比度高的顯示裝置。或者，本發明的一個方式可以提供一種開口率高且包括能夠增大電荷容量的電容元件的顯示裝置。或者，本發明的一個方式可以提供一種耗電量得到減少的顯示裝置。或者，本發明的一個方式可以提供一種包括電特性好的電晶體的顯示裝置。或者，本發明的一個方式可以提供一種能夠以少的製程數實現高開口率及廣視角的顯示裝置。或者，本發明的一個方式可以提供一種新穎的顯示裝置。注意，這些效果並不妨礙其他效果的存在。此外，本發明的一個方式並不一定具有上述所有效果。另外，可以從說明書、圖式、申請專利範圍等的記載顯而易見地得知並抽出上述以外的效果。

【圖式簡單說明】

[0022] 在圖式中：

[圖 1A 及圖 1B]是說明顯示裝置的一個方式的剖面圖及俯視圖；

[圖 2A 至圖 2D]是說明顯示裝置的一個方式的俯視圖；

[圖 3A 及圖 3B]是說明顯示裝置的一個方式的俯視圖；

[圖 4]是說明顯示裝置的一個方式的剖面圖；

[圖 5A 及圖 5B]是說明顯示裝置的一個方式的方塊圖及電路圖；

[圖 6]是說明顯示裝置的一個方式的俯視圖；

[圖 7]是說明顯示裝置的一個方式的剖面圖；

[圖 8]是說明顯示裝置的一個方式的剖面圖；

[圖 9]是說明顯示裝置的一個方式的剖面圖；

[圖 10A 至圖 10D]是說明顯示裝置的製造方法的一個方式的剖面圖；

[圖 11A 至圖 11D]是說明顯示裝置的製造方法的一個方式的剖面圖；

[圖 12A 至圖 12C]是說明顯示裝置的製造方法的一個方式的剖面圖；

[圖 13A 及圖 13B]是說明顯示裝置的一個方式的俯視圖及剖面圖；

[圖 14]是說明顯示裝置的一個方式的俯視圖；

[圖 15]是說明顯示裝置的一個方式的俯視圖；

[圖 16A 及圖 16B]是說明顯示裝置的一個方式的剖面圖；

[圖 17A 及圖 17B]是示出顯示裝置的驅動方法的一個

例子的示意圖；

[圖 18]是說明顯示模組的圖；

[圖 19A 至圖 19D]是說明根據實施方式的電子裝置的外觀圖的圖；

[圖 20A 及圖 20B]是示出樣本 1 及樣本 2 的穿透率的圖；

[圖 21]是示出樣本 3 的穿透率的圖；

[圖 22]是說明顯示裝置的一個方式的剖面圖；

[圖 23]是說明顯示裝置的一個方式的剖面圖；

[圖 24]是說明顯示裝置的一個方式的俯視圖；

[圖 25]是說明顯示裝置的一個方式的俯視圖；

[圖 26]是說明顯示裝置的一個方式的剖面圖；

[圖 27A 至圖 27C]是說明顯示裝置的製造方法的一個方式的剖面圖；

[圖 28]是說明顯示裝置的一個方式的俯視圖；

[圖 29]是說明元件基板中的摩擦角度與漏光的關係的圖；

[圖 30A 及圖 30B]是說明觀察液晶顯示裝置的顯示部而得到的結果的圖；

[圖 31A 至圖 31C]是說明用於計算的像素形狀的俯視圖及計算結果的圖；

[圖 32A 至圖 32C]是說明用於計算的像素形狀的俯視圖及計算結果的圖；

[圖 33]是說明電壓-穿透率特性的圖；

[圖 34]是拍攝液晶顯示裝置所顯示的影像的圖；

[圖 35]是說明測定穿透率而得到的結果的圖；

[圖 36]是說明測定導電率而得到的結果的圖；

[圖 37]是說明測定電阻率而得到的結果的圖；

[圖 38]是說明導電率的溫度依賴性的圖；

[圖 39A 至圖 39D]是說明氧化物導電體膜的形成模型的圖；

[圖 40A 及圖 40B]是說明電壓-穿透率特性的計算結果的圖；

[圖 41]是說明電晶體的剖面 STEM 影像的圖；

[圖 42]是說明電晶體的電特性的圖；

[圖 43]是說明電晶體的電特性的圖；

[圖 44A 及圖 44B]是說明 IGZO 膜的 XRD 測定及 XRR 測定結果的圖。

【實施方式】

[0023] 以下，將參照圖式詳細說明本發明的實施方式。但是，本發明不侷限於以下說明，所屬技術領域的普通技術人員可以很容易地理解一個事實就是其實施方式和詳細內容在不脫離本發明的精神及其範圍下可以被變換為各種形式。因此，本發明不應該被解釋為僅限定在以下所示的實施方式及實施例所記載的內容中。在以下說明的實施方式及實施例中，在不同的圖式之間使用同一符號或同一陰影線表示同一部分或具有同樣功能的部分，而省略重

複說明。

[0024] 在本說明書所說明的每一個圖式中，有時為了容易理解，誇大地表示各構成要素的大小，膜厚度，區域。因此，實際上的尺度並不一定限定於該尺度。

[0025] 在本說明書中使用的“第一”，“第二”，“第三”等序數詞是為了避免構成要素的混同而附加的，而不是為了在數目方面上進行限定。因此，例如可以將“第一”適當地替換為“第二”或“第三”等來進行說明。

[0026] “源極”和“汲極”的功能在電路工作中的電流方向變化等時有可能互換。因此，在本說明書中，“源極”和“汲極”這兩個詞語可以互換使用。

[0027] 電壓是指兩個點之間的電位差，而電位是指某一點的靜電場中的某單位電荷所具有的靜電能（電位能量）。但是，一般來說，將某一點的電位與標準的電位（例如接地電位）之間的電位差簡單地稱為電位或電壓，通常，電位和電壓是同義詞。因此，在本說明書中，除了特別指定的情況以外，既可將“電位”稱為“電壓”，又可將“電壓”稱為“電位”。

[0028] 另外，在本說明書等中，“電連接”包括隔著“具有某種電作用的元件”連接的情況。這裡，“具有某種電作用的元件”只要可以進行連接目標間的電信號的發送和接收，就對其沒有特別的限制。例如，“具有某種電作用的元件”不僅包括電極和佈線，而且還包括電晶體

等的切換元件，電阻元件，電感器，電容器，其他具有各種功能的元件等。

[0029]

實施方式 1

在本實施方式中，參照圖式說明本發明的一個方式的顯示裝置。

[0030] 圖 1A 是 FFS 模式的液晶顯示裝置所包括的顯示部的一個像素 103 的俯視圖，圖 1B 是沿著圖 1A 中的點劃線 A-B 的剖面圖。另外，在圖 1A 中，省略基板 1、絕緣膜 3、絕緣膜 8、絕緣膜 60、基板 61、遮光膜 62、彩色膜 63、絕緣膜 64、絕緣膜 65 及液晶層 66。

[0031] 如圖 1A 及圖 1B 所示，FFS 模式的液晶顯示裝置是主動矩陣型的液晶顯示裝置，每一個設置在顯示部中的像素 103 都包括電晶體 102 及像素電極 5。

[0032] 如圖 1B 所示，液晶顯示裝置包括：基板 1 上的電晶體 102；與電晶體 102 連接的像素電極 5；與電晶體 102 及像素電極 5 接觸的絕緣膜 8；與絕緣膜 8 接觸的共用電極 9；以及與絕緣膜 8 及共用電極 9 接觸且用作配向膜的絕緣膜 60。

[0033] 液晶顯示裝置還包括：與基板 61 接觸的遮光膜 62 及彩色膜 63；與基板 61、遮光膜 62 及彩色膜 63 接觸的絕緣膜 64；以及與絕緣膜 64 接觸且用作配向膜的絕緣膜 65。另外，絕緣膜 60 與絕緣膜 65 之間具有液晶層 66。注意，雖然未圖示，但在基板 1 及基板 61 的外側設

置有偏光板。

[0034] 電晶體 102 可以適當地採用正交錯型、反交錯型或共平面型等的電晶體。另外，作為電晶體 102 可以使用由閘極絕緣膜和閘極電極以 U 字型包圍半導體膜的鰭（Fin）型電晶體。另外，當採用反交錯型時，可以適當地使用通道蝕刻結構、通道保護結構等。

[0035] 本實施方式所示的電晶體 102 為反交錯型，並且是通道蝕刻結構的電晶體。電晶體 102 包括：基板 1 上的用作閘極電極的導電膜 2；基板 1 及導電膜 2 上的用作閘極絕緣膜的絕緣膜 3；隔著絕緣膜 3 與導電膜 2 重疊的半導體膜 4；以及與半導體膜 4 接觸的導電膜 6 及導電膜 7。另外，導電膜 2 用作閘極電極和作為掃描線的導電膜。也就是說，閘極電極是掃描線的一部分。導電膜 6 用作源極電極和汲極電極中的一個以及作為信號線的導電膜。也就是說，源極電極和汲極電極中的一個是信號線的一部分。另外，導電膜 7 用作源極電極和汲極電極中的另一個。由此，電晶體 102 與用作掃描線的導電膜 2 及用作信號線的導電膜 6 電連接。在此，雖然導電膜 2 用作閘極電極和掃描線，但也可以分開形成閘極電極和掃描線。另外，雖然導電膜 6 用作源極電極和汲極電極中的另一個以及信號線，但也可以分開形成源極電極和汲極電極中的另一個以及信號線。

[0036] 在電晶體 102 中，半導體膜 4 可以適當地使用矽、矽鍺或氧化物半導體等半導體材料。另外，半導體

膜 4 可以適當地採用非晶結構、微晶結構、多晶結構或單晶結構等。

[0037] 在用作閘極絕緣膜的絕緣膜 3 上具有像素電極 5。像素電極與導電膜 7 連接。也就是說，像素電極 5 與電晶體 102 電連接。

[0038] 如圖 1A 所示，像素電極 5 在像素 103 中為矩形狀。另外，由於本實施方式所示的顯示裝置是主動矩陣型的液晶顯示裝置，所以像素電極 5 被配置為矩陣狀。像素電極 5 及共用電極 9 由具有透光性的膜形成。

[0039] 像素電極 5 的形狀不侷限於矩形狀，而可以按照像素 103 的形狀採用適當的形狀。另外，在像素 103 中，較佳為在用作掃描線的導電膜 2 和用作信號線的導電膜 6 所包圍的區域中大面積地形成像素電極 5。由此，可以提高像素 103 中的開口率。

[0040] 在電晶體 102 及像素電極 5 上具有絕緣膜 8。在此，作為絕緣膜 8 示出絕緣膜 8a 和絕緣膜 8b，絕緣膜 8a 覆蓋電晶體 102 且具有使像素電極 5 的一部分露出的開口（圖 1A 所示的點劃線 10），絕緣膜 8b 在絕緣膜 8a 及像素電極 5 上。另外，作為絕緣膜 8 可以只設置絕緣膜 8b 來代替絕緣膜 8a 及絕緣膜 8b，或者也可以設置具有平坦性的絕緣膜。

[0041] 共用電極 9 的頂面形狀可以是鋸齒形狀。另外，在共用電極 9 中，當將鋸齒形狀的重複單元所重複的方向設定為共用電極 9 的延伸方向時，用作信號線的導電

膜 6 的延伸方向與共用電極 9 的延伸方向交叉。

[0042] 另外，共用電極 9 的頂面形狀也可以是波浪形狀。在共用電極 9 中，當將波浪形狀的重複單元所重複的方向設定為共用電極 9 的延伸方向時，用作信號線的導電膜 6 的延伸方向與共用電極 9 的延伸方向交叉。

[0043] 共用電極 9 的延伸方向與用作信號線的導電膜 6 的延伸方向交叉的角度較佳為 45°以上且 135°以下。以上述範圍內的角度交叉能夠減少閃爍。

[0044] 另外，在一個像素中，共用電極 9 為條狀。當電壓施加到像素電極 5 時，在像素電極 5 與共用電極 9 之間發生如圖 1B 中的虛線箭頭所示那樣的拋物線狀的電場。其結果是，可以使液晶層 66 所包含的液晶分子配向。

[0045] 另外，設置在 m 行 n 列的像素中的像素電極配置在用作第 n 列的信號線的導電膜與用作第 n+1 列的信號線的導電膜之間。較佳為在該像素電極與用作第 n 列的信號線的導電膜之間以及在該像素電極與用作第 n+1 列的信號線的導電膜之間具有共用電極 9 的彎曲點。其結果是，共用電極 9 與用作各列中的信號線的導電膜 6 交叉的方向為平行或大致平行。另外，在各像素中，共用電極 9 與像素電極 5 交叉的方向為平行或大致平行。其結果是，各像素中的共用電極 9 的形狀為相同或大致相同的形狀，由此可以減少每一個像素中的液晶分子的配向的不整齊。

[0046] 在此，參照圖 2A 對共用電極 9 的平面形狀進

行詳細說明。圖 2A 至圖 2D 是用作信號線的導電膜 6 及像素電極 5 附近的俯視放大圖。

[0047] 共用電極 9 包括第一區域 9a 及第二區域 9b。在一個像素中設置有多個第一區域 9a 及多個第二區域 9b。在一個像素中，多個第一區域 9a 彼此平行或大致平行。在一個像素中，多個第二區域 9b 彼此平行或大致平行。在共用電極 9 中，第一區域 9a 與第二區域 9b 由連接部 9c 連接。第一區域 9a 的一部分與用作信號線的導電膜 6 重疊，第二區域 9b 的一部分與像素電極 5 重疊。另外，在平面形狀，連接部 9c 位於用作信號線的導電膜 6 與像素電極 5 之間。另外，連接部 9c 可以與像素電極 5 的端部和用作信號線的導電膜 6 的端部中的一個以上重疊。另外，第一區域 9a 和第二區域 9b 在與用作信號線的導電膜 6 交叉的方向上交替地配置。

[0048] 第一區域 9a 向第一方向 9d 延伸，第二區域 9b 向第二方向 9e 延伸。第一方向 9d 與第二方向 9e 是不同的方向，並且交叉。

[0049] 在共用電極 9 的平面形狀彎曲點 9f 位於用作信號線的導電膜 6 與像素電極 5 之間。另外，彎曲點 9f 可以與像素電極 5 的端部及用作信號線的導電膜 6 的端部中的一個以上重疊。

[0050] 第一區域 9a 與第二區域 9b 所形成的角度，即第一方向 9d 與第二方向 9e 所形成的角度，也就是說彎曲點 9f 角度θ1 大於 90°且小於 180°，較佳為大於 135°且

小於 180°。

[0051] 另外，第一區域 9a 與用作信號線的導電膜 6 的垂直線（在圖 2A 中由虛線示出。）所形成的角度，即第一區域 9a 的延伸方向與用作信號線的導電膜 6 的垂直線所形成的角度，也就是說在彎曲點 9f 的第一區域 9a 與用作信號線的導電膜 6 的垂直線所形成的角度θ2 大於 0°且小於 90°，較佳為大於 0°且小於 45°。

[0052] 藉由將角度θ1 及角度θ2 設定在上述範圍內，可以使設置在第一區域 9a 的液晶分子與設置在第二區域 9b 的液晶分子分別在被施加電壓時的配向方向不同。配向方向不同，可以使佈線電位所引起的第一區域 9a 的配向狀態和在第二區域 9b 產生的配向狀態不容易互相影響。也就是說，在第二區域 9b 產生的配向狀態不容易受到佈線電位所引起的第一區域 9a 的配向狀態的影響。因此，能夠使像素電極 5 不容易受到在用作信號線的導電膜 6 與共用電極 9 之間發生的電場的影響，從而得到抑制閃爍的效果。

[0053] 藉由將共用電極 9 設定為條狀且將角度θ2 設定在上述範圍內，共用電極 9 在與用作信號線的導電膜 6 交叉的方向上延伸。由此，與用作信號線的導電膜 6 重疊的面積減少，從而可以減少共用電極 9 與導電膜 7 之間的寄生電容。另外，當θ2 為 45°以上時，共用電極 9 的寬度變窄且共用電極 9 的電阻變大，因此θ2 更佳為小於 45°。

[0054] 另外，角度θ1 與角度θ2 的和為 135°以上且小

於 180°。

[0055] 藉由將角度θ1 與角度θ2 的和設定在上述範圍內，在各列中，共用電極 9 的第一區域 9a 與用作信號線的導電膜 6 交叉的方向是彼此平行或大致平行的。另外，在各像素中，共用電極 9 的第二區域 9b 與像素電極 5 交叉的方向是彼此平行或大致平行的。其結果是，各像素中的共用電極 9 的形狀相同，由此可以減少每一個像素中的液晶分子的配向的不整齊。

[0056] 在像素電極 5 與共用電極 9 重疊的區域中，像素電極 5、絕緣膜 8b 及共用電極 9 用作電容元件。由於像素電極 5 及共用電極 9 由具有透光性的膜形成，所以可以提高開口率和儲存在電容元件中的電荷容量。另外，藉由使用相對介電常數高的材料來形成像素電極 5 與共用電極 9 之間的絕緣膜 8b，能夠在電容元件中儲存大電荷容量。作為相對介電常數高的材料，可以舉出氮化矽、氧化鋁、氧化鎵、氧化釔、氧化鉿、矽酸鉿（$HfSiO_x$）、添加有氮的矽酸鉿（$HfSi_xO_yN_z$）、添加有氮的鋁酸鉿（$HfAl_xO_yN_z$）等。

[0057] 將遮光膜 62 用作黑矩陣。將彩色膜 63 用作濾色片。另外，不一定必須設置彩色膜 63，例如，當液晶顯示裝置為黑白色顯示時，可以不設置彩色膜 63。

[0058] 作為彩色膜 63，可以使用使特定的波長區域的光透過的彩色膜，例如可以使用使紅色的波長區域的光透過的紅色（R）膜、使綠色的波長區域的光透過的綠色

（G）膜或使藍色的波長區域的光透過的藍色（B）膜等。

[0059] 遮光膜 62 只要具有阻擋特定的波長區域的光的功能即可，而作為遮光膜 62 可以使用金屬膜或包含黑色顏料等的有機絕緣膜等。

[0060] 絕緣膜 65 具有平坦化層的功能或者抑制彩色膜 63 可能包含的雜質擴散到液晶元件一側的功能。

[0061] 雖未圖示，但在基板 1 與基板 61 之間設置有密封材料，由基板 1、基板 61 及密封材料密封液晶層 66。另外，也可以在絕緣膜 60 與絕緣膜 64 之間設置保持液晶層 66 的厚度（也稱為單元間隙）的間隔物。

[0062] 接著，參照圖 2A 至圖 2D 說明本實施方式所示的液晶顯示裝置的驅動方法。

[0063] 在各像素中，對將初始狀態設定為黑色顯示，而藉由對像素電極施加電壓來顯示白色的像素中的顯示元件的驅動方法，即常黑模式的顯示元件的驅動方法進行說明。在此，顯示元件是指像素電極 5、共用電極 9 及液晶層 66 所包含的液晶分子。另外，雖然在本實施方式中使用常黑模式的驅動方法進行說明，但也可以適當地使用常白模式的驅動方法。

[0064] 在顯示黑色時，對用作掃描線的導電膜施加使電晶體成為導通狀態的電壓，並對用作信號線的導電膜及共用電極施加 0V。其結果是，像素電極被施加 0V。也就是說，在像素電極與共用電極之間不產生電場，液晶分

子不工作。

[0065] 在顯示白色時，對用作掃描線的導電膜施加使電晶體成為導通狀態的電壓，並對用作信號線的導電膜施加使液晶分子工作的電壓（例如 6V），對共用電極施加 0V。其結果是，像素電極被施加 6V。也就是說，在像素電極與共用電極之間產生電場，因此液晶分子工作。

[0066] 在此，由於使用負型的液晶材料進行說明，所以在初始狀態中，使液晶分子配向於與用作信號線的導電膜平行或大概平行的方向。將初始狀態中的液晶分子的配向稱為初始配向。另外，藉由對像素電極與共用電極之間施加電壓，在與基板平行的面中使液晶分子轉動。在本實施方式中，雖然使用負型的液晶材料進行說明，但也可以適當地使用正型的液晶材料。

[0067] 在圖 1B 所示的基板 1 及基板 61 的外側設置偏光板。基板 1 外側的偏光板所包括的偏振器與基板 61 外側的偏光板所包括的偏振器互相正交，也就是說，被配置為正交尼科耳狀態。因此，液晶分子若在與用作掃描線的導電膜 2 及用作信號線的導電膜 6 平行的方向上配向，在偏光板中光則被吸收而成為黑色顯示。在本實施方式中，雖然以偏光板的位置為正交尼科耳狀態來進行說明，但也可以適當地採用平行尼科耳狀態。

[0068] 在此，說明當對像素電極 5 和共用電極 9 施加不同的電壓時，在用作信號線的導電膜 6 與共用電極 9 之間以及在像素電極 5 與共用電極 9 之間產生的電場。在

共用電極 9 的第一區域 9a 中，在用作信號線的導電膜 6 與共用電極 9 之間產生圖 2B 中的虛線箭頭所示的電場 F1a，在共用電極 9 的第二區域 9b 中，在像素電極 5 與共用電極 9 之間產生虛線箭頭所示的電場 F1b。

[0069] 電場 F1a 與電場 F1b 的方位不同。也就是說，在第一區域 9a 與第二區域 9b 中產生電場方位的偏離，並且該電場方位的偏離很大。其結果是，第一區域 9a 中的液晶分子的配向與第二區域 9b 中的液晶分子的配向不容易互相影響。

[0070] 一般而言，在更新頻率低的液晶顯示裝置中具有保持期間及更新期間。在此，參照圖 2D 進行說明。保持期間是對用作信號線的導電膜 6 施加 0V 或任意的固定的電位，並保持像素電極 5 的電位的期間。更新期間是對用作信號線的導電膜 6 施加寫入電壓，並重寫（更新）像素電極 5 的電位的期間。如此，在更新期間和保持期間中，對用作信號線的導電膜 6 施加不同的電壓。因此，用作信號線的導電膜 6 附近的液晶分子的配向在更新期間與保持期間中不同。因此，在更新期間和保持期間中，鄰接的像素中的像素電極 5 與共用電極 9 之間產生的電場所引起的第二區域 9b 中的液晶分子的配向狀態從用作信號線的導電膜 6 附近的液晶分子受到不同的影響。其結果是，像素的穿透率發生變化而發生閃爍。

[0071] 然而，如圖 2B 所示，藉由使用本實施方式所示的形狀的共用電極，在第一區域 9a 和第二區域 9b 中產

生電場方位的偏離，因此，用作信號線的導電膜 6 附近的液晶分子的配向狀態與在鄰接的像素中的像素電極 5 與共用電極 9 之間產生的電場所引起的像素電極附近的液晶分子的配向狀態不容易互相影響。由此，像素的穿透率的變化得到抑制。其結果是，能夠減少影像的閃爍。

[0072] 在此，作為比較例子，圖 2C 示出共用電極 69 在與用作信號線的導電膜 6 重疊的區域中，與導電膜 7 的垂直線（在圖 2C 中由虛線示出。）平行地延伸的例子。另外，在共用電極 69 中，與像素電極 5 重疊的區域與導電膜 7 的垂直線具有指定的角度。另外，在共用電極 69 中，與像素電極 5 重疊的區域也可以與導電膜 7 的垂直線平行。

[0073] 在此，參照圖 2D 說明當對圖 2C 所示的像素電極 5 和共用電極 69 施加不同的電壓時，在像素電極 5 與共用電極 69 之間產生的電場。在共用電極 69 中，在與用作信號線的導電膜 6 重疊的區域中，在用作信號線的導電膜 6 與共用電極 69 之間產生圖 2D 中的虛線箭頭所示的電場 F2a，在與像素電極 5 重疊的區域中，在像素電極 5 與共用電極 69 之間產生虛線箭頭所示的電場 F2b。

[0074] 雖然電場 F2a 與電場 F2b 的方位不同，但該電場方位的偏離很小。其結果是，與用作信號線的導電膜 6 重疊的區域中的液晶分子容易受到用作信號線的導電膜以及鄰接的像素的像素電極的電壓的影響，並且成為單疇（monodomain）。其結果是，發生影像的閃爍。尤其

是，在信號線與共用電極垂直交叉的情況下，對液晶分子的旋轉方向沒有規定，因此像素電極附近的液晶分子的配向狀態容易受到用作信號線的導電膜 6 附近的液晶分子的影響，並容易發生閃爍。

[0075] 從上述內容可知，如本實施方式所示的共用電極 9 那樣包括具有鋸齒形狀的共用電極的顯示裝置是閃爍少且顯示品質好的顯示裝置。

[0076] 接著，參照圖 3A 及圖 3B 對共用電極 9 為條狀時的效果進行說明。

[0077] 圖 3A 及圖 3B 是 FFS 模式的液晶顯示裝置的像素部所包括的像素的俯視圖，並示出相鄰的兩個像素 103a 及 103b。

[0078] 像素 103a 包括用作掃描線的導電膜 2、半導體膜 4a、用作信號線的導電膜 6a、導電膜 7a、像素電極 5a 及共用電極 9。像素 103b 包括用作掃描線的導電膜 2、半導體膜 4b、用作信號線的導電膜 6b、導電膜 7b、像素電極 5b 及共用電極 9。

[0079] 在圖 3A 及圖 3B 中，共用電極 9 的頂面形狀是鋸齒形狀，並且在與用作信號線的導電膜 6a、6b 交叉的方向上延伸。也就是說，共用電極 9 跨在像素 103a 及 103b 上。

[0080] 另外，圖 3A 示出始初狀態（黑色顯示），圖 3B 示出驅動狀態。

[0081] 在圖 3A 及圖 3B 所示的像素 103a、103b 中，

共用電極 9 在與用作信號線的導電膜 6a、6b 交叉的方向上延伸，因此在始初狀態（黑色顯示）中，液晶分子 L 在與用作信號線的導電膜 6a、6b 平行或大致平行的方向上配向。

[0082] 接著，如圖 3B 所示，對使像素 103a 進行黑色顯示，並使像素 103b 進行白色顯示的情況進行說明。對用作信號線的導電膜 6a 及共用電極 9 施加 0V。另外，對用作信號線的導電膜 6b 施加 6V。其結果是，在像素 103b 中，像素電極 5b 被施加 6V，在用作信號線的導電膜 6b 與共用電極 9 之間產生圖 3B 中的虛線箭頭所示的電場 F1a，在像素電極 5 與共用電極 9 之間產生虛線箭頭所示的電場 F1b。另外，液晶分子 L 隨著該電場配向。在此，示出液晶分子 L 旋轉 45°的狀態。

[0083] 在像素 103a 中，像素電極 5a 為 0V，設置在像素電極 5a 附近的用作信號線的導電膜 6b 為 6V。然而，由於用作信號線的導電膜 6b 與共用電極 9 交叉，在像素電極 5a 與用作信號線的導電膜 6b 之間產生電場 F3。電場 F3 的方向大概垂直於液晶分子的初始配向。在此使用的是負型液晶材料，因此即使產生電場 F3 液晶分子 L 也不容易工作，從而可以抑制閃爍。

[0084] 從上述內容可知，在包括本實施方式所示的共用電極的液晶顯示裝置中，在用作信號線的導電膜與共用電極之間產生的電場與在像素電極與共用電極之間產生的電場之間產生方位的偏離，並且該偏離的角度很大。因

此，設置在用作信號線的導電膜附近的液晶分子不容易受到鄰接的像素的像素電極及用作信號線的導電膜的電壓的影響，從而可以減少液晶分子的配向無序。

[0085] 另外，在更新頻率低的液晶顯示裝置中，即使在保持期間中，用作信號線的導電膜 6 附近的液晶分子的配向也不容易受到在設置在鄰接的像素中的像素電極與共用電極之間產生的電場的影響。其結果是，在保持期間中，能夠維持像素的穿透率，從而減少閃爍。

[0086] 另外，藉由設置在與用作信號線的導電膜交叉的方向上延伸的共用電極，可以減少漏光且提高液晶顯示裝置的對比度。

[0087] 另外，本實施方式所示的共用電極沒有在基板上全面地形成。因此，能夠減少與用作信號線的導電膜重疊的區域，並減少在用作信號線的導電膜與共用電極之間產生的寄生電容。其結果是，能夠在使用大面積基板形成的顯示裝置中，減少佈線延遲。

[0088] 本實施方式所示的結構及方法等可以與其他實施方式所示的結構及方法等適當地組合而實施。

[0089]

〈變形例子 1〉

參照圖 4 對圖 1A 及圖 1B 所示的液晶顯示裝置的變形例子進行說明。圖 4 所示的液晶顯示裝置在基板 61 上包括導電膜 67。明確而言，在絕緣膜 64 與絕緣膜 65 之間包括導電膜 67。

[0090] 導電膜 67 使用具有透光性的導電膜形成。另外，導電膜 67 的電位較佳為與共用電極 9 的電位相同。也就是說，較佳為對導電膜 67 施加共用電位。

[0091] 當對導電膜 6 施加驅動液晶分子的電壓時，在導電膜 6 與共用電極 9 之間會產生電場。該電場是垂直電場。在 FFS 模式中，水平電場導致液晶分子在與基板平行的方向上配向。然而，當產生垂直電場時，導電膜 6 與共用電極 9 之間的液晶分子受到該電場的影響而在與基板垂直的方向上配向，因此發生閃爍。

[0092] 然而，藉由在隔著液晶層 66 與共用電極 9 相反一側設置導電膜 67，並使共用電極 9 和導電膜 67 的電位相同，能夠抑制導電膜 6 與共用電極 9 之間的電場所引起的液晶分子的在與基板垂直的方向上的配向變化，從而該區域中的液晶分子的配向狀態變得穩定。其結果是，可以減少閃爍。

[0093]

〈變形例子 2〉

在圖 6 所示的共用電極 29 中，第一區域與第二區域連接。第一區域是條狀且彎曲為鋸齒形狀，並是與用作信號線的導電膜 21a 的延伸方向交叉的區域。第二區域是在與用作信號線的導電膜 21a 平行或大致平行的方向上延伸的區域。圖 6 所示的共用電極 29 不與用作信號線的導電膜 21a 重疊，因此可以減少共用電極 29 的寄生電容。

[0094] 然而，第二區域沒有作為顯示區域的功能。

因此，像素 103a、103b 及 103c 的面積變窄，開口率降低。

[0095] 於是，如圖 28 所示的共用電極 29 那樣，藉由在用作信號線的導電膜 21a 上設置與第一區域連接的第二區域，可以使像素 103d、103e 及 103f 的面積變大。另外，第二區域不在與用作信號線的導電膜 21a 平行或大致平行的方向上延伸，並與導電膜 21a 的一部分重疊。因此，可以在減少用作信號線的導電膜 21a 與共用電極 29 之間所發生的寄生電容的同時，降低像素的面積及像素的開口率。此外，在圖 28 所示的像素中，可以將開口率設定為 50%以上，例如 50.8%。

[0096] 另外，在圖 28 所示的共用電極 29 中，雖然第二區域有規則地與第一區域耦合，但也可以無規則地與第一區域耦合。

[0097] 本實施方式所示的結構及方法等可以與其他實施方式所示的結構及方法等適當地組合而實施。

[0098]

實施方式 2

在本實施方式中，參照圖式說明本發明的一個方式的顯示裝置。另外，在本實施方式中，作為電晶體所包括的半導體膜，使用氧化物半導體膜進行說明。

[0099] 圖 5A 所示的顯示裝置包括：像素部 101；掃描線驅動電路 104；信號線驅動電路 106；互相平行或大致平行地配置且其電位由掃描線驅動電路 104 控制的 m

個用作掃描線的導電膜 107；以及互相平行或大致平行地配置且其電位由信號線驅動電路 106 控制的 n 個用作信號線的導電膜 109。像素部 101 具有配置為矩陣狀的多個像素 103。另外，還有沿著用作信號線的導電膜 109 互相平行或大致平行地配置的公用線 115。另外，有時將掃描線驅動電路 104 及信號線驅動電路 106 總稱為驅動電路部。

[0100] 各用作掃描線的導電膜 107 與在像素部 101 中配置為 m 行 n 列的像素 103 中的配置在任一行的 n 個像素 103 電連接，而各用作信號線的導電膜 109 與配置為 m 行 n 列的像素 103 中的配置在任一列的 m 個像素 103 電連接。m 和 n 都是 1 以上的整數。各公用線 115 與配置為 m 行 n 列的像素 103 中的配置在任一列的 m 個像素 103 電連接。

[0101] 圖 5B 示出可以應用於圖 5A 所示的顯示裝置的像素 103 的電路結構的一個例子。

[0102] 圖 5B 所示的像素 103 具有液晶元件 121、電晶體 102 和電容元件 105。

[0103] 液晶元件 121 的一對電極中的一個與電晶體 102 連接，其電位根據像素 103 的規格適當地設定。液晶元件 121 的一對電極中的另一個與公用線 115 連接，並對其施加共同的電位（共用電位）。根據被寫入電晶體 102 的資料來控制液晶元件 121 的液晶分子的配向狀態。

[0104] 液晶元件 121 是利用液晶分子的光學調變作用來控制光的透過或非透過的元件。液晶分子的光學調變

作用由施加到液晶分子的電場（包括橫向電場、縱向電場或傾斜方向電場）控制。作為液晶元件 121，可以舉出向列液晶、膽固醇相（cholesteric）液晶、層列型液晶、熱致液晶、溶致液晶、鐵電液晶、反鐵電液晶等。

[0105] 作為包括液晶元件 121 的顯示裝置的驅動方法，採用 FFS 模式。

[0106] 另外，也可以使用包含呈現藍相（Blue Phase）的液晶材料和手性試劑的液晶組成物構成液晶元件。呈現藍相的液晶的回應速度快，為 1msec 以下，由於其具有光學各向同性，所以不需要配向處理，且視角依賴性小。

[0107] 在圖 5B 所示的像素 103 的結構中，電晶體 102 的源極電極和汲極電極中的一個與用作信號線的導電膜 109 電連接，源極電極和汲極電極中的另一個與液晶元件 121 的一對電極中的一個電連接。電晶體 102 的閘極電極與用作掃描線的導電膜 107 電連接。電晶體 102 具有藉由成為導通狀態或關閉狀態而對資料信號的寫入進行控制的功能。

[0108] 在圖 5B 所示的像素 103 的結構中，電容元件 105 的一對電極中的一個與電晶體 102 連接。電容元件 105 的一對電極中的另一個與公用線 115 電連接。根據像素 103 的規格適當地設定公用線 115 的電位值。電容元件 105 用作儲存被寫入的資料的儲存電容器。注意，在本實施方式中，電容元件 105 的一對電極中的一個是液晶元件 121 的一對電極中的一個的一部分或全部。另外，電容元

件 105 的一對電極中的另一個是液晶元件 121 的一對電極中的另一個的一部分或全部。

[0109] 接著，說明顯示裝置所包括的元件基板的具體結構。在此，圖 6 示出多個像素 103a 至 103c 的俯視圖。

[0110] 在圖 6 中，用作掃描線的導電膜 13 在與用作信號線的導電膜大致正交的方向（圖式中的左右方向）上延伸地設置。用作信號線的導電膜 21a 在與用作掃描線的導電膜大致正交的方向（圖式中的上下方向）上延伸地設置。用作掃描線的導電膜 13 與掃描線驅動電路 104（參照圖 5A）電連接，而用作信號線的導電膜 21a 與信號線驅動電路 106（參照圖 5A）電連接。

[0111] 電晶體 102 設置在用作掃描線的導電膜和用作信號線的導電膜的交叉區域。電晶體 102 由用作閘極電極的導電膜 13、閘極絕緣膜（在圖 6 中未圖示）、形成在閘極絕緣膜上的形成有通道區域的氧化物半導體膜 19a、用作源極電極和汲極電極的導電膜 21a 及 21b 構成。導電膜 13 還被用作作為掃描線的導電膜，其中與氧化物半導體膜 19a 重疊的區域被用作電晶體 102 的閘極電極。導電膜 21a 還被用作作為信號線的導電膜，其中與氧化物半導體膜 19a 重疊的區域被用作電晶體 102 的源極電極或汲極電極。在圖 6 的頂面形狀中，用作掃描線的導電膜的端部位於氧化物半導體膜 19a 的端部的外側。由此，用作掃描線的導電膜被用作阻擋來自背光等光源的光的遮

光膜。其結果是，電晶體所包括的氧化物半導體膜 19a 不被照射光而電晶體的電特性的變動可以得到抑制。

[0112] 導電膜 21b 與像素電極 19b 電連接。另外，在像素電極 19b 上隔著絕緣膜設置有共用電極 29。在像素電極 19b 上的絕緣膜中，設置有以點劃線所示的開口 40。像素電極 19b 在開口 40 與氮化物絕緣膜（在圖 6 中未圖示）接觸。

[0113] 共用電極 29 包括在與用作信號線的導電膜交叉的方向上延伸的條狀的區域（第一區域）。另外，該條狀的區域（第一區域）連接於在與用作信號線的導電膜平行或大致平行的方向上延伸的區域（第二區域）。因此，在像素中，在包括條狀的區域（第一區域）的共用電極 29 中，各區域的電位相同。

[0114] 電容元件 105 形成在像素電極 19b 與共用電極 29 重疊的區域。像素電極 19b 及共用電極 29 具有透光性。也就是說，電容元件 105 具有透光性。

[0115] 如圖 6 所示，本實施方式所示的液晶顯示裝置是 FFS 模式的液晶顯示裝置，並且包括具有在與用作信號線的導電膜交叉的方向上延伸的條狀的區域的共用電極，因此可以製造對比度高的顯示裝置。

[0116] 因為電容元件 105 具有透光性，所以可以在像素 103 中形成較大（大面積）的電容元件 105。由此，可以獲得開口率得到提高（典型地提高到 50%以上，較佳為 60%以上）且電荷容量增大的顯示裝置。例如，解析度

高的如液晶顯示裝置之類的顯示裝置在像素的面積小時電容元件的面積也小。因此，在解析度高的顯示裝置中，儲存在電容元件中的電荷容量變小。但是，由於本實施方式所示的電容元件 105 具有透光性，所以藉由將該電容元件設置在像素中，可以在各像素中獲得充分的電荷容量的同時提高開口率。典型的是，電容元件 105 可以適當地應用於像素密度為 200ppi 以上，300ppi 以上或 500ppi 以上的高解析度顯示裝置。

[0117] 另外，在液晶顯示裝置中，電容元件的電容值越大，越能夠延長在施加電場的情況下可以保持液晶元件的液晶分子的配向為固定的期間。在顯示靜態影像的情況下，由於可以長期保持該期間，所以能夠減少重寫影像資料的次數，從而可以降低耗電量。另外，藉由採用本實施方式所示的結構，在高解析度的顯示裝置中也可以提高開口率，因此可以高效地利用背光等光源的光，從而可以降低顯示裝置的耗電量。

[0118] 另外，本發明的實施方式的一個方式的俯視圖不侷限於此，而可以採用各種各樣的結構。例如，如圖 28 所示，在共用電極 29 中，連接區域（第二區域）也可以形成在用作各信號線的導電膜上。

[0119] 接著，圖 7 示出沿著圖 6 中的點劃線 A-B、點劃線 C-D 的剖面圖。圖 7 所示的電晶體 102 是通道蝕刻型電晶體。注意，沿著點劃線 A-B 的剖面圖是通道長度方向上的電晶體 102 以及電容元件 105 的剖面圖，沿著點劃

線 C-D 的剖面圖是通道寬度方向上的電晶體 102 的剖面圖。

[0120] 圖 7 所示的電晶體 102 是具有單閘極結構的電晶體，其包括：設置在基板 11 上的用作閘極電極的導電膜 13；形成在基板 11 及用作閘極電極的導電膜 13 上的氮化物絕緣膜 15；形成在氮化物絕緣膜 15 上的氧化物絕緣膜 17；隔著氮化物絕緣膜 15 及氧化物絕緣膜 17 與用作閘極電極的導電膜 13 重疊的氧化物半導體膜 19a；以及與氧化物半導體膜 19a 接觸的用作源極電極和汲極電極的導電膜 21a 及 21b。在氧化物絕緣膜 17、氧化物半導體膜 19a、用作源極電極和汲極電極的導電膜 21a 及 21b 上形成有氧化物絕緣膜 23，在氧化物絕緣膜 23 上形成有氧化物絕緣膜 25。在氮化物絕緣膜 15、氧化物絕緣膜 23、氧化物絕緣膜 25 及導電膜 21b 上形成有氮化物絕緣膜 27。另外，像素電極 19b 形成在氧化物絕緣膜 17 上。像素電極 19b 連接於用作源極電極和汲極電極的導電膜 21a、21b 中的一個，在此連接於導電膜 21b。另外，共用電極 29 形成在氮化物絕緣膜 27 上。

[0121] 另外，將像素電極 19b、氮化物絕緣膜 27 及共用電極 29 重疊的區域用作電容元件 105。

[0122] 另外，本發明的實施方式的一個方式的剖面圖不侷限於此，而可以採用各種各樣的結構。例如，像素電極 19b 可以具有狹縫。或者，像素電極 19b 可以是梳齒狀。圖 8 示出該情況的剖面圖的例子。或者，如圖 9 所

示，也可以在氮化物絕緣膜 27 上設置有絕緣膜 26b。例如，作為絕緣膜 26b 可以設置有機樹脂膜。由此，可以使絕緣膜 26b 的表面變得平坦。也就是說，作為一個例子，絕緣膜 26b 可以具有平坦化膜的功能。或者，也可以以共用電極 29 與導電膜 21b 重疊的方式形成電容元件 105b。圖 22 及圖 23 示出該情況的剖面圖的例子。藉由採用這樣的結構，可以將電容元件 105b 用作保持像素電極的電位的電容元件。因此，藉由採用這樣的結構，可以增加電容元件的電荷容量。

[0123] 下面說明顯示裝置的詳細結構。

[0124] 雖然對基板 11 的材料等沒有特別的限制，但是至少需要具有能夠承受後續的加熱處理的耐熱性。例如，作為基板 11，可以使用玻璃基板、陶瓷基板、石英基板、藍寶石基板等。另外，還可以利用以矽或碳化矽等為材料的單晶半導體基板或多晶半導體基板、以矽鍺等為材料的化合物半導體基板、SOI（Silicon On Insulator：絕緣層上覆矽）基板等，並且也可以將在這些基板上設置有半導體元件的基板用作基板 11。當作為基板 11 使用玻璃基板時，藉由使用第 6 代（1500mm×1850mm）、第 7 代（1870mm×2200mm）、第 8 代（2200mm×2400mm）、第 9 代（2400mm×2800mm）、第 10 代（2950mm×3400mm）等的大面積基板，可以製造大型顯示裝置。

[0125] 作為基板 11，也可以使用撓性基板，並且在撓性基板上直接形成電晶體 102。或者，也可以在基板 11

與電晶體 102 之間設置剝離層。剝離層可以在如下情況下使用，即在剝離層上製造顯示裝置的一部分或全部，然後將其從基板 11 分離並轉置到其他基板上的情況。此時，也可以將電晶體 102 轉置到耐熱性低的基板或撓性基板上。

[0126] 用作閘極電極的導電膜 13 可以使用選自鋁、鉻、銅、鉭、鈦、鉬、鎢中的金屬元素或者以上述金屬元素為成分的合金或組合上述金屬元素的合金等來形成。另外，還可以使用選自錳和鋯中的一種或多種的金屬元素。用作閘極電極的導電膜 13 可以具有單層結構或兩層以上的疊層結構。例如，可以舉出包含矽的鋁膜的單層結構、在鈦膜上層疊鋁膜的兩層結構、在氮化鈦膜上層疊鈦膜的兩層結構、在氮化鈦膜上層疊鎢膜的兩層結構、在氮化鉭膜或氮化鎢膜上層疊鎢膜的兩層結構、在鈦膜上層疊銅膜的兩層結構以及依次層疊鈦膜、鋁膜及鈦膜的三層結構等。另外，還可以使用組合鋁與選自鈦、鉭、鎢、鉬、鉻、釹、鈧中的元素的一種或多種而形成的合金膜或氮化膜。

[0127] 用作閘極電極的導電膜 13 也可以使用銦錫氧化物、包含氧化鎢的銦氧化物、包含氧化鎢的銦鋅氧化物、包含氧化鈦的銦氧化物、包含氧化鈦的銦錫氧化物、銦鋅氧化物、添加有氧化矽的銦錫氧化物等透光導電材料。另外，還可以採用上述透光導電材料與上述金屬元素的疊層結構。

[0128] 氮化物絕緣膜 15 可以使用具有低透氧性的氮化物絕緣膜。另外，氮化物絕緣膜 15 還可以使用具有低透氧性、低透氫性以及低透水性的氮化物絕緣膜。作為具有低透氧性的氮化物絕緣膜、具有低透氧性、低透氫性以及低透水性的氮化物絕緣膜，有如氮化矽膜、氮氧化矽膜、氮化鋁膜、氮氧化鋁膜等。另外，還可以使用氧化鋁膜、氧氮化鋁膜、氧化鎵膜、氧氮化鎵膜、氧化釔膜、氧氮化釔膜、氧化鉿膜、氧氮化鉿膜等氧化物絕緣膜來代替具有低透氧性的氮化物絕緣膜、具有低透氧性、低透氫性以及低透水性的氮化物絕緣膜。

[0129] 氮化物絕緣膜 15 的厚度較佳為 5nm 以上且 100nm 以下，更佳為 20nm 以上且 80nm 以下。

[0130] 氧化物絕緣膜 17 例如使用氧化矽、氧氮化矽、氮氧化矽、氧化鋁、氧化鉿、氧化鎵或者 Ga-Zn 類金屬氧化物、氮化矽等即可，並且以疊層結構或單層結構設置。

[0131] 另外，藉由使用矽酸鉿（$HfSiO_x$）、添加有氮的矽酸鉿（$HfSi_xO_yN_z$）、添加有氮的鋁酸鉿（$HfAl_xO_yN_z$）、氧化鉿、氧化釔等相對介電常數高的材料來形成氧化物絕緣膜 17，可減少電晶體的閘極漏電流。

[0132] 氧化物絕緣膜 17 的厚度較佳為 5nm 以上且 400nm 以下，更佳為 10nm 以上且 300nm 以下，進一步較佳為 50nm 以上且 250nm 以下。

[0133] 作為氧化物半導體膜 19a 典型地有 In-Ga 氧化

物、In-Zn 氧化物、In-M-Zn 氧化物（M 為 Al、Ga、Y、Zr、Sn、La、Ce 或 Nd）。

[0134] 在氧化物半導體膜 19a 為 In-M-Zn 氧化物膜的情況下，當假設 In 與 M 之和為 100atomic%時，In 與 M 的原子個數比則較佳為 In 的原子個數比高於 25atomic%且 M 的原子個數比低於 75atomic%，更佳為 In 的原子個數比高於 34atomic%且 M 的原子個數比低於 66atomic%。

[0135] 氧化物半導體膜 19a 的能隙為 2eV 以上，較佳為 2.5eV 以上，更佳為 3eV 以上。如此，藉由使用能隙較寬的氧化物半導體，可以降低電晶體 102 的關態電流（off-state current）。

[0136] 氧化物半導體膜 19a 的厚度為 3nm 以上且 200nm 以下，較佳為 3nm 以上且 100nm 以下，更佳為 3nm 以上且 50nm 以下。

[0137] 當氧化物半導體膜 19a 為 In-M-Zn 氧化物膜（M 為 Al、Ga、Y、Zr、Sn、La、Ce 或 Nd）時，較佳為用來形成 In-M-Zn 氧化物膜的濺射靶材的金屬元素的原子個數比滿足 In≥M 及 Zn≥M。這種濺射靶材的金屬元素的原子個數比較佳為 In:M:Zn=1:1:1、In:M:Zn=1:1:1.2、In:M:Zn=3:1:2。注意，所形成的氧化物半導體膜 19a 的原子個數比分別包含上述濺射靶材中的金屬元素的原子個數比的±40%的範圍內的誤差。

[0138] 作為氧化物半導體膜 19a 使用載子密度較低的氧化物半導體膜。例如，氧化物半導體膜 19a 使用載子

密度為 1×10^{17} 個/cm^3 以下，較佳為 1×10^{15} 個/cm^3 以下，更佳為 1×10^{13} 個/cm^3 以下，進一步較佳為 1×10^{11} 個/cm^3 以下的氧化物半導體膜。

[0139] 本發明不侷限於上述記載，可以根據所需的電晶體的半導體特性及電特性（場效移動率、臨界電壓等）來使用具有適當的組成的材料。另外，較佳為適當地設定氧化物半導體膜 19a 的載子密度、雜質濃度、缺陷密度、金屬元素與氧的原子個數比、原子間距離、密度等，以得到所需的電晶體的半導體特性。

[0140] 藉由作為氧化物半導體膜 19a 使用雜質濃度低且缺陷態密度低的氧化物半導體膜，可以製造具有更優良的電特性的電晶體，所以是較佳的。這裡，將雜質濃度低且缺陷態密度低（氧缺損量少）的狀態稱為“高純度本質”或“實質上高純度本質”。因為高純度本質或實質上高純度本質的氧化物半導體的載子發生源較少，所以有可能降低載子密度。因此，在該氧化物半導體膜中形成有通道區域的電晶體很少具有負臨界電壓的電特性（也稱為常導通特性）。因為高純度本質或實質上高純度本質的氧化物半導體膜具有較低的缺陷態密度，所以有可能具有較低的陷阱態密度。高純度本質或實質上高純度本質的氧化物半導體膜的關態電流顯著低，即便是通道寬度為 $1\times10^{6}\mu m$、通道長度 L 為 10μm 的元件，當源極電極與汲極電極間的電壓（汲極電壓）在 1V 至 10V 的範圍時，關態電流也可以為半導體參數分析儀的測定極限以下，即

1×10^{-13}A 以下。因此，在該氧化物半導體膜中形成有通道區域的電晶體的電特性變動小，該電晶體成為可靠性高的電晶體。作為雜質有氫、氮、鹼金屬或鹼土金屬等。

[0141] 包含在氧化物半導體膜中的氫與鍵合於金屬原子的氧起反應生成水，與此同時在發生氧脫離的晶格（或氧脫離的部分）中形成氧缺損。當氫進入該氧缺損時，有時生成作為載子的電子。另外，有時由於氫的一部分與鍵合於金屬原子的氧鍵合，產生作為載子的電子。因此，使用包含氫的氧化物半導體的電晶體容易具有常導通特性。

[0142] 由此，較佳為盡可能減少氧化物半導體膜 19a 中的氧缺損及氫。明確而言，在氧化物半導體膜 19a 中，利用二次離子質譜分析法（SIMS：Secondary Ion Mass Spectrometry）測得的氫濃度為 5×10^{19}atoms/cm^3 以下，較佳為 1×10^{19}atoms/cm^3 以下，較佳為 5×10^{18}atoms/cm^3 以下，較佳為 1×10^{18}atoms/cm^3 以下，更佳為 5×10^{17}atoms/cm^3 以下，進一步較佳為 1×10^{16}atoms/cm^3 以下。

[0143] 當氧化物半導體膜 19a 包含第 14 族元素之一的矽或碳時，氧化物半導體膜 19a 中氧缺損增加，使得氧化物半導體膜 19a 被 n 型化。因此，氧化物半導體膜 19a 中的矽或碳的濃度（利用二次離子質譜分析法得到的濃度）為 2×10^{18}atoms/cm^3 以下，較佳為 2×10^{17}atoms/cm^3 以下。

[0144] 另外，在氧化物半導體膜 19a 中，利用二次

離子質譜分析法測得的鹼金屬或鹼土金屬的濃度為 1×10^{18}atoms/cm^3 以下，較佳為 2×10^{16}atoms/cm^3 以下。有時當鹼金屬及鹼土金屬與氧化物半導體鍵合時生成載子而使電晶體的關態電流增大。由此，較佳為降低氧化物半導體膜 19a 的鹼金屬或鹼土金屬的濃度。

[0145] 當在氧化物半導體膜 19a 中含有氮時，生成作為載子的電子，載子密度增加，使得氧化物半導體膜 19a 容易被 n 型化。其結果是，使用含有氮的氧化物半導體的電晶體容易具有常導通特性。因此，在該氧化物半導體膜中，較佳為盡可能地減少氮，例如，利用二次離子質譜分析法測得的氮濃度較佳為 5×10^{18}atoms/cm^3 以下。

[0146] 氧化物半導體膜 19a 例如可以具有非單晶結構。非單晶結構例如包括下述 CAAC-OS（C Axis Aligned Crystalline Oxide Semiconductor：c 軸配向結晶氧化物半導體）、多晶結構、下述微晶結構或非晶結構。在非單晶結構中，非晶結構的缺陷態密度最高，而 CAAC-OS 的缺陷態密度最低。

[0147] 氧化物半導體膜 19a 例如也可以具有非晶結構。非晶結構的氧化物半導體膜例如具有無秩序的原子排列且不具有結晶成分。或者，非晶結構的氧化物膜例如完全是非晶結構，而不具有結晶部。

[0148] 另外，氧化物半導體膜 19a 也可以為具有非晶結構的區域、微晶結構的區域、多晶結構的區域、CAAC-OS 的區域和單晶結構的區域中的兩種以上的區域

的混合膜。混合膜有時例如是具有非晶結構的區域、微晶結構的區域、多晶結構的區域、CAAC-OS 的區域和單晶結構的區域中的兩種以上的區域的單層結構。另外，混合膜有時例如具有非晶結構的區域、微晶結構的區域、多晶結構的區域、CAAC-OS 的區域和單晶結構的區域中的兩種以上的區域的疊層結構。

[0149] 像素電極 19b 是對與氧化物半導體膜 19a 同時形成的氧化物半導體膜進行加工而形成的。因此，像素電極 19b 是具有與氧化物半導體膜 19a 同樣的金屬元素的膜。並且，像素電極 19b 是具有與氧化物半導體膜 19a 相同或不同的結晶結構的膜。然而，藉由使與氧化物半導體膜 19a 同時形成的氧化物半導體膜包含雜質或氧缺損而形成具有導電性的膜，並將其用作像素電極 19b。作為包含在氧化物半導體膜中的雜質有氫。另外，作為雜質也可以包含硼、磷、錫、銻、稀有氣體元素、鹼金屬、鹼土金屬等代替氫。或者，像素電極 19b 是與氧化物半導體膜 19a 同時形成的膜，並且是因電漿損傷等而形成氧缺損來提高導電性的膜。或者，像素電極 19b 是與氧化物半導體膜 19a 同時形成的膜，並且是在包含雜質的同時因電漿損傷等而形成氧缺損來提高導電性的膜。

[0150] 總之，雖然氧化物半導體膜 19a 和像素電極 19b 都形成在氧化物絕緣膜 17 上，但是它們的雜質濃度不同。明確而言，像素電極 19b 的雜質濃度高於氧化物半導體膜 19a 的雜質濃度。例如，氧化物半導體膜 19a 中的

氫濃度為 5×10^{19}atoms/cm^3 以下，較佳為 5×10^{18}atoms/cm^3 以下，較佳為 1×10^{18}atoms/cm^3 以下，更佳為 5×10^{17} atoms/cm^3 以下，進一步較佳為 1×10^{16}atoms/cm^3 以下，而像素電極 19b 中的氫濃度為 8×10^{19}atoms/cm^3 以上，較佳為 1×10^{20}atoms/cm^3 以上，更佳為 5×10^{20}atoms/cm^3 以上。像素電極 19b 中的氫濃度為氧化物半導體膜 19a 中的氫濃度的 2 倍以上，較佳為 10 倍以上。

[0151] 另外，藉由將與氧化物半導體膜 19a 同時形成的氧化物半導體膜暴露於電漿，可以使氧化物半導體膜受到損傷而形成氧缺損。例如，藉由在氧化物半導體膜上利用電漿 CVD 法或濺射法形成膜，將氧化物半導體膜暴露於電漿而形成氧缺損。或者，藉由進行用來形成氧化物絕緣膜 23 及氧化物絕緣膜 25 的蝕刻處理，將氧化物半導體膜暴露於電漿而形成氧缺損。或者，將氧化物半導體膜暴露於氧和氫的混合氣體、氫、稀有氣體、氨等的電漿形成氧缺損。其結果是，氧化物半導體膜的導電性得到提高，從而成為具有導電性的膜並用作像素電極 19b。

[0152] 也就是說，像素電極 19b 也可以說是由導電性高的氧化物半導體膜形成的。或者，像素電極 19b 也可以說是由導電性高的金屬氧化物膜形成的。

[0153] 另外，在使用氮化矽膜作為氮化物絕緣膜 27 時，氮化矽膜包含氫。由此，當氮化物絕緣膜 27 的氫擴散到與氧化物半導體膜 19a 同時形成的氧化物半導體膜中時，在該氧化物半導體膜中氫和氧鍵合而生成作為載子的

電子。當藉由利用電漿 CVD 法或濺射法形成氮化矽膜時，氧化物半導體膜暴露於電漿，而形成氧缺損。氮化矽膜中的氫進入該氧缺損，由此生成作為載子的電子。其結果是，氧化物半導體膜的導電性增高，而成為像素電極 19b。

[0154] 當對形成有氧缺損的氧化物半導體添加氫時，氫進入氧缺損的位點而在導帶附近形成施體能階。其結果是，氧化物半導體的導電性增高，而成為導電體。可以將成為導電體的氧化物半導體稱為氧化物導電體。也就是說，像素電極 19b 可以說是由氧化物導電體膜形成的。一般而言，由於氧化物半導體的能隙大，因此對可視光具有透光性。另一方面，氧化物導電體是在導帶附近具有施體能階的氧化物半導體。因此，起因於該施體能階的吸收的影響小，而對可視光具有與氧化物半導體膜相同程度的透光性。

[0155] 在此，參照圖 39A 至圖 39D 對氧化物半導體膜成為氧化物導電體膜的模型之一進行說明。

[0156] 如圖 39A 所示，形成氧化物半導體膜 71。

[0157] 如圖 39B 所示，在氧化物半導體膜 71 上形成氮化物絕緣膜 73。氮化物絕緣膜 73 包含氫 H。在形成氮化物絕緣膜 73 時，氧化物半導體膜 71 暴露於電漿，因而在氧化物半導體膜 71 中形成氧缺損 V_O。

[0158] 如圖 39C 所示，氮化物絕緣膜 73 所包含的氫 H 擴散到氧化物半導體膜 71。氫 H 進入氧缺損 V_O 而在導

帶附近形成施體能階。其結果是，如圖 39D 所示，氧化物半導體膜的導電性變高，從而氧化物半導體膜成為氧化物導電體膜 75。另外，氧化物導電體膜 75 用作像素電極。

[0159] 像素電極 19b 的電阻率低於氧化物半導體膜 19a 的電阻率。像素電極 19b 的電阻率較佳為氧化物半導體膜 19a 的電阻率的 1×10^{-8} 倍以上且低於 1×10^{-1} 倍，典型地為 $1\times10^{-3}\Omega cm$ 以上且低於 $1\times10^{4}\Omega cm$，較佳為 $1\times10^{-3}\Omega cm$ 以上且低於 $1\times10^{-1}\Omega cm$。

[0160] 用作源極電極和汲極電極的導電膜 21a、21b 使用選自鋁、鈦、鉻、鎳、銅、釔、鋯、鉬、銀、鉭和鎢中的金屬或以這些元素為主要成分的合金的單層結構或疊層結構。例如，可以舉出包含矽的鋁膜的單層結構、在鈦膜上層疊鋁膜的兩層結構、在鎢膜上層疊鋁膜的兩層結構、在銅-鎂-鋁合金膜上層疊銅膜的兩層結構、在鈦膜上層疊銅膜的兩層結構、在鎢膜上層疊銅膜的兩層結構、依次層疊鈦膜或氮化鈦膜、鋁膜或銅膜以及鈦膜或氮化鈦膜的三層結構、以及依次層疊鉬膜或氮化鉬膜、鋁膜或銅膜以及鉬膜或氮化鉬膜的三層結構等。另外，也可以使用包含氧化銦、氧化錫或氧化鋅的透明導電材料。

[0161] 作為氧化物絕緣膜 23 或氧化物絕緣膜 25，較佳為使用其氧含量超過化學計量組成的氧化物絕緣膜。這裡，作為氧化物絕緣膜 23 形成具有透氧性的氧化物絕緣膜，作為氧化物絕緣膜 25 形成其氧含量超過化學計量組成的氧化物絕緣膜。

[0162] 氧化物絕緣膜 23 為具有透氧性的氧化物絕緣膜。由此，可以將從設置在氧化物絕緣膜 23 上的氧化物絕緣膜 25 脫離的氧經過氧化物絕緣膜 23 移動到氧化物半導體膜 19a。另外，當在後面形成氧化物絕緣膜 25 時，氧化物絕緣膜 23 被用作緩和對氧化物半導體膜 19a 造成的損傷的膜。

[0163] 作為氧化物絕緣膜 23，可以使用厚度為 5nm 以上且 150nm 以下，較佳為 5nm 以上且 50nm 以下的氧化矽膜、氧氮化矽膜等。在本說明書中，“氧氮化矽膜”是指在其組成中含氧量多於含氮量的膜，而“氮氧化矽膜”是指在其組成中含氮量多於含氧量的膜。

[0164] 較佳的是，氧化物絕緣膜 23 中的缺陷量較少，典型的是，利用 ESR 測得的在 g=2.001 處出現的信號的自旋密度為 3×10^{17}spins/cm^3 以下。注意，在 g=2.001 處出現的信號起因於矽的懸空鍵。這是因為若氧化物絕緣膜 23 中含有的缺陷密度高，氧則與該缺陷鍵合，氧化物絕緣膜 23 中的氧透過量有可能減少。

[0165] 較佳的是，在氧化物絕緣膜 23 與氧化物半導體膜 19a 之間的介面的缺陷量較少，典型的是，利用 ESR 測得的起因於氧化物半導體膜 19a 中的缺陷的在 g 值在 1.89 以上且 1.96 以下處出現的信號的自旋密度為 1×10^{17} spins/cm^3 以下，更佳為檢測下限以下。

[0166] 在氧化物絕緣膜 23 中，有時從外部進入氧化物絕緣膜 23 的氧的全部移動到氧化物絕緣膜 23 的外部。

或者，有時從外部進入氧化物絕緣膜 23 的氧的一部分殘留在氧化物絕緣膜 23 中。或者，有時在氧從外部進入氧化物絕緣膜 23 的同時，氧化物絕緣膜 23 中含有的氧移動到氧化物絕緣膜 23 的外部，而在氧化物絕緣膜 23 中發生氧的移動。

[0167] 氧化物絕緣膜 25 以與氧化物絕緣膜 23 接觸的方式來形成。氧化物絕緣膜 25 使用其氧含量超過化學計量組成的氧化物絕緣膜形成。其氧含量超過化學計量組成的氧化物絕緣膜由於被加熱而其一部分的氧脫離。包含超過化學計量組成的氧的氧化物絕緣膜藉由 TDS 分析，換算為氧原子的氧的脫離量為 1.0×10^{18}atoms/cm^3 以上，較佳為 3.0×10^{20}atoms/cm^3 以上。注意，上述 TDS 分析時的膜的表面溫度較佳為 100℃以上且 700℃以下或 100℃以上且 500℃以下。

[0168] 作為氧化物絕緣膜 25 可以使用厚度為 30nm 以上且 500nm 以下，較佳為 50nm 以上且 400nm 以下的氧化矽膜、氧氮化矽膜等。

[0169] 較佳的是，氧化物絕緣膜 25 中的缺陷量較少，典型的是，利用 ESR 測得的在 g=2.001 處出現的信號的自旋密度低於 1.5×10^{18}spins/cm^3，更佳為 1×10^{18}spins/cm^3 以下。由於氧化物絕緣膜 25 與氧化物絕緣膜 23 相比離氧化物半導體膜 19a 更遠，所以氧化物絕緣膜 25 的缺陷密度也可以高於氧化物絕緣膜 23。

[0170] 與氮化物絕緣膜 15 同樣地，氮化物絕緣膜 27

可以使用具有低透氧性的氮化物絕緣膜。另外，氮化物絕緣膜 27 還可以使用具有低透氧性、低透氫性以及低透水性的氮化物絕緣膜。

[0171] 作為氮化物絕緣膜 27 有厚度為 50nm 以上且 300nm 以下，較佳為 100nm 以上且 200nm 以下的氮化矽膜、氮氧化矽膜、氮化鋁膜、氮氧化鋁膜等。

[0172] 藉由使氧化物絕緣膜 23 或氧化物絕緣膜 25 包括其氧含量超過化學計量組成的氧化物絕緣膜，可以將包含在氧化物絕緣膜 23 或氧化物絕緣膜 25 中的氧的一部分移動到氧化物半導體膜 19a，以降低包含在氧化物半導體膜 19a 中的氧缺損量。

[0173] 使用其中包含氧缺損的氧化物半導體膜的電晶體的臨界電壓容易向負方向變動，而容易具有常導通特性。這是因為由於在氧化物半導體膜中含有氧缺損而產生電荷以導致低電阻化的緣故。當電晶體具有常導通特性時，產生各種問題，諸如在工作時容易產生工作故障或者在非工作時耗電量增大等。另外，還有如下問題：由於受到隨時變化或應力測試的影響，電晶體的電特性，典型為臨界電壓的變動量增大。

[0174] 但是，在本實施方式所示的電晶體 102 中，設置在氧化物半導體膜 19a 上的氧化物絕緣膜 23 或氧化物絕緣膜 25 是其氧含量超過化學計量組成的氧化物絕緣膜。並且，由氮化物絕緣膜 15 及氧化物絕緣膜 17 包圍氧化物半導體膜 19a、氧化物絕緣膜 23 及氧化物絕緣膜

25。其結果是，包含在氧化物絕緣膜 23 或氧化物絕緣膜 25 中的氧高效地移動到氧化物半導體膜 19a，使得氧化物半導體膜 19a 的氧缺損量可以得到減少。由此，得到具有常關閉（normally-off）特性的電晶體。另外，還可以降低起因於隨時變化或應力測試的電晶體的電特性，典型為臨界電壓的變動量。

[0175] 共用電極 29 使用具有透光性的膜，較佳為透光導電膜。透光導電膜可以使用包含氧化鎢的銦氧化物膜、包含氧化鎢的銦鋅氧化物膜、包含氧化鈦的銦氧化物膜、包含氧化鈦的銦錫氧化物膜、銦錫氧化物（以下稱為 ITO）膜、銦鋅氧化物膜、添加有氧化矽的銦錫氧化物膜等。

[0176] 共用電極 29 的形狀與實施方式 1 所示的共用電極 9 的形狀是同樣的，用作信號線的導電膜 21a 的延伸方向與共用電極 29 的延伸方向交叉。因此，在用作信號線的導電膜 21a 與共用電極 29 之間產生的電場與在像素電極 19b 與共用電極 29 之間產生的電場之間發生方位的偏離，並且該偏離的角度很大。因此，用作信號線的導電膜附近的液晶分子的配向狀態與在鄰接的像素中的像素電極與共用電極之間產生的電場所引起的像素電極附近的液晶分子的配向狀態不容易互相影響。由此，像素的穿透率的變化得到抑制。其結果是，能夠減少影像的閃爍。

[0177] 另外，在更新頻率低的液晶顯示裝置中，即使在保持期間中，用作信號線的導電膜 21a 附近的液晶分

子的配向也不容易影響到在鄰接的像素中的像素電極與共用電極 29 之間產生的電場所引起的像素電極附近的液晶分子的配向狀態。其結果是，在保持期間中，能夠維持像素的穿透率，從而減少閃爍。

[0178] 此外，共用電極 29 包括在與用作信號線的導電膜 21a 交叉的方向上延伸的條狀的區域。由此，能夠防止像素電極 19b 及導電膜 21a 附近的非意圖的液晶分子的配向，從而可以抑制漏光。其結果是，可以製造對比度高的顯示裝置。

[0179] 在本實施方式所示的顯示裝置的元件基板上，在形成電晶體的氧化物半導體膜的同時形成像素電極。像素電極用作電容元件的一個電極。另外，公用電極用作電容元件的另一個電極。由此，不需要重新形成導電膜以形成電容元件，從而可以減少製程。另外，電容元件具有透光性。其結果是，可以在增大電容元件的佔有面積的同時提高像素的開口率。

[0180] 接著，參照圖 10A 至圖 12C 對圖 7 所示的電晶體 102 及電容元件 105 的製造方法進行說明。

[0181] 如圖 10A 所示，在基板 11 上形成將成為導電膜 13 的導電膜 12。導電膜 12 藉由濺射法、化學氣相沉積（CVD）法（包括有機金屬化學氣相沉積（MOCVD：Metal Organic Chemical Vapor Deposition）法、金屬化學氣相沉積法、原子層沉積（ALD）法或電漿化學氣相沉積（PECVD）法）、蒸鍍法、脈衝雷射沉積（PLD）法等來

形成。藉由採用有機金屬化學氣相沉積（MOCVD）法、金屬化學氣相沉積法或原子層沉積（ALD）法，可以形成電漿所導致的損傷少的導電膜。

[0182] 在此，作為基板 11 使用玻璃基板。作為導電膜 12，利用濺射法形成厚度為 100nm 的鎢膜。

[0183] 接著，在導電膜 12 上經使用第一光罩的光微影製程形成遮罩。接著，用該遮罩對導電膜 12 的一部分進行蝕刻來形成圖 10B 所示的用作閘極電極的導電膜 13。然後，去除遮罩。

[0184] 另外，對於用作閘極電極的導電膜 13，也可以利用電鍍法、印刷法、噴墨法等來代替上述形成方法。

[0185] 這裡，利用乾蝕刻法對鎢膜進行蝕刻來形成用作閘極電極的導電膜 13。

[0186] 接著，如圖 10C 所示，在用作閘極電極的導電膜 13 上形成氮化物絕緣膜 15 及將成為氧化物絕緣膜 17 的氧化物絕緣膜 16。接著，在氧化物絕緣膜 16 上形成將成為氧化物半導體膜 19a 及像素電極 19b 的氧化物半導體膜 18。

[0187] 氮化物絕緣膜 15 及氧化物絕緣膜 16 藉由濺射法、化學氣相沉積（CVD）法（包括有機金屬化學氣相沉積（MOCVD）法、金屬化學氣相沉積法、原子層沉積（ALD）法或電漿化學氣相沉積（PECVD）法）、蒸鍍法、脈衝雷射沉積（PLD）法、塗佈法、印刷法等來形成。藉由採用有機金屬化學氣相沉積（MOCVD）法或原

子層沉積（ALD）法，可以形成電漿所導致的損傷少的氮化物絕緣膜 15 及氧化物絕緣膜 16。另外，藉由採用原子層沉積（ALD）法，可以提高氮化物絕緣膜 15 及氧化物絕緣膜 16 的覆蓋性。

[0188] 這裡，作為氮化物絕緣膜 15，藉由以矽烷、氮以及氨為源氣體的電漿 CVD 法形成厚度為 300nm 的氮化矽膜。

[0189] 當作為氧化物絕緣膜 16 形成氧化矽膜、氧氮化矽膜或氮氧化矽膜時，作為源氣體，較佳為使用包含矽的沉積氣體及氧化性氣體。包含矽的沉積氣體的典型例子為矽烷、乙矽烷、丙矽烷、氟化矽烷等。氧化性氣體的例子為氧、臭氧、一氧化二氮、二氧化氮等。

[0190] 當作為氧化物絕緣膜 16 形成氧化鎵膜時，可以利用 MOCVD 法來形成。

[0191] 這裡，作為氧化物絕緣膜 16，藉由以矽烷及一氧化二氮為源氣體的電漿 CVD 法形成厚度為 50nm 的氧氮化矽膜。

[0192] 氧化物半導體膜 18 藉由濺射法、化學氣相沉積（CVD）法（包括有機金屬化學沉積（MOCVD）法、原子層沉積（ALD）法或電漿化學氣相沉積（PECVD）法）、脈衝雷射沉積法、雷射燒蝕法、塗佈法等來形成。藉由採用有機金屬化學沉積（MOCVD）法或原子層沉積（ALD）法，可以在形成電漿所導致的損傷少的氧化物半導體膜 18 的同時，減少氧化物絕緣膜 16 的損傷。另外，

藉由採用原子層沉積（ALD）法，可以提高氧化物半導體膜 18 的覆蓋性。

[0193] 在利用濺射法形成氧化物半導體膜的情況下，作為用來生成電漿的電源裝置，可以適當地使用 RF 電源裝置、AC 電源裝置、DC 電源裝置等。

[0194] 作為濺射氣體，適當地使用稀有氣體（典型的是氬）、氧氣體、稀有氣體和氧的混合氣體。當採用稀有氣體和氧的混合氣體時，較佳為提高相對於稀有氣體的氧的比例。

[0195] 根據所形成的氧化物半導體膜的組成而適當地選擇靶材即可。

[0196] 為了獲得高純度本質或實質上高純度本質的氧化物半導體膜，不僅需要使處理室內高真空抽氣，而且還需要使濺射氣體高度純化。作為濺射氣體的氧氣體或氬氣體，使用露點為-40℃以下，較佳為-80℃以下，更佳為-100℃以下，進一步較佳為-120℃以下的高純度氣體，由此能夠盡可能地防止水分等混入氧化物半導體膜。

[0197] 在此，利用使用 In-Ga-Zn 氧化物靶材（In:Ga:Zn=1:1:1）的濺射法形成厚度為 35nm 的 In-Ga-Zn 氧化物膜以作為氧化物半導體膜。

[0198] 接著，在氧化物半導體膜 18 上經使用第二光罩的光微影製程形成遮罩，然後使用該遮罩對氧化物半導體膜的一部分進行蝕刻，如圖 10D 所示那樣，形成被進行了元件分離的氧化物半導體膜 19a 及 19c。此後去除遮

罩。

[0199] 在此，藉由在氧化物半導體膜 18 上形成遮罩，並利用濕蝕刻法對氧化物半導體膜 18 的一部分選擇性地進行蝕刻，從而形成氧化物半導體膜 19a、19c。

[0200] 接著，如圖 11A 所示，形成將成為導電膜 21a、21b 的導電膜 20。

[0201] 可以適當地使用與導電膜 12 同樣的方法來形成導電膜 20。

[0202] 這裡，利用濺射法依次層疊厚度為 50nm 的鎢膜和厚度為 300nm 的銅膜。

[0203] 接著，在導電膜 20 上經使用第三光罩的光微影製程形成遮罩，然後使用該遮罩對導電膜 20 進行蝕刻，如圖 11B 所示那樣，形成用作源極電極和汲極電極的導電膜 21a 及導電膜 21b。此後去除遮罩。

[0204] 這裡，在銅膜上經光微影製程形成遮罩。接著，使用該遮罩對鎢膜及銅膜進行蝕刻來形成導電膜 21a、21b。注意，首先使用濕蝕刻法對銅膜進行蝕刻，再使用利用 SF_6 的乾蝕刻法對鎢膜進行蝕刻，由此在銅膜的表面上形成氟化物。借助於該氟化物，來自銅膜的銅元素的擴散被抑制，而可以降低氧化物半導體膜 19a 中的銅濃度。

[0205] 接著，如圖 11C 所示，在氧化物半導體膜 19a 及氧化物半導體膜 19c、導電膜 21a 及導電膜 21b 上形成將成為氧化物絕緣膜 23 的氧化物絕緣膜 22 及將成為氧化

物絕緣膜 25 的氧化物絕緣膜 24。可以適當地使用與氮化物絕緣膜 15 及氧化物絕緣膜 16 同樣的方法來形成氧化物絕緣膜 22 及氧化物絕緣膜 24。

[0206] 較佳的是，在形成氧化物絕緣膜 22 之後，在不暴露於大氣的狀態下連續地形成氧化物絕緣膜 24。在形成氧化物絕緣膜 22 之後，在不暴露於大氣的狀態下，調節源氣體的流量、壓力、高頻電力和基板溫度中的一個以上以連續地形成氧化物絕緣膜 24，由此可以在減少氧化物絕緣膜 22 與氧化物絕緣膜 24 之間的介面的來源於大氣成分的雜質濃度的同時使包含於氧化物絕緣膜 24 中的氧移動到氧化物半導體膜 19a 中，而可以減少氧化物半導體膜 19a 的氧缺損量。

[0207] 可以在如下條件下形成氧化矽膜或氧氮化矽膜作為氧化物絕緣膜 22：在 280℃以上且 400℃以下的溫度下保持設置在電漿 CVD 設備的抽成真空的處理室內的基板，將源氣體導入處理室，將處理室內的壓力設定為 20Pa 以上且 250Pa 以下，較佳為 100Pa 以上且 250Pa 以下，並對設置在處理室內的電極供應高頻電力。

[0208] 作為氧化物絕緣膜 22 的源氣體，較佳為使用含有矽的沉積氣體及氧化性氣體。含有矽的沉積氣體的典型例子為矽烷、乙矽烷、丙矽烷、氟化矽烷等。氧化性氣體的例子為氧、臭氧、一氧化二氮、二氧化氮等。

[0209] 藉由採用上述條件，可以形成具有透氧性的氧化物絕緣膜作為氧化物絕緣膜 22。另外，藉由設置氧

化物絕緣膜 22，在後續形成氧化物絕緣膜 25 的製程中，可以降低對氧化物半導體膜 19a 造成的損傷。

[0210] 可以在如下條件下形成氧化矽膜或氧氮化矽膜作為氧化物絕緣膜 22：在 280℃以上且 400℃以下的溫度下保持設置在電漿 CVD 設備的抽成真空的處理室內的基板，將源氣體導入處理室，將處理室內的壓力設定為 100Pa 以上且 250Pa 以下，並對設置在處理室內的電極供應高頻電力。

[0211] 在上述成膜條件下，藉由將基板溫度設定為上述溫度，矽與氧的鍵合力變強。其結果是，作為氧化物絕緣膜 22 可以形成具有透氧性，緻密且硬的氧化物絕緣膜，典型的是，在 25℃下利用 0.5wt.%氫氟酸時的蝕刻速率為 10nm/分鐘以下，較佳為 8nm/分鐘以下的氧化矽膜或氧氮化矽膜。

[0212] 由於邊進行加熱邊形成氧化物絕緣膜 22，所以在該製程中可以使包含在氧化物半導體膜 19a 中的氫、水等脫離。包含在氧化物半導體膜 19a 中的氫與在電漿中產生的氧自由基鍵合，而成為水。由於在氧化物絕緣膜 22 的形成製程中對基板進行加熱，所以因氧與氫的鍵合而產生的水從氧化物半導體膜脫離。就是說，藉由使用電漿 CVD 法形成氧化物絕緣膜 22，可以減少包含在氧化物半導體膜 19a 中的水及氫。

[0213] 另外，由於邊進行加熱邊形成氧化物絕緣膜 22，所以氧化物半導體膜 19a 被露出的狀態下的加熱時間

短，由此可以減少因加熱處理從氧化物半導體膜脫離的氧量。就是說，可以減少包含在氧化物半導體膜中的氧缺損量。

[0214] 另外，藉由將氧化性氣體量設定為包含矽的沉積氣體量的 100 倍以上，可以減少氧化物絕緣膜 22 中的含氫量。其結果是，可以減少混入氧化物半導體膜 19a 的氫量，由此可以抑制電晶體的臨界電壓的負向漂移。

[0215] 在此，作為氧化物絕緣膜 22，利用電漿 CVD 法形成厚度為 50nm 的氧氮化矽膜的條件如下：將流量為 30sccm 的矽烷及流量為 4000sccm 的一氧化二氮用作源氣體；將處理室的壓力設定為 200Pa；將基板溫度設定為 220℃；利用 27.12MHz 的高頻電源將 150W 的高頻電力供應到平行平板電極。藉由採用上述條件，可以形成具有透氧性的氧氮化矽膜。

[0216] 可以在如下條件下形成氧化矽膜或氧氮化矽膜作為氧化物絕緣膜 24：在 180℃以上且 280℃以下，較佳為 200℃以上且 240℃以下的溫度下保持設置在電漿 CVD 設備的抽成真空的處理室內的基板，將源氣體導入處理室，將處理室內的壓力設定為 100Pa 以上且 250Pa 以下，較佳為 100Pa 以上且 200Pa 以下，並對設置在處理室內的電極供應 $0.17W/cm^2$ 以上且 $0.5W/cm^2$ 以下，較佳為 $0.25W/cm^2$ 以上且 $0.35W/cm^2$ 以下的高頻電力。

[0217] 作為氧化物絕緣膜 24 的源氣體，較佳為使用包含矽的沉積氣體及氧化性氣體。包含矽的沉積氣體的典

型例子為矽烷、乙矽烷、丙矽烷、氟化矽烷等。氧化性氣體的例子為氧、臭氧、一氧化二氮、二氧化氮等。

[0218] 作為氧化物絕緣膜 24 的成膜條件，在上述壓力的處理室中供應具有上述功率密度的高頻電力，由此在電漿中源氣體的分解效率得到提高，氧自由基增加，且促進源氣體的氧化，使得氧化物絕緣膜 24 中的含氧量超過化學計量組成。另一方面，在上述基板溫度下形成的膜中，由於矽與氧的鍵合力較低，因此，因後面製程的加熱處理而使膜中的氧的一部分脫離。其結果是，可以形成其氧含量超過化學計量組成且因加熱而釋放氧的一部分的氧化物絕緣膜。另外，因為在氧化物半導體膜 19a 上設置有氧化物絕緣膜 22，所以在氧化物絕緣膜 24 的形成製程中，氧化物絕緣膜 22 被用作氧化物半導體膜 19a 的保護膜。其結果是，可以在減少對氧化物半導體膜 19a 造成的損傷的同時使用功率密度高的高頻電力形成氧化物絕緣膜 24。

[0219] 在此，作為氧化物絕緣膜 24，利用電漿 CVD 法形成厚度為 400nm 的氧氮化矽膜的條件如下：將流量為 200sccm 的矽烷及流量為 4000sccm 的一氧化二氮用作源氣體，將處理室的壓力設定為 200Pa，將基板溫度設定為 220℃，使用 27.12MHz 的高頻電源將 1500W 的高頻電力供應到平行平板電極。電漿 CVD 設備是電極面積為 6000cm^2 的平行平板型電漿 CVD 設備，將所供應的電功率的換算為每單位面積的電功率（電功率密度）為

$0.25W/cm^2$。

[0220] 另外，當形成用作源極電極和汲極電極的導電膜 21a 及導電膜 21b 時，由於導電膜的蝕刻，氧化物半導體膜 19a 會受到損傷而在氧化物半導體膜 19a 的背後通道（在氧化物半導體膜 19a 中與對置於用作閘極電極的導電膜 13 的表面相反一側的表面）一側產生氧缺損。但是，藉由作為氧化物絕緣膜 24 使用其氧含量超過化學計量組成的氧化物絕緣膜，可以利用加熱處理修復產生在該背後通道一側的氧缺損。由此，可以減少氧化物半導體膜 19a 中的缺陷，因此，可以提高電晶體 102 的可靠性。

[0221] 接著，在氧化物絕緣膜 24 上經使用第四光罩的光微影製程形成遮罩。然後，使用該遮罩對氧化物絕緣膜 22 及氧化物絕緣膜 24 的一部分進行蝕刻，如圖 11D 所示，形成具有開口 40 的氧化物絕緣膜 23 及氧化物絕緣膜 25。此後去除遮罩。

[0222] 在上述製程中，較佳為使用乾蝕刻法對氧化物絕緣膜 22 及氧化物絕緣膜 24 進行蝕刻。其結果是，在蝕刻處理中氧化物半導體膜 19c 被暴露於電漿，從而可以增加氧化物半導體膜 19c 的氧缺損量。

[0223] 接著，進行加熱處理。將該加熱處理的溫度典型地設定為 150℃以上且 400℃以下，較佳為 300℃以上且 400℃以下，更佳為 320℃以上且 370℃以下。

[0224] 該加熱處理可以使用電爐、RTA 裝置等來進行。藉由使用 RTA 裝置，可只在短時間內在基板的應變

點以上的溫度下進行加熱處理。由此，可以縮短加熱處理時間。

[0225] 加熱處理可以在氮、氧、超乾燥空氣（含水量為 20ppm 以下，較佳為 1ppm 以下，更佳為 10ppb 以下的空氣）或稀有氣體（氬、氦等）的氛圍下進行。上述氮、氧、超乾燥空氣或稀有氣體較佳為不含有氫、水等。

[0226] 藉由該加熱處理，可以將氧化物絕緣膜 25 中的氧的一部分移動到氧化物半導體膜 19a 中以減少氧化物半導體膜 19a 中的氧缺損量。

[0227] 在氧化物絕緣膜 23 及氧化物絕緣膜 25 包含水、氫等且氮化物絕緣膜 26 還具有阻水性及阻氫性等的情況下，若後續形成氮化物絕緣膜 26 並進行加熱處理，氧化物絕緣膜 23 及氧化物絕緣膜 25 所包含的水、氫等則移動到氧化物半導體膜 19a 中，而在氧化物半導體膜 19a 中產生缺陷。然而，藉由進行上述加熱處理，可以使氧化物絕緣膜 23 及氧化物絕緣膜 25 所包含的水、氫等脫離，由此在可以減少電晶體 102 的電特性的不均勻的同時抑制臨界電壓的變動。

[0228] 注意，邊進行加熱邊在氧化物絕緣膜 22 上形成氧化物絕緣膜 24，從而可以將氧移動到氧化物半導體膜 19a 中來減少氧化物半導體膜 19a 中的氧缺損量，由此不必須一定要進行上述加熱處理。

[0229] 雖然也可以在形成氧化物絕緣膜 22 及氧化物絕緣膜 24 之後進行上述加熱處理，但是較佳為在形成氧

化物絕緣膜 23 及氧化物絕緣膜 25 之後進行上述加熱處理。這是因為可以以如下方式形成更加具有導電性的膜的緣故：避免氧移動到氧化物半導體膜 19c；因為氧化物半導體膜 19c 被露出，氧從氧化物半導體膜 19c 脫離而形成氧缺損。

[0230] 在此，在氮及氧氛圍下，以 350℃進行 1 小時的加熱處理。

[0231] 接著，如圖 12A 所示那樣形成氮化物絕緣膜 26。

[0232] 可以適當地使用與氮化物絕緣膜 15 及氧化物絕緣膜 16 同樣的方法來形成氮化物絕緣膜 26。藉由使用濺射法、CVD 法等形成氮化物絕緣膜 26，可以將氧化物半導體膜 19c 暴露於電漿，由此能夠增加氧化物半導體膜 19c 的氧缺損量。

[0233] 另外，氧化物半導體膜 19c 的導電性得到提高而成為像素電極 19b。在使用電漿 CVD 法形成氮化矽膜作為氮化物絕緣膜 26 的情況下，包含在氮化矽膜中的氫擴散到氧化物半導體膜 19c，由此可以提高像素電極 19b 的導電性。

[0234] 當作為氮化物絕緣膜 26 利用電漿 CVD 法來形成氮化矽膜時，藉由在 300℃以上且 400℃以下，較佳為 320℃以上且 370℃以下的溫度下保持設置在電漿 CVD 設備的抽成真空的處理室中的基板，可以形成緻密的氮化矽膜，所以是較佳的。

[0235] 當形成氮化矽膜時，較佳為使用包含矽的沉積氣體、氮及氨作為源氣體。藉由使用相對於氮量的氨量少的源氣體，在電漿中氨發生解離而產生活性種，該活性種切斷包含矽的沉積氣體中含有的矽與氫的鍵合及氮的三鍵。其結果是，可以促進矽與氮的鍵合，而形成矽與氫的鍵合較少、缺陷較少且緻密的氮化矽膜。另一方面，在使用相對於氮量的氨量多的源氣體時，包含矽的沉積氣體及氮各自的分解不進展，矽與氫的鍵合殘留，導致形成缺陷較多且不緻密的氮化矽膜。由此，在源氣體中，較佳為將氨與氮的流量比設定為 1:5 以上且 1:50 以下，較佳為 1:10 以上且 1:50 以下。

[0236] 在此，作為氮化物絕緣膜 26，利用電漿 CVD 法形成厚度為 50nm 的氮化矽膜的條件如下：在電漿 CVD 設備的處理室中，將流量為 50sccm 的矽烷、流量為 5000sccm 的氮以及流量為 100sccm 的氨用作源氣體，將處理室的壓力設定為 100Pa，將基板溫度設定為 350℃，用 27.12MHz 的高頻電源對平行平板電極供應 1000W 的高頻電力。電漿 CVD 設備是電極面積為 6000cm^2 的平行平板型電漿 CVD 設備，將所供應的電功率的換算為每單位面積的電功率（電功率密度）為 $1.7\times10^{-1}W/cm^2$。

[0237] 接著，也可以進行加熱處理。將該加熱處理的溫度典型地設定為 150℃ 以上且 400℃ 以下，較佳為 300℃ 以上且 400℃ 以下，更佳為 320℃ 以上且 370℃ 以下。其結果是，可以降低臨界電壓的負向漂移。另外，還

可以降低臨界電壓的變動量。

[0238] 接著，雖然未圖示，但藉由使用第五光罩的光微影製程來形成遮罩。然後，使用該遮罩，蝕刻氮化物絕緣膜 15、氧化物絕緣膜 16、氧化物絕緣膜 23、氧化物絕緣膜 25 及氮化物絕緣膜 26 的每一個的一部分來形成氮化物絕緣膜 27，與此同時，形成使與導電膜 13 同時形成的連接端子的一部分露出的開口。或者，分別蝕刻氧化物絕緣膜 23、氧化物絕緣膜 25 及氮化物絕緣膜 26 的一部分來形成氮化物絕緣膜 27，與此同時，形成使與導電膜 21a、21b 同時形成的連接端子的一部分露出的開口。

[0239] 接著，如圖 12B 所示，在氮化物絕緣膜 27 上形成將成為共用電極 29 的導電膜 28。

[0240] 導電膜 28 藉由濺射法、CVD 法、蒸鍍法等而形成。

[0241] 接著，在導電膜 28 上經使用第六光罩的光微影製程形成遮罩。然後使用該遮罩對導電膜 28 的一部分進行蝕刻，如圖 12C 所示那樣，形成共用電極 29。注意，雖然未圖示，但共用電極 29 連接於與導電膜 13 同時形成的連接端子或者與導電膜 21a、21b 同時形成的連接端子。此後去除遮罩。

[0242] 經上述製程，可以在製造電晶體 102 的同時製造電容元件 105。

[0243] 本實施方式所示的顯示裝置的元件基板的頂面形狀為鋸齒形狀，並且形成有共用電極，該共用電極包

括在與用作信號線的導電膜交叉的方向上延伸的條狀的區域。因此，可以製造對比度良好的顯示裝置。另外，在更新頻率低的液晶顯示裝置中，可以減少閃爍。

[0244] 在本實施方式所示的顯示裝置的元件基板上，在形成電晶體的氧化物半導體膜的同時形成像素電極，由此可以利用六個光罩製造電晶體 102 及電容元件 105。像素電極用作電容元件的一個電極。另外，公用電極用作電容元件的另一個電極。由此，不需要重新形成導電膜以形成電容元件，從而可以減少製程。另外，電容元件具有透光性。其結果是，可以在增大電容元件的佔有面積的同時提高像素的開口率。還可以製造耗電量低的顯示裝置。

[0245] 本實施方式所示的結構及方法等可以與其他實施方式所示的結構及方法等適當地組合而實施。

[0246]

〈變形例子 1〉

參照圖 13A 及圖 13B 對實施方式 1 所示的顯示裝置中的設置與共用電極連接的公用線的結構進行說明。

[0247] 圖 13A 是顯示裝置所包括的像素 103a 至 103c 的俯視圖，圖 13B 示出圖 13A 中的點劃線 A-B、C-D 的剖面圖。

[0248] 如圖 13A 所示，共用電極 29 的頂面形狀是鋸齒形狀，用作信號線的導電膜 21a 的延伸方向與共用電極 29 的延伸方向交叉。

[0249] 在此，為了容易理解共用電極 29 的結構，使用陰影來說明共用電極 29 的形狀。共用電極 29 包括以左斜的陰影表示的區域以及以右斜的陰影表示的區域。以左斜的陰影表示的區域是條狀的區域（第一區域），並且為鋸齒形狀，用作信號線的導電膜 21a 的延伸方向與共用電極 29 的延伸方向交叉。以右斜的陰影表示的區域是與條狀的區域（第一區域）連接的連接區域（第二區域），該區域在與用作信號線的導電膜 21a 平行或大致平行的方向上延伸。

[0250] 另外，公用線 21c 與共用電極 29 的連接區域（第二區域）重疊。

[0251] 公用線 21c 可以設置在每一個像素中。或者，公用線 21c 可以設置在每多個像素中。例如，如圖 13A 所示，藉由對三個像素設置一個公用線 21c，在顯示裝置的平面中能夠減少公用線所占的面積。或者，也可以對四個以上的像素設置一個公用線。其結果是，能夠提高像素的面積及像素的開口率。

[0252] 在像素電極 19b 與共用電極 29 重疊的區域中，液晶分子不容易被在像素電極 19b 與共用電極 29 的連接區域（第二區域）之間產生的電場驅動。因此，在共用電極 29 的連接區域（第二區域）中，藉由減少與像素電極 19b 重疊的區域，能夠增加液晶分子被驅動的區域，從而可以提高開口率。例如，如圖 13A 所示，藉由將共用電極 29 的連接區域（第二區域）設置在不與像素電極

19b 重疊的位置，能夠減少與像素電極 19b 和共用電極 29 的連接區域重疊的面積，從而能夠提高像素的開口率。

[0253] 如圖 13B 所示，公用線 21c 可以與用作信號線的導電膜 21a 同時形成。另外，共用電極 29 在形成在氧化物絕緣膜 23、氧化物絕緣膜 25 及氮化物絕緣膜 27 中的開口 42 與公用線 21c 連接。

[0254] 與共用電極 29 的材料相比，導電膜 21a 的材料的電阻率低，所以能夠降低共用電極 29 及公用線 21c 的電阻。

[0255] 本實施方式所示的結構及方法等可以與其他實施方式所示的結構及方法等適當地組合而實施。

[0256]

實施方式 3

在本實施方式中，參照圖式對與實施方式 2 不同的顯示裝置及其製造方法進行說明。本實施方式與實施方式 2 的不同之處在於高清晰的顯示裝置所包括的電晶體包括能夠減少漏光的源極電極及汲極電極。注意，省略與實施方式 2 重複的結構的說明。

[0257] 圖 14 是本實施方式所示的顯示裝置的俯視圖。其特徵為：用作源極電極和汲極電極中的一個的導電膜 21b 的頂面形狀是 L 字形。也就是說，在導電膜 21b 的平面形狀，在與用作掃描線的導電膜 13 垂直的方向上延伸的區域 21b_1 與在與該導電膜 13 平行或大致平行的方向上延伸的區域 21b_2 連接，並且該區域 21b_2 在平面中

與導電膜 13、像素電極 19b 和共用電極 29 中的一個以上重疊。或者，導電膜 21b 包括在與該導電膜 13 平行或大致平行的方向上延伸的區域 21b_2，該區域 21b_2 在平面中位於導電膜 13 與像素電極 19b 或共用電極 29 之間。

[0258] 在高清晰的顯示裝置中，像素的面積得到減少，所以用作掃描線的導電膜 13 與共用電極 29 之間的距離變窄。在顯示黑色的像素中，當使電晶體成為導通狀態的電壓被施加到用作掃描線的導電膜 13 時，在顯示黑色的像素電極 19b 中，在像素電極與用作掃描線的導電膜 13 之間產生電場。其結果是，液晶分子向非意圖的方向轉動，並成為漏光的原因。

[0259] 然而，在本實施方式所示的顯示裝置所包括的電晶體中，在用作源極電極和汲極電極中的一個的導電膜 21b 中，包括與導電膜 13、像素電極 19b 和共用電極 29 中的一個以上重疊的區域 21b_2，或者，在平面中，包括位於導電膜 13 與像素電極 19b 或共用電極 29 之間的區域 21b_2。其結果是，區域 21b_2 遮擋用作掃描線的導電膜 13 的電場，因此能夠抑制在該導電膜 13 與像素電極 19b 之間產生的電場，從而可以減少漏光。

[0260] 另外，導電膜 21b 也可以與共用電極 29 重疊。可以將該重疊的區域用作電容元件。因此，藉由採用這樣的結構，可以增加電容元件的電荷容量。圖 24 示出該情況的例子。

[0261] 本實施方式所示的結構及方法等可以與其他

實施方式所示的結構及方法等適當地組合而實施。

[0262]

實施方式 4

在本實施方式中，參照圖式對與實施方式 2 及實施方式 3 不同的顯示裝置及其製造方法進行說明。本實施方式與實施方式 2 的不同之處在於高清晰的顯示裝置包括能夠減少漏光的共用電極。注意，省略與實施方式 2 重複的結構的說明。

[0263] 圖 15 是本實施方式所示的顯示裝置的俯視圖。其特徵為：共用電極 29a 包括在與用作信號線的導電膜 21a 交叉的方向上延伸的條狀的區域 29a_1 以及與該條狀的區域連接且與用作掃描線的導電膜 13 重疊的區域 29a_2。

[0264] 在高清晰的顯示裝置中，像素的面積得到減少，所以用作掃描線的導電膜 13 與像素電極 19b 之間的距離變窄。當電壓施加到用作掃描線的導電膜 13 時，在該導電膜 13 與像素電極 19b 之間產生電場。其結果是，液晶分子向非意圖的方向轉動，並成為漏光的原因。

[0265] 然而，本實施方式所示的顯示裝置包括具有與用作掃描線的導電膜 13 交叉的區域 29a_2 的共用電極 29a。其結果是，能夠抑制在用作掃描線的導電膜 13 與共用電極 29a 之間產生的電場，從而可以減少漏光。

[0266] 另外，導電膜 21b 也可以與共用電極 29 重疊。可以將該重疊的區域用作電容元件。因此，藉由採用

這樣的結構，可以增加電容元件的電荷容量。圖 25 示出該情況的例子。

[0267] 本實施方式所示的結構及方法等可以與其他實施方式所示的結構及方法等適當地組合而實施。

[0268]

實施方式 5

在本實施方式中，參照圖式對與實施方式 2 不同的顯示裝置及其製造方法進行說明。本實施方式與實施方式 2 的不同之處在於：電晶體採用在不同的閘極電極之間設置有氧化物半導體膜的結構，即雙閘極結構的電晶體。注意，省略與實施方式 2 重複的結構的說明。

[0269] 對顯示裝置所包括的元件基板的具體結構進行說明。如圖 26 所示，本實施方式所示的元件基板與實施方式 2 的不同之處在於具有用作閘極電極的導電膜 29b，該導電膜 29b 分別與用作閘極電極的導電膜 13、氧化物半導體膜 19a、導電膜 21a、21b 以及氧化物絕緣膜 25 的一部分或全部重疊。用作閘極電極的導電膜 29b 在開口 41a、41b 與用作閘極電極的導電膜 13 連接。

[0270] 圖 26 所示的電晶體 102a 是通道蝕刻型電晶體。注意，沿著線 A-B 的剖面圖是通道長度方向上的電晶體 102a 以及電容元件 105a 的剖面圖，沿著線 C-D 的剖面圖是通道寬度方向上的電晶體 102a、用作閘極電極的導電膜 13 以及用作閘極電極的導電膜 29b 的連接部的剖面圖。

[0271] 圖 26 所示的電晶體 102a 是具有雙閘極結構的電晶體，其包括：設置在基板 11 上的用作閘極電極的導電膜 13；形成在基板 11 及用作閘極電極的導電膜 13 上的氮化物絕緣膜 15；形成在氮化物絕緣膜 15 上的氧化物絕緣膜 17；隔著氮化物絕緣膜 15 及氧化物絕緣膜 17 與用作閘極電極的導電膜 13 重疊的氧化物半導體膜 19a；以及與氧化物半導體膜 19a 接觸的用作源極電極和汲極電極的導電膜 21a 及 21b。在氧化物絕緣膜 17、氧化物半導體膜 19a、用作源極電極和汲極電極的導電膜 21a 及 21b 上形成有氧化物絕緣膜 23，在氧化物絕緣膜 23 上形成有氧化物絕緣膜 25。在氮化物絕緣膜 15、氧化物絕緣膜 23、氧化物絕緣膜 25 及導電膜 21b 上形成有氮化物絕緣膜 27。另外，像素電極 19b 形成在氧化物絕緣膜 17 上。像素電極 19b 連接於用作源極電極和汲極電極的導電膜 21a、21b 中的一個，在此連接於導電膜 21b。另外，共用電極 29 及用作閘極電極的導電膜 29b 形成在氮化物絕緣膜 27 上。

[0272] 如沿著線 C-D 的剖面圖所示，在設置在氮化物絕緣膜 15 及氮化物絕緣膜 27 中的開口 41a 中，用作閘極電極的導電膜 29b 與用作閘極電極的導電膜 13 連接。也就是說，用作閘極電極的導電膜 13 的電位與用作閘極電極的導電膜 29b 的電位相等。

[0273] 由此，藉由對電晶體 102a 的各閘極電極施加同一電位的電壓，可以降低初始特性的不均勻並抑制由-

GBT 應力測試導致的劣化及受到汲極電壓左右的通態電流（on-state current）的上升電壓變動。另外，在氧化物半導體膜 19a 中，還可以在膜厚度方向上進一步增大載子流動的區域，使得載子的遷移量增多。其結果是，電晶體 102a 的通態電流變高，並且場效移動率變高，典型為 $20cm^2/V\cdot s$ 以上。

[0274] 在本實施方式所示的電晶體 102a 上形成有被分離的氧化物絕緣膜 23、25，該被分離的氧化物絕緣膜 23、25 與氧化物半導體膜 19a 重疊。在通道寬度方向上的剖面圖中，氧化物絕緣膜 23 及 25 的端部位於氧化物半導體膜 19a 的外側。並且，在圖 26 所示的通道寬度方向上，用作閘極電極的導電膜 29b 隔著氧化物絕緣膜 23 及 25 與氧化物半導體膜 19a 的側面相對。

[0275] 氧化物半導體膜的藉由蝕刻等而被加工的端部在由於受到加工時的損傷而形成缺陷的同時，由於雜質附著等而被污染。由此，氧化物半導體膜的端部在被施加電場等壓力時容易被活化而成為 n 型（低電阻）。因此，與用作閘極電極的導電膜 13 重疊的氧化物半導體膜 19a 的端部容易被 n 型化。在該被 n 型化的端部被設置在用作源極電極及汲極電極的導電膜 21a 與導電膜 21b 之間時，n 型化的區域成為載子的路徑而形成寄生通道。但是，藉由如沿著線 C-D 的剖面圖所示那樣在通道寬度方向上使用作閘極電極的導電膜 29b 隔著氧化物絕緣膜 23 及 25 與氧化物半導體膜 19a 的側面相對，借助於用作閘極電極的導

電膜 29b 的電場的影響，可以抑制寄生通道發生在氧化物半導體膜 19a 的側面或包含該側面及其附近的區域中。其結果是，成為臨界電壓中的汲極電流的上升急劇的電特性優良的電晶體。

[0276] 另外，在電容元件 105a 中，像素電極 19b 是與氧化物半導體膜 19a 同時形成的膜，且是藉由包含雜質而導電性得到提高的膜。或者，像素電極 19b 是與氧化物半導體膜 19a 同時形成的膜，且因電漿損傷等形成氧缺損而導電性得到提高的膜。或者，像素電極 19b 是與氧化物半導體膜 19a 同時形成的膜，且是藉由包含雜質並因電漿損傷等形成氧缺損而導電性得到提高的膜。

[0277] 在本實施方式所示的顯示裝置的元件基板上，在形成電晶體的氧化物半導體膜的同時形成像素電極。將像素電極用作電容元件的一個電極。將共用電極用作電容元件的另一個電極。由此，不需要重新形成導電膜以形成電容元件，從而可以減少製程數。另外，電容元件具有透光性。其結果是，可以在增大電容元件所占的面積的同時提高像素的開口率。

[0278] 下面詳細說明電晶體 102a 的結構。省略使用與實施方式 2 相同的符號表示的結構的說明。

[0279] 用作閘極電極的導電膜 29b 可以適當地使用與實施方式 2 所示的共用電極 29 同樣的材料。

[0280] 接著，參照圖 10A 至圖 12A 及圖 27A 至圖 27C 對圖 26 所示的電晶體 102a 及電容元件 105a 的製造

方法進行說明。

[0281] 與實施方式 2 同樣地，經圖 10A 至圖 12A 的製程，在基板 11 上分別形成用作閘極電極的導電膜 13、氮化物絕緣膜 15、氧化物絕緣膜 16、氧化物半導體膜 19a、像素電極 19b、用作源極電極及汲極電極的導電膜 21a 及 21b、氧化物絕緣膜 22、氧化物絕緣膜 24 以及氮化物絕緣膜 26。在該製程中，進行使用第一光罩至第四光罩的光微影製程。

[0282] 接著，在氮化物絕緣膜 26 上經使用第五光罩的光微影製程形成遮罩，然後使用該遮罩對氮化物絕緣膜 26 的一部分進行蝕刻，如圖 27A 所示，形成具有開口 41a、41b 的氮化物絕緣膜 27。

[0283] 接著，如圖 27B 所示，在用作閘極電極的導電膜 13、導電膜 21b 及氮化物絕緣膜 27 上形成在後面將成為共用電極 29、用作閘極電極的導電膜 29b 的導電膜 28。

[0284] 接著，在導電膜 28 上經使用第六光罩的光微影製程形成遮罩。接著，用該遮罩對導電膜 28 的一部分進行蝕刻來形成圖 27C 所示的共用電極 29 及用作閘極電極的導電膜 29b。然後，去除遮罩。

[0285] 經上述製程，可以在製造電晶體 102a 的同時製造電容元件 105a。

[0286] 在本實施方式所示的電晶體中，在通道寬度方向上使用作閘極電極的共用電極 29 隔著氧化物絕緣膜

23 及 25 與氧化物半導體膜 19a 的側面相對，由此借助於用作閘極電極的導電膜 29b 的電場的影響，可以抑制寄生通道發生在氧化物半導體膜 19a 的側面或包含該側面及其附近的區域中。其結果是，成為臨界電壓中的汲極電流的上升急劇的電特性優良的電晶體。

[0287] 在本實施方式所示的顯示裝置的元件基板上設置有包括在與信號線交叉的方向的延伸的條狀的區域的共用電極。因此，可以製造對比度高的顯示裝置。

[0288] 在本實施方式所示的顯示裝置的元件基板上，在形成電晶體的氧化物半導體膜的同時形成像素電極。像素電極用作電容元件的一個電極。另外，共用電極用作電容元件的另一個電極。由此，不需要重新形成導電膜以形成電容元件，從而可以減少製程。另外，電容元件具有透光性。其結果是，可以在增大電容元件的佔有面積的同時提高像素的開口率。

[0289] 本實施方式所示的結構及方法等可以與其他實施方式所示的結構及方法等適當地組合而實施。

[0290]

實施方式 6

在本實施方式中，參照圖式對包括與上述實施方式相比能夠進一步減少氧化物半導體膜中的缺陷量的電晶體的顯示裝置進行說明。本實施方式所說明的電晶體與實施方式 2 至實施方式 5 所說明的電晶體之間的不同之處在於：本實施方式所示的電晶體包括具有多個氧化物半導體膜的

多層膜。在此，參照實施方式 2 說明電晶體的詳細內容。

[0291] 圖 16A 及圖 16B 示出顯示裝置所包括的元件基板的剖面圖。圖 16A 及圖 16B 是沿著圖 6 中的點劃線 A-B 及點劃線 C-D 的剖面圖。

[0292] 圖 16A 所示的電晶體 102b 具有隔著氮化物絕緣膜 15 及氧化物絕緣膜 17 與用作閘極電極的導電膜 13 重疊的多層膜 37a、與多層膜 37a 接觸的用作源極電極和汲極電極的導電膜 21a 及導電膜 21b。在氮化物絕緣膜 15 及氧化物絕緣膜 17、多層膜 37a 以及用作源極電極和汲極電極的導電膜 21a 及導電膜 21b 上形成有氧化物絕緣膜 23、氧化物絕緣膜 25 以及氮化物絕緣膜 27。

[0293] 圖 16A 所示的電容元件 105b 具有形成在氧化物絕緣膜 17 上的多層膜 37b、與多層膜 37b 接觸的氮化物絕緣膜 27 以及與氮化物絕緣膜 27 接觸的公用電極 29。多層膜 37b 用作像素電極。

[0294] 在本實施方式所示的電晶體 102b 中，多層膜 37a 包括氧化物半導體膜 19a 及氧化物半導體膜 39a。即，多層膜 37a 為兩層結構。另外，將氧化物半導體膜 19a 的一部分用作通道區域。此外，以與多層膜 37a 接觸的方式形成有氧化物絕緣膜 23，以與氧化物絕緣膜 23 接觸的方式形成有氧化物絕緣膜 25。換言之，在氧化物半導體膜 19a 與氧化物絕緣膜 23 之間設置有氧化物半導體膜 39a。

[0295] 氧化物半導體膜 39a 是由構成氧化物半導體

膜 19a 的元素中的一種以上構成的氧化物膜。因此，由於氧化物半導體膜 19a 與氧化物半導體膜 39a 之間的介面不容易產生介面散射。由此，由於在該介面中載子的移動不被阻礙，因此電晶體的場效移動率得到提高。

[0296] 作為氧化物半導體膜 39a，典型的是 In-Ga 氧化物膜、In-Zn 氧化物膜、In-M-Zn 氧化物膜（M 是 Al、Ga、Y、Zr、Sn、La、Ce 或 Nd），並且與氧化物半導體膜 19a 相比，氧化物半導體膜 39a 的導帶底端的能量較接近於真空能階，典型的是，氧化物半導體膜 39a 的導帶底端的能量和氧化物半導體膜 19a 的導帶底端的能量之間的差異較佳為 0.05eV 以上、0.07eV 以上、0.1eV 以上或 0.15eV 以上，且 2eV 以下、1eV 以下、0.5eV 以下或 0.4eV 以下。換言之，氧化物半導體膜 39a 的電子親和力與氧化物半導體膜 19a 的電子親和力之差為 0.05eV 以上、0.07eV 以上、0.1eV 以上或者 0.15eV 以上，且 2eV 以下、1eV 以下、0.5eV 以下或者 0.4eV 以下。

[0297] 氧化物半導體膜 39a 藉由包含 In 提高載子移動率（電子移動率），所以是較佳的。

[0298] 藉由使氧化物半導體膜 39a 具有其原子個數比高於 In 的原子個數比的 Al、Ga、Y、Zr、Sn、La、Ce 或 Nd，有時具有如下效果：（1）增大氧化物半導體膜 39a 的能隙。（2）減小氧化物半導體膜 39a 的電子親和力。（3）減少來自外部的雜質的擴散。（4）絕緣性比氧化物半導體膜 19a 高。（5）由於 Al、Ga、Y、Zr、Sn、La

、Ce 或 Nd 是與氧的鍵合力強的金屬元素，所以不容易產生氧缺損。

[0299] 在氧化物半導體膜 39a 為 In-M-Zn 氧化物膜的情況下，當 In 和 M 的總和為 100atomic%時，In 及 M 的原子個數比為如下：In 低於 50atomic%且 M 高於 50 atomic%；更佳為 In 低於 25atomic%且 M 高於 75 atomic%。

[0300] 另外，當氧化物半導體膜 19a 及氧化物半導體膜 39a 為 In-M-Zn 氧化物膜（M 為 Al、Ga、Y、Zr、Sn、La、Ce 或 Nd）時，氧化物半導體膜 39a 所含的 M（Al、Ga、Y、Zr、Sn、La、Ce 或 Nd）的原子個數比大於氧化物半導體膜 19a 所含的 M 的原子個數比，典型的是，氧化物半導體膜 39a 所含的 M 的原子個數比為氧化物半導體膜 19a 所含的 M 的原子個數比的 1.5 倍以上，較佳為 2 倍以上，更佳為 3 倍以上。

[0301] 另外，當氧化物半導體膜 19a 及氧化物半導體膜 39a 為 In-M-Zn 氧化物膜（M 為 Al、Ga、Y、Zr、Sn、La、Ce 或 Nd）時，並且氧化物半導體膜 39a 的原子個數比為 $In:M:Zn=x_1:y_1:z_1$，且氧化物半導體膜 19a 的原子個數比為 $In:M:Zn=x_2:y_2:z_2$ 的情況下，y_1/x_1 大於 y_2/x_2，較佳為 y_1/x_1 為 y_2/x_2 的 1.5 倍以上，更佳為 y_1/x_1 為 y_2/x_2 的 2 倍以上，進一步較佳為 y_1/x_1 為 y_2/x_2 的 3 倍以上。

[0302] 當氧化物半導體膜 19a 是 In-M-Zn 氧化物膜（M 是 Al、Ga、Y、Zr、Sn、La、Ce 或 Nd）時，在用於

形成氧化物半導體膜 19a 的靶材中，假設金屬元素的原子個數比為 $In:M:Zn=x_1:y_1:z_1$ 時，x_1/y_1 較佳為 1/3 以上且 6 以下，更佳為 1 以上且 6 以下，z_1/y_1 較佳為 1/3 以上且 6 以下，更佳為 1 以上且 6 以下。注意，藉由使 z_1/y_1 為 1 以上且 6 以下，可以使用作氧化物半導體膜 19a 的 CAAC-OS 膜容易形成。作為靶材的金屬元素的原子個數比的典型例子，可以舉出 In:M:Zn=1:1:1、In:M:Zn=1:1:1.2、In:M:Zn=3:1:2 等。

[0303] 當氧化物半導體膜 39a 是 In-M-Zn 氧化物膜（M 是 Al、Ga、Y、Zr、Sn、La、Ce 或 Nd）時，在用於形成氧化物半導體膜 39a 的靶材中，假設金屬元素的原子個數比為 $In:M:Zn=x_2:y_2:z_2$ 時，$x_2/y_2<x_1/y_1$，z_2/y_2 較佳為 1/3 以上且 6 以下，更佳為 1 以上且 6 以下。注意，藉由使 z_2/y_2 為 1 以上且 6 以下，可以使用作氧化物半導體膜 39a 的 CAAC-OS 膜容易形成。作為靶材的金屬元素的原子個數比的典型例子，可以舉出 In:M:Zn=1:3:2、In:M:Zn=1:3:4、In:M:Zn=1:3:6、In:M:Zn=1:3:8、In:M:Zn=1:4:4、In:M:Zn=1:4:5、In:M:Zn=1:6:8 等。

[0304] 另外，氧化物半導體膜 19a 及氧化物半導體膜 39a 的原子個數比作為誤差包括上述原子個數比的±40%的變動。

[0305] 當在後面形成氧化物絕緣膜 25 時，氧化物半導體膜 39a 還用作緩和對氧化物半導體膜 19a 所造成的損傷的膜。

[0306] 將氧化物半導體膜 39a 的厚度設定為 3nm 以上且 100nm 以下，較佳為 3nm 以上且 50nm 以下。

[0307] 另外，氧化物半導體膜 39a 與氧化物半導體膜 19a 同樣地例如可以具有非單晶結構。非單晶結構例如包括下述 CAAC-OS（C Axis Aligned-Crystalline Oxide Semiconductor）、多晶結構、下述微晶結構或非晶結構。

[0308] 氧化物半導體膜 39a 例如也可以具有非晶結構。非晶結構的氧化物半導體膜例如具有無秩序的原子排列且不具有結晶成分。或者，非晶結構的氧化物膜例如完全是非晶結構，而不具有結晶部。

[0309] 此外，也可以在氧化物半導體膜 19a 及氧化物半導體膜 39a 中分別構成具有非晶結構的區域、微晶結構的區域、多晶結構的區域、CAAC-OS 的區域和單晶結構的區域中的兩種以上的區域的混合膜。混合膜有時採用例如具有非晶結構的區域、微晶結構的區域、多晶結構的區域、CAAC-OS 的區域和單晶結構的區域中的兩種以上的區域的單層結構。另外，混合膜有時採用例如層疊有非晶結構的區域、微晶結構的區域、多晶結構的區域、CAAC-OS 的區域和單晶結構的區域中的兩種以上的區域的疊層結構。

[0310] 在此，在氧化物半導體膜 19a 與氧化物絕緣膜 23 之間設置有氧化物半導體膜 39a。因此，在氧化物半導體膜 39a 與氧化物絕緣膜 23 之間即使因雜質及缺陷形成載子陷阱，也在該載子陷阱與氧化物半導體膜 19a 之

間有間隔。其結果是，在氧化物半導體膜 19a 中流過的電子不容易被載子陷阱俘獲，所以不僅能夠增大電晶體的通態電流，而且能夠提高場效移動率。此外，當電子被載子陷阱俘獲時，該電子成為固定負電荷。其結果是，導致電晶體的臨界電壓發生變動。然而，當氧化物半導體膜 19a 與載子陷阱之間有間隔時，能夠抑制電子被載子陷阱俘獲，從而能夠抑制臨界電壓的變動量。

[0311] 此外，由於氧化物半導體膜 39a 能夠遮蔽來自外部的雜質，所以可以減少從外部移動到氧化物半導體膜 19a 中的雜質量。另外，在氧化物半導體膜 39a 中不容易形成氧缺損。由此，能夠減少氧化物半導體膜 19a 中的雜質濃度及氧缺損量。

[0312] 此外，氧化物半導體膜 19a 及氧化物半導體膜 39a 不以簡單地層疊各膜的方式來形成，而是以形成連續接合（在此，特指在各膜之間導帶底端的能量產生連續的變化的結構）的方式來形成。換而言之，採用在各膜之間的介面不存在雜質的疊層結構，該雜質會形成俘獲中心或再結合中心等缺陷能階。如果雜質混入層疊有的氧化物半導體膜 19a 與氧化物半導體膜 39a 之間，則能帶則失去連續性，因此，載子在介面被俘獲或者因再結合而消失。

[0313] 為了形成連續接合，需要使用具備負載鎖定室的多室成膜裝置（濺射裝置）以使各膜不暴露於大氣中的方式連續地進行層疊。在濺射裝置的各室中，較佳為使用低溫泵等吸附式真空抽氣泵進行高真空抽氣（抽空到

5×10^{-7}Pa 至 1×10^{-4}Pa 左右）以盡可能地去除對氧化物半導體膜來說是雜質的水等。或者，較佳為組合渦輪分子泵和冷阱來防止氣體，尤其是包含碳或氫的氣體從抽氣系統倒流到處理室內。

[0314] 另外，如圖 16B 所示的電晶體 102c 那樣，也可以具有多層膜 38a 代替多層膜 37a。

[0315] 另外，如圖 16B 所示的電容元件 105c 那樣，也可以具有多層膜 38b 代替多層膜 37b。

[0316] 多層膜 38a 包括氧化物半導體膜 49a、氧化物半導體膜 19a 及氧化物半導體膜 39a。即，多層膜 38a 具有三層結構。此外，氧化物半導體膜 19a 用作通道區域。

[0317] 氧化物半導體膜 49a 可以適當地使用與氧化物半導體膜 39a 同樣的材料及形成方法。

[0318] 多層膜 38b 包括氧化物半導體膜 49b、氧化物半導體膜 19f 及氧化物半導體膜 39b。即，多層膜 38b 為三層結構。另外，多層膜 38b 用作像素電極。

[0319] 氧化物半導體膜 19f 可以適當地使用與像素電極 19b 同樣的材料及形成方法。氧化物半導體膜 49b 可以適當地使用與氧化物半導體膜 39b 同樣的材料及形成方法。

[0320] 此外，氧化物絕緣膜 17 與氧化物半導體膜 49a 相接觸。即，在氧化物絕緣膜 17 與氧化物半導體膜 19a 之間設置有氧化物半導體膜 49a。

[0321] 此外，多層膜 38a 與氧化物絕緣膜 23 相接

觸。另外，氧化物半導體膜 39a 與氧化物絕緣膜 23 相接觸。即，在氧化物半導體膜 19a 與氧化物絕緣膜 23 之間設置有氧化物半導體膜 39a。

[0322] 較佳為氧化物半導體膜 49a 的厚度比氧化物半導體膜 19a 的厚度薄。藉由將氧化物半導體膜 49a 的厚度設定為 1nm 以上且 5nm 以下，較佳為 1nm 以上且 3nm 以下，可以減少電晶體的臨界電壓的變動量。

[0323] 本實施方式所示的電晶體在氧化物半導體膜 19a 與氧化物絕緣膜 23 之間設置有氧化物半導體膜 39a。因此，在氧化物半導體膜 39a 與氧化物絕緣膜 23 之間即使因雜質及缺陷形成載子陷阱，也在該載子陷阱與氧化物半導體膜 19a 之間有間隔。其結果是，在氧化物半導體膜 19a 中流過的電子不容易被載子陷阱俘獲，所以不僅能夠增大電晶體的通態電流，而且能夠提高場效移動率。此外，當電子被載子陷阱俘獲時，該電子成為固定負電荷。其結果是，導致電晶體的臨界電壓發生變動。然而，當氧化物半導體膜 19a 與載子陷阱之間有間隔時，能夠抑制電子被載子陷阱俘獲，從而能夠減少臨界電壓的變動量。

[0324] 此外，由於氧化物半導體膜 39a 能夠遮蔽來自外部的雜質，所以可以減少從外部移動氧化物半導體膜 19a 的雜質量。此外，在氧化物半導體膜 39a 中不容易形成氧缺損。由此，能夠減少氧化物半導體膜 19a 中的雜質濃度及氧缺損量。

[0325] 另外，由於在氧化物絕緣膜 17 與氧化物半導

體膜 19a 之間設置有氧化物半導體膜 49a，並且在氧化物半導體膜 19a 與氧化物絕緣膜 23 之間設置有氧化物半導體膜 39a，因此，能夠降低氧化物半導體膜 49a 與氧化物半導體膜 19a 之間的介面附近的矽或碳的濃度、氧化物半導體膜 19a 中的矽或碳的濃度或者氧化物半導體膜 39a 與氧化物半導體膜 19a 之間的介面附近的矽或碳的濃度。其結果是，在多層膜 38a 中，利用恆定光電流法導出的吸收係數低於 1×10^{-3}/cm，較佳為低於 1×10^{-4}/cm，即定域態密度極低。

[0326] 在具有這種結構的電晶體 102c 中，因為包含氧化物半導體膜 19a 的多層膜 38a 中的缺陷極少，因此，能夠提高電晶體的電特性，典型的是能夠實現通態電流的增大及場效移動率的提高。另外，當進行應力測試的一個例子，即 BT 應力測試及光 BT 應力測試時，臨界電壓的變動量少，由此可靠性較高。

[0327] 本實施方式所示的結構及方法等可以與其他實施方式所示的結構及方法等適當地組合而實施。

[0328]

實施方式 7

在本實施方式中，對能夠用於包含在上述實施方式所說明的顯示裝置中的電晶體的氧化物半導體膜的一實施方式進行說明。

[0329] 氧化物半導體膜可以由如下氧化物半導體構成：單晶結構的氧化物半導體（以下，稱為單晶氧化物半

導體）、多晶結構的氧化物半導體（以下，稱為多晶氧化物半導體）、微晶結構的氧化物半導體（以下，稱為微晶氧化物半導體）及非晶結構的氧化物半導體（以下，稱為非晶氧化物半導體）中的一種以上；CAAC-OS 膜；非晶氧化物半導體及具有晶粒的氧化物半導體。下面作為典型例子，對 CAAC-OS 及微晶氧化物半導體進行說明。

[0330]

〈CAAC-OS〉

CAAC-OS 膜是包含多個結晶部的氧化物半導體膜之一。包括在 CAAC-OS 膜中的結晶部具有 c 軸配向性。在平面 TEM 影像中，包括在 CAAC-OS 膜中的結晶部的面積為 2500nm^2 以上，較佳為 5μm^2 以上，更佳為 1000μm^2 以上。在剖面 TEM 影像中，藉由使該結晶部的含量為 50%以上，較佳為 80%以上，更佳為 95%以上，則成為其物理性質類似於單晶的薄膜。

[0331] 在 CAAC-OS 膜的穿透式電子顯微鏡（TEM：Transmission Electron Microscope）影像中，難以觀察到結晶部與結晶部之間的明確的邊界，即晶界（grain boundary）。因此，在 CAAC-OS 膜中，不容易發生起因於晶界的電子移動率的降低。

[0332] 根據從大致平行於樣本面的方向觀察的 CAAC-OS 膜的 TEM 影像（剖面 TEM 影像）可知在結晶部中金屬原子排列為層狀。各金屬原子層具有反映著形成 CAAC-OS 膜的面（也稱為被形成面）或 CAAC-OS 膜的頂

面的凸凹的形狀並以平行於 CAAC-OS 膜的被形成面或頂面的方式排列。在本說明書中，“平行”是指兩條直線形成的角度為-10°以上且 10°以下，因此也包括角度為-5°以上且 5°以下的情況。“垂直”是指兩條直線形成的角度為 80°以上且 100°以下，因此也包括角度為 85°以上且 95°以下的情況。

[0333] 另一方面，根據從大致垂直於樣本面的方向觀察的 CAAC-OS 膜的 TEM 影像（平面 TEM 影像）可知在結晶部中金屬原子排列為三角形狀或六角形狀。但是，在不同的結晶部之間金屬原子的排列沒有規律性。

[0334] 此外，在對 CAAC-OS 膜進行電子繞射分析時，觀察到表示配向性的斑點（亮點）。

[0335] 由剖面 TEM 影像及平面 TEM 影像可知，CAAC-OS 膜的結晶部具有配向性。

[0336] 使用 X 射線繞射（XRD：X-Ray Diffraction）裝置對 CAAC-OS 膜進行結構分析。例如，當利用 out-of-plane 法分析 CAAC-OS 膜時，在繞射角（2θ）為 31°附近時常出現峰值。由於該峰值來源於 In-Ga-Zn 氧化物的（00x）面（x 為整數），由此可知 CAAC-OS 膜中的結晶具有 c 軸配向性，並且 c 軸朝向大致垂直於 CAAC-OS 膜的被形成面或頂面的方向。

[0337] 另一方面，當利用從大致垂直於 c 軸的方向使 X 射線入射到樣本的 in-plane 法分析 CAAC-OS 膜時，在 2θ為 56°附近時常出現峰值。該峰值來源於 In-Ga-Zn 氧

化物的結晶的（110）面。在此，將 2θ固定為 56°附近並在以樣本面的法線向量為軸（ϕ軸）旋轉樣本的條件下進行分析（ϕ掃描）。當該樣本是 In-Ga-Zn 氧化物的單晶氧化物半導體膜時，出現六個峰值。該六個峰值來源於相等於（110）面的結晶面。另一方面，當該樣本是 CAAC-OS 膜時，即使在將 2θ固定為 56°附近的狀態下進行ϕ掃描也不能觀察到明確的峰值。

[0338] 由上述結果可知，在具有 c 軸配向的 CAAC-OS 膜中，雖然 a 軸及 b 軸的配向在不同的結晶部之間沒有規律性，但是 c 軸都朝向平行於被形成面或頂面的法線向量的方向。因此，在上述剖面 TEM 影像中觀察到的排列為層狀的各金屬原子層相當於與結晶的 a-b 面平行的面。

[0339] 結晶是在形成 CAAC-OS 膜時或在進行加熱處理等晶化處理時形成的。如上所述，結晶的 c 軸朝向平行於 CAAC-OS 膜的被形成面或頂面的法線向量的方向。由此，例如，當 CAAC-OS 膜的形狀因蝕刻等而發生改變時，結晶的 c 軸不一定平行於 CAAC-OS 膜的被形成面或頂面的法線向量。

[0340] 此外，CAAC-OS 膜中的結晶度不一定均勻。例如，當 CAAC-OS 膜的結晶部是由於 CAAC-OS 膜的頂面附近的結晶成長而形成時，有時頂面附近的結晶度高於被形成面附近的結晶度。另外，還有如下情況：當對 CAAC-OS 膜添加雜質時，被添加了雜質的區域的結晶度

改變，所以 CAAC-OS 膜中的結晶度根據區域而不同。

[0341] 當利用 out-of-plane 法分析 CAAC-OS 膜時，除了在 2θ為 31°附近的峰值之外，有時還在 2θ為 36°附近觀察到峰值。2θ為 36°附近的峰值意味著 CAAC-OS 膜的一部分中含有不具有 c 軸配向的結晶部。較佳的是，在 CAAC-OS 膜中在 2θ為 31°附近時出現峰值而在 2θ為 36°附近時不出現峰值。

[0342] CAAC-OS 膜是雜質濃度低的氧化物半導體膜。雜質是指氫、碳、矽以及過渡金屬元素等氧化物半導體膜的主要成分以外的元素。尤其是，某一種元素如矽等與氧的鍵合力比構成氧化物半導體膜的金屬元素與氧的鍵合力強，該元素會奪取氧化物半導體膜中的氧，從而打亂氧化物半導體膜的原子排列，導致結晶性下降。另外，由於鐵或鎳等的重金屬、氬、二氧化碳等的原子半徑（或分子半徑）大，所以如果包含在氧化物半導體膜內，也會打亂氧化物半導體膜的原子排列，導致結晶性下降。包含在氧化物半導體膜中的雜質有時成為載子陷阱或載子發生源。

[0343] CAAC-OS 膜是缺陷態密度低的氧化物半導體膜。例如，氧化物半導體膜中的氧缺損有時成為載子陷阱，或因俘獲氫而成為載子發生源。

[0344] 將雜質濃度低且缺陷態密度低（氧缺損量少）的狀態稱為“高純度本質”或“實質上高純度本質”。在高純度本質或實質上高純度本質的氧化物半導體

膜中載子發生源少，所以可以降低載子密度。因此，採用該氧化物半導體膜的電晶體很少具有負臨界電壓的電特性（也稱為常導通）。此外，在高純度本質或實質上高純度本質的氧化物半導體膜中載子陷阱少。因此，採用該氧化物半導體膜的電晶體的電特性變動小，於是成為可靠性高的電晶體。被氧化物半導體膜的載子陷阱俘獲的電荷直到被釋放需要的時間長，有時像固定電荷那樣動作。所以，採用雜質濃度高且缺陷態密度高的氧化物半導體膜的電晶體有時電特性不穩定。

[0345] 此外，在使用 CAAC-OS 膜的電晶體中，起因於可見光或紫外光的照射的電特性的變動小。

[0346]

〈微晶氧化物半導體〉

在使用 TEM 觀察的微晶氧化物半導體膜的影像中，有時難以明確地觀察到結晶部。微晶氧化物半導體膜中含有的結晶部的尺寸大多為 1nm 以上且 100nm 以下，或 1nm 以上且 10nm 以下。尤其是，將具有尺寸為 1nm 以上且 10nm 以下或 1nm 以上且 3nm 以下的微晶的奈米晶體（nc：nanocrystal）的氧化物半導體膜稱為 nc-OS（nanocrystalline Oxide Semiconductor）膜。例如，在使用 TEM 觀察 nc-OS 膜時，有時難以明確地確認到晶界。

[0347] nc-OS 膜在微小區域（例如 1nm 以上且 10nm 以下的區域，特別是 1nm 以上且 3nm 以下的區域）中其原子排列具有週期性。另外，nc-OS 膜在不同的結晶部之

間觀察不到晶體配向的規律性。因此，在膜整體上觀察不到配向性。所以，有時 nc-OS 膜在某些分析方法中與非晶氧化物半導體膜沒有差別。例如，在藉由其中利用使用其束徑比結晶部大的 X 射線的 XRD 裝置的 out-of-plane 法對 nc-OS 膜進行結構分析時，檢測不出表示結晶面的峰值。在對 nc-OS 膜進行使用其電子束徑比結晶部大（例如，50nm 以上）的電子射線的電子繞射（也稱為選區電子繞射）時，觀察到類似於光暈圖案的繞射圖案。另一方面，在對 nc-OS 膜進行使用其電子束徑近於結晶部或者比結晶部小（例如，1nm 以上且 30nm 以下）的電子射線的電子繞射（也稱為奈米束電子繞射）時，觀察到斑點。在對 nc-OS 膜進行奈米束電子繞射時，還有時觀察到如圓圈那樣的（環狀的）亮度高的區域。在對 nc-OS 膜進行奈米束電子繞射時，還有時還觀察到環狀的區域內的多個斑點。

[0348] nc-OS 膜是其規律性比非晶氧化物半導體膜高的氧化物半導體膜。因此，nc-OS 膜的缺陷態密度比非晶氧化物半導體膜低。但是，nc-OS 膜在不同的結晶部之間觀察不到晶體配向的規律性。所以，nc-OS 膜的缺陷態密度比 CAAC-OS 膜高。

[0349]

〈氧化物半導體膜及氧化物導電體膜〉

接著，參照圖 38 說明使用氧化物半導體形成的膜（以下稱為氧化物半導體膜（OS））及使用能夠用作像素電極 19b 的氧化物導電體形成的膜（以下稱為氧化物導

電體膜（OC））的導電率的溫度依賴性。在圖 38 中，橫軸示出測定溫度（下橫軸表示 1/T，上橫軸表示 T），縱軸示出導電率（1/ρ）。另外，三角形示出氧化物半導體膜（OS）的測定結果，圓圈示出氧化物導電體膜（OC）的測定結果。

[0350] 以如下方法製造包含氧化物半導體膜（OS）的樣本：在玻璃基板上，藉由使用原子個數比為 In:Ga:Zn=1:1:1.2 的濺射靶材的濺射法形成厚度為 35nm 的 In-Ga-Zn 氧化物膜，藉由使用原子個數比為 In:Ga:Zn=1:4:5 的濺射靶材的濺射法形成厚度為 20nm 的 In-Ga-Zn 氧化物膜，在 450℃的氮氛圍下進行加熱處理之後，在 450℃的氮及氧的混合氣體氛圍下進行加熱處理，並且利用電漿 CVD 法形成氧氮化矽膜。

[0351] 此外，以如下方法製造包含氧化物導電體膜（OC）的樣本：在玻璃基板上，藉由使用原子個數比為 In:Ga:Zn=1:1:1 的濺射靶材的濺射法形成厚度為 100nm 的 In-Ga-Zn 氧化物膜，在 450℃的氮氛圍下進行加熱處理之後，在 450℃的氮及氧的混合氣體氛圍下進行加熱處理，並且利用電漿 CVD 法形成氮化矽膜。

[0352] 從圖 38 可知，氧化物導電體膜（OC）的導電率的溫度依賴性低於氧化物半導體膜（OS）的導電率的溫度依賴性。典型的是，80K 以上且 290K 以下的氧化物導電體膜（OC）的導電率的變化率低於±20%。或者，150K 以上且 250K 以下的導電率的變化率低於±10%。也

就是說，氧化物導電體是簡並半導體，可以推測其傳導帶邊緣能階與費米能階一致或大致一致。因此，可將氧化物導電體膜（OC）用於電阻元件、佈線、電極、像素電極、共用電極等。

[0353] 本實施方式所示的結構及方法等可以與其他實施方式所示的結構及方法等適當地組合而實施。

[0354]

實施方式 8

如在實施方式 2 中所述的那樣，使用氧化物半導體膜的電晶體可以將在關閉狀態的電流值（關態電流值）控制得低。因此，可以延長影像信號等電信號的保持時間，而可以延長寫入間隔。

[0355] 藉由本實施方式的液晶顯示裝置應用關態電流值低的電晶體，可以使其成為至少可以以兩個驅動方法（模式）進行顯示的液晶顯示裝置。第一驅動模式是習知的液晶顯示裝置的驅動方法，其中每一個圖框逐次改寫資料。第二驅動模式是在執行資料的寫入處理之後，停止資料的改寫的驅動方法。也就是說，第二驅動模式是減少了更新頻率的驅動模式。

[0356] 以第一驅動模式進行動態影像的顯示。當顯示靜態影像時，每一個圖框的影像資料沒有變化，所以不需要在每一個圖框中進行資料的改寫。由此，當顯示靜態影像時，藉由以第二驅動模式使液晶顯示裝置進行工作，可以去除畫面的閃爍，同時可以減少耗電量。

[0357] 另外，被應用於本實施方式的液晶顯示裝置的液晶元件包括面積大的電容元件，並且儲存在電容元件的電荷容量大。因此，能夠延長保持像素電極的電位的時間，可以應用減少更新頻率的驅動模式。並且，即使在液晶顯示裝置中應用減少更新頻率的驅動模式的情況下，也能夠長期間地抑制施加到液晶層的電壓的變化，從而可以進一步防止使用者發覺影像的閃爍。因此，可以實現低耗電量化和顯示品質的提高。

[0358] 在此，對減少更新頻率的效果進行說明。

[0359] 眼睛疲勞大致分為神經疲勞和肌肉疲勞的兩種。神經疲勞是：由於長時間一直觀看液晶顯示裝置的發光、閃爍螢幕，使得該亮光刺激視網膜、視神經、腦子而引起的。肌肉疲勞是：由於過度使用在調節焦點時使用的睫狀肌而引起的。

[0360] 圖 17A 示出習知的液晶顯示裝置的顯示的示意圖。如圖 17A 所示，在習知的液晶顯示裝置的顯示中，進行每秒 60 次的影像改寫。長時間一直觀看這種螢幕，恐怕會刺激使用者的視網膜、視神經、腦子而引起眼睛疲勞。

[0361] 在本發明的一個方式中，將關態電流極低的電晶體，例如使用氧化物半導體的電晶體應用於液晶顯示裝置的像素部。另外，液晶元件包括面積大的電容元件。由此能夠抑制儲存在電容元件的電荷洩漏，所以即使減少圖框頻率，也能夠維持液晶顯示裝置的亮度。

[0362] 也就是說，如圖 17B 所示，例如可以進行每 5 秒鐘 1 次的影像改寫，由此可以盡可能地看到相同的影像，這使得使用者所看到的影像閃爍減少。由此，可以減少對使用者的視網膜、視神經、腦子的刺激而減輕神經疲勞。

[0363] 根據本發明的一個方式，可以提供一種對眼睛刺激少的液晶顯示裝置。

[0364]

實施方式 9

在本實施方式中，對應用本發明的一個方式的顯示裝置的電子裝置的結構例子進行說明。另外，在本實施方式中，參照圖 18 對應用本發明的一個方式的顯示裝置的顯示模組進行說明。

[0365] 圖 18 所示的顯示模組 8000 在上蓋 8001 與下蓋 8002 之間包括連接於 FPC8003 的觸控面板 8004、連接於 FPC8005 的顯示面板 8006、背光單元 8007、框架 8009、印刷基板 8010、電池 8011。另外，有時不設置背光單元 8007、電池 8011、觸控面板 8004 等。

[0366] 本發明的一個方式的顯示裝置例如可以用於顯示面板 8006。

[0367] 上蓋 8001 及下蓋 8002 根據觸控面板 8004 及顯示面板 8006 的尺寸可以適當地改變形狀或尺寸。

[0368] 觸控面板 8004 能夠是電阻膜式觸控面板或靜電容量式觸控面板，並且能夠被形成為與顯示面板 8006

重疊。此外，也可以使顯示面板 8006 的反基板（密封基板）具有觸控面板的功能。或者，也可以在顯示面板 8006 的各像素內設置光感測器，而用作光學觸控面板。或者，也可以在顯示面板 8006 的各像素內設置觸摸感測器用電極，而用作靜電容量式觸控面板。

[0369] 背光單元 8007 包括光源 8008。光源 8008 也可以設置在背光單元 8007 的端部，並使用光擴散板。

[0370] 另外，可以在背光單元 8007 與顯示面板 8006 之間設置波長轉換構件。波長轉換構件包括螢光顏料、螢光染料、量子點等的波長轉換物質。波長轉換物質可以吸收背光單元 8007 的光，並將該光的一部分或全部轉換成其他波長的光。另外，作為波長轉換物質的量子點是直徑為 1nm 以上且 100nm 以下的粒子。藉由使用具有量子點的波長轉換構件，可以提高顯示裝置的顏色再現性。而且，還可以將波長轉換構件用作導光板。

[0371] 框架 8009 具有保護顯示面板 8006 的功能以及用來遮斷因印刷基板 8010 的工作而產生的電磁波的電磁屏蔽的功能。此外，框架 8009 也可以具有作為散熱板的功能。

[0372] 印刷基板 8010 包括電源電路以及用來輸出視訊信號及時脈信號的信號處理電路。作為對電源電路供應電力的電源，既可以使用外部的商業電源，又可以使用另行設置的電池 8011 的電源。當使用商用電源時，可以省略電池 8011。

[0373] 此外，在顯示模組 8000 中還可以設置偏光板、相位差板、稜鏡片等構件。

[0374] 圖 19A 至圖 19D 是包括本發明的一個方式的顯示裝置的電子裝置的外觀圖。

[0375] 作為電子裝置，例如可以舉出電視機（也稱為電視或電視接收機）、用於電腦等的顯示器、數位相機、數位攝影機等影像拍攝裝置、數位相框、行動電話機（也稱為行動電話、行動電話裝置）、可攜式遊戲機、可攜式資訊終端、音頻再生裝置、彈珠機（pachinko machine）等大型遊戲機等。

[0376] 圖 19A 示出可攜式資訊終端，其包括主體 1001、外殼 1002、顯示部 1003a 和顯示部 1003b 等。顯示部 1003b 是觸控面板，藉由觸摸顯示在顯示部 1003b 上的鍵盤按鈕 1004，可以操作螢幕且輸入文字。當然，也可以採用顯示部 1003a 是觸控面板的結構。藉由將上述實施方式所示的電晶體用作切換元件製造液晶面板或有機發光面板，並將其用於顯示部 1003a、顯示部 1003b，可以實現可靠性高的可攜式資訊終端。

[0377] 圖 19A 所示的可攜式資訊終端可以具有如下功能：顯示各種資訊（靜止影像、動態影像、文字影像等）；將日曆、日期或時刻等顯示在顯示部上；對顯示在顯示部上的資訊進行操作或編輯；以及利用各種軟體（程式）控制處理；等。另外，也可以採用在外殼的背面或側面具備外部連接端子（耳機端子、USB 端子等）、儲存介

質插入部等的結構。

[0378] 另外，圖 19A 所示的可攜式資訊終端可以採用以無線方式發送且接收資訊的結構。還可以採用以無線方式從電子書籍伺服器購買所希望的書籍資料等並下載的結構。

[0379] 圖 19B 示出可攜式音樂播放機，其中主體 1021 包括顯示部 1023、用來戴在耳朵上的固定部 1022、揚聲器、操作按鈕 1024 以及外部儲存槽 1025 等。藉由將上述實施方式所示的電晶體用作切換元件製造液晶面板或有機發光面板，並將其用於顯示部 1023，可以實現可靠性高的可攜式音樂播放機。

[0380] 另外，當對圖 19B 所示的可攜式音樂播放機添加天線、麥克風功能及無線功能且與行動電話一起使用時，可以在開車的同時進行無線免提通話。

[0381] 圖 19C 示出行動電話，由外殼 1030 及外殼 1031 的兩個外殼構成。外殼 1031 具備顯示面板 1032、揚聲器 1033、麥克風 1034、指向裝置 1036、照相機 1037、外部連接端子 1038 等。另外，外殼 1030 具備進行行動電話的充電的太陽能電池 1040、外部儲存槽 1041 等。另外，天線內置於外殼 1031 內部。藉由將上述實施方式所示的電晶體用於顯示面板 1032，可以實現可靠性高的行動電話。

[0382] 另外，顯示面板 1032 具備觸控面板，在圖 19C 中，使用虛線示出作為影像被顯示出來的多個操作鍵

1035。另外，還安裝有用來將由太陽能電池 1040 輸出的電壓升壓到各電路所需的電壓的升壓電路。

[0383] 顯示面板 1032 根據使用方式適當地改變顯示的方向。另外，由於在與顯示面板 1032 同一面上設置有照相機 1037，所以可以實現視頻電話。揚聲器 1033 及麥克風 1034 不侷限於音訊通話，還可以進行視頻通話、錄音、再生等。再者，外殼 1030 和外殼 1031 滑動而可以處於如圖 19C 那樣的展開狀態和重疊狀態，所以可以實現便於攜帶的小型化。

[0384] 外部連接端子 1038 可以與 AC 轉接器及各種電纜如 USB 電纜等連接，由此可以進行充電及與個人電腦等的資料通訊。另外，藉由將儲存介質插入外部儲存槽 1041，可以對應於更大量資料的保存及移動。

[0385] 另外，除了上述功能之外，還可以具有紅外線通信功能、電視接收功能等。

[0386] 圖 19D 示出電視機的一個例子。在電視機 1050 中，外殼 1051 組裝有顯示部 1053。可以用顯示部 1053 顯示影像。此外，將 CPU 內置於支撐外殼 1051 的支架 1055。藉由將上述實施方式所示的電晶體用於顯示部 1053 及 CPU，可以實現可靠性高的電視機 1050。

[0387] 可以藉由外殼 1051 所具備的操作開關或另行提供的遙控器進行電視機 1050 的操作。此外，也可以採用在遙控器中設置顯示從該遙控器輸出的資訊的顯示部的結構。

[0388] 另外，電視機 1050 採用具備接收機、數據機等的結構。可以藉由利用接收機接收一般的電視廣播。再者，藉由數據機連接到有線或無線方式的通信網路，可以進行單向（從發送者到接收者）或雙向（發送者和接收者之間或接收者之間等）的資訊通訊。

[0389] 另外，電視機 1050 具備外部連接端子 1054、儲存介質再現錄影部 1052、外部儲存槽。外部連接端子 1054 可以與各種電纜如 USB 電纜等連接，由此可以進行與個人電腦等的資料通訊。藉由將盤狀儲存介質插入儲存介質再現錄影部 1052 中，可以進行對儲存在儲存介質中的資料的讀出以及對儲存介質的寫入。另外，也可以將插入外部儲存槽中的外部記憶體 1056 所儲存的影像或影像等顯示在顯示部 1053 上。

[0390] 在上述實施方式所示的電晶體的關態洩漏電流極低的情況下，藉由將該電晶體應用於外部記憶體 1056 或 CPU，可以提供耗電量充分降低的高可靠性電視機 1050。

[0391] 本實施方式可以與本說明書所記載的其他實施方式適當地組合而實施。

實施例 1

[0392] 在本實施例中，利用計算來評價根據本發明的一個方式的液晶顯示裝置的像素中的穿透率的分佈。

[0393] 首先，說明在本實施例中使用的樣本。

[0394] 圖 15 示出樣本 1 的俯視圖，圖 7 示出樣本 1 的基板 11 一側的剖面圖。樣本 1 所示的像素由三個子像素構成。子像素由如下要素構成：橫向延伸的用作掃描線的導電膜 13；縱向（與導電膜 13 正交的方向）延伸的用作信號線的導電膜 21a；以及它們內側的區域。另外，共用電極 29a 包括：在與用作信號線的導電膜 21a 交叉的方向上延伸的條狀的區域；以及與導電膜 21a 平行且與條狀的區域連接的連接區域。另外，共用電極 29a 包括：在與用作信號線的導電膜 21a 交叉的方向上延伸的條狀的區域 29a_1；以及與該條狀的區域連接且與用作掃描線的導電膜 13 重疊的區域 29a_2。共用電極 29a 的頂面形狀在條狀的區域中為鋸齒形狀，其延伸方向為與用作信號線的導電膜 21a 交叉的方向。

[0395] 另外，如圖 7 所示的電晶體那樣，電晶體 102 設置在每一個子像素中，電晶體 102 包括：用作閘極電極的導電膜 13；設置在導電膜 13 上且用作閘極絕緣膜的氮化物絕緣膜 15 及氧化物絕緣膜 17；隔著閘極絕緣膜與閘極電極重疊且與像素電極 19b 經同一製程形成的氧化物半導體膜 19a；與該氧化物半導體膜 19a 電連接且用作信號線的導電膜 21a；以及與氧化物半導體膜 19a 及像素電極 19b 電連接的導電膜 21b。

[0396] 另外，如圖 7 所示，在電晶體 102 上有氧化物絕緣膜 23、25，在氧化物絕緣膜 25 及像素電極 19b 上有氮化物絕緣膜 27。共用電極 29 設置在氮化物絕緣膜 27

上。

[0397] 在樣本 1 中，如圖 4 所示的導電膜 67 那樣，將包括隔著液晶層與共用電極 29 相對的導電膜 67 的像素設定為樣本 2。

[0398] 另外，作為比較例子，樣本 3 為如下樣本：如圖 2C 所示的共用電極 69 那樣，圖 15 所示的像素中的共用電極 29 在頂面形狀中具有與用作信號線的導電膜正交的區域。

[0399] 在樣本 1 及樣本 2 中，將共用電極的彎曲點的角度（相當於圖 2A 中的θ1）設定為 160°，將用作信號線的導電膜的垂直線與共用電極所形成的角度（相當於圖 2A 中的θ2）設定為 15°。

[0400] 在樣本 3 中，將共用電極的彎曲點的角度設定為 175°，將用作信號線的導電膜的垂直線與共用電極所形成的角度（相當於圖 2A 的θ2）設定為 0°。

[0401] 藉由上述步驟，準備樣本 1 至樣本 3。樣本 1 至樣本 3 所示的像素可以藉由施加到像素電極與共用電極之間的水平電場來控制其穿透率。

[0402] 接著，計算樣本 1 至樣本 3 的穿透率。使用日本 Shintech 公司製造的 LCD Master 3-D，並以 FEM-Static 模式進行計算。在計算中，將尺寸設定為縱 49.5μm、橫 49.5μm、縱深（高度）4μm，並採用週期性（periodic）邊界條件。另外，導電膜 13 的厚度為 200nm，氮化物絕緣膜 15 及氧化物絕緣膜 17 的總厚度為 400nm，

導電膜 21a 及導電膜 21b 的厚度為 300nm，氧化物絕緣膜 23 及氧化物絕緣膜 25 的總厚度為 500nm，氮化物絕緣膜 27 的厚度為 100nm。在樣本 1 至樣本 3 中，像素電極的厚度為 0nm，共用電極的厚度為 100nm。樣本 2 的導電膜 67 的厚度為 0nm。另外，液晶分子的預扭轉角為 90°、扭轉角為 0°、預傾角為 3°。另外，為了減輕計算的負載，將樣本 1 至樣本 3 的像素電極的厚度及樣本 2 的導電膜 67 的厚度設定為 0nm。

[0403] 在上述條件中，分別計算了在如下情況下的穿透率：將用作掃描線的導電膜設定為-9V，將公用線設定為 0V，使用作信號線的導電膜的電壓與像素電極相等，並且從 0V 至 6V 每次增加 1V 來施加電壓的情況（在更新頻率低的液晶顯示裝置中，這相當於更新期間）；以及將用作信號線的導電膜固定為 0V，並且從 0V 至 6V 每次增加 1V 來對像素電極施加電壓的情況（在更新頻率低的液晶顯示裝置中，這相當於保持期間）。

[0404] 圖 20A、圖 20B 及圖 21 示出像素電極的電壓（記載為“像素電壓”）與像素的穿透率的關係。圖 20A 示出樣本 1 的計算結果，圖 20B 示出樣本 2 的計算結果，圖 21 示出樣本 3 的計算結果。在各圖中，黑色圓圈表示在使用作信號線的導電膜的電壓（記載為“信號線電壓”）與像素電壓相等的情況下的（相當於更新期間）的穿透率，白色圓圈表示在固定信號線電壓為 0V 的情況下的（相當於保持期間）的穿透率。另外，將平行尼科耳狀

態的穿透率設定為 100%來計算各樣本的穿透率。

[0405] 從圖 20A 及圖 20B 可知，在樣本 1 及樣本 2 中，隨著像素電壓的上升，穿透率也在上升。另外，當對像素電壓為 6V 的情況、使信號線電壓與像素電壓相等的情況、固定信號線電壓為 0V 的情況進行比較時，可知穿透率的差很小。由此，在保持期間及更新期間中，能夠維持像素的穿透率，從而減少影像閃爍。

[0406] 另一方面，從圖 21 可知，在樣本 3 中，隨著像素電壓的上升，穿透率也在上升。然而，固定信號線電壓為 0V 的情況下的穿透率與使信號線電壓和像素電壓相等的情況下的穿透率相比上升率低。由此，保持期間中的像素的亮度變得比更新期間低，因此發生閃爍。

[0407] 因此，在更新頻率低的液晶顯示裝置中，設置具有樣本 1 及樣本 2 所示的形狀的共用電極是對減少閃爍有效的。

實施例 2

[0408] 實施方式 2 至實施方式 6 所示的元件基板可以實現製程中的遮罩個數的減少和像素的高開口率。然而，由於液晶元件形成在氧化物絕緣膜 23、25 等部分被蝕刻的區域，在元件基板內具有步階結構。於是，調查了配向膜的摩擦方向和漏光的關係。

[0409] 首先，對為了形成配向膜的配向處理方向和像素的漏光量的關係的調查結果進行說明。

[0410] 在此，對於用作信號線的導電膜 21a 的延伸方向以 0°、45°、90°的角度對所試製的元件基板進行摩擦處理。另外，對反基板進行配向處理以使其與元件基板的摩擦方向成為反平行。接著，藉由在元件基板與反基板之間設置液晶層及密封材料來製造液晶顯示裝置。

[0411] 接著，測定該液晶顯示裝置所包括的像素的漏光量。在測定中，在液晶顯示裝置中配置一對偏光板以使偏振器成為正交尼科耳狀態。將摩擦方向的角度和偏振器的軸配置為平行。圖 29 示出測定結果。另外，在各液晶顯示裝置中，測定了五個地方的漏光量。

[0412] 從圖 29 可以確認到，在摩擦方向與用作信號線的導電膜 21a 所形成的角度為 45°的顯示裝置中漏光多，而在 0°及 90°的角度時漏光少。另外，還可以確認到藉由以使摩擦方向與用作信號線的導電膜 21a 平行的方式進行配向處理，最能夠抑制漏光。

[0413] 在本實施例中製造的液晶顯示裝置中，用作信號線的導電膜 21a 的密度是用作掃描線的導電膜 13 的密度的 3 倍。也就是說，在與用作信號線的導電膜 21a 平行的方向上凹區域和凸區域分別延伸。在此確認到，藉由在與用作信號線的導電膜 21a 平行的方向上進行配向處理，即使形成有步階，也可以抑制漏光。

[0414] 接著，說明配向處理方法與漏光量的關係的調查結果。

[0415] 圖 30A 及圖 30B 是利用顯微鏡觀察液晶顯示

裝置的顯示部的照片。圖 30A 是觀察只進行摩擦處理而形成配向膜的液晶顯示裝置的結果，圖 30B 是觀察進行摩擦處理及光配向處理而形成配向膜的液晶顯示裝置的結果。注意，將偏光板所包括的偏振器的配置設定為正交尼科耳狀態，並採用透過模式來進行了顯微鏡觀察。

[0416] 從圖 30A 可以確認到，在只進行摩擦處理而形成配向膜的液晶顯示裝置中，發生局部性的漏光。另一方面，從圖 30B 可以確認到，在進行摩擦處理及光配向處理而形成配向膜的液晶顯示裝置中，漏光得到了抑制。

[0417] 從上述結果可以確認到：藉由對具有步階結構的元件基板進行使液晶分子的配向為水平配向，並與凹區域及凸區域分別延伸的方向平行的配向處理，與此同時還採用光配向處理，在面內能夠實現整齊的配向處理。

實施例 3

[0418] 在本實施例中，如圖 31A 所示，在包括在與用作信號線的導電膜 21a 大概正交的方向上形成鋸齒形狀的狹縫的共用電極 29 的像素中，計算了液晶分子的配向的狀況。

[0419] 在此，使用液晶顯示器用設計模擬器：LCD Master 3D Full set FEM 模式（日本 Shintech 公司製造）來進行液晶分子的配向的計算。另外，將液晶元件中的單元間隙設定為 4.0μm，假設像素結構為包括鄰接的兩個子像素的結構。使一個子像素為白色顯示（對像素電極 19b

施加 5V 的電壓），另一個子像素為黑色顯示（對像素電極 19b 施加 0V 的電壓），由此計算液晶分子的配向狀態。並且，為了調查用作信號線的導電膜 21a 與共用電極 29 之間的電場的影響，對用作信號線的導電膜 21a 施加 0V 或 6V，由此比較液晶分子的配向。在此，假設面板為實際的面板，以覆蓋用作信號線的導電膜 21a 的端部的內側的 1.5μm 的區域的方式在反基板上配置遮光膜，並進行計算。

[0420] 作為比較例子，對圖 32A 所示的包括直線形狀的共用電極 30 的像素中的液晶分子的配向進行計算。

[0421] 另外，在以低更新頻率驅動的液晶顯示裝置中，由於從撓曲電效應的觀點出發負型液晶材料是較佳的，所以在這裡的計算中使用負型液晶材料。

[0422] 圖 31B 及圖 31C 示出圖 31A 所示的像素的計算結果。另外，圖 32B 及圖 32C 示出圖 32A 所示的像素的計算結果。在圖 31A 至圖 31C 及圖 32A 至圖 32C 中，圖 31B 及圖 32B 是在對用作信號線的導電膜 21a 施加 0V 時的計算結果，圖 31C 及圖 32C 是在對用作信號線的導電膜 21a 施加 6V 時的計算結果。

[0423] 當對圖 32B 及圖 32C 所示的顯示白色的子像素進行比較時，可以確認到根據用作信號線的導電膜 21a 的電壓而液晶分子的配向狀態不同。另一方面，當對圖 31B 及圖 31C 所示的顯示白色的子像素進行比較時，在像素電極 19b 上的液晶分子的配向狀態中確認不到很大的差

別。

[0424] 這是因為：藉由將共用電極 29 的形狀設置為鋸齒形狀，液晶分子的旋轉方向在用作信號線的導電膜 21a 上是順時針，而在像素電極 19b 上是逆時針，其結果是，用作信號線的導電膜 21a 上的液晶分子的配向狀態與像素電極 19b 上的液晶分子的配向狀態不容易互相干涉。

[0425] 接著，利用上述計算結果計算出從 0V 至 6V 每次增加 0.5V 來對像素電極 19b 施加電壓時的像素的電壓-穿透率特性。此時，施加到用作信號線的導電膜 21a 的電壓 Vd 為 0V 或 6V。圖 40A 及圖 40B 示出計算結果。圖 40A 是圖 31A 所示的像素的電壓-穿透率特性的計算結果，圖 40B 是圖 32A 所示的像素的電壓-穿透率特性的計算結果。另外，在圖 40A 及圖 40B 中，橫軸表示像素電極 19b 的電壓，縱軸表示像素的穿透率。另外，在各圖中，圓圈及虛線表示用作信號線的導電膜 21a 的電壓為 0V 時的計算結果，方塊及實線表示用作信號線的導電膜 21a 的電壓為 6V 時的計算結果。在圖 40A 中，表示電壓 Vd 為 0V 與 6V 時的穿透率的曲線幾乎重疊。如圖 40A 所示，可知在圖 31A 至圖 31C 所示的共用電極 30 的結構中，根據用作信號線的導電膜 21a 的電壓的像素穿透率的變動小。

[0426] 另外，圖 33 示出以施加到用作信號線的導電膜 21a 的電壓為 0V 時的電壓-穿透率特性為基準，施加到用作信號線的導電膜 21a 的電壓為 0V 至 6V 的情況下的

電壓-穿透率特性的偏離的比例。在圖 33 中，橫軸表示像素電極 19b 的電壓，縱軸表示穿透率的偏離的比例。與在圖 31A 至圖 31C 及圖 32A 至圖 32C 進行的計算同樣地，假設面板為實際的面板，以覆蓋用作信號線的導電膜 21a 的端部的內側的 1.5μm 的區域的方式在反基板上配置遮光膜，並進行計算。

[0427] 在圖 33 中，橫軸表示施加到像素電極 19b 的電壓，縱軸表示施加每一個電壓時的電壓-穿透率特性的偏離的比例。在圖 33 中，實線表示圖 31A 所示的像素的計算結果，虛線表示圖 32A 所示的像素的計算結果。

[0428] 在圖 32A 所示的共用電極 30 的結構中，隨著施加到像素電極 19b 的電壓上升，電壓-穿透率特性的偏離變大。也就是說，像素的穿透率受到用作信號線的導電膜 21a 的電壓的很大的影響。

[0429] 另一方面，在圖 31A 所示的共用電極 29 的形狀中，即使施加到像素電極 19b 的電壓上升，電壓-穿透率特性的偏離也小。也就是說，像素的穿透率受到的用作信號線的導電膜 21a 的電壓的影響不大。

[0430] 因此，藉由使液晶分子的旋轉方向在用作信號線的導電膜 21a 上與像素電極 19b 上相反，可以減少用作信號線的導電膜所受到的電場對液晶分子的影響。

[0431] 另外，設置在用作信號線的導電膜 21a 上的共用電極 29 的形狀為狹縫狀，並且在用作信號線的導電膜 21a 上形成有氧化物絕緣膜 23、25，因此可以充分地

減少在用作信號線的導電膜 21a 與共用電極 29 之間產生的寄生電容。

[0432] 因此，可以說本發明的元件基板具有在減少了更新頻率的驅動方法的液晶顯示裝置中也能夠發揮作用的結構。

實施例 4

[0433] 在本實施例中，使用實施方式 2 所示的元件基板製造液晶顯示裝置。對該液晶顯示裝置的規格和顯示影像進行說明。

[0434] 表 1 示出液晶顯示裝置的規格。

[0435]

[表 1]

螢幕尺寸	4.29 英寸
解析度	1080×RGB（H）×1920（V）：Full-HD（全高清）
像素間距	49.5mm（H）×49.5mm（V）
像素密度	513ppi
液晶模式	FFS（Fringe Field Switching：邊緣場切換）
開口率	50.80%
FET	CAAC-IGZO
製程	六個遮罩的製程

[0436] 另外，藉由如下方法以六個遮罩的製程製造了能夠低頻驅動的 513ppi 的 FFS 模式的液晶顯示裝置：利用摩擦處理及光配向處理來進行配向膜的配向處理；將共用電極的形狀設置為鋸齒形狀；以及將與電晶體所包括

的氧化物半導體膜同時形成的具有導電性的氧化物半導體膜用作像素電極 19b。

[0437] 圖 34 示出拍攝在本實施例中製造的液晶顯示裝置所顯示的影像的圖。如圖 34 所示，本發明的顯示裝置是高清晰的顯示品質良好的液晶顯示裝置。在本實施例中製造的液晶顯示裝置也能夠採用低頻驅動方法，因此能夠減少耗電量。

實施例 5

[0438] 在本實施例中，對具有導電性的氧化物半導體膜的穿透率、導電率及電阻率進行說明。

[0439] 首先，對樣本 A1 及樣本 A2 的製造方法進行說明。

[0440] 先說明樣本 A1 的製造方法。

[0441] 在玻璃基板上形成厚度為 50nm 的 In-Ga-Zn 氧化物膜（下面稱為 IGZO 膜），然後，在其上層疊厚度為 100nm 的氮化矽膜。另外，樣本 A1 包括具有導電性的氧化物半導體膜。

[0442] IGZO 膜的成膜條件為：採用濺射法；使用金屬氧化物靶材（In:Ga:Zn=1:1:1）；作為濺射氣體使用 33vol%的氧（以氬稀釋）；壓力=0.4Pa；成膜電力=200W；以及基板溫度=300℃。

[0443] 氮化矽膜的成膜條件為：採用電漿 CVD 法；$SiH_4/N_2/NH_3$=50/5000/100sccm；壓力=100Pa；成膜電力

=1000W；以及基板溫度=350℃。藉由以上製程製造了樣本 A1。

[0444] 接著，說明樣本 A2 的製造方法。

[0445] 作為樣本 A2，採用樣本 A1 的 IGZO 膜的成膜條件，在玻璃基板上形成 IGZO 膜。藉由以上製程製造了樣本 A2。樣本 A1 包括氧化物半導體膜。

[0446] 接著，在樣本 A1 及樣本 A2 中，測定可見光的穿透率。圖 35 示出所測定的穿透率。在圖 35 中，實線表示樣本 A1 所包括的具有導電性的氧化物半導體膜（OC film）的穿透率，虛線表示樣本 A2 所包括的氧化物半導體膜（OS film）的穿透率。

[0447] 在樣本 A1 及樣本 A2 中，在寬能量區域中穿透率為 80%以上。也就是說，具有導電性的氧化物半導體膜比氧化物半導體膜可見光區域的透光性高。

[0448] 接著，測定具有導電性的氧化物半導體膜的導電率及電阻率。

[0449] 首先，說明樣本 A3 的製造方法。

[0450] 在與樣本 A1 同樣的條件下，在玻璃基板上形成厚度為 35nm 的 IGZO 膜，然後，在其上層疊厚度為 100nm 的氮化矽膜。接著，對氮化矽膜進行蝕刻，使具有導電性的氧化物半導體膜露出。藉由以上製程製造了樣本 A3。

[0451] 接著，測定樣本 A3 所包括的具有導電性的氧化物半導體膜的導電率。圖 36 示出具有導電性的氧化物

半導體膜的導電率的 1/T 依賴性（阿瑞尼氏圖）。圖 36 中的橫軸表示 1/T（絕對溫度），縱軸表示 1/ρ。

[0452] 如圖 36 所示，隨著溫度的上升，具有導電性的氧化物半導體膜的電阻略微上升。由此可以說具有導電性的氧化物半導體膜不呈現半導體性而呈現金屬性的作用。可以推測這是因為：在具有導電性的氧化物半導體膜中，載子簡並化。

[0453] 接著，圖 37 示出測定樣本 A3 的電阻率的結果。樣本 A3 所包括的具有導電性的氧化物半導體膜的電特性呈現良好的線性特性，電阻率為 $7\times10^{-3}\Omega\cdot cm$ 左右。

[0454] 由穿透率及電阻率的測定看來，具有導電性的氧化物半導體膜可以代替 ITO。

[0455] 另外，可以說具有導電性的氧化物半導體膜的物性與氧化物半導體膜不同，它們兩個是不同的材料。

實施例 6

[0456] 在本實施例中，對電晶體的 Vg-Id 特性的測定結果進行說明。

[0457] 首先，參照圖 10A 至圖 10D 及圖 11A 至圖 11D 對樣本 B1 所包括的電晶體的製程進行說明。

[0458] 如圖 10A 所示，作為基板 11 使用玻璃基板，在基板 11 上形成導電膜 12。

[0459] 在此，作為導電膜 12，利用濺射法形成厚度為 100nm 的鎢膜。

[0460] 接著，如圖 10B 所示，形成用作閘極電極的導電膜 13。

[0461] 在此，藉由光微影製程在導電膜 12 上形成遮罩後，對導電膜 12 的一部分進行蝕刻，由此形成導電膜 13。

[0462] 如圖 10C 所示，在導電膜 13 上依次形成氮化物絕緣膜 15、氧化物絕緣膜 16 及氧化物半導體膜 18。

[0463] 在此，作為氮化物絕緣膜 15，利用電漿 CVD 法分別形成厚度為 50nm 的第一氮化矽膜、厚度為 300nm 的第二氮化矽膜及厚度為 50nm 的第三氮化矽膜。作為氧化物絕緣膜 16，利用電漿 CVD 法形成厚度為 50nm 的氧氮化矽膜。作為氧化物半導體膜 18，利用濺射法形成厚度為 35nm 的 IGZO 膜。另外，使用了原子個數比為 In:Ga:Zn=1:1:1 的濺射靶材。成膜溫度為 170℃。

[0464] 接著，進行第一加熱處理。在此，作為第一加熱處理，在氮氛圍下以 450℃進行 1 小時的加熱處理後，在氮及氧氛圍下以 450℃進行 1 小時的加熱處理。

[0465] 如圖 10D 所示，形成氧化物半導體膜 19a。在此，藉由光微影製程在氧化物半導體膜 18 上形成遮罩後，對氧化物半導體膜 18 的一部分進行蝕刻，由此形成氧化物半導體膜 19a。

[0466] 接著，如圖 11A 所示，形成導電膜 20。

[0467] 在此，作為導電膜 20，利用濺射法分別依次形成厚度為 50nm 的鎢膜、厚度為 400nm 的鋁膜及厚度為

100nm 的鈦膜。

[0468] 如圖 11B 所示，形成用作源極電極及汲極電極的導電膜 21a、21b。在此，藉由光微影製程在導電膜 20 上形成遮罩後，對導電膜 20 的一部分進行蝕刻，由此形成導電膜 21a、21b。

[0469] 如圖 11C 所示，形成氧化物絕緣膜 22 及氧化物絕緣膜 24。

[0470] 在此，作為氧化物絕緣膜 22，利用電漿 CVD 法形成厚度為 50nm 的氧氮化矽膜。作為氧化物絕緣膜 24，利用電漿 CVD 法形成厚度為 400nm 的氧氮化矽膜。

[0471] 接著，進行第二加熱處理，在使水、氮、氫等從氧化物絕緣膜 22 及氧化物絕緣膜 24 中脫離的同時，將氧化物絕緣膜 24 所包含的氧的一部分供應到氧化物半導體膜 19a。在此，在氮及氧氛圍下以 350℃進行 1 小時的加熱處理。

[0472] 雖然未圖示，但在氧化物絕緣膜 24 上形成氮化物絕緣膜。

[0473] 在此，作為氮化物絕緣膜，利用電漿 CVD 法形成厚度為 100nm 的氮化矽膜。

[0474] 雖然未圖示，但對氮化物絕緣膜的一部分進行蝕刻來形成使導電膜 21a、21b 的一部分露出的開口。

[0475] 雖然未圖示，但在氮化物絕緣膜上形成平坦化膜。

[0476] 在此，將組成物塗佈在氮化物絕緣膜上後，

進行曝光及顯影，形成具有使一對電極的一部分曝光的開口的平坦化膜。作為平坦化膜，形成厚度為 1.5μm 的丙烯酸樹脂。然後進行加熱處理。以 250℃的溫度在包含氮的氛圍下進行 1 小時的該加熱處理。

[0477] 雖然未圖示，但形成與導電膜 21a、21b 的一部分連接的導電膜。

[0478] 在此，利用濺射法形成厚度為 100nm 的包含氧化矽的 ITO。然後，在氮氛圍下，以 250℃進行 1 小時的加熱處理。

[0479] 藉由以上製程製造包括電晶體的樣本 B1。

[0480] 另外，製造樣本 B2，其中的電晶體是將樣本 B1 所包括的電晶體中的氧化物半導體膜 19a 及導電膜 21a、21b 變形而成的電晶體。

[0481] 樣本 B2 所包括的電晶體包括多層膜以代替氧化物半導體膜 19a。作為多層膜，利用濺射法分別依次形成厚度為 35nm 的第一 IGZO 膜及厚度為 20nm 的第二 IGZO 膜。在形成第一 IGZO 膜時使用原子個數比為 In:Ga:Zn=1:1:1 的濺射靶材，其成膜溫度為 300℃。另外，在形成第二 IGZO 膜時，使用原子個數比為 In:Ga:Zn=1:4:5 的濺射靶材，其成膜溫度為 200℃。

[0482] 在樣本 B2 所包括的電晶體中，作為導電膜 21a、21b，利用濺射法分別依次形成厚度為 50nm 的鎢膜和厚度為 200nm 的銅膜。

[0483] 另外，在樣本 B2 所包括的電晶體中，在形成

導電膜 21a、21b 後且形成氧化物絕緣膜 22 前，再增加如下製程，在導電膜 21a、21b 上形成矽化物膜。下面示出詳細內容。在以 350℃加熱的同時，將導電膜 21a、21b 暴露於產生在氨氛圍中的電漿，將導電膜 21a、21b 的表面的氧化物還原。接著，在以 220℃加熱的同時，將導電膜 21a、21b 暴露於矽烷。其結果是，導電膜 21a、21b 所包含的銅起到催化劑的作用，在矽烷被分解為 Si 和 H_2 的同時，在導電膜 21a、21b 的表面形成 $CuSi_x$（$x>0$）膜。

[0484] 製造樣本 B3，其中的電晶體是將樣本 B1 所包括的電晶體中的氧化物半導體膜 19a 變形而成的電晶體。

[0485] 在樣本 B3 中，作為氧化物半導體膜 19a，利用濺射法形成厚度為 35nm 的 IGZO 膜。另外，使用原子個數比為 In:Ga:Zn=1:1:1 的濺射靶材。成膜溫度為 100℃。作為導電膜 21a、21b，依次層疊有厚度為 50nm 的鎢膜、厚度為 400nm 的鋁膜及厚度為 100nm 的鈦膜。

[0486] 製造樣本 B4，其中的電晶體是將樣本 B3 所包括的電晶體中的氧化物半導體膜 19a 及導電膜 21a、21b 變形的電晶體。

[0487] 在樣本 B4 中，作為氧化物半導體膜 19a，利用濺射法形成厚度為 35nm 的 IGZO 膜。此時使用原子個數比為 In:Ga:Zn=1:1:1.2 的濺射靶材。成膜溫度為 25℃。

[0488] 另外，在樣本 B4 所包含的電晶體中，作為導電膜 21a、21b，利用濺射法依次形成厚度為 50nm 的鎢膜

及厚度為 200nm 的銅膜。

[0489] 在各樣本中形成的電晶體具有通道蝕刻結構。另外，分別形成通道長度（L）為 3μm、通道寬度（W）為 50μm 的電晶體以及通道長度（L）為 6μm、通道寬度（W）為 50μm 的電晶體。

[0490] 在此，圖 41 示出樣本 B1 所包括的通道長度為 3μm 的電晶體的剖面 STEM 影像。

[0491] 接著，作為樣本 B1 至樣本 B4 所包括的電晶體的初始特性，測定 Vg-Id 特性。在此，在如下條件下測定流過源極與汲極之間的電流（以下，稱為汲極電流）的變化特性，即 Vg-Id 特性：將基板溫度設定為 25℃，將源極與汲極之間的電位差（以下，稱為汲極電壓）設定為 1V、10V，並使源極與閘極之間的電位差（以下，稱為閘極電壓）在-15V 至+15V 的範圍內變化。

[0492] 圖 42 示出樣本 B1 及樣本 B2 所包括的電晶體的 Vg-Id 特性。圖 43 示出樣本 B3 及樣本 B4 所包括的電晶體的 Vg-Id 特性。在圖 42 及圖 43 所示的各圖表中，橫軸表示閘極電壓 Vg，縱軸表示汲極電流 Id。另外，實線表示汲極電壓 Vd 為 1V、10V 時的 Vg-Id 特性。

[0493] 如圖 42 所示，樣本 B1 及樣本 B2 所包括的電晶體具有良好的開關特性。也就是說，即使導電膜 21a、21b 所包括的金屬元素不同，樣本 B1 及樣本 B2 所包括的電晶體也具有良好的 Vg-Id 特性。

[0494] 另一方面，如圖 43 所示，在樣本 B4 所包括

的電晶體的 Vg-Id 特性中，臨界電壓向負向漂移。另外，臨界電壓附近的汲極電流的上升很緩慢。也就是說，S 值劣化了。換言之，導電膜 21a、21b 所包含的金屬元素導致樣本 B3 及樣本 B4 所包括的電晶體的 Vg-Id 特性劣化。

[0495] 在此，調查樣本 B2 及樣本 B4 所包括的電晶體的 IGZO 膜的結構及膜密度和 Vg-Id 特性的關係。在樣本 B2 中，在基板上形成與導電膜 21a、21b 接觸的 IGZO 膜。將該樣本設定為 B2a。在樣本 B4 中，在基板上形成與導電膜 21a、21b 接觸的 IGZO 膜。將該樣本設定為 B4a。接著，使用 X 射線繞射（XRD：X-Ray Diffraction）裝置進行各樣本的 IGZO 膜的結構分析。另外，使用 X 射線反射率測定法（XRR：X-Ray Reflectometry）測定各樣本的 IGZO 膜的膜密度。

[0496] 圖 44A 和圖 44B 分別示出樣本 2a 所包括的 IGZO 膜及樣本 4a 所包括的 IGZO 膜的 XRD 的測定結果和 XRR 的測定結果。

[0497] 如圖 44A 所示，由於樣本 2a 所包括的 IGZO 膜在繞射角（2θ）為 31°附近處具有峰值，所以是 CAAC-IGZO 膜。另一方面，樣本 4a 所包括的 IGZO 膜不在繞射角（2θ）為 31°附近處具有峰值，因此是 nc-IGZO 膜。

[0498] 如圖 44B 所示，與樣本 4a 所包括的 IGZO 膜相比，樣本 2a 所包括的 IGZO 膜的膜密度高。

[0499] 在樣本 B4 所包括的電晶體中，與導電膜 21a、21b 接觸的 IGZO 膜由 nc-IGZO 膜形成。nc-IGZO 膜

的膜密度低。因此，可以推測導電膜 21a、21b 所包含的銅容易擴散到用作閘極絕緣膜的氧化物絕緣膜 16 與氧化物半導體膜 19a 之間的介面。另外，由於銅的擴散，在氧化物絕緣膜 16 與氧化物半導體膜 19a 之間的介面形成載子陷阱。其結果是，在樣本 B4 所包括的電晶體的 Vg-Id 特性中，S 值劣化。

[0500] 另一方面，樣本 B2 所包括的電晶體包含多層膜，並且在多層膜中，與導電膜 21a、21b 接觸的 IGZO 膜由 CAAC-IGZO 膜形成。CAAC-IGZO 膜具有高膜密度以及層狀結構，並沒有晶界。因此，可以推測 CAAC-IGZO 膜用作阻擋銅的膜，防止導電膜 21a、21b 所包含的銅擴散到通道區域。另外，在導電膜 21a、21b 的表面形成有矽化物膜。矽化物膜防止銅從導電膜 21a、21b 中擴散。其結果是，無論導電膜 21a、21b 所包含的金屬元素如何，樣本 B2 所包括的電晶體都具有良好的 Vg-Id 特性。

[0501] 如上所述，在使用銅膜形成導電膜 21a、21b 的情況下，藉由作為與導電膜 21a、21b 接觸的氧化物半導體膜使用 CAAC-IGZO 膜，可以製造具有良好電特性的電晶體。

【符號說明】

[0502]

F1a:電場

F1b:電場

F2a:電場

F2b:電場

F3:電場

1:基板

2:導電膜

3:絕緣膜

4:半導體膜

4a:半導體膜

4b:半導體膜

5:像素電極

5a:像素電極

5b:像素電極

6:導電膜

6a:導電膜

6b:導電膜

7:導電膜

7a:導電膜

7b:導電膜

8:絕緣膜

8a:絕緣膜

8b:絕緣膜

9:共用電極

9a:區域

9b:區域

9c:連接部

9d:方向

9e:方向

9f:彎曲點

10:點劃線

11:基板

12:導電膜

13:導電膜

15:氮化物絕緣膜

16:氧化物絕緣膜

17:氧化物絕緣膜

18:氧化物半導體膜

19a:氧化物半導體膜

19b:像素電極

19c:氧化物半導體膜

19f:氧化物半導體膜

20:導電膜

21a:導電膜

21b:導電膜

21b_1:區域

21b_2:區域

21c:公用線

22:氧化物絕緣膜

23:氧化物絕緣膜

24:氧化物絕緣膜

25:氧化物絕緣膜

26:氮化物絕緣膜

26b:絕緣膜

27:氮化物絕緣膜

28:導電膜

29:共用電極

29a:共用電極

29a_1:區域

29a_2:區域

29b:導電膜

30:共用電極

32:氧化物半導體膜

37a:多層膜

37b:多層膜

38a:多層膜

38b:多層膜

39a:氧化物半導體膜

39b:氧化物半導體膜

40:開口

41a:開口

42:開口

49a:氧化物半導體膜

49b:氧化物半導體膜

60:絕緣膜

61:基板

62:遮光膜

63:彩色膜

64:絕緣膜

65:絕緣膜

66:液晶層

67:導電膜

69:共用電極

70:氧化物半導體膜

71:氧化物半導體膜

73:氮化物絕緣膜

75:氧化物導電體膜

101:像素部

102:電晶體

102a:電晶體

102b:電晶體

102c:電晶體

103:像素

103a:像素

103b:像素

103c:像素

103d:像素

103e:像素

103f:像素

104:掃描線驅動電路

105:電容元件

105a:電容元件

105b:電容元件

105c:電容元件

106:信號線驅動電路

107:導電膜

109:導電膜

115:公用線

121:液晶元件

1001:主體

1002:外殼

1003a:顯示部

1003b:顯示部

1004:鍵盤按鈕

1021:主體

1022:固定部

1023:顯示部

1024:操作按鈕

1025:外部儲存槽

1030:外殼

1031:外殼

1032:顯示面板

1033:揚聲器

1034:麥克風

1035:操作鍵

1036:指向裝置

1037:照相機

1038:外部連接端子

1040:太陽能電池

1041:外部儲存槽

1050:電視機

1051:外殼

1052:儲存介質再現錄影部

1053:顯示部

1054:外部連接端子

1055:支架

1056:外部記憶體

8000:顯示模組

8001:上蓋

8002:下蓋

8003:FPC

8004:觸控面板

8005:FPC

8006:顯示面板

8007:背光單元

8008:光源

8009:框架

8010:印刷基板

8011:電池

【發明申請專利範圍】

【請求項 1】一種顯示裝置，具有與基板頂面接觸的區域，具有作為電晶體的閘極電極的功能的掃描線；

位於該掃描線上，具有作為該電晶體的閘極絕緣膜的功能的第一絕緣膜；

具有與該第一絕緣膜的頂面接觸的區域，具有該電晶體的通道形成區域的半導體膜；

具有與該第一絕緣膜的頂面接觸的區域的像素電極；

具有與該第一絕緣膜的頂面接觸的區域、與該半導體膜的頂面接觸的區域、與該像素電極的頂面接觸的區域，具有作為該電晶體的源極電極及汲極電極的一者的功能的第一導電膜；

具有與該第一絕緣膜的頂面接觸的區域、與該半導體膜的頂面接觸的區域，具有作為該電晶體的源極電極及汲極電極的另一者的功能的信號線；

具有與該像素電極的頂面接觸的區域、及與該第一導電膜接觸的區域的第二絕緣膜；

具有與該第二絕緣膜的頂面接觸的區域，且隔介該第二絕緣膜具有與該像素電極重疊的區域的共通電極；

具有與該共通電極的頂面接觸的區域的配向膜；

該第一導電膜及該信號線具有疊層構造；

該第一導電膜，具有在與該掃描線延伸的方向平行或略平行的方向延伸的區域；

該共通電極具有和該像素電極重疊的開口部；

經由該開口部，具有該配向膜與該第二絕緣膜接觸的區域；

平面視中，該開口部的一部分，位於該信號線的端部與該像素電極的端部之間，且該開口部在該一部分具有彎曲點。

【請求項 2】一種顯示裝置，具有與基板頂面接觸的區域，具有作為電晶體的閘極電極的功能的掃描線；

位於該掃描線上，具有作為該電晶體的閘極絕緣膜的功能的第一絕緣膜；

具有與該第一絕緣膜的頂面接觸的區域，具有該電晶體的通道形成區域的半導體膜；

具有與該第一絕緣膜的頂面接觸的區域的像素電極；

具有與該第一絕緣膜的頂面接觸的區域、與該半導體膜的頂面接觸的區域、與該像素電極的頂面接觸的區域，具有作為該電晶體的源極電極及汲極電極的一者的功能的第一導電膜；

具有與該第一絕緣膜的頂面接觸的區域、與該半導體膜的頂面接觸的區域，具有作為該電晶體的源極電極及汲極電極的另一者的功能的信號線；

具有與該像素電極的頂面接觸的區域、及與該第一導電膜接觸的區域的第二絕緣膜；

具有與該第二絕緣膜的頂面接觸的區域，且隔介該第二絕緣膜具有與該像素電極重疊的區域的共通電極；

具有與該共通電極的頂面接觸的區域的配向膜；

該第一導電膜及該信號線具有疊層構造；

該第一導電膜，具有在與該掃描線延伸的方向平行或略平行的方向延伸的區域；

該電晶體的通道形成區域不具有與該共通電極的重疊；

該共通電極具有和該像素電極重疊的開口部；

經由該開口部，具有該配向膜與該第二絕緣膜接觸的區域；

平面視中，該開口部的一部分，位於該信號線的端部與該像素電極的端部之間，且該開口部在該一部分具有彎曲點。

【發明圖式】

圖 1A

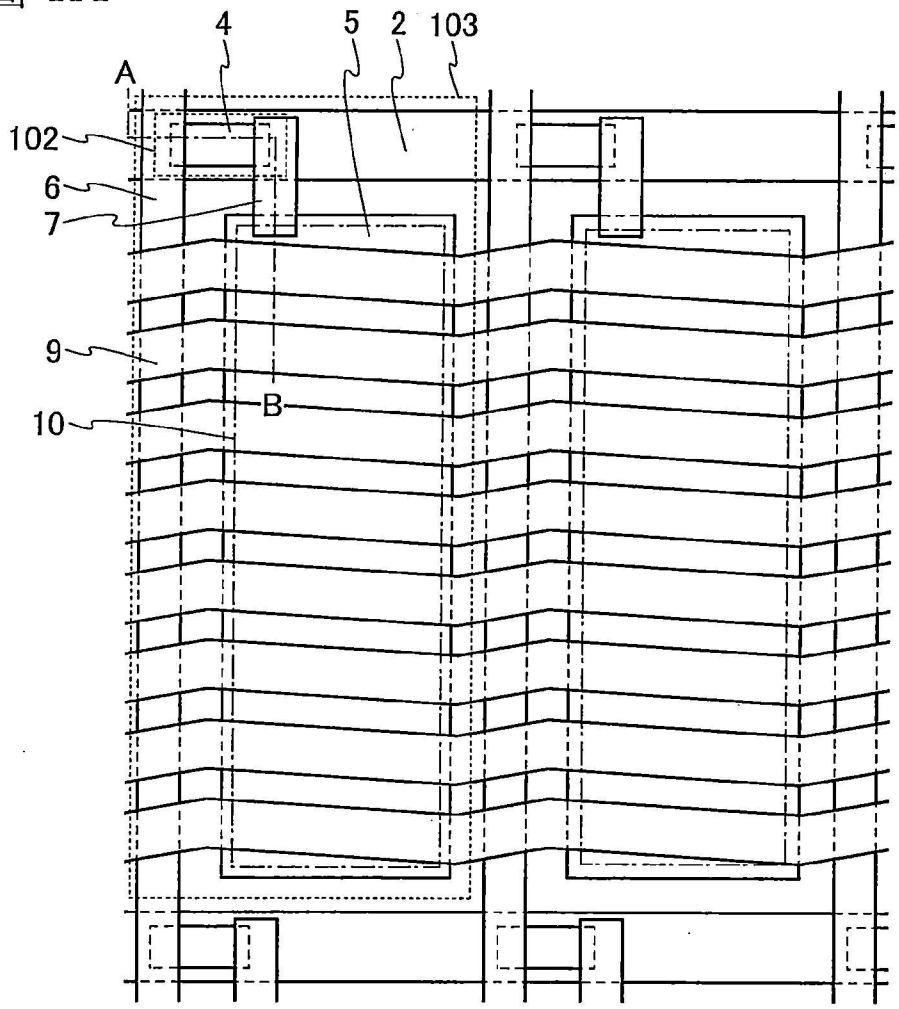


圖 1B

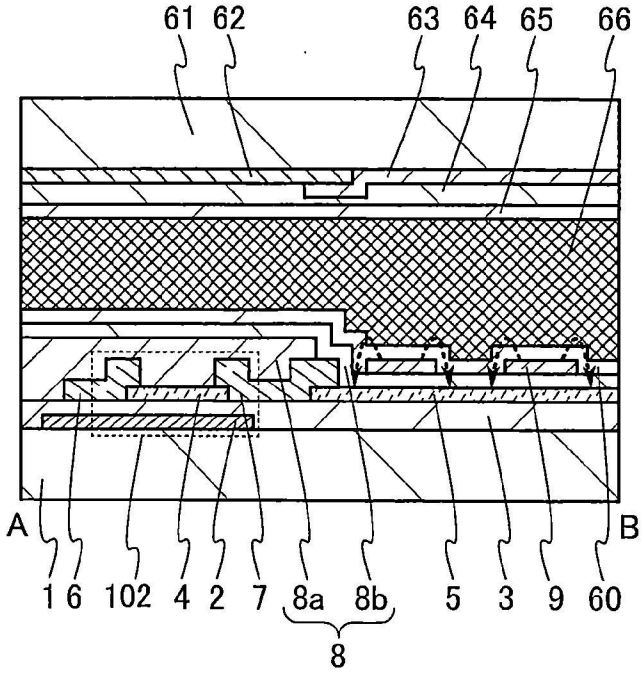


圖 2A

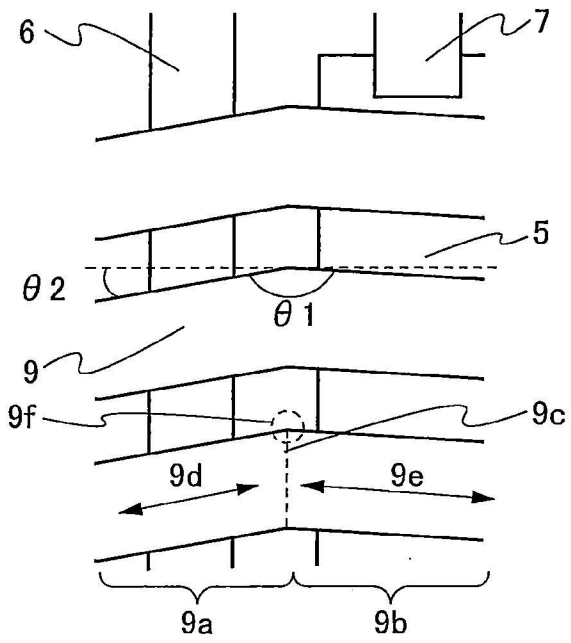


圖 2B

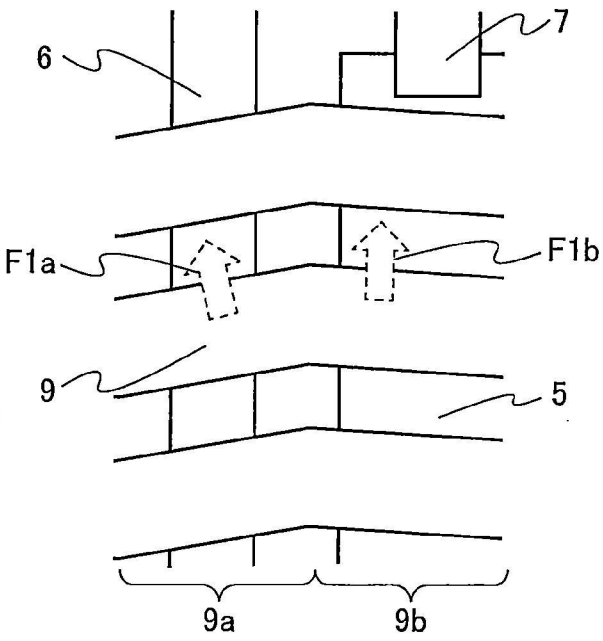


圖 2C

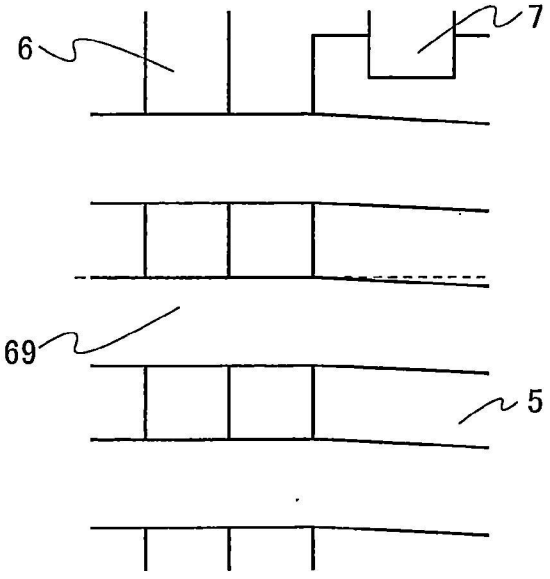


圖 2D

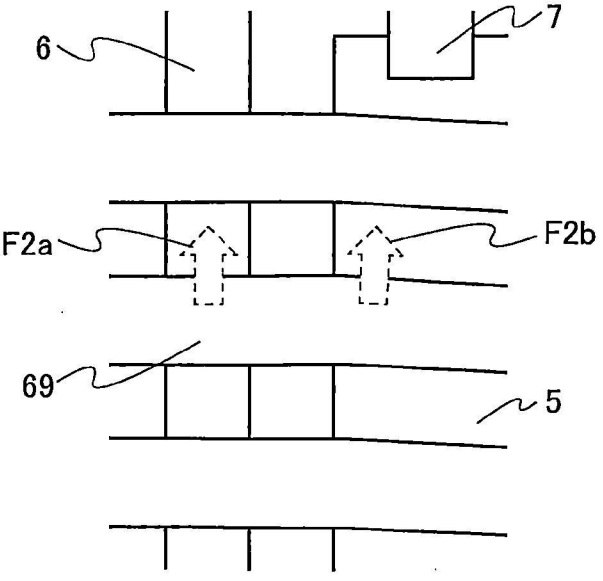


圖 3A

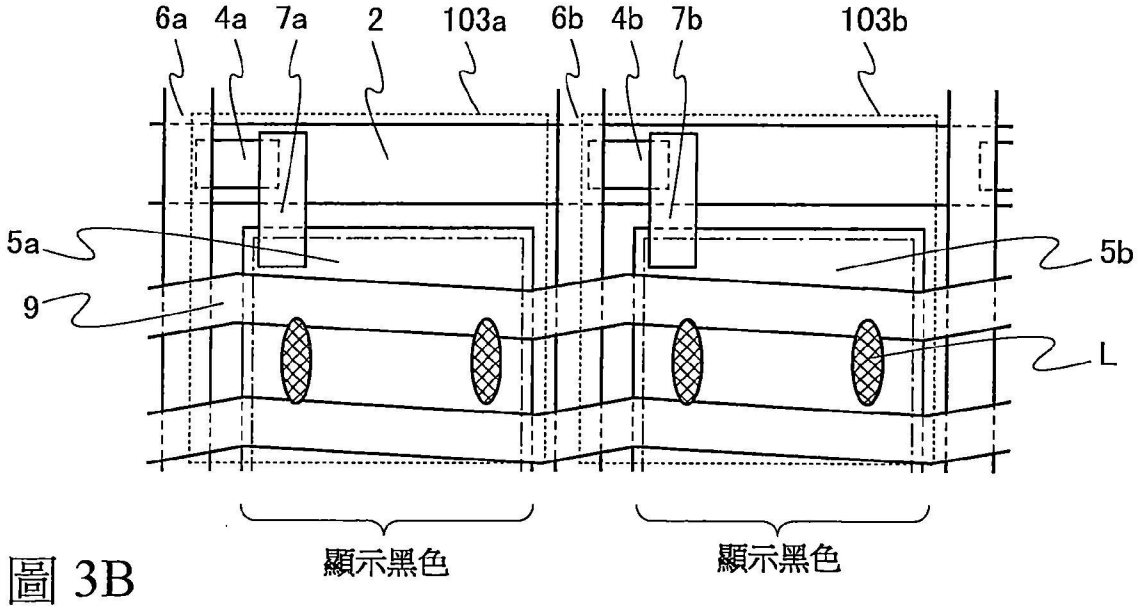

6a
4a
7a
2
103a
6b
4b
7b
103b
5a
9
5b
L
顯示黑色
顯示黑色

圖 3B

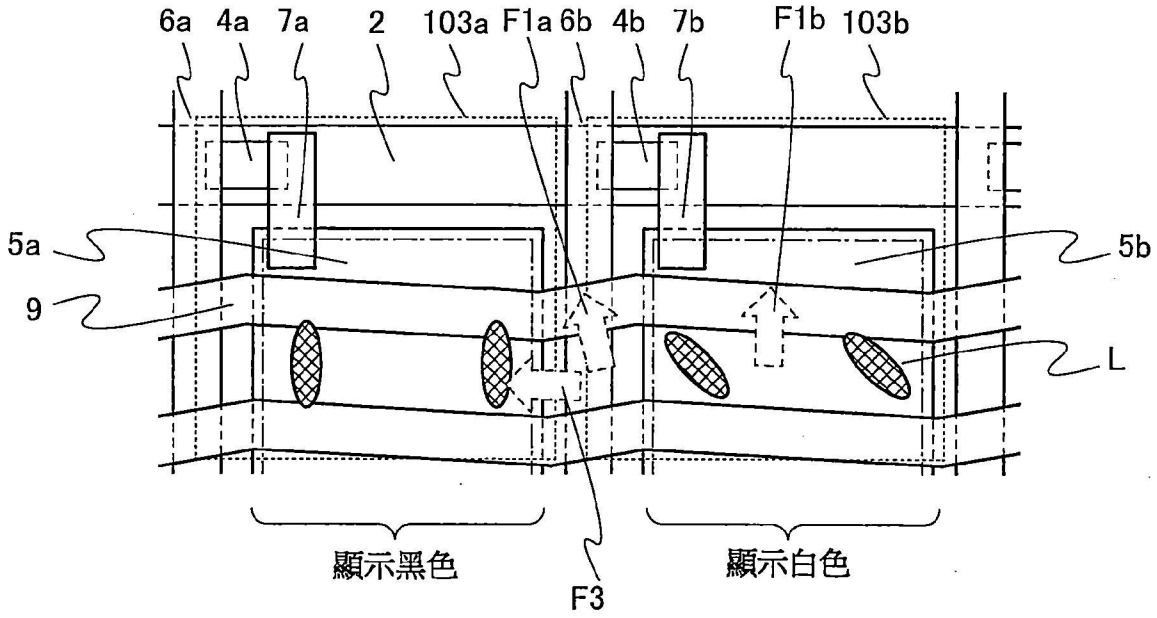

6a
4a
7a
2
103a
F1a
6b
4b
7b
F1b
103b
5a
9
5b
L
顯示黑色
顯示白色
F3

圖 4

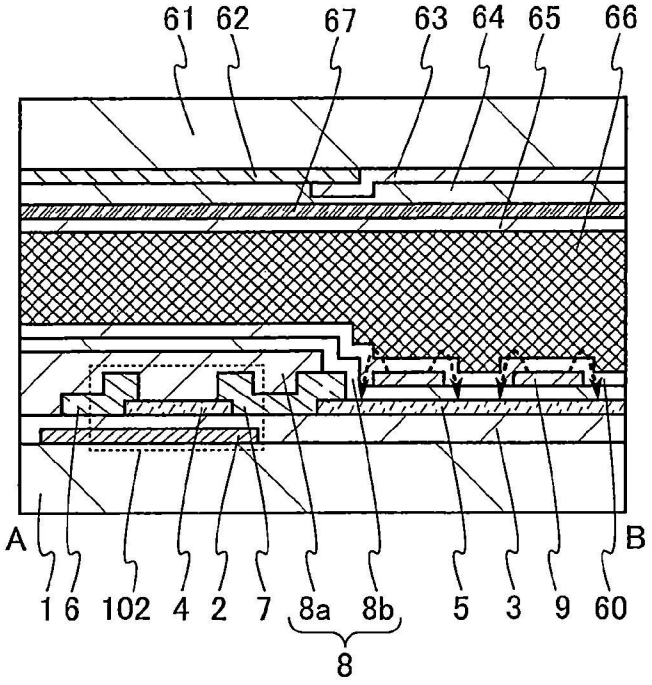


圖 5A

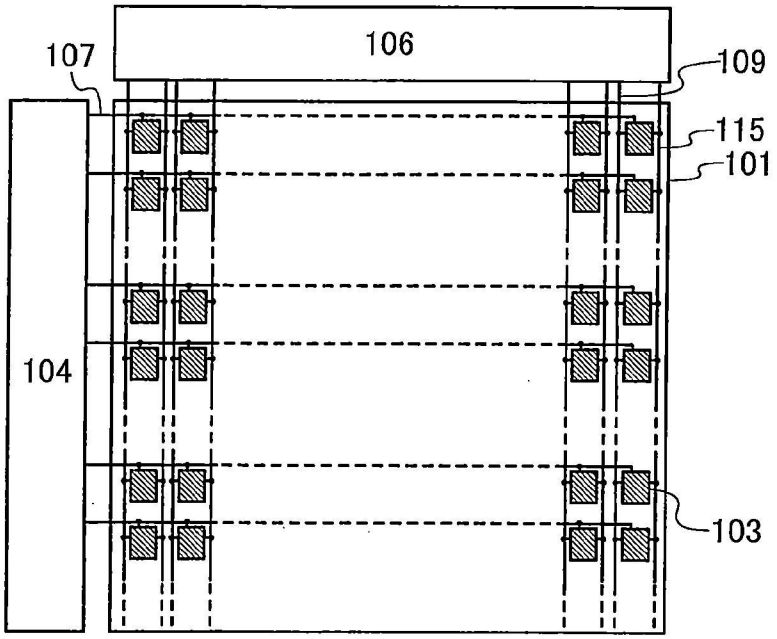


圖 5B

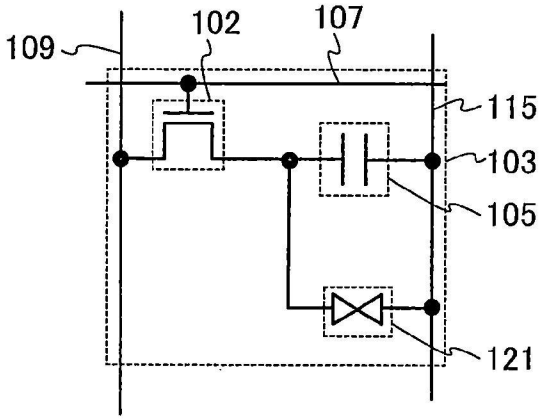
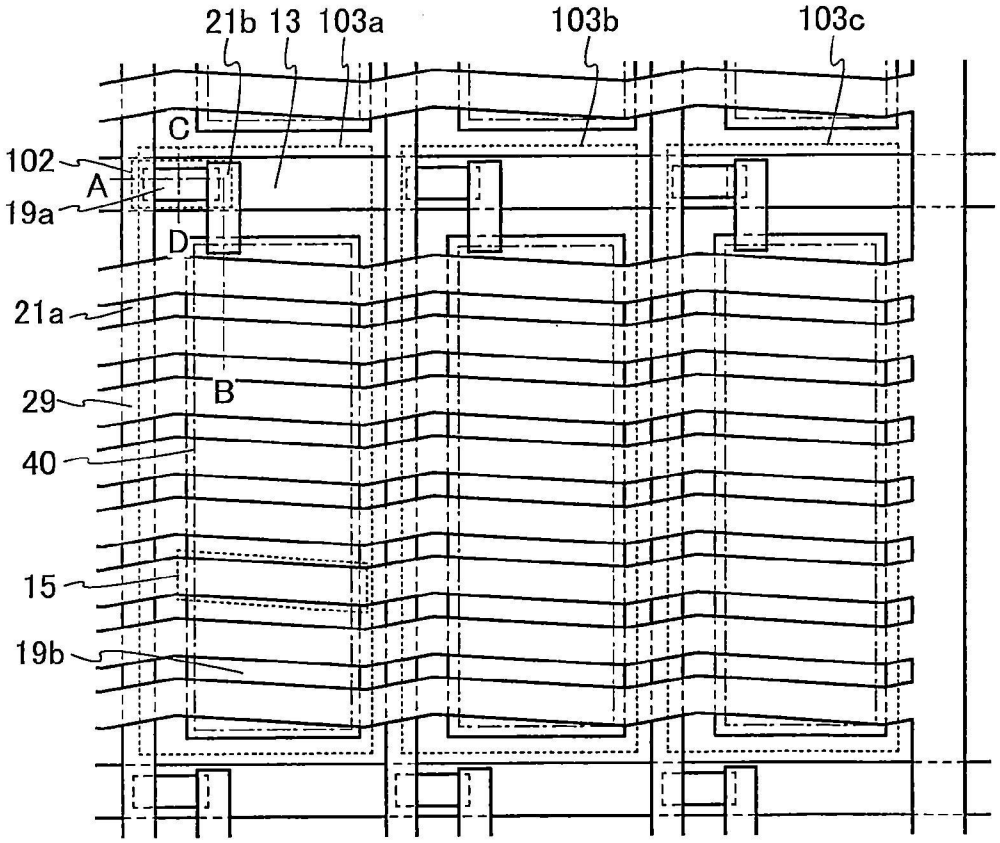


圖 6



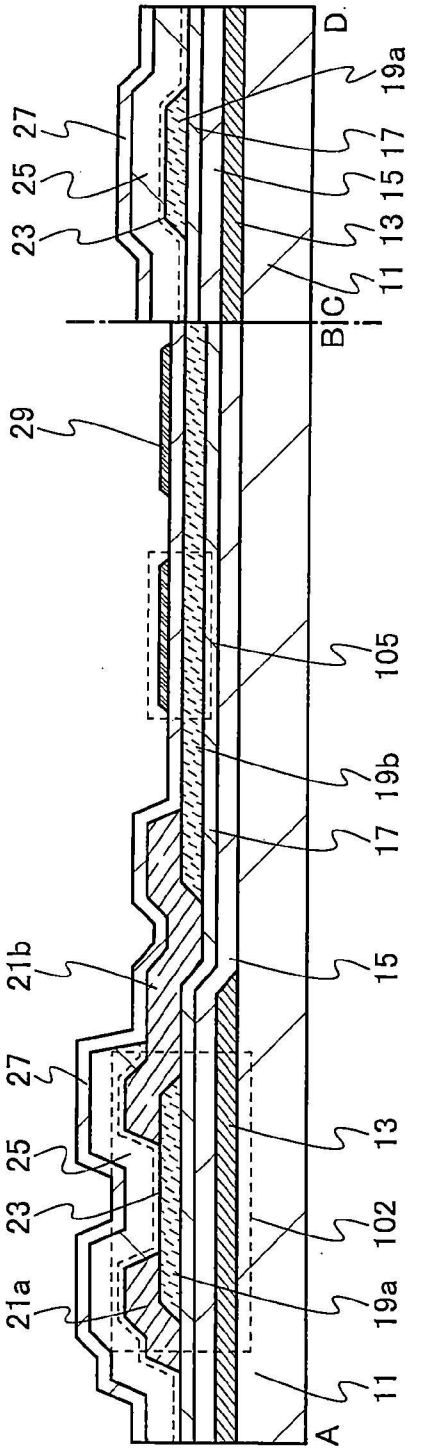

A
B
C
D
11
19a
102
13
25
27
21a
23
21b
15
17
19b
105
29
11
13
15
17
19a
23
25
27

圖 7

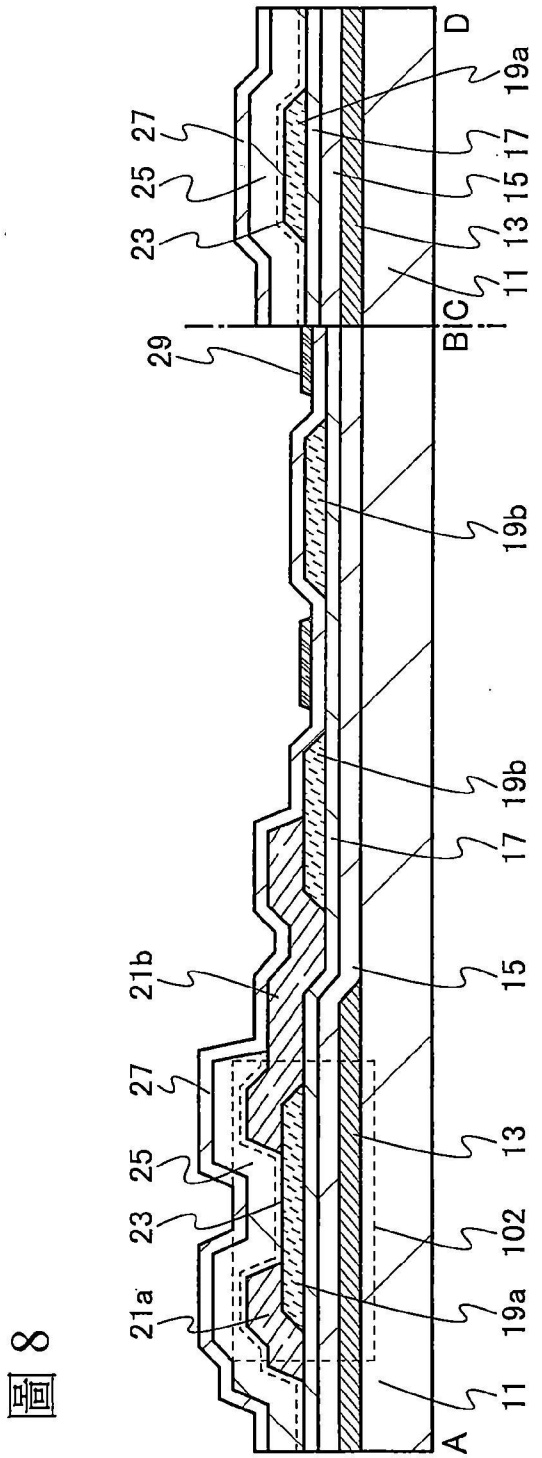


圖 8

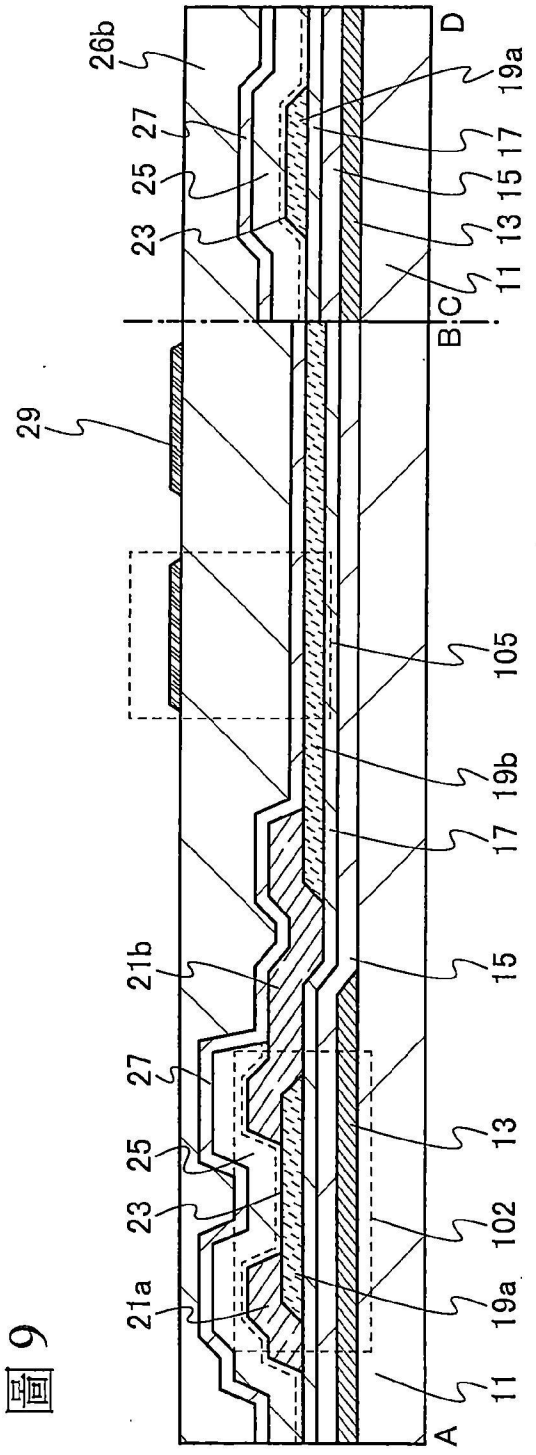

26b
D
19a
27
17
25
15
23
13
11
C
B
29
105
19b
17
21b
15
27
13
25
23
102
21a
19a
11
A

圖 9

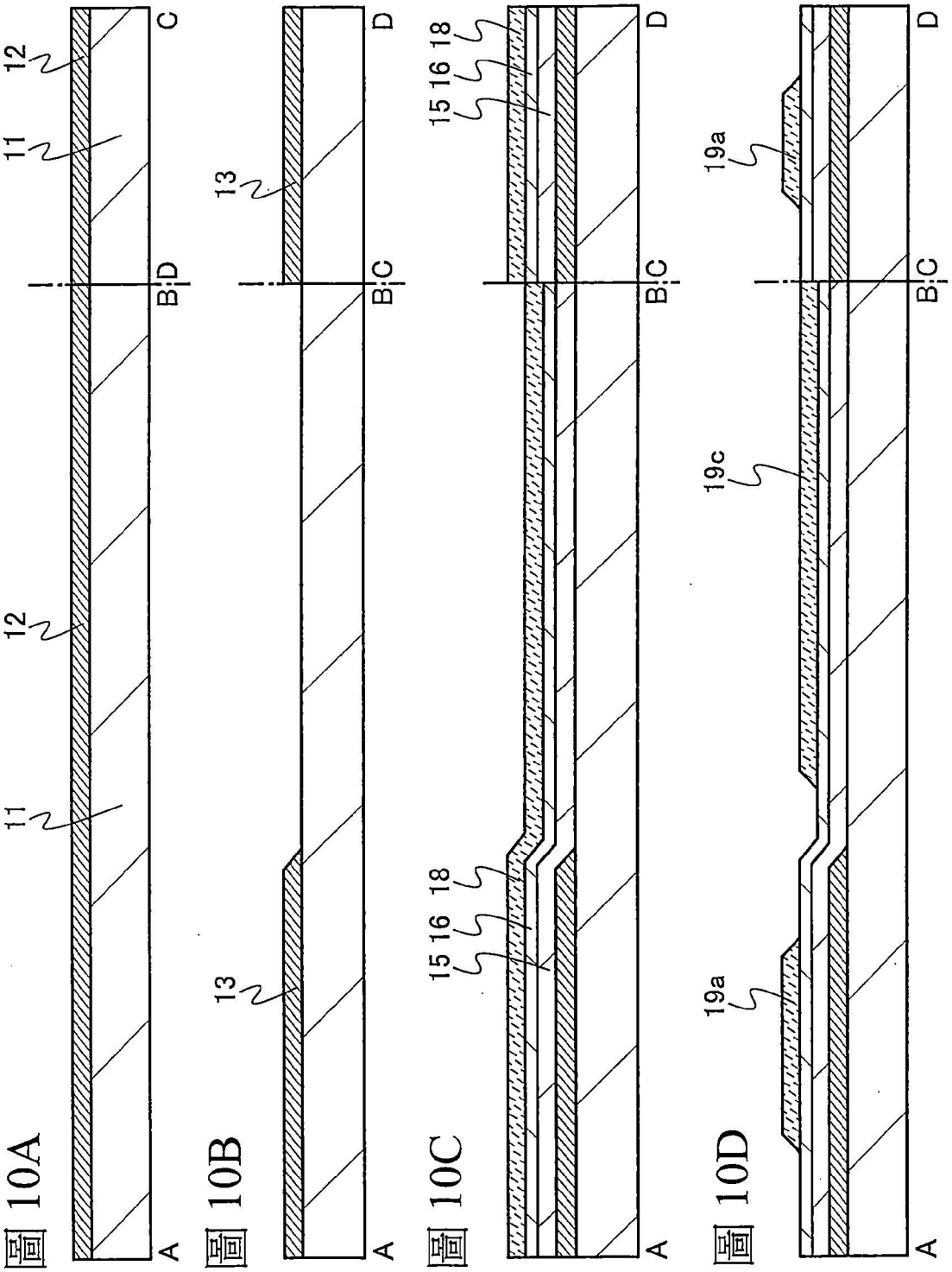


圖 10A
11
12
12
A
B
D
C
圖 10B
13
A
B
C
D
圖 10C
15 16 18
15 16 18
A
B
C
D
圖 10D
19a
19c
19a
A
B
C
D

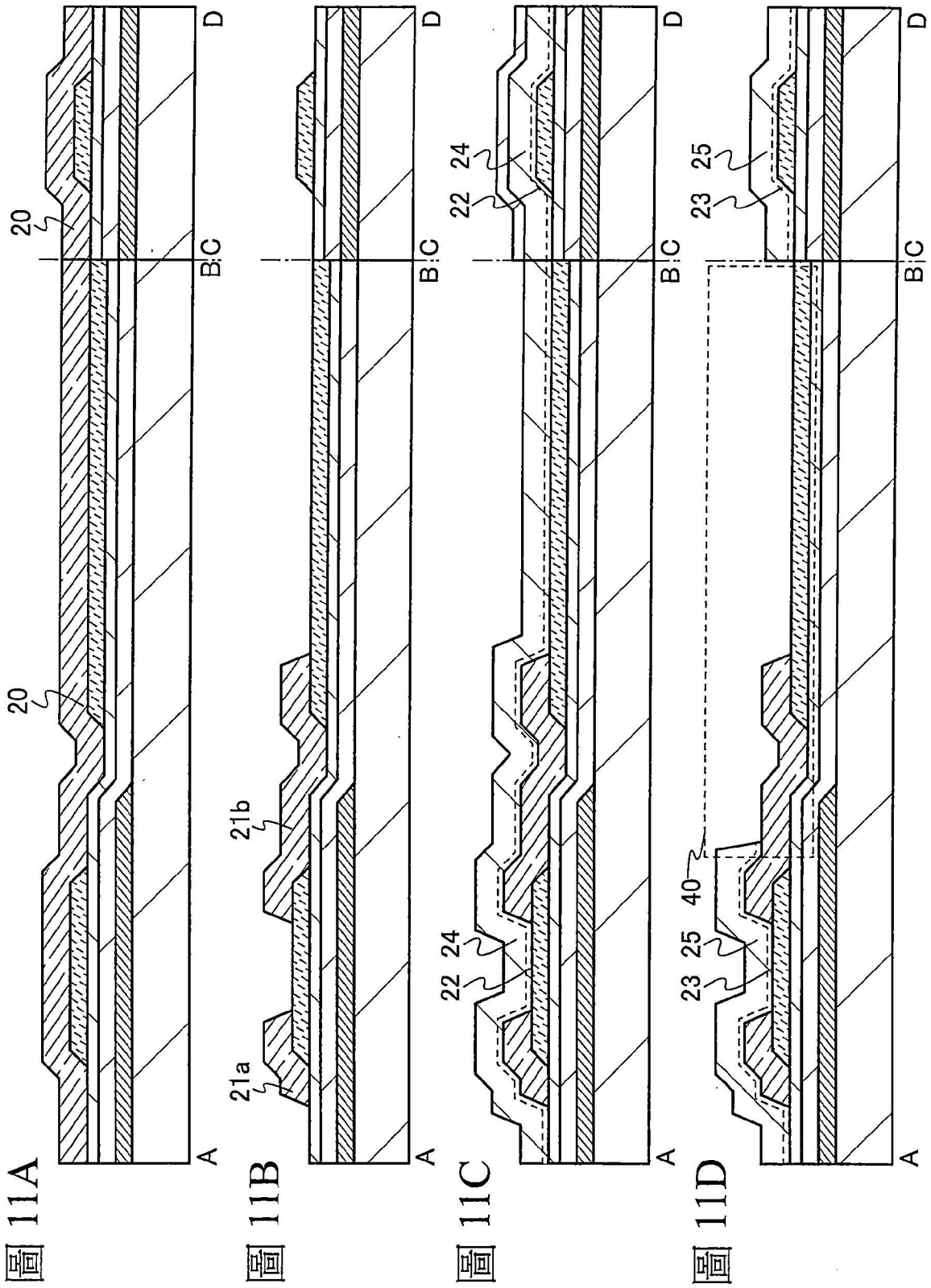


圖 11A

圖 11B

圖 11C

圖 11D

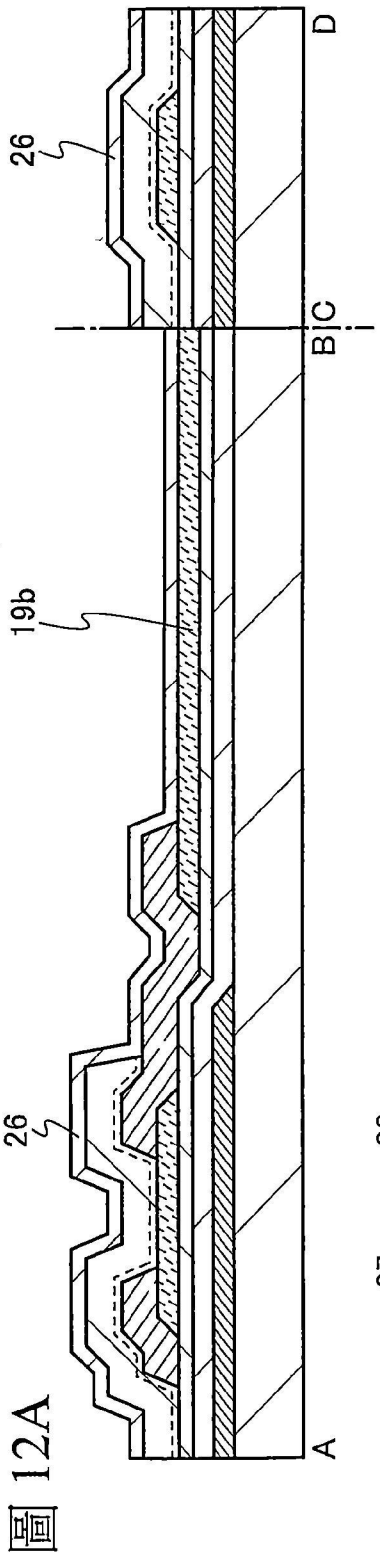


圖 12A

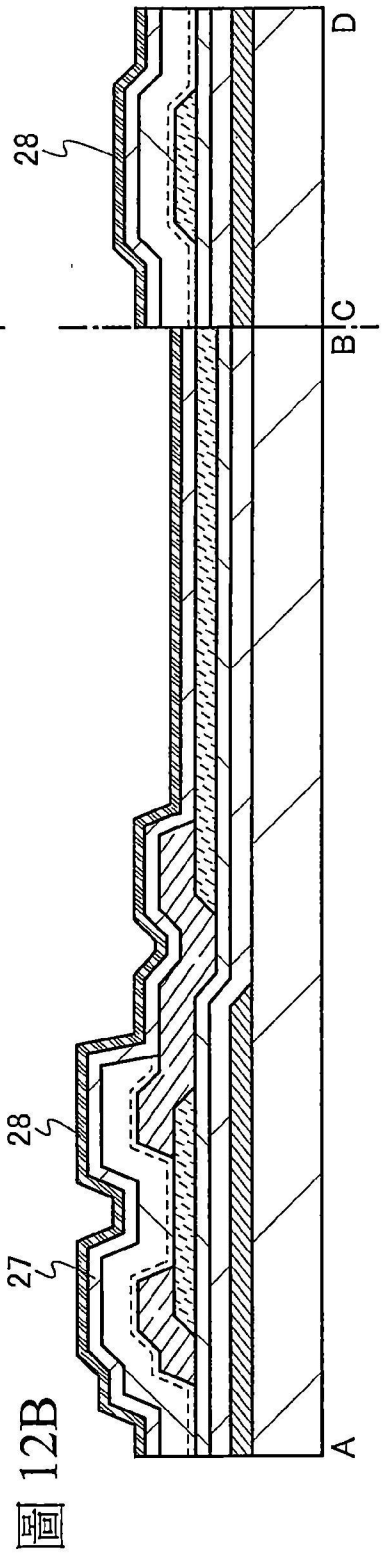


圖 12B

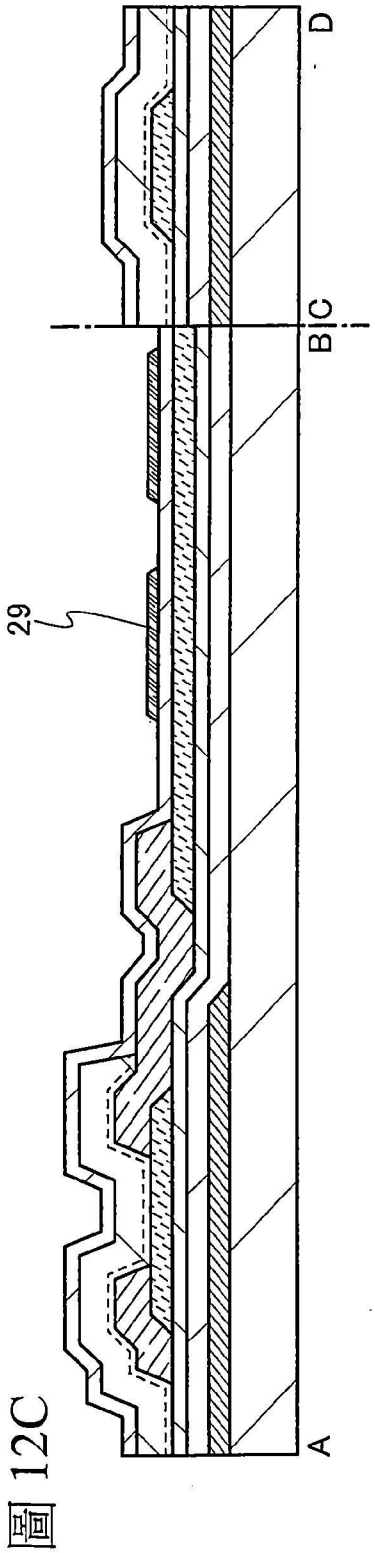


圖 12C

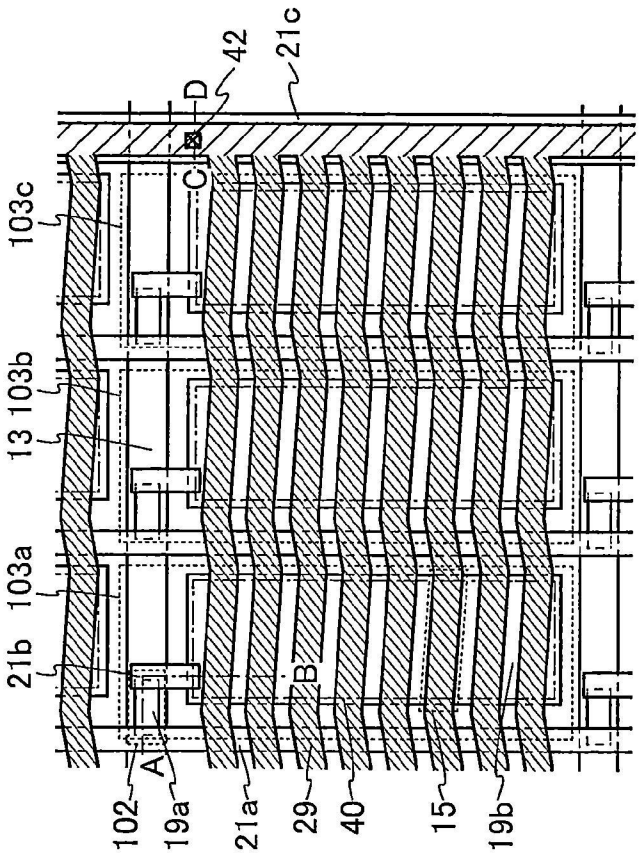

103c
103b
13
103a
21b
102
19a
A
21a
B
29
40
15
19b
C
D
42
21c

圖 13A

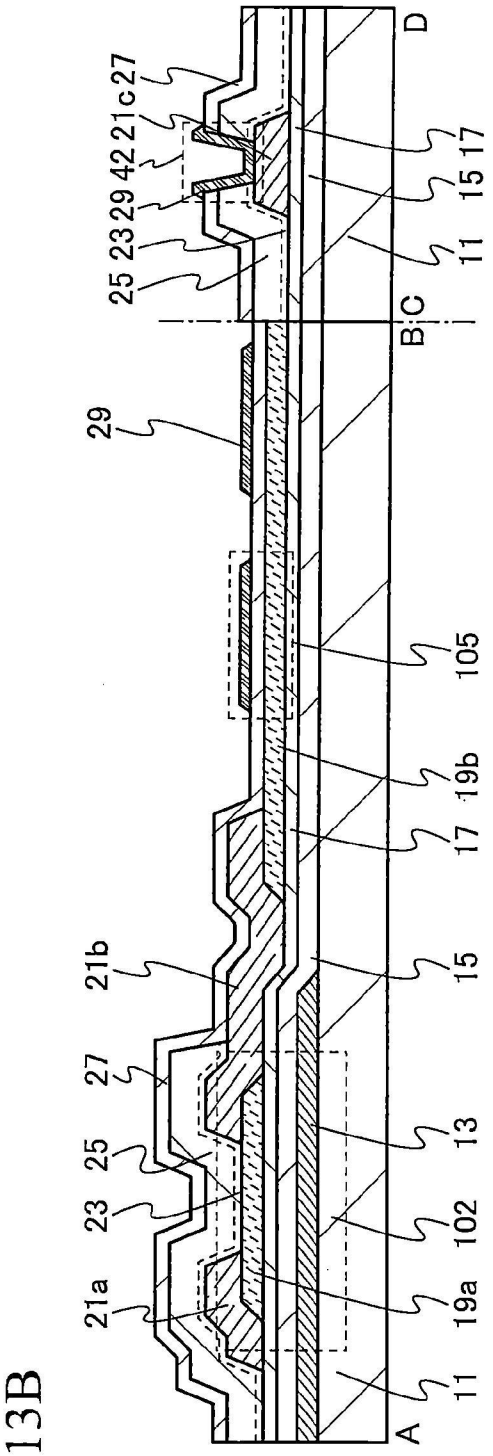

25 23 29 42 21c 27
D
B C
11 15 17
29
105
19b
17
15
21b
27
25
23
21a
11
19a
102
13
A

圖 13B

圖 14

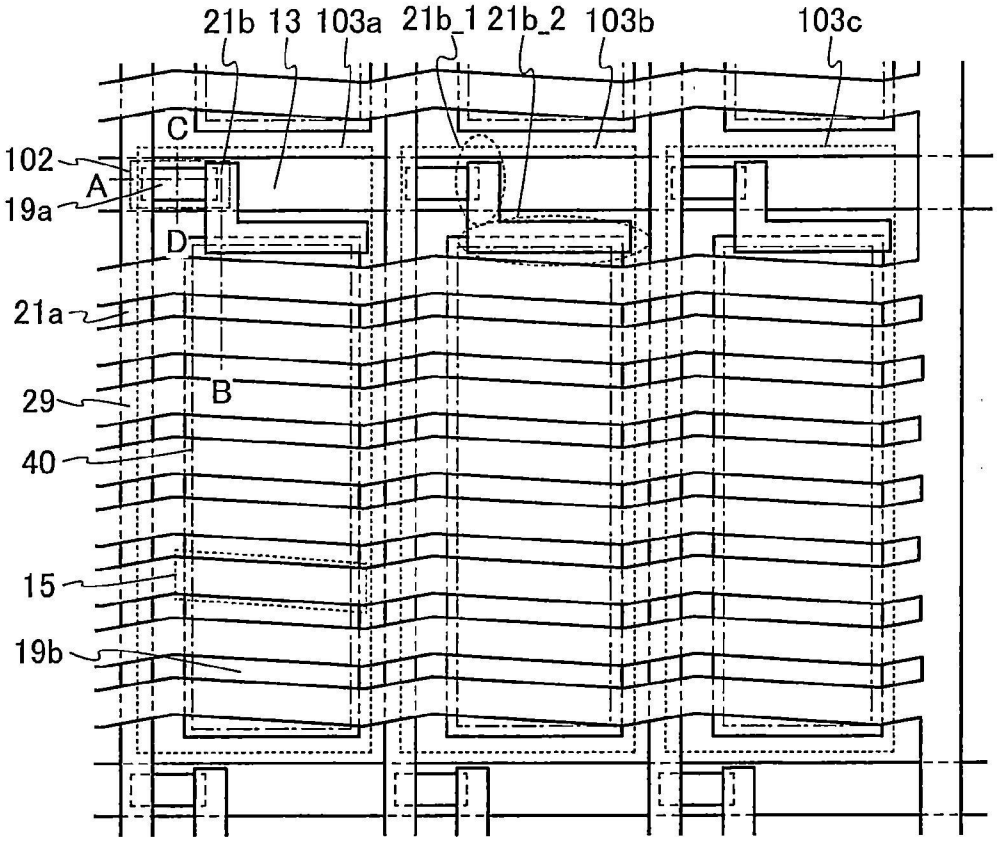


圖 15

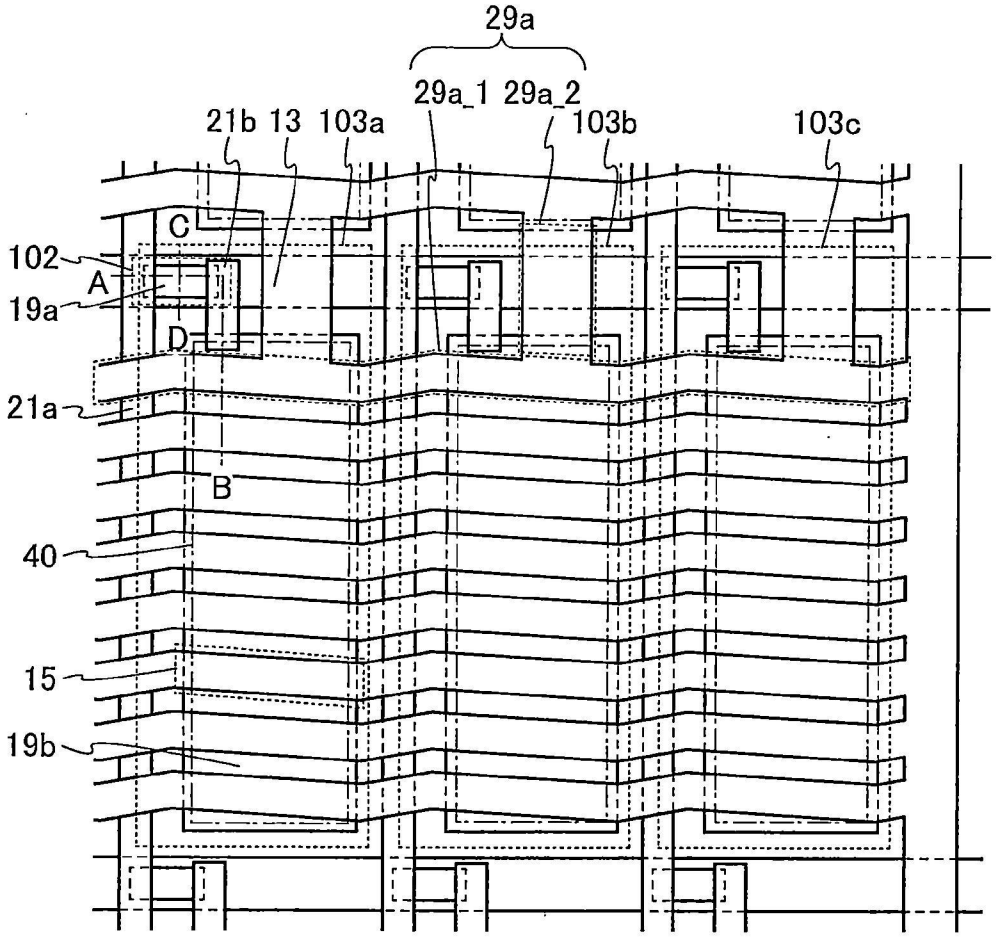


圖 16A

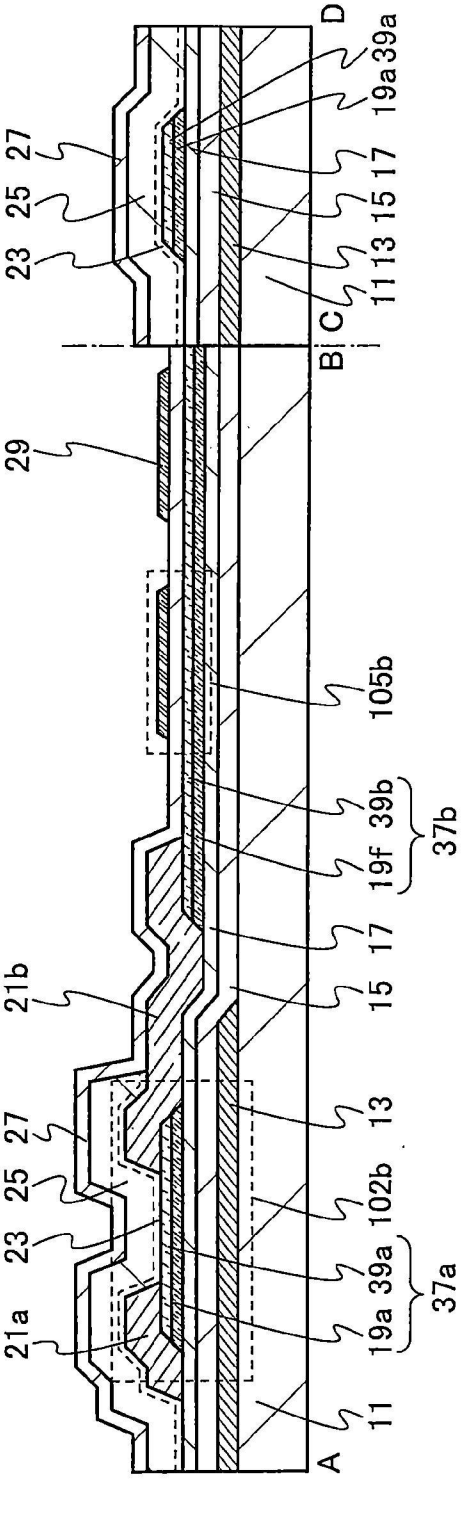

A
B
C
D
11
21a
23
25
27
21b
29
105b
13
15
17
19f
39b
37b
19a
39a
37a
102b

圖 16B

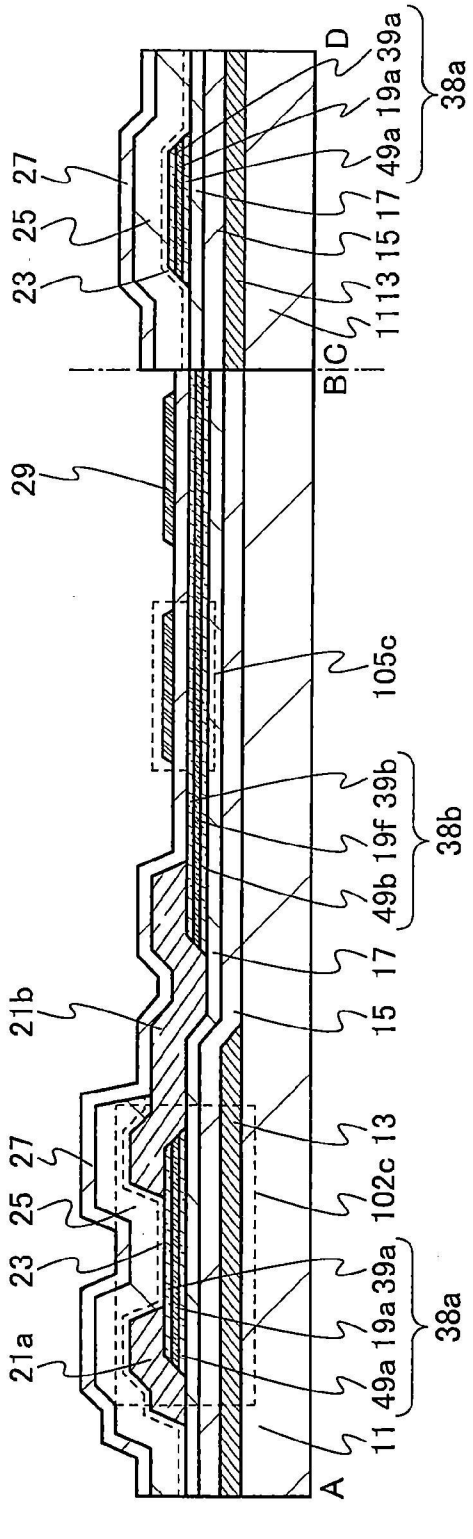

A
B
C
D
11
49a
19a
39a
38a
21a
23
25
27
21b
29
105c
13
15
17
49b
19f
39b
38b
102c

圖 17A

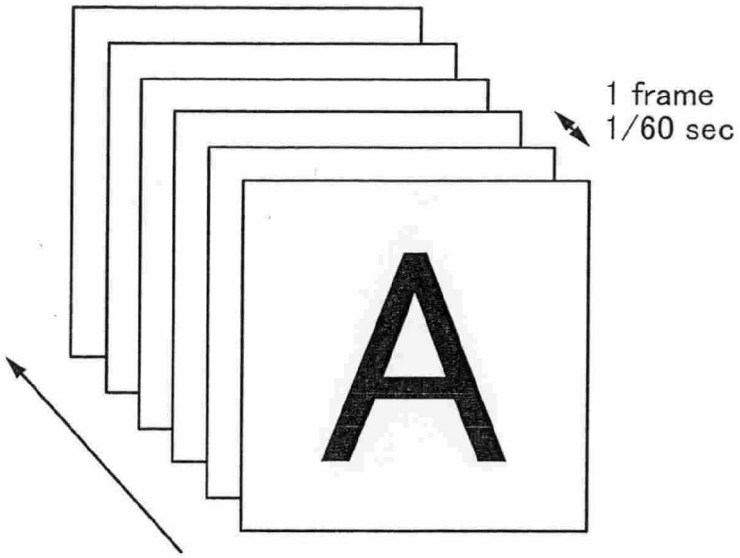


圖 17B

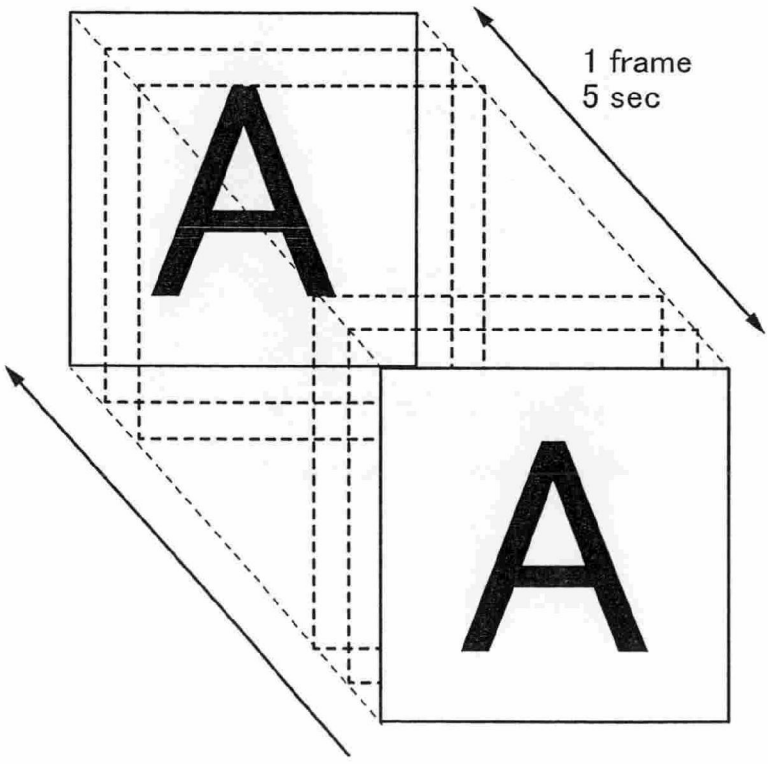


圖 18

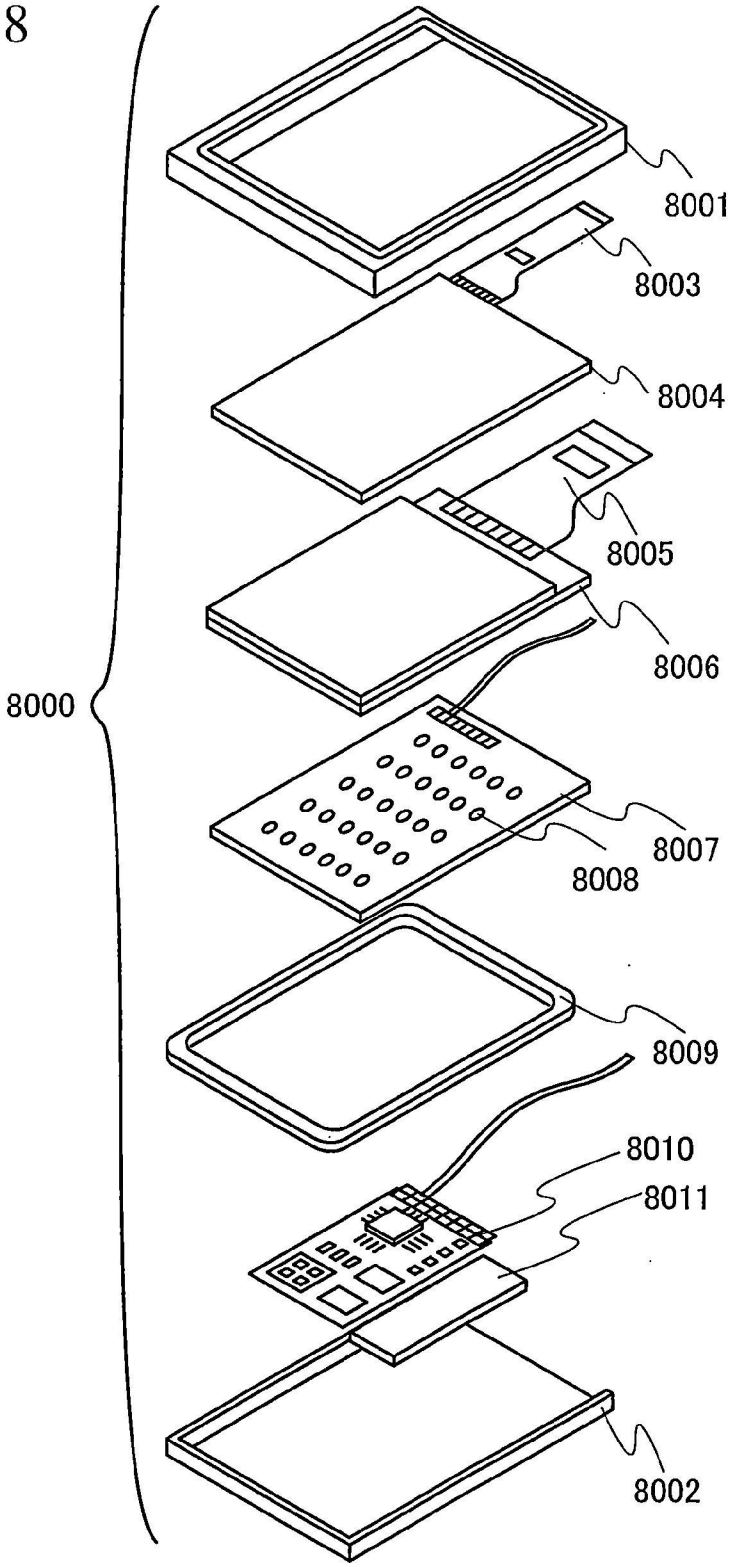


圖 19A

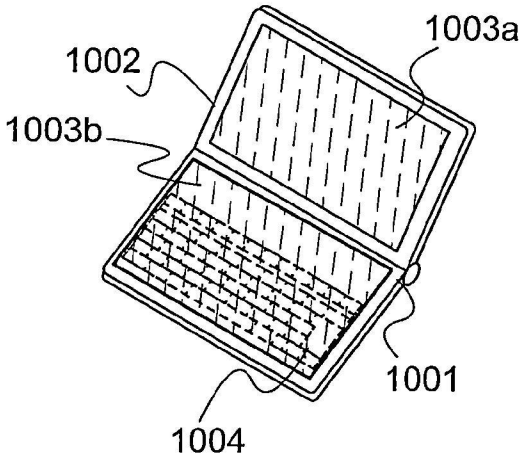


圖 19B

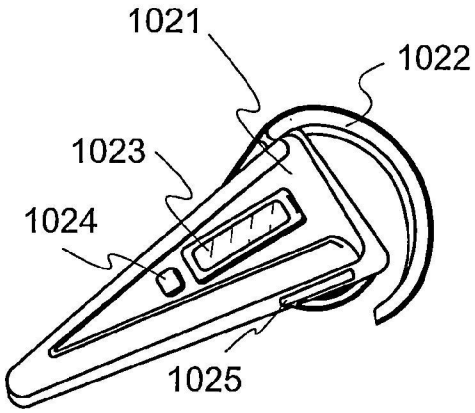


圖 19C

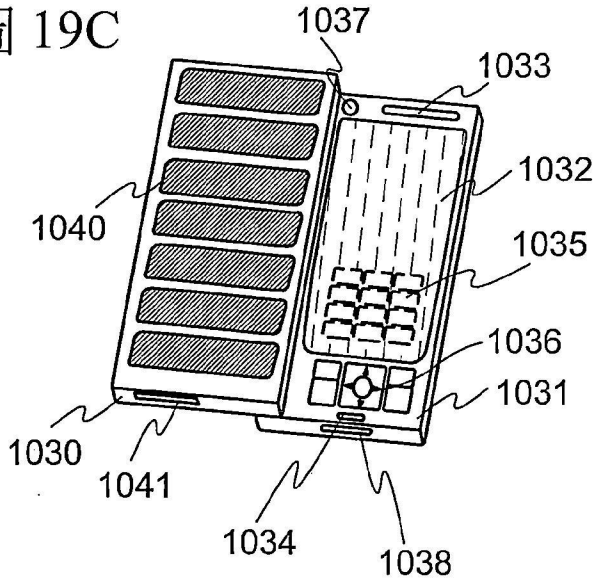


圖 19D

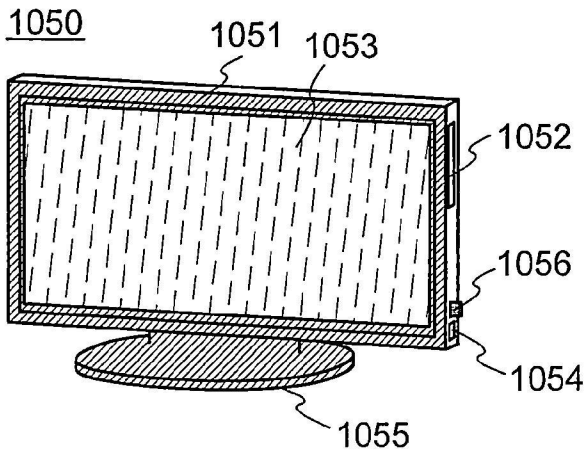


圖 20A

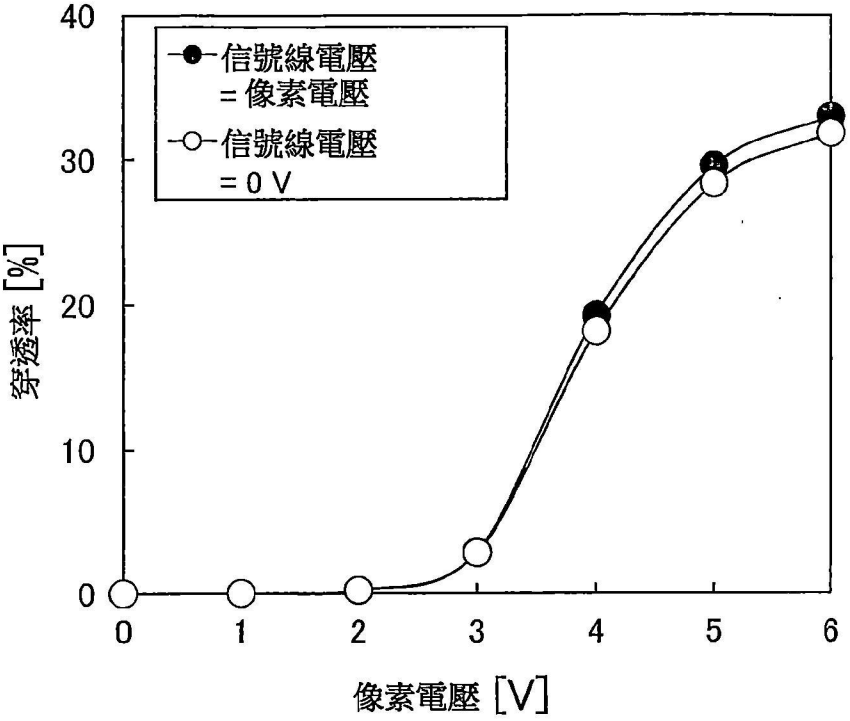

信號線電壓
= 像素電壓
信號線電壓
= 0 V
穿透率 [%]
像素電壓 [V]
0
10
20
30
40
0
1
2
3
4
5
6

圖 20B

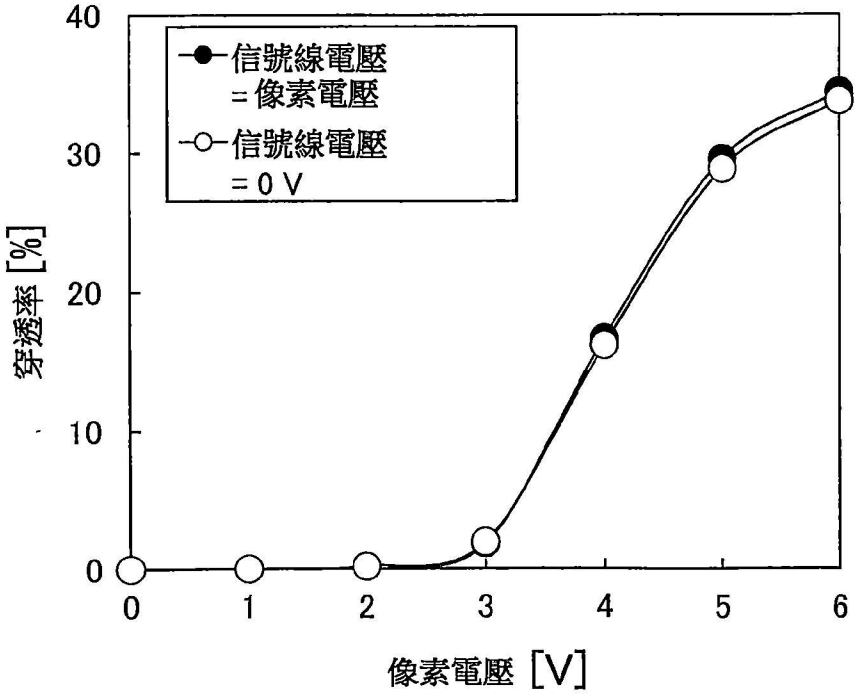
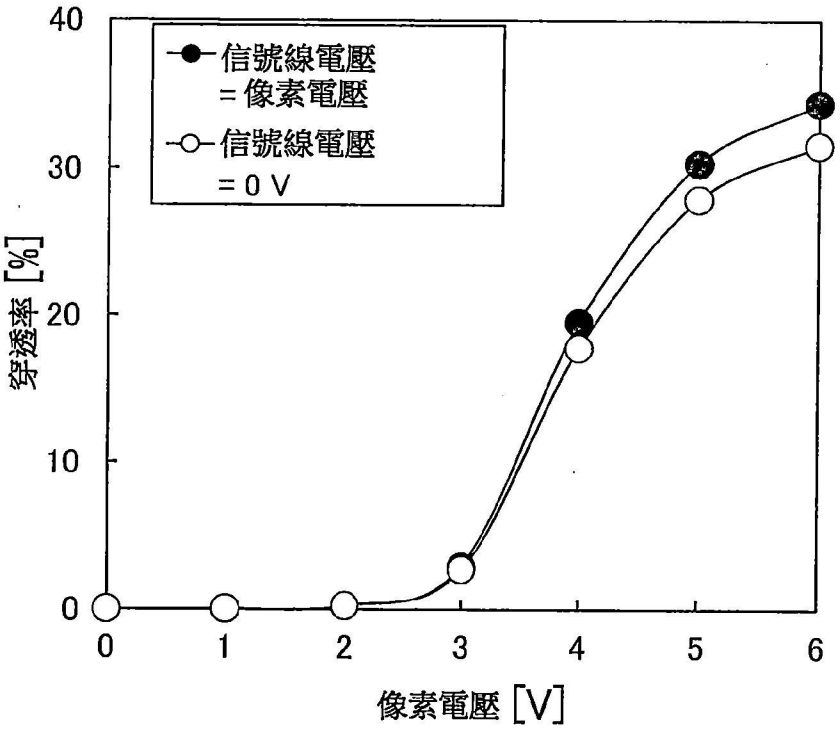

信號線電壓
= 像素電壓
信號線電壓
= 0 V
穿透率 [%]
像素電壓 [V]
0
10
20
30
40
0
1
2
3
4
5
6

圖 21



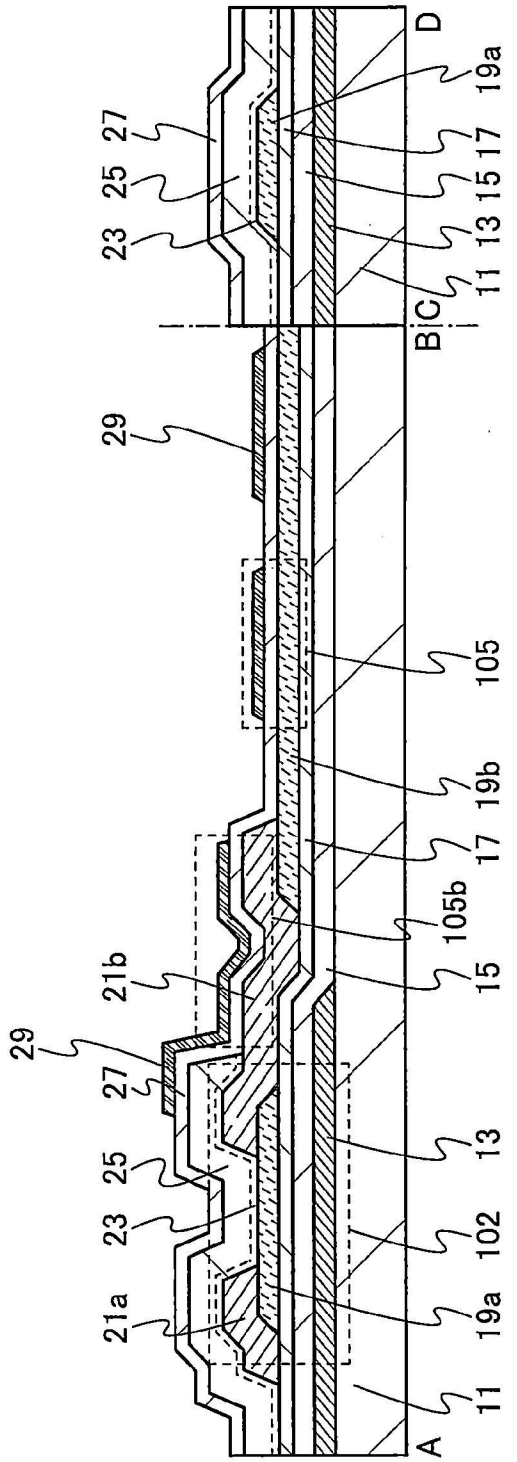

D
19a
27
17
25
15
23
13
11
C
B
29
105
19b
17
105b
15
21b
29
27
13
25
23
102
21a
19a
11
A

圖 22

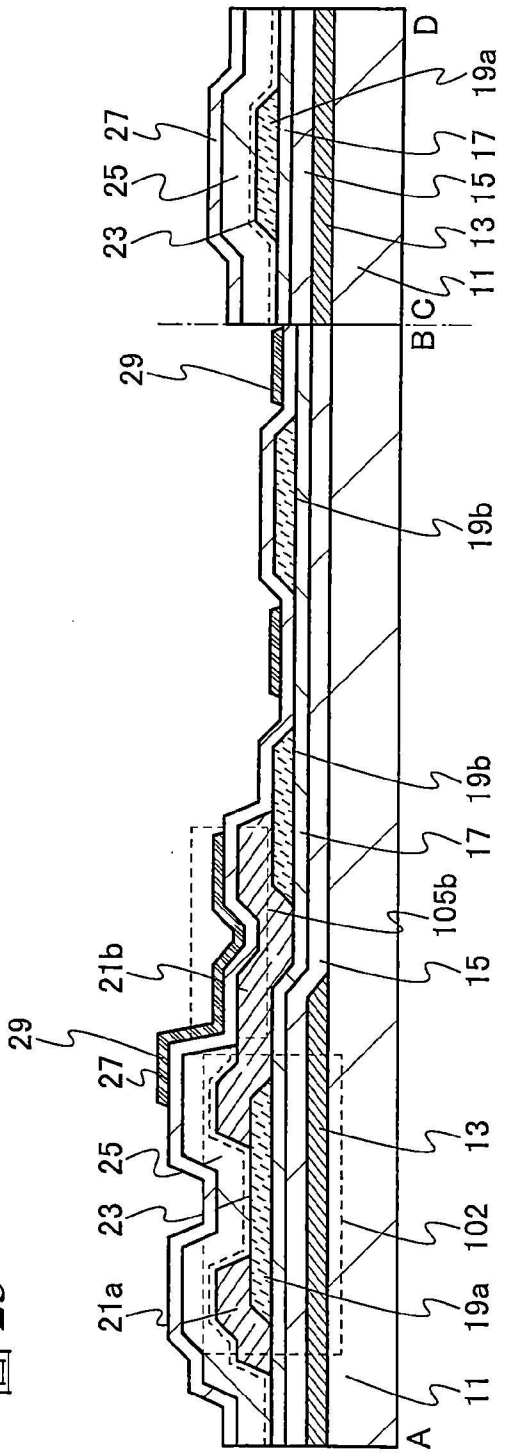

D
19a
27
17
25
15
23
13
11
C
B
29
19b
19b
17
105b
15
21b
29
27
13
25
102
23
19a
21a
11
A

圖 23

圖 24

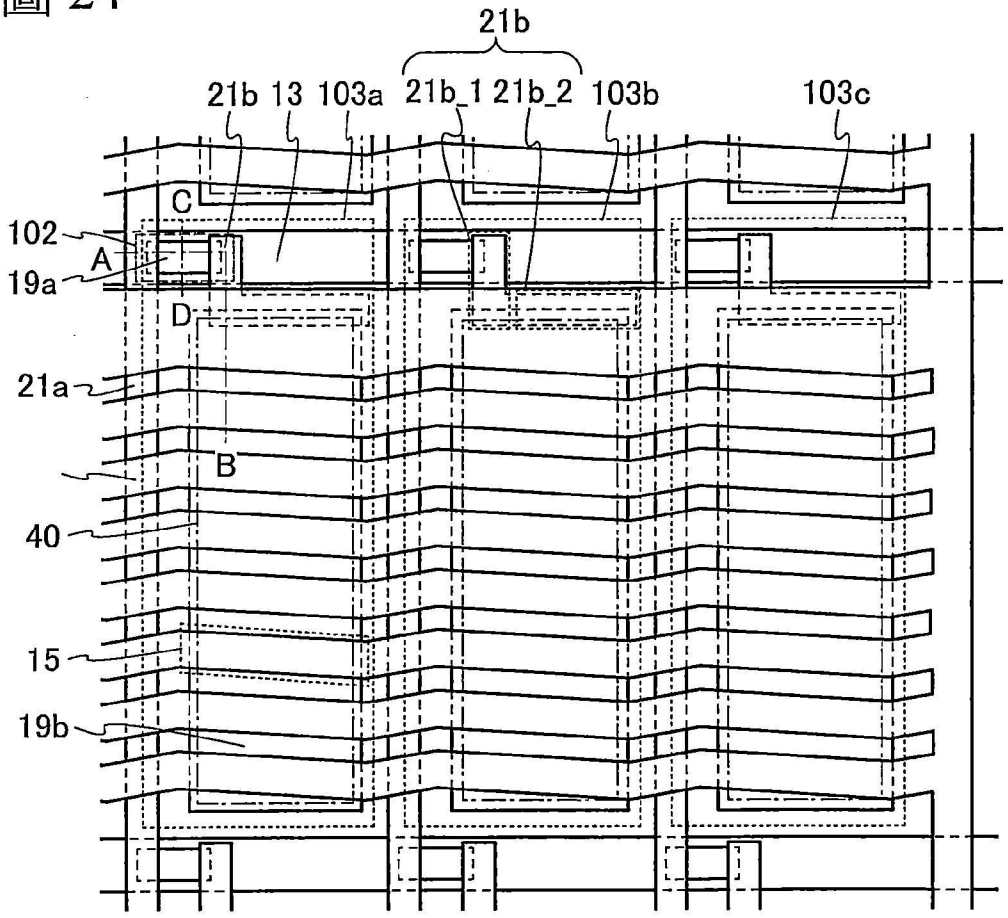
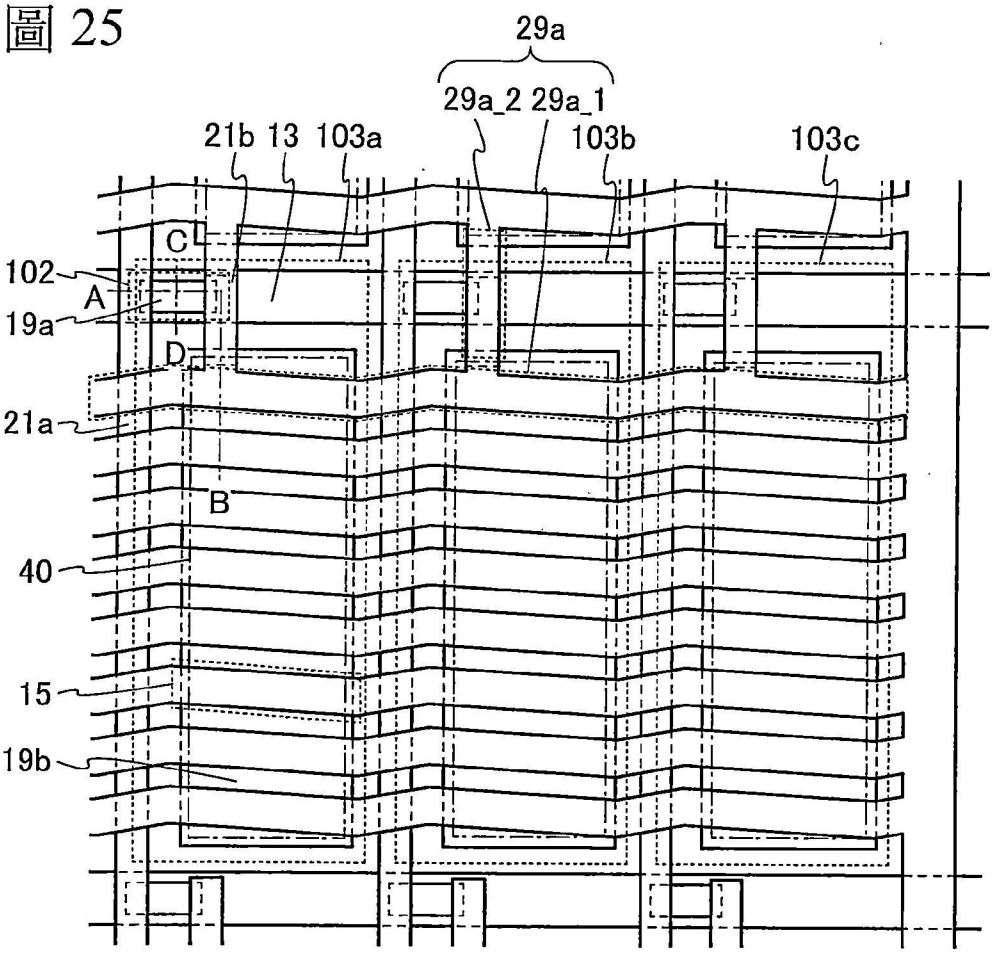


圖 25



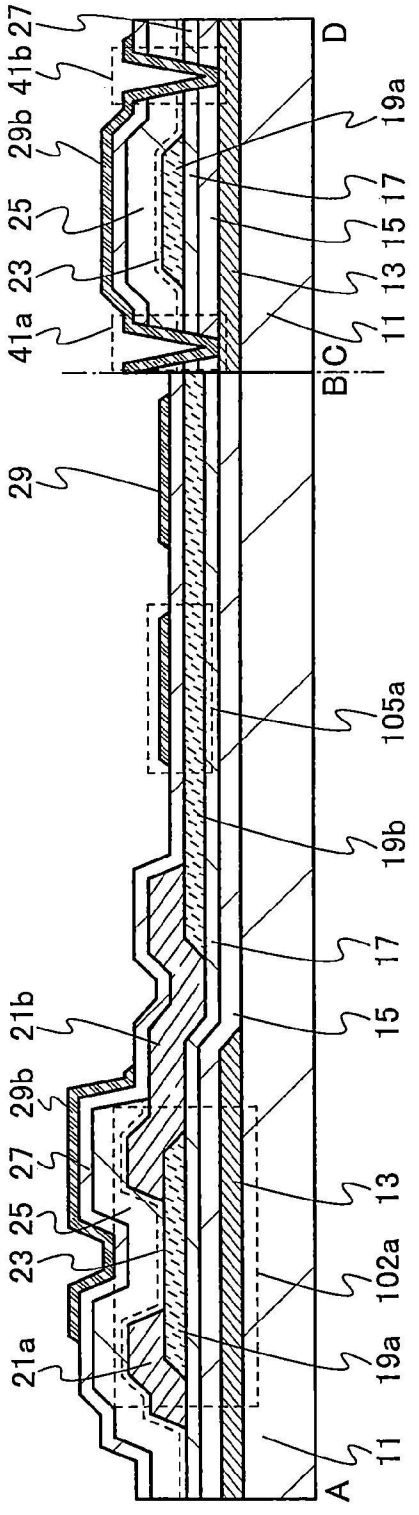

27
41b
29b
25
23
41a
29
21b
29b
27
25
23
21a
11
19a
102a
13
15
17
19b
105a
19a
17
15
13
11
A
B
C
D

圖 26

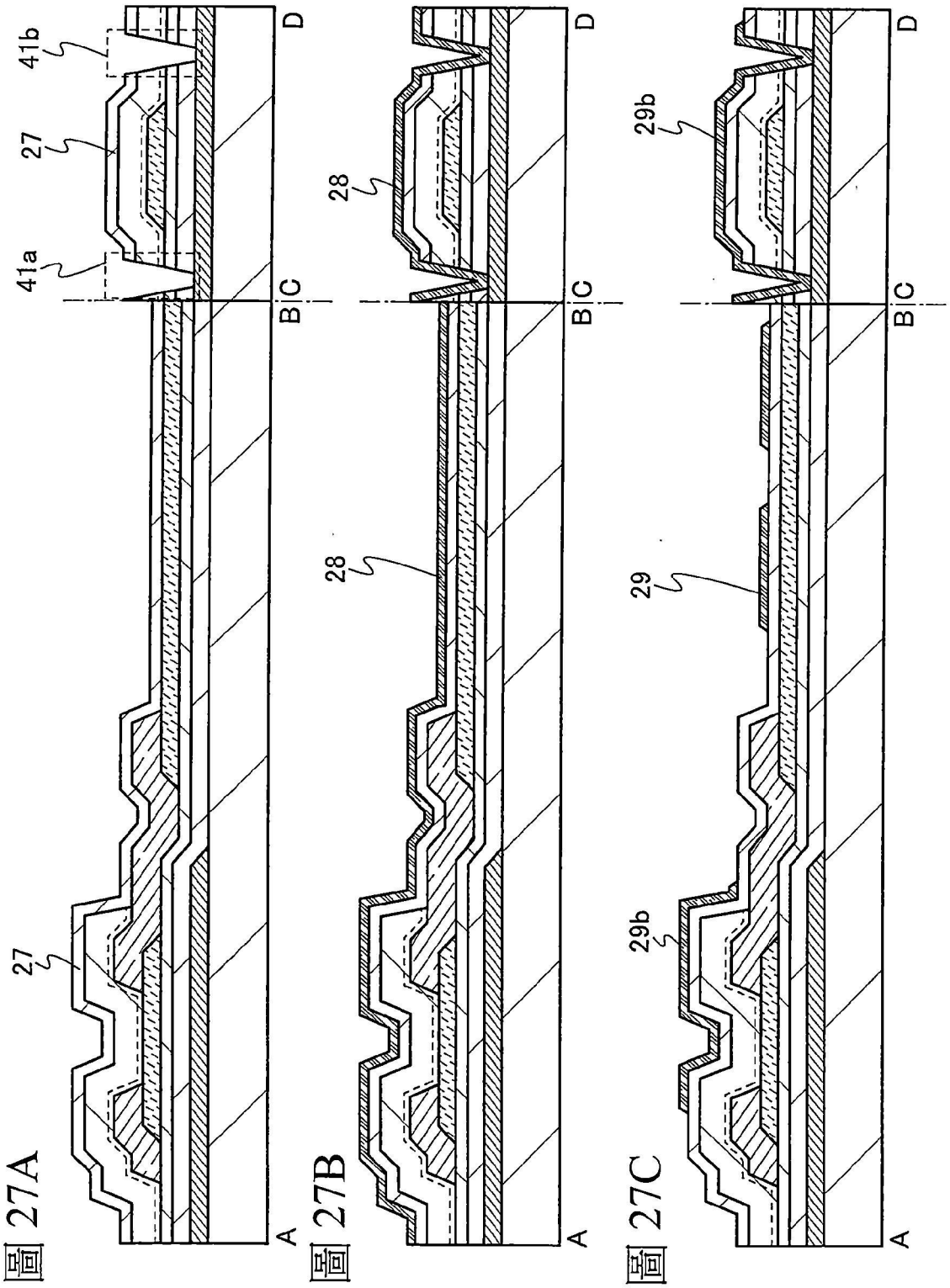


圖 27A

圖 27B

圖 27C

圖 28

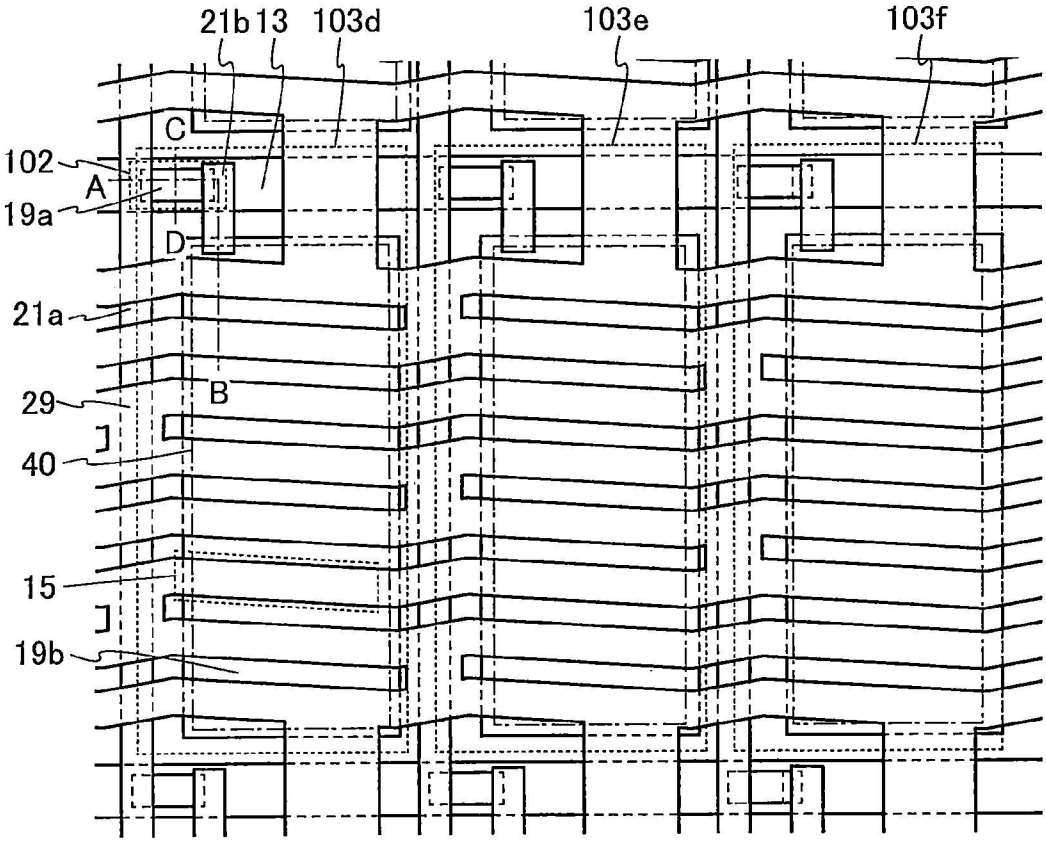


圖 29

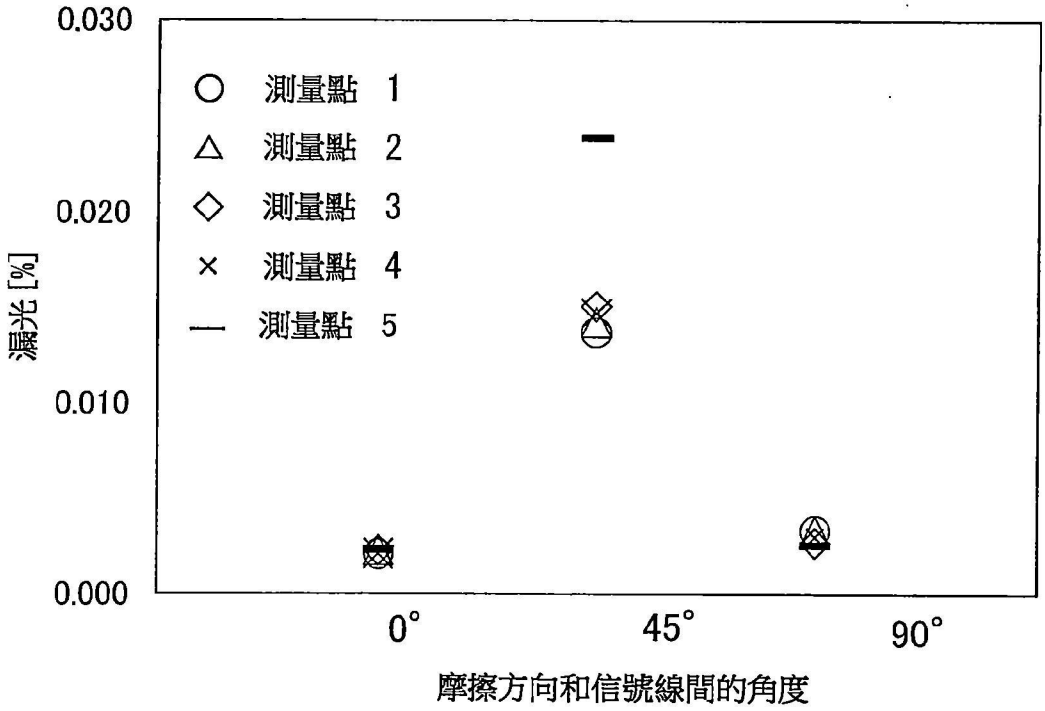

0.030
0.020
0.010
0.000
漏光 [%]
測量點 1
測量點 2
測量點 3
測量點 4
測量點 5
0°
45°
90°
摩擦方向和信號線間的角度

圖 30A

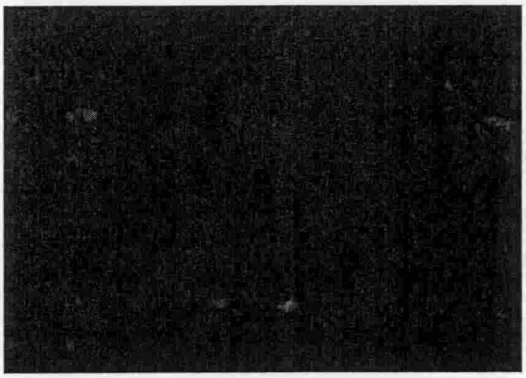


圖 30B

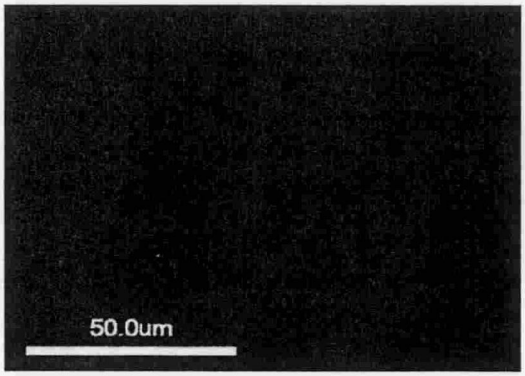


圖 31A

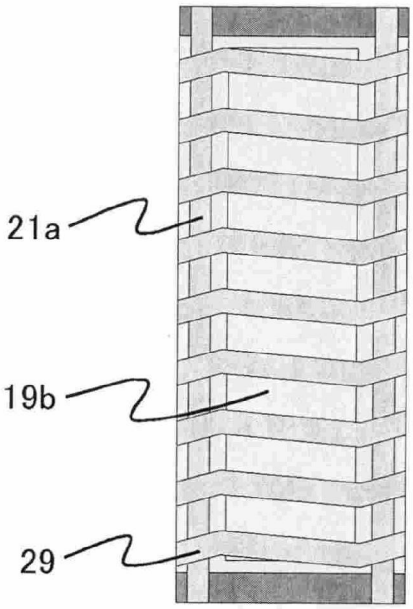
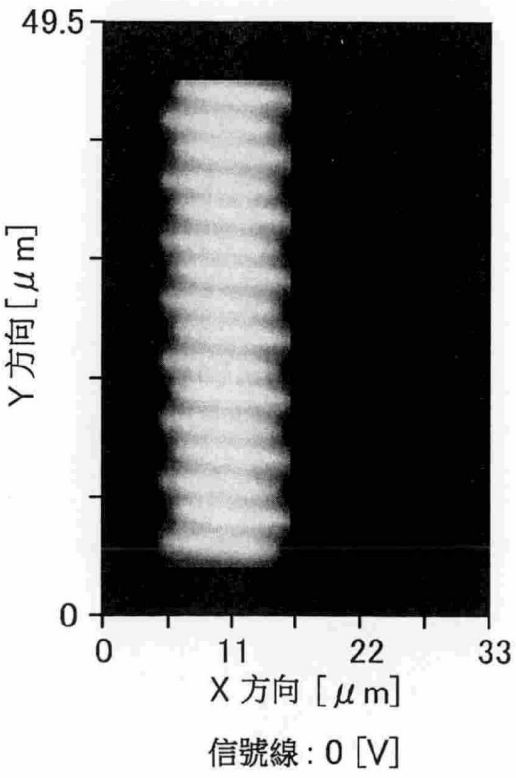
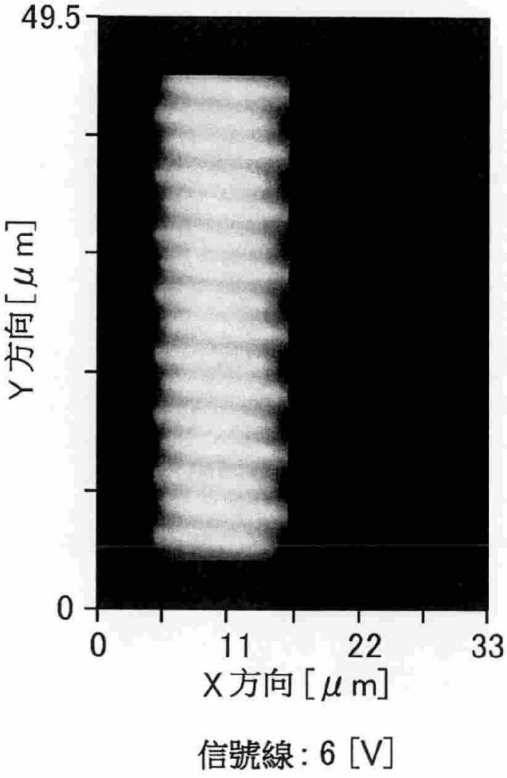


圖 31B



信號線 : 0 [V]

圖 31C



信號線 : 6 [V]

圖 32A

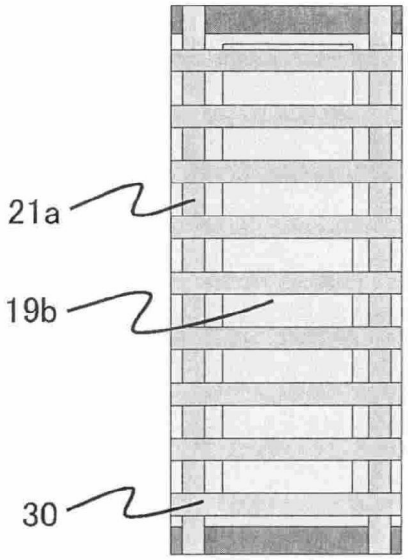
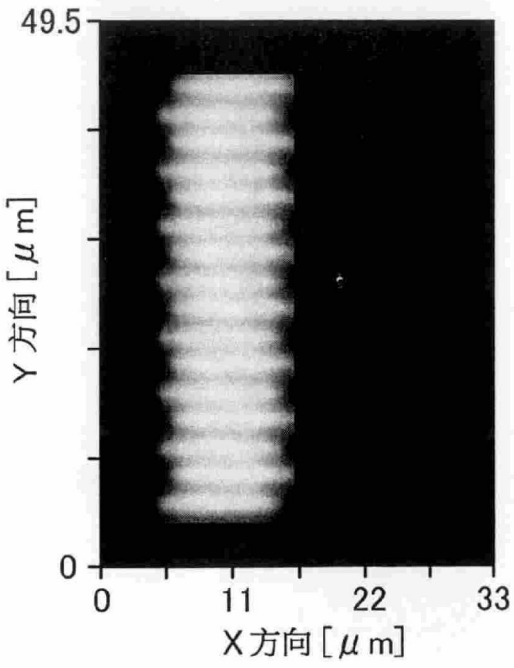
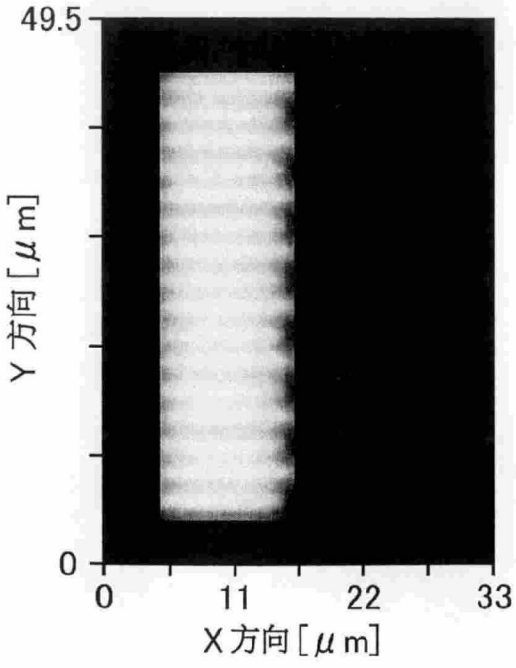


圖 32B



信號線 : 0 [V]

圖 32C



信號線 : 6 [V]

圖 33

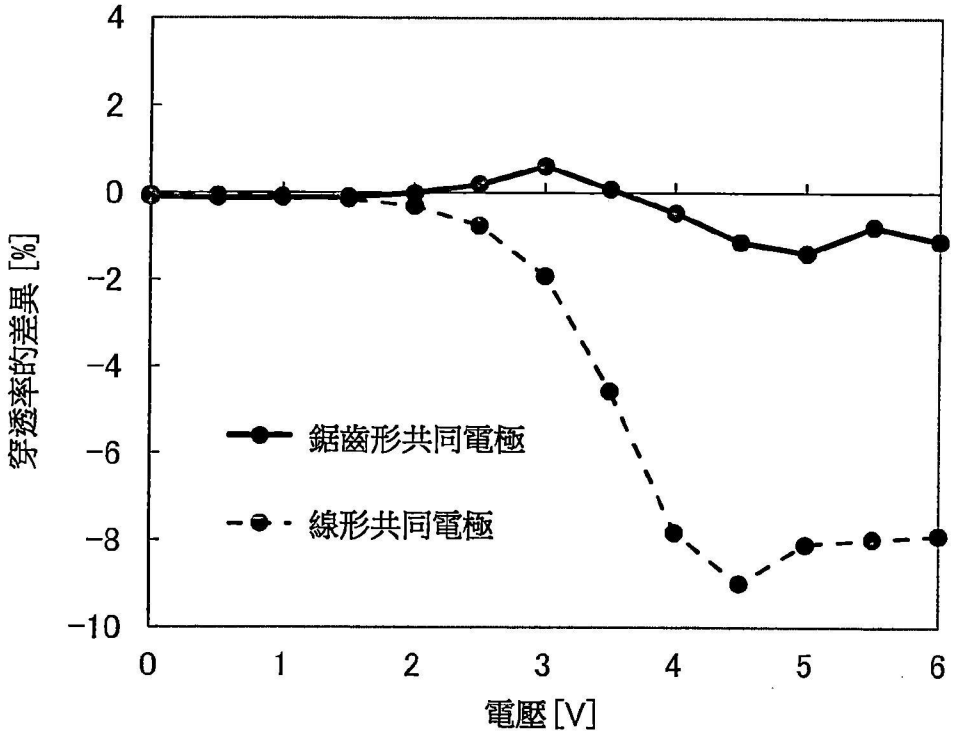


圖 34

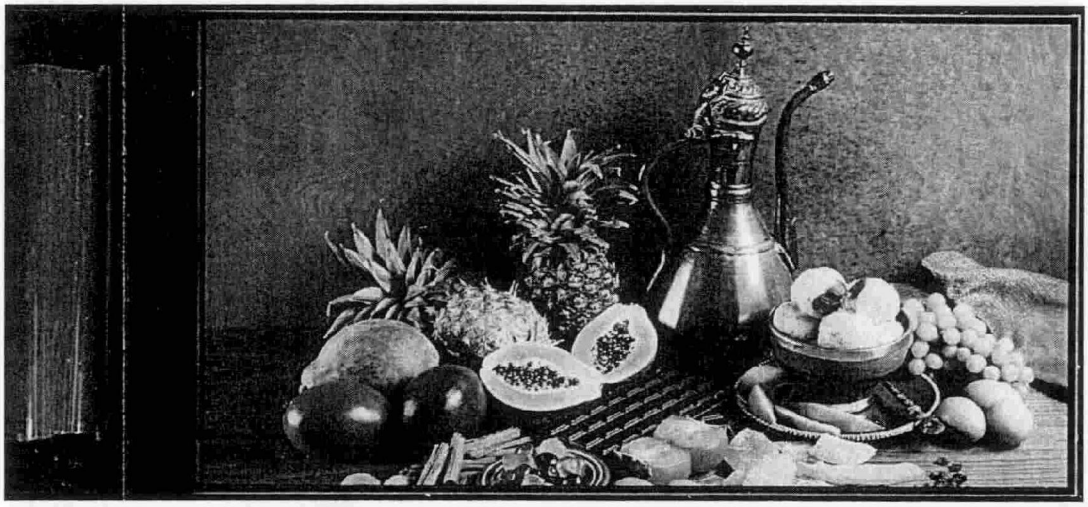


圖 35

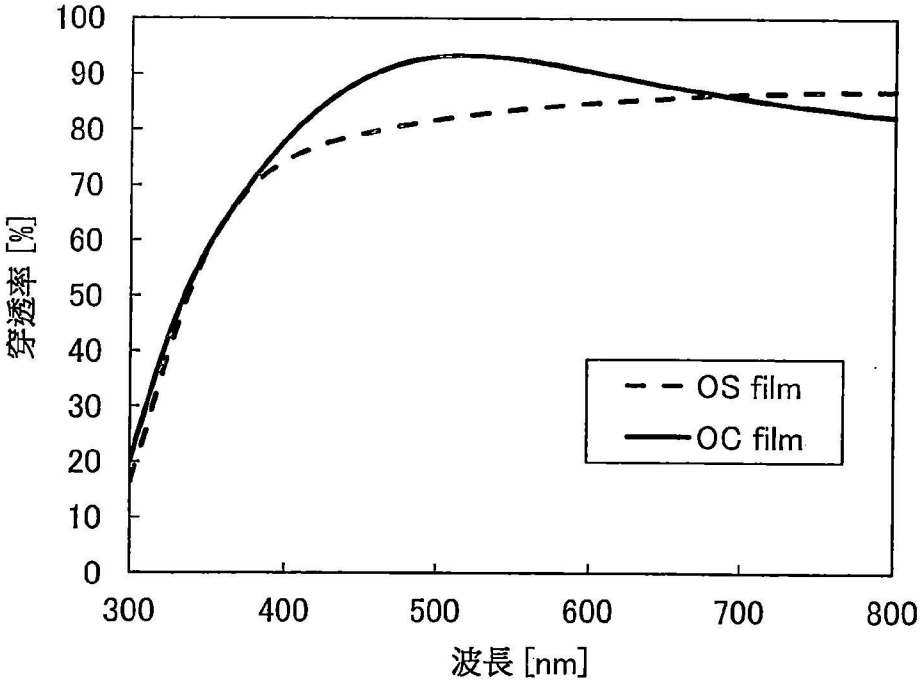

100
90
80
70
60
50
40
30
20
10
0
穿透率 [%]
300
400
500
600
700
800
波長 [nm]
OS film
OC film

圖 36

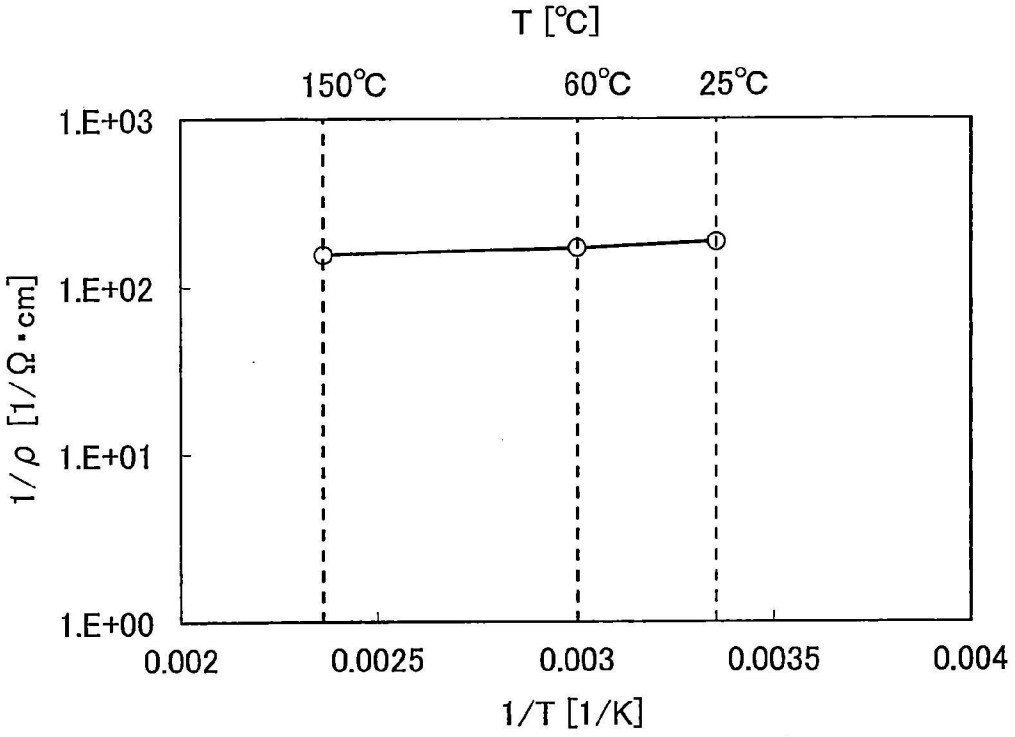

T [℃]
150℃
60℃
25℃
1.E+03
1.E+02
1.E+01
1.E+00
1/ρ [1/Ω・cm]
0.002
0.0025
0.003
0.0035
0.004
1/T [1/K]

圖 37

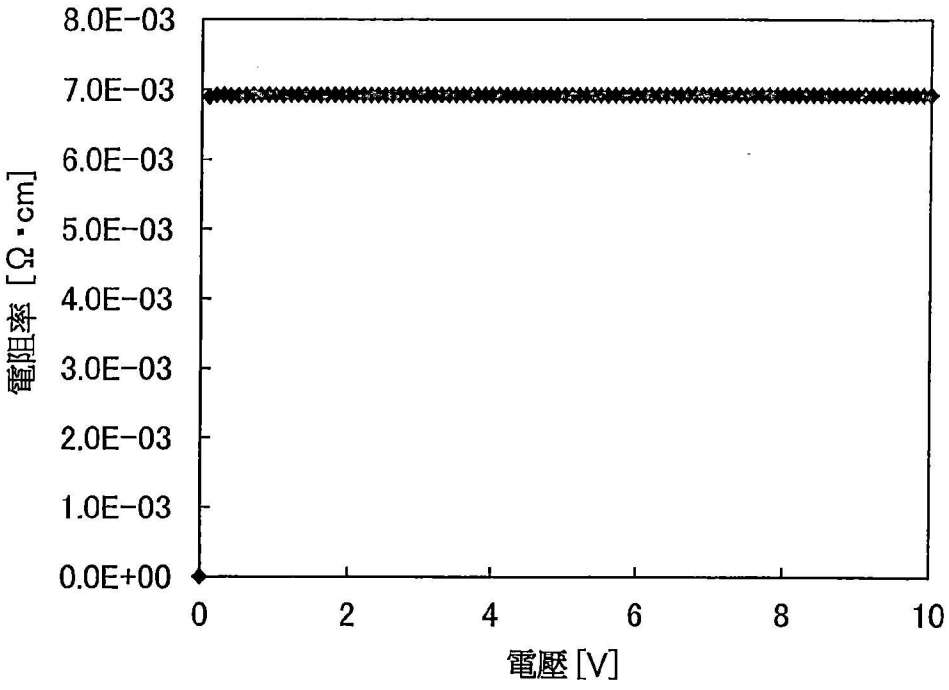

8.0E-03
7.0E-03
6.0E-03
5.0E-03
4.0E-03
3.0E-03
2.0E-03
1.0E-03
0.0E+00
電阻率 [Ω・cm]
0
2
4
6
8
10
電壓 [V]

圖 38

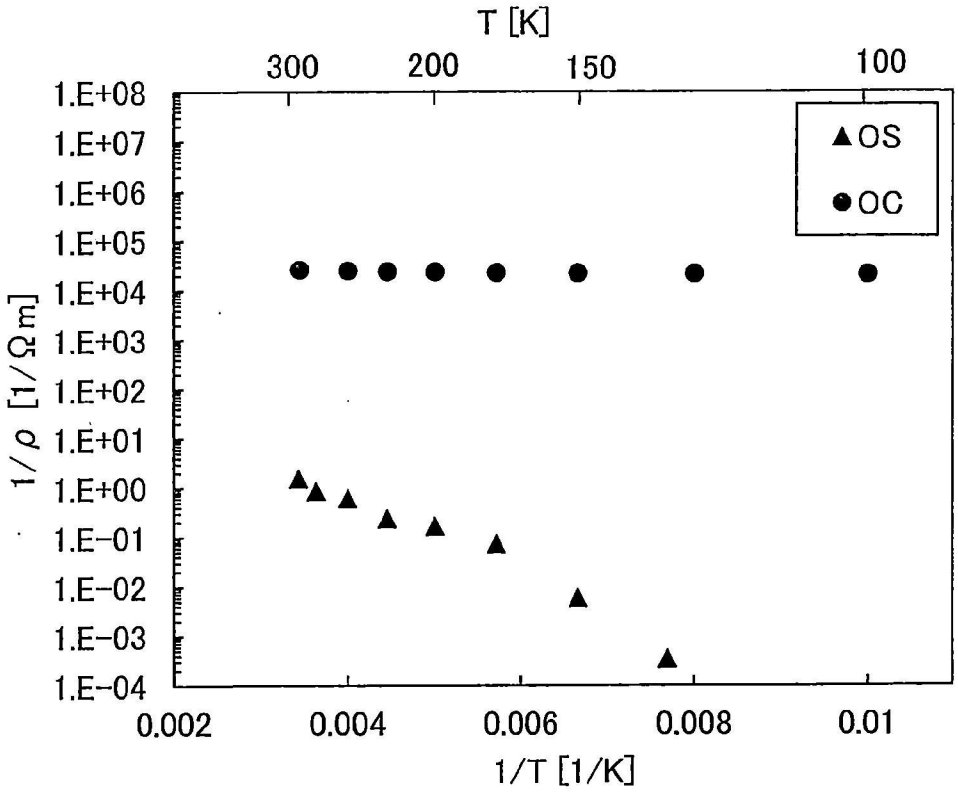

T [K]
300
200
150
100
1.E+08
1.E+07
1.E+06
1.E+05
1.E+04
1.E+03
1.E+02
1.E+01
1.E+00
1.E-01
1.E-02
1.E-03
1.E-04
1/ρ [1/Ωm]
OS
OC
0.002
0.004
0.006
0.008
0.01
1/T [1/K]

圖 39A

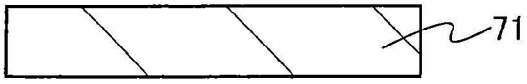


圖 39B

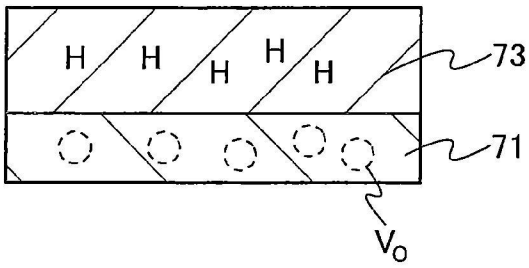


圖 39C

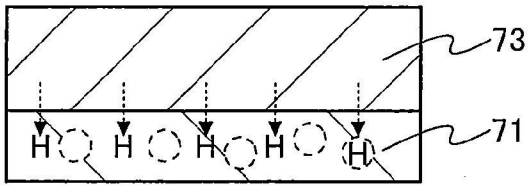


圖 39D

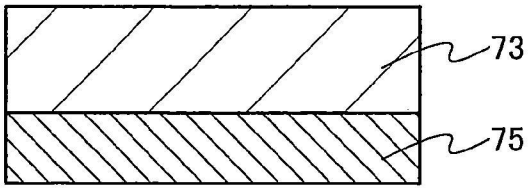


圖 40A

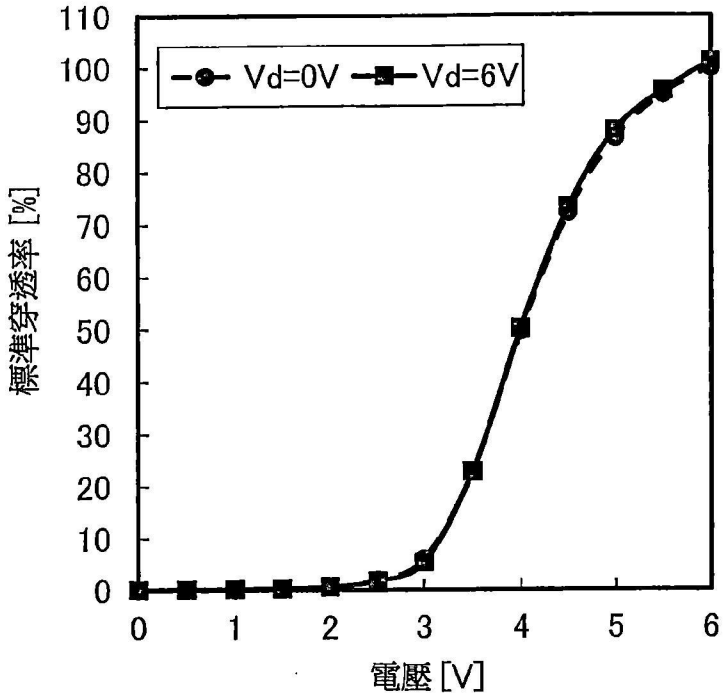

Vd=0V
Vd=6V
標準穿透率 [%]
電壓 [V]
0
10
20
30
40
50
60
70
80
90
100
110
0
1
2
3
4
5
6

圖 40B

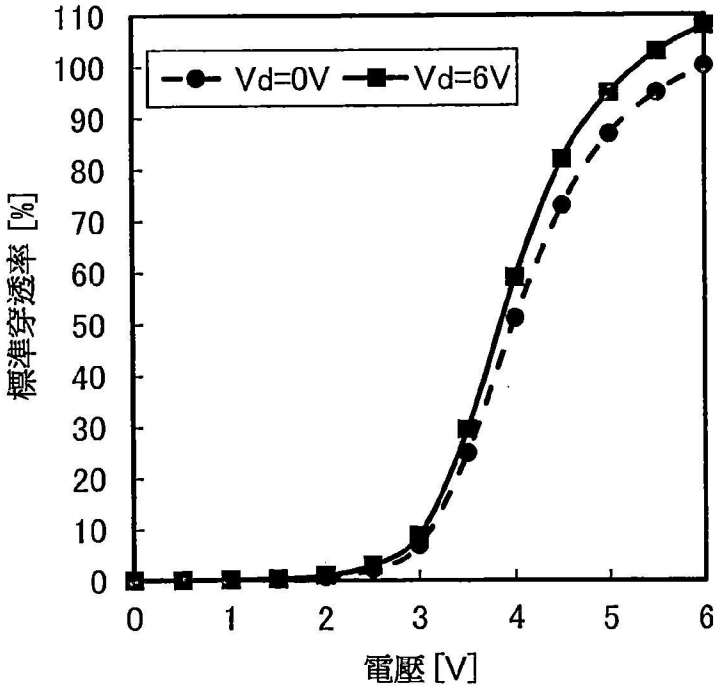
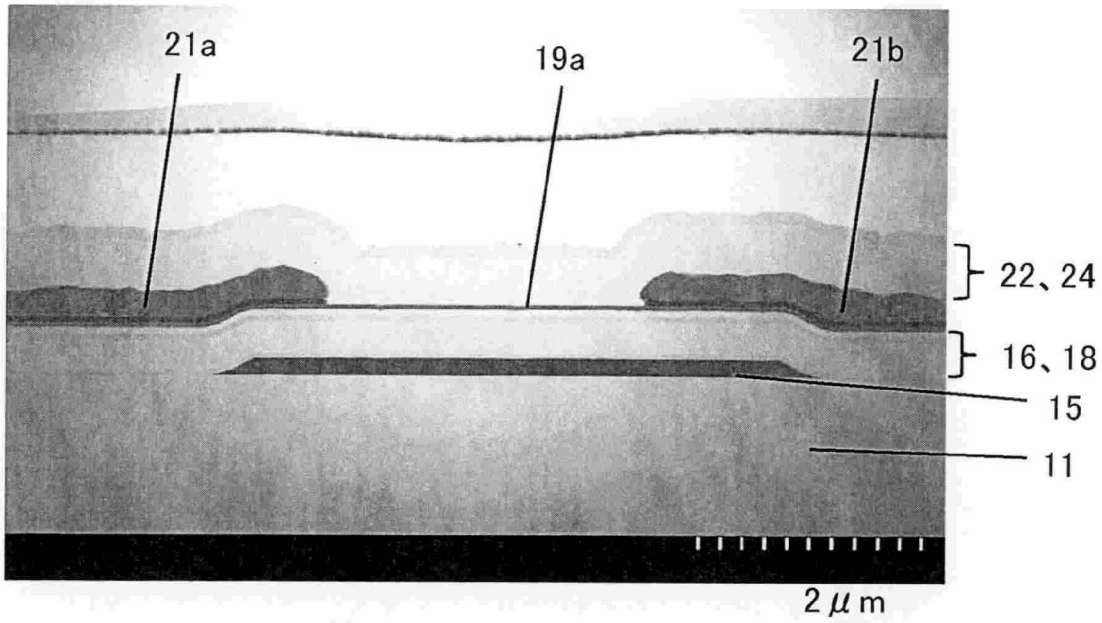

Vd=0V
Vd=6V
標準穿透率 [%]
電壓 [V]
0
10
20
30
40
50
60
70
80
90
100
110
0
1
2
3
4
5
6

圖 41



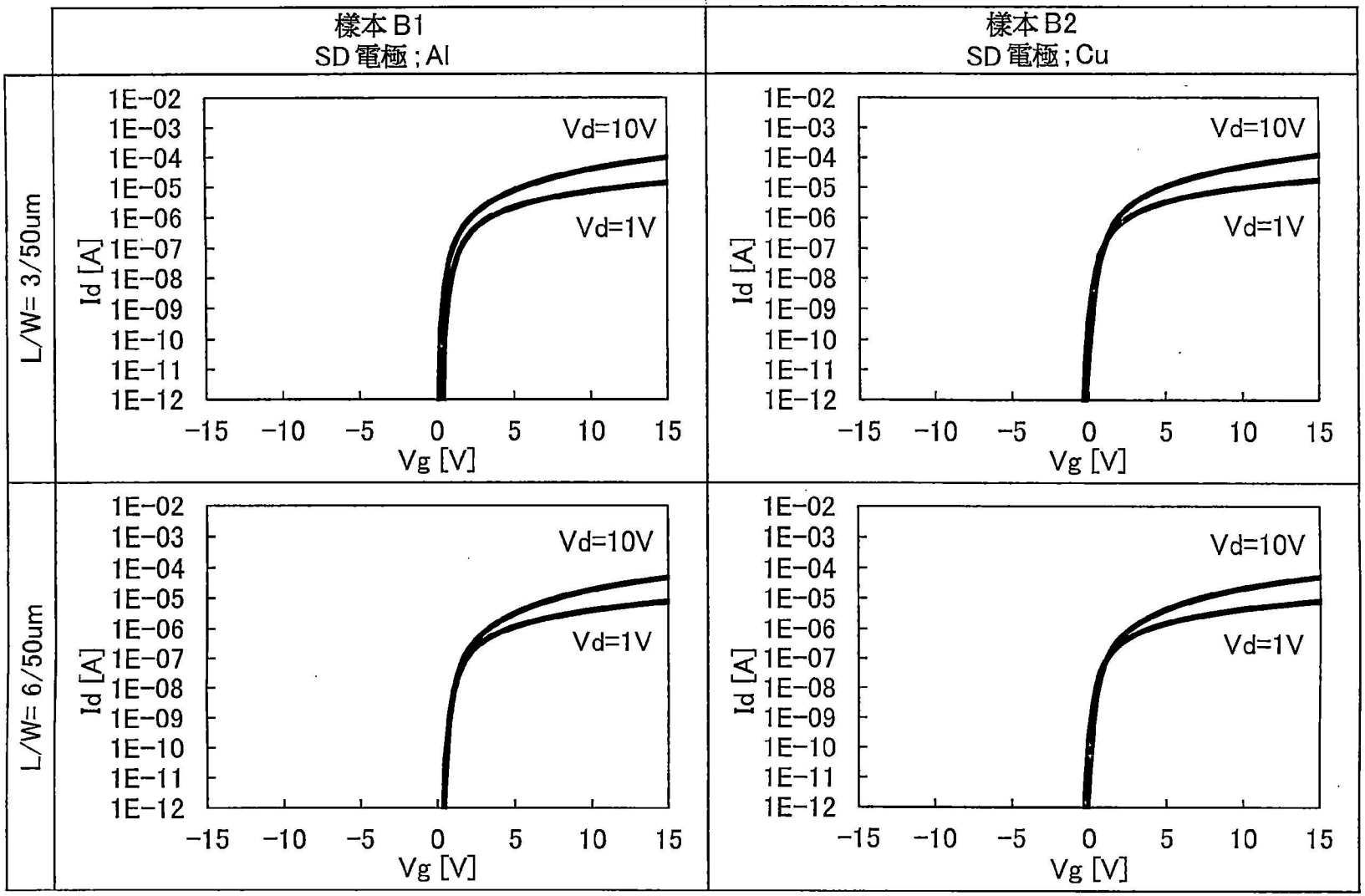

樣本B1
SD電極；Al
樣本B2
SD電極；Cu
L/W= 3/50um
L/W= 6/50um
Id [A]
Vg [V]
Vd=10V
Vd=1V
1E-02
1E-03
1E-04
1E-05
1E-06
1E-07
1E-08
1E-09
1E-10
1E-11
1E-12
-15
-10
-5
0
5
10
15

圖 42

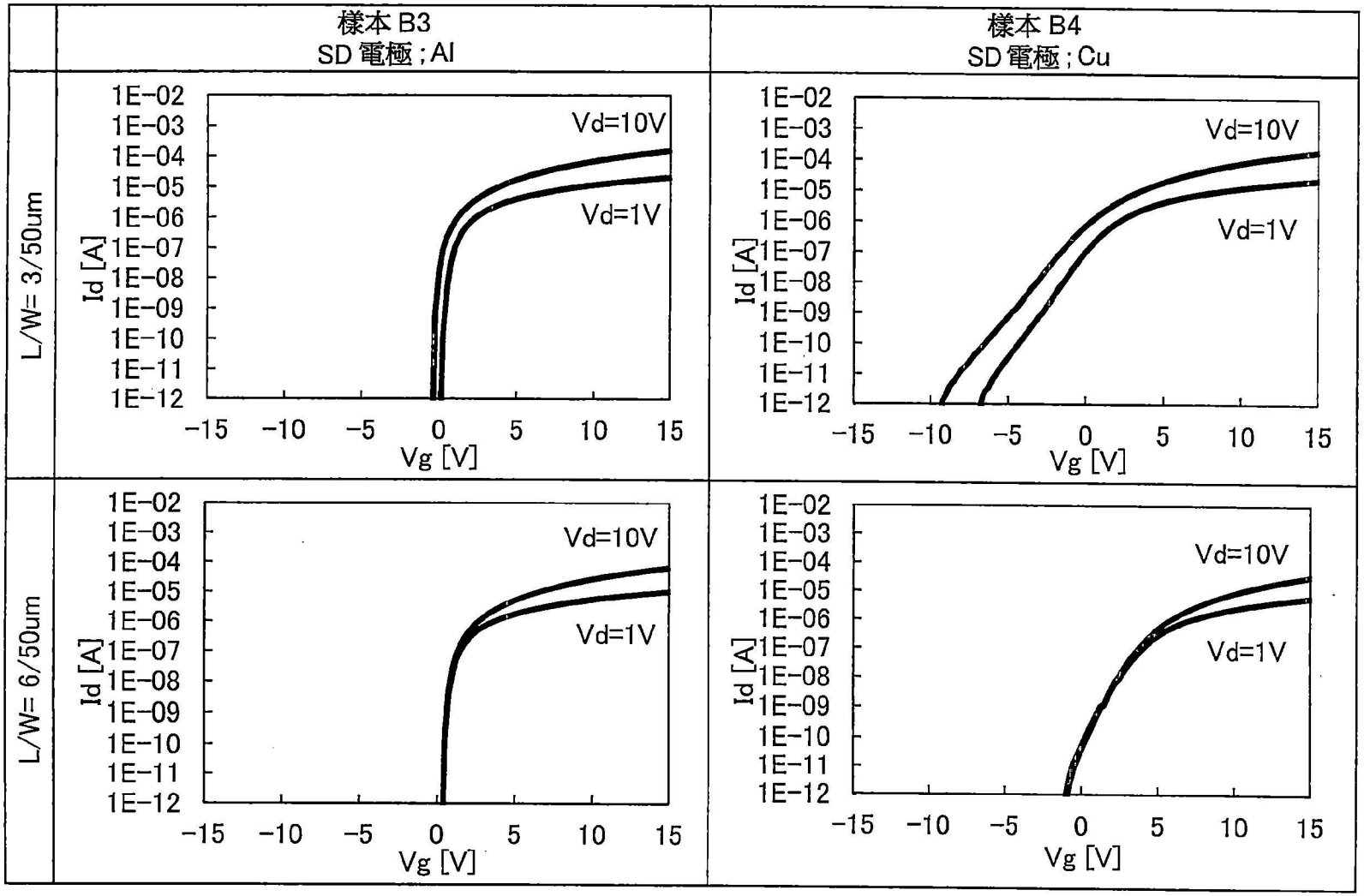

樣本 B3
SD 電極 ; Al
樣本 B4
SD 電極 ; Cu
L/W= 3/50um
L/W= 6/50um
Id [A]
Vg [V]
Vd=10V
Vd=1V
1E-02
1E-03
1E-04
1E-05
1E-06
1E-07
1E-08
1E-09
1E-10
1E-11
1E-12
−15
−10
−5
0
5
10
15

圖 43

圖 44A

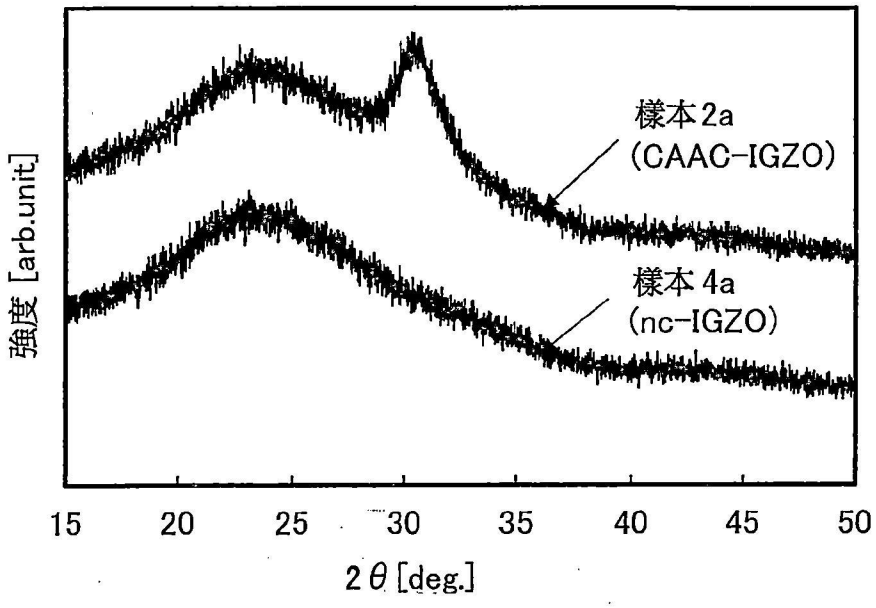
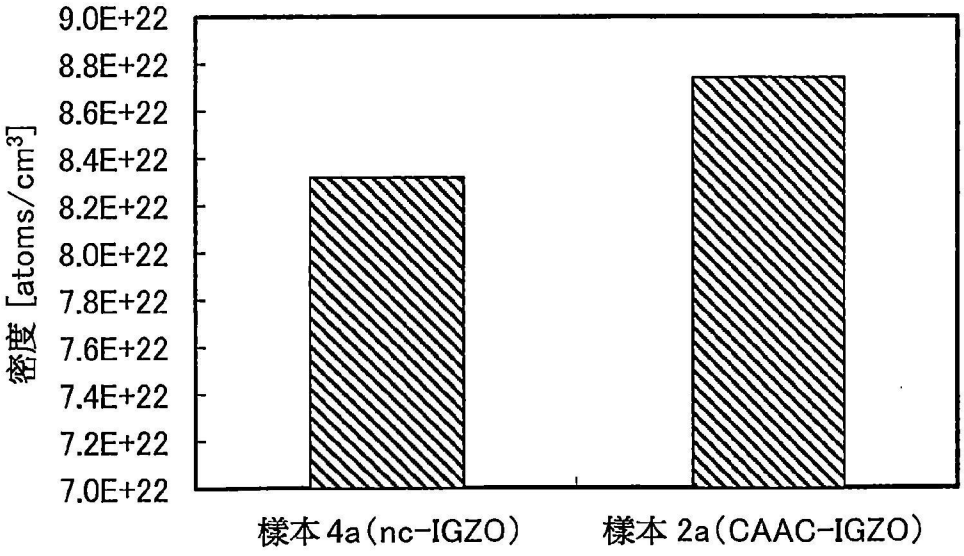

強度 [arb.unit]
樣本2a
(CAAC-IGZO)
樣本 4a
(nc-IGZO)
15
20
25
30
35
40
45
50
2θ [deg.]

圖 44B


9.0E+22
8.8E+22
8.6E+22
8.4E+22
8.2E+22
8.0E+22
7.8E+22
7.6E+22
7.4E+22
7.2E+22
7.0E+22
密度 [atoms/cm³]
樣本 4a (nc-IGZO)
樣本 2a (CAAC-IGZO)