

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4978795号
(P4978795)

(45) 発行日 平成24年7月18日(2012.7.18)

(24) 登録日 平成24年4月27日(2012.4.27)

(51) Int.Cl. F I
HO4N 5/374 (2011.01) HO4N 5/335 740
HO4N 5/378 (2011.01) HO4N 5/335 780

請求項の数 4 (全 12 頁)

| | | | |
|-----------|------------------------------|-----------|--|
| (21) 出願番号 | 特願2007-253354 (P2007-253354) | (73) 特許権者 | 000002185 ソニー株式会社 東京都港区港南1丁目7番1号 |
| (22) 出願日 | 平成19年9月28日(2007.9.28) | (74) 代理人 | 100082131 弁理士 稲本 義雄 |
| (65) 公開番号 | 特開2009-88769 (P2009-88769A) | (74) 代理人 | 100121131 弁理士 西川 孝 |
| (43) 公開日 | 平成21年4月23日(2009.4.23) | (72) 発明者 | 荒木 勇一朗 神奈川県横浜市保土ヶ谷区神戸町134番地 ソニー・エルエスアイ・デザイン株式会社内 |
| 審査請求日 | 平成22年2月23日(2010.2.23) | (72) 発明者 | 上野 貴久 東京都港区港南1丁目7番1号 ソニー株式会社内 |

最終頁に続く

(54) 【発明の名称】 固体撮像装置、駆動制御方法、および撮像装置

(57) 【特許請求の範囲】

【請求項1】

2次元マトリクス状に配列された複数の画素から出力されるアナログの画素信号のAD変換処理を列並列に行う固体撮像装置において、

前記画素から出力される前記画素信号とランプ波形の基準信号とを比較して得られる差信号を出力する比較回路と、

前記比較回路から出力された前記差信号の論理を反転する反転回路と、

前記比較回路で前記画素信号と前記基準信号の入力オフセットをキャンセルしている入力オフセットキャンセル期間を含む、P相ADイネーブル期間とD相ADイネーブル期間以外の全期間において、前記反転回路の出力信号の後段の回路への出力をマスクするマスク回路と

を備える固体撮像装置。

【請求項2】

前記マスク回路は、前記反転回路の出力信号と、出力イネーブル信号を入力とするNAND回路で構成される

請求項1に記載の固体撮像装置。

【請求項3】

画素から出力されるアナログの画素信号とランプ波形の基準信号とを比較して得られる差信号を出力する比較回路と、前記比較回路から出力された前記差信号の論理を反転する反転回路と、前記反転回路の出力信号の後段の回路への出力をマスクするマスク回路とを

備え、2次元マトリクス状に配列された複数の前記画素のAD変換処理を列並列に行う固体撮像装置の駆動制御方法において、

前記比較回路において、前記画素信号と前記基準信号の入力オフセットをキャンセルし、

前記マスク回路において、前記比較回路で前記入力オフセットをキャンセルしている入力オフセットキャンセル期間を含む、P相ADイネーブル期間とD相ADイネーブル期間以外の全期間において、前記反転回路の出力信号の後段の回路への出力をマスクする

ステップを含む駆動制御方法。

【請求項4】

2次元マトリクス状に配列された複数の画素から出力されるアナログの画素信号のAD変換処理を列並列に行う固体撮像装置を備える撮像装置において、

前記固体撮像装置が、

前記画素から出力される前記画素信号とランプ波形の基準信号とを比較して得られる差信号を出力する比較回路と、

前記比較回路から出力された前記差信号の論理を反転する反転回路と、

前記比較回路で前記画素信号と前記基準信号の入力オフセットをキャンセルしている入力オフセットキャンセル期間を含む、P相ADイネーブル期間とD相ADイネーブル期間以外の全期間において、前記反転回路の出力信号の後段の回路への出力をマスクするマスク回路と

を備える撮像装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、固体撮像装置、駆動制御方法、および撮像装置に関し、特に、画素信号と基準信号の入力オフセットキャンセル時に流れる貫通電流を抑制することで、消費電力を低減させることができるようにする固体撮像装置、駆動制御方法、および撮像装置に関する。

【背景技術】

【0002】

固体撮像装置として、画素を行列状に2次元配置し、列ごとにAD変換部(ADC(Analog-Digital Converter))を配置させた列並列AD変換方式(以下、カラムAD変換方式という)搭載のCMOS(Complementary Metal Oxide Semiconductor)イメージセンサが提案されている。

【0003】

また近年では、より高速撮像に適したように改良されたカラムAD変換方式搭載のCMOSイメージセンサも提案されており、例えば、特許文献1では、アップダウンカウンタを用いることにより、回路規模を大きくすることなく高フレームレート化および高分解能を達成したカラムAD変換方式搭載のCMOSイメージセンサが提案されている。

【0004】

図1は、カラムAD変換方式搭載のCMOSイメージセンサにおいて、行列状に2次元配置された各画素の画素信号がアップダウンカウンタに入力されるまでの簡単な構成例を示している。

【0005】

画素(Pixel)1は、受光量に応じたアナログの画素信号を電圧比較部(Comp)3に供給する。また、電圧比較部3には、参照電圧供給回路としてのDAC(Digital to Analog Converter)2から、時間が経過するにつれてレベル(電圧)が傾斜状に変化する、いわゆるランプ(RAMP)波形の信号である基準信号も供給されている。

【0006】

電圧比較部3は、画素1からの画素信号をDAC2からの基準信号と比較して得られる差信号をアップダウンカウンタ4に出力する。例えば、基準信号が画素信号より大である場

10

20

30

40

50

合にはHi(High)の差信号がアップダウンカウンタ4に供給され、基準信号が画素信号より小である場合にはLo(Low)の差信号がアップダウンカウンタ4に供給される。

【0007】

アップダウンカウンタ(CNT)4は、P相(Reset Phase)ADイネーブル期間では、Hiの差信号が供給されている間だけダウンカウントし、P相(Reset Phase)ADイネーブル期間では、Hiの差信号が供給されている間だけアップカウントする。P相ADイネーブル期間は、画素1のばらつき成分であるリセット成分 V を測定する期間であり、D相ADイネーブル期間は、(信号成分 V_{sig} + リセット成分 V) を測定する期間であり、P相ADイネーブル期間におけるカウントとD相ADイネーブル期間におけるカウントを合わせると、(信号成分 V_{sig} + リセット成分 V) - (リセット成分 V) により、信号成分 V_{sig} のみを求めることができ、CDS処理を実現している。

10

【0008】

図2は、電圧比較部3の詳細な構成を模式的に示した図である。

【0009】

電圧比較部3は、アナログ回路11とロジック回路(デジタル回路)12とで構成されている。

【0010】

アナログ回路11においては、画素1からの画素信号が容量素子21を介して比較器23に入力され、DAC2からの基準信号が容量素子22を介して比較器23に入力される。比較器23は、画素信号と基準信号の差信号を出力し、インバータ24は、差信号を反転増幅してロジック回路12に出力する。

20

【0011】

ロジック回路12においては、アナログ回路11のインバータ24からの差信号が、インバータ25において反転増幅され、アップダウンカウンタ4に出力される。インバータ25は、例えば、PMOSトランジスタとNMOSトランジスタの組み合わせにより構成することができる。

【0012】

以上のように構成される電圧比較部3では、差信号を生成する際の前処理として、画素信号と基準信号の入力オフセットをキャンセルするために、比較器23の2つの入力ノードの電位を導通させる処理が行われる。この処理をオートゼロ(AZ)処理と呼ぶ。

30

【0013】

図3を参照して、CDS処理と、その前処理であるAZ処理の期間中の電圧比較部3内の各信号について説明する。

【0014】

AZ処理期間では、AZ制御信号がアクティブ(High)となることにより、比較器23に入力される画素信号と基準信号の電位は同電位となり、画素信号と基準信号の入力オフセットがキャンセルされる。なお、図3では、画素信号と基準信号の縦軸は共通となっており、点線で示される画素信号が図示されていない期間は、同電位の基準信号と重なっていることを表す。

【0015】

後段のアップダウンカウンタ4では、図示せぬP相ADイネーブルパルスによって定義されるP相ADイネーブル期間のうちの、基準信号が画素信号より大である間、ダウンカウントが行われ、図示せぬD相ADイネーブルパルスによって定義されるD相ADイネーブル期間のうちの、基準信号が画素信号より大である間、アップカウントが行われる。

40

【0016】

【特許文献1】特開2005-278135号公報

【発明の開示】

【発明が解決しようとする課題】

【0017】

ところで、画素信号と基準信号の電位が同電位となった場合には、アナログ回路11か

50

ら、中間電位の差信号が出力される。中間電位の差信号がインバータ25に入力された場合、図3に示されるように、PMOSトランジスタとNMOSトランジスタの組み合わせにより構成されるインバータ25では、貫通電流が流れることになる。この貫通電流による差信号は不要な信号であり、無駄な電力を消費していることになる。

【0018】

本発明は、このような状況に鑑みてなされたものであり、画素信号と基準信号の入力オフセットキャンセル時に流れる貫通電流を抑制することで、消費電力を低減させることができるようにするものである。

【課題を解決するための手段】

【0019】

本発明の第1の側面の固体撮像装置は、2次元マトリクス状に配列された複数の画素から出力されるアナログの画素信号のAD変換処理を列並列に行う固体撮像装置において、前記画素から出力される前記画素信号とランプ波形の基準信号とを比較して得られる差信号を出力する比較回路と、前記比較回路から出力された前記差信号の論理を反転する反転回路と、前記比較回路で前記画素信号と前記基準信号の入力オフセットをキャンセルしている入力オフセットキャンセル期間を含む、P相ADイネーブル期間とD相ADイネーブル期間以外の全期間において、前記反転回路の出力信号の後段の回路への出力をマスクするマスク回路とを備える。

【0020】

本発明の第1の側面の駆動制御方法は、画素から出力されるアナログの画素信号とランプ波形の基準信号とを比較して得られる差信号を出力する比較回路と、前記比較回路から出力された前記差信号の論理を反転する反転回路と、前記反転回路の出力信号の後段の回路への出力をマスクするマスク回路とを備え、2次元マトリクス状に配列された複数の前記画素のAD変換処理を列並列に行う固体撮像装置の駆動制御方法において、前記比較回路において、前記画素信号と前記基準信号の入力オフセットをキャンセルし、前記マスク回路において、前記比較回路で前記入力オフセットをキャンセルしている入力オフセットキャンセル期間を含む、P相ADイネーブル期間とD相ADイネーブル期間以外の全期間において、前記反転回路の出力信号の後段の回路への出力をマスクするステップを含む。

【0021】

本発明の第2の側面の撮像装置は、2次元マトリクス状に配列された複数の画素から出力されるアナログの画素信号のAD変換処理を列並列に行う固体撮像装置を備える撮像装置において、前記固体撮像装置が、前記画素から出力される前記画素信号とランプ波形の基準信号とを比較して得られる差信号を出力する比較回路と、前記比較回路から出力された前記差信号の論理を反転する反転回路と、前記比較回路で前記画素信号と前記基準信号の入力オフセットをキャンセルしている入力オフセットキャンセル期間を含む、P相ADイネーブル期間とD相ADイネーブル期間以外の全期間において、前記反転回路の出力信号の後段の回路への出力をマスクするマスク回路とを備える。

【0022】

本発明の第1および第2の側面においては、比較回路で画素信号と基準信号の入力オフセットをキャンセルしている入力オフセットキャンセル期間を含む、P相ADイネーブル期間とD相ADイネーブル期間以外の全期間において、反転回路の出力信号の後段の回路への出力がマスクされる。

【発明の効果】

【0023】

本発明の第1および第2の側面によれば、消費電力を低減させることができる。

【0024】

また、本発明の第1および第2の側面によれば、画素信号と基準信号の入力オフセットキャンセル時に流れる貫通電流を抑制することができる。

【発明を実施するための最良の形態】

【0025】

10

20

30

40

50

以下に本発明の実施の形態を説明するが、本発明の構成要件と、明細書又は図面に記載の実施の形態との対応関係を例示すると、次のようになる。この記載は、本発明をサポートする実施の形態が、明細書又は図面に記載されていることを確認するためのものである。従って、明細書又は図面中には記載されているが、本発明の構成要件に対応する実施の形態として、ここには記載されていない実施の形態があったとしても、そのことは、その実施の形態が、その構成要件に対応するものではないことを意味するものではない。逆に、実施の形態が構成要件に対応するものとしてここに記載されていたとしても、そのことは、その実施の形態が、その構成要件以外の構成要件には対応しないものであることを意味するものでもない。

【0026】

本発明の第1の側面の固体撮像装置は、2次元マトリクス状に配列された複数の画素から出力されるアナログの画素信号のAD変換処理を列並列に行う固体撮像装置（例えば、図4の固体撮像装置51）において、前記画素から出力される前記画素信号とランプ波形の基準信号とを比較して得られる差信号を出力する比較回路（例えば、図5の比較器23）と、前記比較回路から出力された前記差信号の論理を反転する反転回路（例えば、図5のインバータ24）と、前記比較回路で前記画素信号と前記基準信号の入力オフセットをキャンセルしている入力オフセットキャンセル期間を含む、P相ADイネーブル期間とD相ADイネーブル期間以外の全期間において、前記反転回路の出力信号の後段の回路への出力をマスクするマスク回路（例えば、図5のNAND回路101）とを備える。

【0027】

以下、図を参照して、本発明の実施の形態について説明する。

【0028】

図4は、本発明を適用したCMOS固体撮像装置（CMOSイメージセンサ）の一実施の形態の構成例を示すブロック図である。

【0029】

固体撮像装置51は、入射光量に応じた電気信号を出力するフォトダイオードなどの光電変換素子（電荷生成部の一例）を含む複数の画素が行および列に配列された（すなわち2次元マトリクス状の）撮像部を有する。固体撮像装置51には、各画素から出力される画素信号（電圧信号）に対して、CDS(Correlated Double Sampling；相関2重サンプリング)処理やデジタル変換(ADC; Analog Digital Converter)処理などを行う信号処理部が列並列に設けられている。

【0030】

固体撮像装置51は、正方状の複数の単位画素60が行および列に（2次元マトリクス状に）配列された撮像部としての画素部61、画素部61の外側に設けられた駆動制御部62、列並列に信号処理を行うカラム処理部63、カラム処理部63にAD変換用の基準信号を供給する参照信号生成部64、および出力回路65を備えている。

【0031】

駆動制御部62は、列アドレスや列走査を制御する水平走査回路66、行アドレスや行走査を制御する垂直走査回路67、内部クロックを生成するなどの機能を持つ通信・タイミング制御部68、および、高速のクロック周波数のパルスを生成するクロック変換部69を有し、画素信号を順次読み出すための制御を行う。

【0032】

画素部61において、単位画素60は、典型的には、受光素子（電荷生成部）としてのフォトダイオードと、増幅用の半導体素子（たとえばトランジスタ）を有する画素内アンプとから構成される。

【0033】

画素内アンプとしては、たとえばフローティングディフュージョンアンプ構成のものが用いられる。一例としては、電荷生成部に対して、電荷読出部（転送ゲート部/読出ゲート部）の一例である読出選択用トランジスタ、リセットゲート部の一例であるリセットトランジスタ、垂直選択用トランジスタ、およびフローティングディフュージョンの電位変

10

20

30

40

50

化を検知する検知素子の一例であるソースフォロア構成の増幅用トランジスタを有する、CMOSセンサとして汎用的な4つのトランジスタからなる4TR構成を使用することができる。

【0034】

あるいは、特許第2708455号公報に記載のように、電荷生成部により生成された信号電荷に対応する信号電圧を増幅するための、ドレイン線(DRN)に接続された増幅用トランジスタと、電荷生成部をリセットするためのリセットトランジスタと、垂直シフトレジスタより転送配線(TRF)を介して走査される読出選択用トランジスタ(転送ゲート部)を有する、3つのトランジスタからなる3TR構成を使用することもできる。

【0035】

単位画素60は、行選択のための行制御線70を介して垂直走査回路67と、また垂直信号線71を介してカラムAD回路81が垂直列ごとに設けられているカラム処理部63と、それぞれ接続されている。ここで、行制御線70は垂直走査回路67から単位画素60に入る配線全般を表す。

【0036】

水平走査回路66および垂直走査回路67は、通信・タイミング制御部68から与えられる制御信号CN1またはCN2に応答して、処理対象の単位画素60の画素信号の読出しを開始する。このため、単位画素60を駆動するための種々のパルス信号(たとえば、リセットパルスRST、転送パルスTRF、DRN制御パルスDRNなど)が行制御線70を介して垂直走査回路67から各単位画素60に供給される。

【0037】

通信・タイミング制御部68は、各部の動作に必要なクロックや所定タイミングのパルス信号を供給するタイミングジェネレータTGの機能を有する。また、通信・タイミング制御部68は、端子73aを介してマスタークロックCLK0を、端子73bを介して動作モードなどを指令するデータDATAを受け取るとともに、固体撮像装置51の情報を含むデータを出力する通信インタフェースの機能を有する。

【0038】

たとえば、通信・タイミング制御部68は、水平アドレス信号を水平デコーダ66aに供給し、垂直アドレス信号を垂直デコーダ67aに供給する。この際、単位画素60は2次元マトリクス状に配置されているので、垂直信号線71を介して列方向に出力されるアナログの画素信号を行単位で(列並列で)アクセスし取り込む(垂直)スキャン読みを行い、その後、垂直列の並び方向である行方向にアクセスし画素信号(本例ではデジタル化された画素データ)を出力側へ読み出す(水平)スキャン読みを行うようにすることで、画素信号や画素データの読出しの高速化を図ることができる。もちろん、スキャン読みに限らず、読み出したい単位画素60を直接にアドレス指定することで、必要な単位画素60の情報のみを読み出すランダムアクセスも可能である。

【0039】

また、通信・タイミング制御部68は、端子73aを介して入力されるマスタークロックCLK0と同じ周波数のクロックCLK1や、それを2分周したクロック、2分周よりさらに分周した低速のクロックをデバイス内の各部、たとえば水平走査回路66、垂直走査回路67、カラム処理部63などに供給する。以下、2分周したクロックやそれ以下の周波数のクロック全般を纏めて、低速クロックCLK2という。

【0040】

クロック変換部69は、入力されたクロック周波数よりも高速のクロック周波数のパルスを生成する逡倍回路を内蔵している。クロック変換部69は、通信・タイミング制御部68から低速クロックCLK2を受け取り、それを元にして2倍以上高い周波数のクロックを生成する。クロック変換部69の逡倍回路としては、k1を低速クロックCLK2の周波数の倍数としたときk1逡倍回路を設ければよく、周知の様々な回路を利用することができる。

【0041】

垂直走査回路67は、画素部61の行を選択し、その行に必要なパルスを供給する。垂

10

20

30

40

50

直走査回路 67 は、垂直方向の読出行を規定する（画素部 61 の行を選択する）垂直デコーダ 67a と、垂直デコーダ 67a にて規定された読出アドレス上（行方向）の単位画素 60 に対する行制御線 70 にパルスを供給して駆動する垂直駆動回路 67b とを有する。なお、垂直デコーダ 67a は、信号を読み出す行の他に、電子シャッタ用の行なども選択することができる。

【0042】

水平走査回路 66 は、低速クロック CLK2 に同期してカラム処理部 63 のカラム AD 回路 81 を順番に選択し、その信号を水平信号線（水平出力線）72 に出力させる。水平走査回路 66 は、水平方向の読出列を規定する（カラム処理部 63 内の個々のカラム AD 回路 81 を選択する）水平デコーダ 66a と、水平デコーダ 66a にて規定された読出アドレスに
10
従って、カラム処理部 63 の各信号を水平信号線 72 に導く水平駆動回路 66b とを有する。なお、水平信号線 72 は、たとえばカラム AD 回路 81 が取り扱うビット数 n (n は正の整数) 分、たとえば 10 ($= n$) ビットならば、そのビット数分に対応して 10 本配置される。

【0043】

参照信号生成部 64 は、DA 変換回路 (DAC ; Digital to Analog Converter) 64a を有して構成されており、通信・タイミング制御部 68 からの制御データ CN4 が表す初期値から、通信・タイミング制御部 68 からのカウントクロック CKdac に同期して、ランプ (RAM P) 波形の基準信号を生成して、カラム処理部 63 の個々のカラム AD 回路 81 に供給する
20

【0044】

カラム AD 回路 81 は、行制御線 70 ($H0, H1, \dots$) ごとに単位画素 60 から供給される画素信号を n ビットの画素データに変換する。カラム AD 回路 81 は、参照信号生成部 64 の DA 変換回路 64a で生成される基準信号と、行制御線 70 ($H0, H1, \dots$) ごとに単位画素 60 から垂直信号線 71 ($V0, V1, \dots$) を経由し得られるアナログの画素信号とを比較する電圧比較部 (コンパレータ) 82 と、電圧比較部 82 が比較処理を完了するまでの時間をカウントし、その結果を保持するカウンタ部 83 とを備える。

【0045】

カウンタ部 83 には、カウンタ部 83 がダウンカウントモードで動作するのかアップカウントモードで動作するのかを指示するためのモード制御信号 CN5 と、カウンタ部 83 が保持しているカウント値を初期値にリセットするリセット制御信号 CN6 が、通信・タイミング制御部 68 から供給される。また、カウンタ部 83 には、通信・タイミング制御部 68 からカウントクロック CK0 も供給される。
30

【0046】

カウンタ部 83 は、アップダウンカウンタ (U/D CNT) を用いて、モード制御信号 CN5 に応じて、同一の処理対象の画素信号あるいは物理的な性質が同一の複数の画素信号に対してダウンカウント動作とアップカウント動作とを切り替えてカウント処理を行う。

【0047】

カウンタ部 83 には、水平走査回路 66 から制御線 66c を介して制御パルスが入力される。カウンタ部 83 は、カウント結果を保持するラッチ機能を有しており、制御線 66c を介しての制御パルスによる指示があるまでは、カウンタ出力値を保持する。
40

【0048】

カラム AD 回路 81 は、カウント動作を行い、所定のタイミングでカウント結果を出力する。すなわち、まず、電圧比較部 82 では、参照信号生成部 64 からの基準信号と、垂直信号線 71 を介して入力される画素信号とを比較し、双方の電圧が同じになると、電圧比較部 82 のコンパレータ出力が反転 (本例では Hi レベルから Lo レベルへ遷移) する。

【0049】

カウンタ部 83 は、カウントクロック CK0 に同期してダウンカウントモードもしくはアップカウントモードでカウント動作を開始しており、コンパレータ出力の反転した情報がカウンタ部 83 に通知されると、カウント動作を停止し、その時点のカウント値を画素デ
50

ータとしてラッチ（保持・記憶）することでAD変換を完了する。

【0050】

カウンタ部83は、所定のタイミングで水平走査回路66から制御線66cを介して供給される水平選択信号によるシフト動作に基づいて、記憶・保持した画素データを、順次、出力回路65に出力する。出力回路65は、入力された画素データを出力端子73cから出力する。

【0051】

図5は、図4の固体撮像装置51における電圧比較部（コンパレータ）82の詳細な構成を模式的に示した図である。

【0052】

図5において、図2の電圧比較部3と対応する部分については同一の符号を付してある。すなわち、図5の電圧比較部82は、電圧比較部3と同様にアナログ回路11とロジック回路12とで構成され、そのうちのアナログ回路11は、電圧比較部3と同様の構成とされている。

【0053】

従って、比較器23は、単位画素60からの画素信号とDAC64aからの基準信号とを比較して得られる差信号を出力し、インバータ24は、差信号を反転増幅してロジック回路12に出力する。

【0054】

一方、ロジック回路12では、図2の電圧比較部3におけるインバータ25に代えて、NAND回路101が設けられている。NAND回路101には、アナログ回路11のインバータ24からの差信号と、通信・タイミング制御部68からの電流カット信号が入力され、NAND回路101は、その2入力のNANDを出力する。

【0055】

なお、画素信号と基準信号の入力オフセットをキャンセルするためのAZ制御信号と、NAND回路101に入力される電流カット信号は、いずれも、通信・タイミング制御部68から供給される。

【0056】

図6は、AZ制御信号と電流カット信号との関係を示しており、通信・タイミング制御部68は、少なくともAZ制御信号がHiレベルとなっている期間（入力オフセットキャンセル期間）はLoレベルとなるような電流カット信号をNAND回路101に供給する。

【0057】

NAND回路101は、AND回路とインバータ（NOT回路）の接続で構成することができるので、図5の電圧比較部82のロジック回路12は、図2のインバータ25の前段に、インバータ24からの差信号と電流カット信号とのAND回路が設けられていると考えることができる。この場合、電流カット信号がLoレベルである限り、後段のインバータには、インバータ24からの差信号が供給されないことになる。

【0058】

したがって、図7に示すように、図2のロジック回路12ではAZ制御信号がHiレベルとなっている期間（入力オフセットキャンセル期間）に発生していた貫通電流（点線で示される部分）は、NAND回路101では発生しない。すなわち、図5の電圧比較部82によれば、貫通電流を抑制することができ、以って、固体撮像装置51全体としての消費電力を低減することができる。

【0059】

電流カット信号がLoレベルである限り差信号そのものは電圧比較部82から出力されず、電流カット信号がHiレベルであれば差信号を電圧比較部82から出力することができるということは、換言すれば、電流カット信号は、後段のカウンタ部83への差信号の出力をマスクする出力イネーブル信号であり、NAND回路101は、カウンタ部83への差信号の出力をマスクするマスク回路としての機能も備えているとすることができる。

【0060】

10

20

30

40

50

なお、上述した例では、カウンタ部 8 3 への差信号の出力をマスクするマスク機能と、図 2 のインバータ 2 5 の機能とを兼ね備えた回路として NAND 回路を用いたが、この 2 つの機能が実現できればその他の回路構成を採用してもよい。

【 0 0 6 1 】

中間電位の差信号による貫通電流を抑制するという観点では、電流カット信号は、少なくとも、画素信号と基準信号の電位が同電位となっている期間だけ、Loレベルであればよいが、最大でどれだけの期間をLoレベルとしておくことができるかと言えば、電圧比較部 8 2 の後段のカウンタ部 8 3 においてダウンカウント動作またはアップカウント動作を行っている間だけは、正確な差信号を出力する必要があるため、P相ADイネーブル期間とD相ADイネーブル期間以外の期間は、電流カット信号をLoレベルとしておくことができる。

10

【 0 0 6 2 】

図 8 は、図 4 の固体撮像装置 5 1 を採用した撮像装置 1 2 0 の構成例を示すブロック図である。なお、撮像装置 1 2 0 は、静止画を撮像するもの、動画を撮像するもの、または、その両方を撮像するもののいずれでもよい。

【 0 0 6 3 】

撮像装置 1 2 0 は、ズーム光学系を含むレンズ 1 2 1、図 4 の固体撮像装置 5 1 を採用しているイメージセンサ部 1 2 2、信号処理部 1 2 3、表示部 1 2 4、コーデック処理部 1 2 5、媒体記録部 1 2 6、コントローラ 1 2 7、マスタCLK発生部 1 2 8、および操作入力部 1 2 9 により構成される。

【 0 0 6 4 】

イメージセンサ部 1 2 2 は、コントローラ 1 2 7 からの制御信号に基づいて、撮像して得られた撮像信号 (n ビットの画素データに対応する信号) を信号処理部 1 2 3 に供給する。

20

【 0 0 6 5 】

信号処理部 1 2 3 は、供給される撮像信号に対して、ホワイトバランス処理、ガンマ補正処理、色分離処理等の所定の信号処理を施し、表示部 1 2 4 およびコーデック処理部 1 2 5 に供給する。なお、信号処理部 1 2 3 は、表示部 1 2 4 とコーデック処理部 1 2 5 のそれぞれに対して独立して信号処理を施すことが可能である。

【 0 0 6 6 】

表示部 1 2 4 は、例えば、LCD (Liquid Crystal Display) 等で構成され、信号処理部 1 2 3 からの撮像信号を画像として表示する。コーデック処理部 1 2 5 は、信号処理部 1 2 3 からの撮像信号を所定の圧縮方式により圧縮し、媒体記録部 1 2 6 に供給する。媒体記録部 1 2 6 は、コントローラ 1 2 7 の制御に基づいて、信号処理部 1 2 3 からの撮像信号を、例えば、半導体メモリ、磁気ディスク、光磁気ディスク、光ディスクなどの記録媒体に記憶する。この記録媒体は、撮像装置 1 2 0 に対して着脱可能なようになされていてもよい。

30

【 0 0 6 7 】

コントローラ 1 2 7 は、操作入力部 1 2 9 により入力されたユーザの操作入力に基づいて、イメージセンサ部 1 2 2、信号処理部 1 2 3、表示部 1 2 4、コーデック処理部 1 2 5、媒体記録部 1 2 6、およびマスタCLK発生部 1 2 8 を制御する。

40

【 0 0 6 8 】

マスタCLK発生部 1 2 8 は、メインCLKを発生し、イメージセンサ部 1 2 2 に供給する。操作入力部 1 2 9 は、撮像を指令するシャッターボタンをはじめとして、例えば、ジョグダイヤル、キー、レバー、ボタン、またはタッチパネルなどにより構成され、ユーザによる操作に対応する操作信号をコントローラ 1 2 7 に供給する。

【 0 0 6 9 】

以上のように構成される撮像装置 1 2 0 においても、イメージセンサ部 1 2 2 に図 4 の固体撮像装置 5 1 を採用しているため、画素信号と基準信号の入力オフセットキャンセル時に流れる貫通電流が抑制され、消費電力を低減することができる。

【 0 0 7 0 】

50

本発明の実施の形態は、上述した実施の形態に限定されるものではなく、本発明の要旨を逸脱しない範囲において種々の変更が可能である。

【図面の簡単な説明】

【0071】

【図1】従来のカラムAD変換方式搭載のCMOSイメージセンサの簡単な構成例を示すブロック図である。

【図2】図1の比較部の詳細な構成を模式的に示した図である。

【図3】従来の問題を説明する図である。

【図4】本発明を適用した固体撮像装置の一実施の形態の構成例を示すブロック図である。

【図5】図4の電圧比較部の詳細な構成を模式的に示した図である。

【図6】AZ制御信号と電流カット信号との関係を示す図である。

【図7】電流カット信号の効果の説明する図である。

【図8】本発明を適用した撮像装置の一実施の形態の構成例を示すブロック図である。

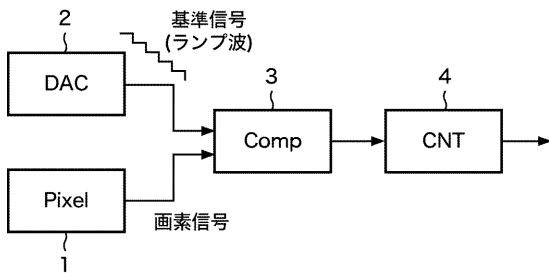
【符号の説明】

【0072】

- 11 アナログ回路, 12 ロジック回路, 23 比較器, 24 インバータ,
- 51 固体撮像装置, 68 通信・タイミング制御部, 82 電圧比較部, 83
- カウンタ部, 101 NAND回路, 120 撮像装置

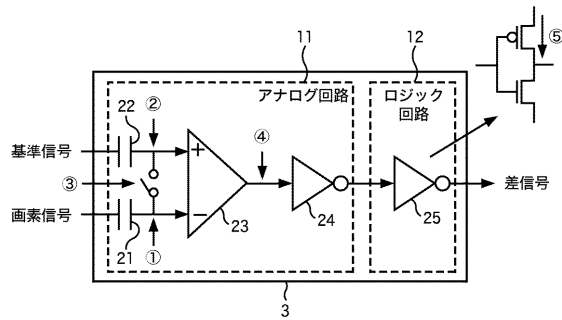
【図1】

図1



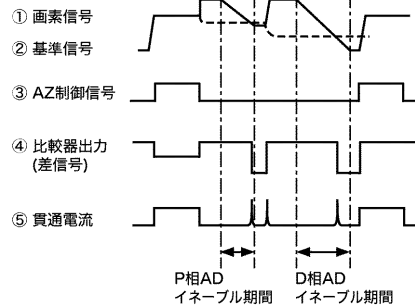
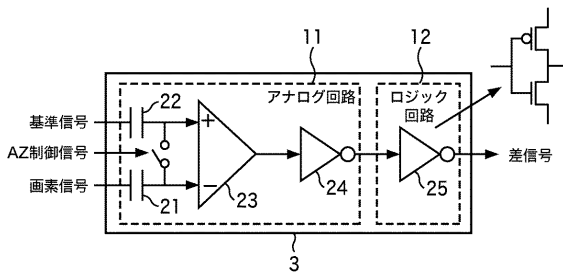
【図3】

図3



【図2】

図2



フロントページの続き

- (72)発明者 犬塚 純一
神奈川県横浜市保土ヶ谷区神戸町134番地 ソニー・エルエスアイ・デザイン株式会社内
- (72)発明者 高取 望
神奈川県横浜市保土ヶ谷区神戸町134番地 ソニー・エルエスアイ・デザイン株式会社内
- (72)発明者 久松 康秋
神奈川県横浜市保土ヶ谷区神戸町134番地 ソニー・エルエスアイ・デザイン株式会社内

審査官 鈴木 肇

- (56)参考文献 特開2007-243266(JP,A)
特開2005-322985(JP,A)
特開2004-194066(JP,A)
特開昭62-292013(JP,A)
特開平07-183808(JP,A)
特開平09-069980(JP,A)
特開2008-136042(JP,A)

(58)調査した分野(Int.Cl., DB名)

H04N 5/30 - 5/378
H03M 1/00 - 1/88