



(12)发明专利

(10)授权公告号 CN 104392995 B

(45)授权公告日 2017.09.22

(21)申请号 201410597286.6

H01L 29/36(2006.01)

(22)申请日 2014.10.30

(56)对比文件

(65)同一申请的已公布的文献号

US 2004/0155300 A1,2004.08.12,

申请公布号 CN 104392995 A

审查员 瞿晓雷

(43)申请公布日 2015.03.04

(73)专利权人 京东方科技集团股份有限公司

地址 100015 北京市朝阳区酒仙桥路10号

(72)发明人 王博

(74)专利代理机构 北京中博世达专利商标代理

有限公司 11274

代理人 申健

(51)Int.Cl.

H01L 27/07(2006.01)

H01L 27/32(2006.01)

H01L 29/08(2006.01)

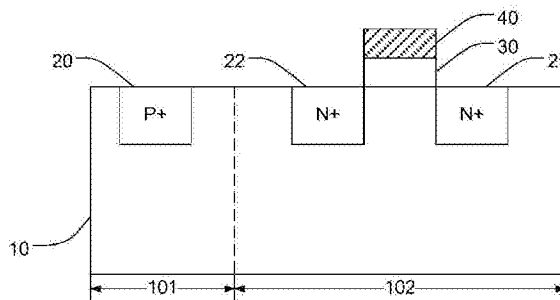
权利要求书2页 说明书8页 附图4页

(54)发明名称

一种晶体管、驱动电路及其驱动方法、显示装置

(57)摘要

本发明实施例提供一种晶体管、驱动电路及其驱动方法、显示装置,涉及显示技术领域,可实现无需增大晶体管尺寸即可提高晶体管输出电流的大小。该晶体管包括P型半导体衬底,位于第一区域上的基极,基极由正电荷掺杂的P型离子层构成;位于第二区域上的源极与漏极,源极与漏极分别由负电荷掺杂的第一N型离子层与负电荷掺杂的第二N型离子层构成;第一N型离子层、第二N型离子层、P型离子层的掺杂浓度均大于P型半导体衬底的掺杂浓度;还包括通过栅绝缘层与所述源极、漏极相互绝缘的栅极;其中,源极同时作为发射极,漏极同时作为集电极。用于晶体管及包括该晶体管的驱动电路的制备。



1. 一种驱动电路,其特征在于,包括,

第一晶体管,所述第一晶体管的栅极连接扫描信号,所述第一晶体管的源极连接第一数据信号;

第二晶体管,所述第二晶体管包括,P型半导体衬底,所述P型半导体衬底包括第一区域和第二区域;位于所述第一区域上的基极,所述基极由正电荷掺杂的P型离子层构成;位于所述第二区域上的源极与漏极,所述源极与所述漏极分别由负电荷掺杂的第一N型离子层与负电荷掺杂的第二N型离子层构成;所述第一N型离子层、所述第二N型离子层、以及所述P型离子层的掺杂浓度均大于所述P型半导体衬底的掺杂浓度;还包括通过栅绝缘层与所述源极、漏极相互绝缘的栅极;其中,所述源极同时作为发射极,所述漏极同时作为集电极,所述第二晶体管的栅极连接所述第一晶体管的漏极,所述第二晶体管的漏极连接集电极电压的输出端,所述第二晶体管的源极连接输出电流的输出端,所述第二晶体管的基极分别连接所述第二晶体管的源极与漏极;

第三晶体管,所述第三晶体管的源极连接所述第二晶体管的基极,所述第三晶体管的漏极连接基极电压;

第四晶体管,所述第四晶体管的栅极连接扫描信号,所述第四晶体管的源极连接第二数据信号,所述第四晶体管的漏极连接所述第三晶体管的栅极。

2. 根据权利要求1所述的驱动电路,其特征在于,所述P型半导体衬底包括P型硅衬底、P型锗衬底、P型硅锗衬底中的任一种。

3. 根据权利要求1所述的驱动电路,其特征在于,还包括,第一电容,所述第一电容的一端连接所述第二晶体管的栅极,所述第一电容的另一端接地。

4. 根据权利要求1所述的驱动电路,其特征在于,还包括,第二电容,所述第二电容的一端连接所述第三晶体管的栅极,所述第二电容的另一端接地。

5. 一种如权利要求1至4任一项所述的驱动电路的驱动方法,其特征在于,包括,

通过扫描信号、第一数据信号、以及第二数据信号分别导通第一晶体管和第四晶体管,将所述第一数据信号和所述第二数据信号分别写入并保持在第二晶体管的栅极和第三晶体管的栅极;

将集电极电压写入并保持在所述第二晶体管的漏极;

通过调节写入所述第二晶体管的栅极的所述第一数据信号的电压大小、写入所述第三晶体管的栅极的所述第二数据信号的电压大小,分别控制所述第二晶体管的导通电流的大小和输入到所述第二晶体管的基极的基极电流的大小,由所述第二晶体管的源极导出输出电流;

其中,所述输出电流与所述导通电流、所述基极电流满足预设的函数关系,所述函数关系的自变量为所述导通电流的大小和所述基极电流的大小,因变量为所述输出电流的大小。

6. 一种驱动电路,其特征在于,包括,

第一晶体管,所述第一晶体管的栅极连接扫描信号,所述第一晶体管的源极连接第一数据信号;

第二晶体管,所述第二晶体管包括,N型半导体衬底,所述N型半导体衬底包括第一区域和第二区域;位于所述第一区域上的基极,所述基极由正电荷掺杂的N型离子层构成;位于

所述第二区域上的源极与漏极,所述源极与所述漏极分别由负电荷掺杂的第一P型离子层与负电荷掺杂的第二P型离子层构成;所述第一P型离子层、所述第二P型离子层、以及所述N型离子层的掺杂浓度均大于所述N型半导体衬底的掺杂浓度;还包括通过栅绝缘层与所述源极、漏极相互绝缘的栅极;其中,所述漏极同时作为发射极,所述源极同时作为集电极,所述第二晶体管的栅极连接所述第一晶体管的漏极,所述第二晶体管的源极连接集电极电压的输出端,所述第二晶体管的漏极连接输出电流的输出端,所述第二晶体管的基极分别连接所述第二晶体管的源极与漏极;

第三晶体管,所述第三晶体管的源极连接所述第二晶体管的基极,所述第三晶体管的漏极连接基极电压;

第四晶体管,所述第四晶体管的栅极连接扫描信号,所述第四晶体管的源极连接第二数据信号,所述第四晶体管的漏极连接所述第三晶体管的栅极。

7. 根据权利要求6所述的驱动电路,其特征在于,所述N型半导体衬底包括N型硅衬底、N型锗衬底、N型硅锗衬底中的任一种。

8. 根据权利要求6所述的驱动电路,其特征在于,还包括,第一电容,所述第一电容的一端连接所述第二晶体管的栅极,所述第一电容的另一端接地。

9. 根据权利要求6所述的驱动电路,其特征在于,还包括,第二电容,所述第二电容的一端连接所述第三晶体管的栅极,所述第二电容的另一端接地。

10. 一种如权利要求6至9任一项所述的驱动电路的驱动方法,其特征在于,包括,

通过扫描信号、第一数据信号、以及第二数据信号分别导通第一晶体管和第四晶体管,将所述第一数据信号和所述第二数据信号分别写入并保持所述第二晶体管的栅极和第三晶体管的栅极;

将集电极电压写入并保持所述第二晶体管的漏极;

通过调节写入所述第二晶体管的栅极的所述第一数据信号的电压大小、写入所述第三晶体管的栅极的所述第二数据信号的电压大小,分别控制所述第二晶体管的导通电流的大小和输入到所述第二晶体管的基极的基极电流的大小,由所述第二晶体管的漏极导出输出电流;

其中,所述输出电流与所述导通电流、所述基极电流满足预设的函数关系,所述函数关系的自变量为所述导通电流的大小和所述基极电流的大小,因变量为所述输出电流的大小。

11. 一种显示装置,其特征在于,包括如权利要求1至4任一项,或权利要求6至9任一项所述的驱动电路。

12. 根据权利要求11所述的显示装置,其特征在于,所述显示装置包括有机电致发光显示装置。

一种晶体管、驱动电路及其驱动方法、显示装置

技术领域

[0001] 本发明涉及显示技术领域,尤其涉及一种晶体管、驱动电路及其驱动方法、显示装置。

背景技术

[0002] 有机电致发光显示装置(OLED)中的核心组件是发光元件,即OLED器件,其亮度正比于输入的电流大小,因此,为了提高OLED显示装置的显示效果,通常需要增大驱动其发光的晶体管的输出电流。

[0003] 如图1所示,现有技术主要是通过增加晶体管中栅极40与有源层50重叠区内源极21与漏极22相对的区域(即晶体管导通状态下的沟道区)的宽长比(W/L)来提高晶体管的导通能力,从而提高晶体管导通后输出的电流大小。受限于构图工艺等因素的影响,通常是在不改变L数值的情况下而将W的数值增大以提高W/L的比值,这样必然会导致晶体管整体尺寸的增大,导致显示装置的开口率下降,影响显示品质。

发明内容

[0004] 鉴于此,为解决现有技术的问题,本发明的实施例提供一种晶体管、驱动电路及其驱动方法、显示装置,无需增大晶体管尺寸即可提高晶体管输出电流的大小。

[0005] 为达到上述目的,本发明的实施例采用如下技术方案:

[0006] 一方面、本发明实施例提供了一种晶体管,包括,P型半导体衬底,所述P型半导体衬底包括第一区域和第二区域;位于所述第一区域上的基极,所述基极由正电荷掺杂的P型离子层构成;位于所述第二区域上的源极与漏极,所述源极与所述漏极分别由负电荷掺杂的第一N型离子层与负电荷掺杂的第二N型离子层构成;所述第一N型离子层、所述第二N型离子层、以及所述P型离子层的掺杂浓度均大于所述P型半导体衬底的掺杂浓度;还包括通过栅绝缘层与所述源极、漏极相互绝缘的栅极;其中,所述源极同时作为发射极,所述漏极同时作为集电极。

[0007] 可选的,所述P型半导体衬底包括P型硅衬底、P型锗衬底、P型硅锗衬底中的任一种。

[0008] 本发明实施例还提供了一种驱动电路,包括,第一晶体管,所述第一晶体管的栅极连接扫描信号,所述第一晶体管的源极连接第一数据信号;第二晶体管,所述第二晶体管为权利要求1或2所述的晶体管,所述第二晶体管的栅极连接所述第一晶体管的漏极,所述第二晶体管的漏极连接集电极电压的输出端,所述第二晶体管的源极连接输出电流的输出端,所述第二晶体管的基极分别连接所述第二晶体管的源极与漏极;第三晶体管,所述第三晶体管的源极连接所述第二晶体管的基极,所述第三晶体管的漏极连接基极电压;第四晶体管,所述第四晶体管的栅极连接扫描信号,所述第四晶体管的源极连接第二数据信号,所述第四晶体管的漏极连接所述第三晶体管的栅极。

[0009] 可选的,所述驱动电路还包括第一电容,所述第一电容的一端连接所述第二晶体

管的栅极,所述第一电容的另一端接地。

[0010] 可选的,所述驱动电路还包括第二电容,所述第二电容的一端连接所述第三晶体管的栅极,所述第二电容的另一端接地。

[0011] 本发明实施例还提供了一种上述驱动电路的驱动方法,包括,通过扫描信号、第一数据信号、以及第二数据信号分别导通第一晶体管和第四晶体管,将所述第一数据信号和所述第二数据信号分别写入并保持在第二晶体管的栅极和第三晶体管的栅极;将集电极电压写入并保持在所述第二晶体管的漏极;通过调节写入所述第二晶体管的栅极的所述第一数据信号的电压大小、写入所述第三晶体管的栅极的所述第二数据信号的电压大小,分别控制所述第二晶体管的导通电流的大小和输入到所述第二晶体管的基极的基极电流的大小,由所述第二晶体管的源极导出输出电流;其中,所述输出电流与所述导通电流、所述基极电流满足预设的函数关系,所述函数关系的自变量为所述导通电流的大小和所述基极电流的大小,因变量为所述输出电流的大小。

[0012] 另一方面,本发明实施例还提供了另一种晶体管,包括,N型半导体衬底,所述N型半导体衬底包括第一区域和第二区域;位于所述第一区域上的基极,所述基极由正电荷掺杂的N型离子层构成;位于所述第二区域上的源极与漏极,所述源极与所述漏极分别由负电荷掺杂的第一P型离子层与负电荷掺杂的第二P型离子层构成;所述第一N型离子层、所述第二N型离子层、以及所述P型离子层的掺杂浓度均大于所述P型半导体衬底的掺杂浓度;还包括通过栅绝缘层与所述源极、漏极相互绝缘的栅极;其中,所述漏极同时作为发射极,所述源极同时作为集电极。

[0013] 可选的,所述N型半导体衬底包括N型硅衬底、N型锗衬底、N型硅锗衬底中的任一种。

[0014] 本发明实施例还提供了另一种驱动电路,包括,第一晶体管,所述第一晶体管的栅极连接扫描信号,所述第一晶体管的源极连接第一数据信号;第二晶体管,所述第二晶体管为权利要求3或4所述的晶体管,所述第二晶体管的栅极连接所述第一晶体管的漏极,所述第二晶体管的源极连接集电极电压的输出端,所述第二晶体管的漏极连接输出电流的输出端,所述第二晶体管的基极分别连接所述第二晶体管的源极与漏极;第三晶体管,所述第三晶体管的源极连接所述第二晶体管的基极,所述第三晶体管的漏极连接基极电压;第四晶体管,所述第四晶体管的栅极连接扫描信号,所述第四晶体管的源极连接第二数据信号,所述第四晶体管的漏极连接所述第三晶体管的栅极。

[0015] 可选的,所述驱动电路还包括第一电容,所述第一电容的一端连接所述第二晶体管的栅极,所述第一电容的另一端接地。

[0016] 可选的,所述驱动电路还包括第二电容,所述第二电容的一端连接所述第三晶体管的栅极,所述第二电容的另一端接地。

[0017] 本发明实施例还提供了一种上述驱动电路的驱动方法,包括,通过扫描信号、第一数据信号、以及第二数据信号分别导通第一晶体管和第四晶体管,将所述第一数据信号和所述第二数据信号分别写入并保持在第二晶体管的栅极和第三晶体管的栅极;将集电极电压写入并保持在所述第二晶体管的漏极;通过调节写入所述第二晶体管的栅极的所述第一数据信号的电压大小、写入所述第三晶体管的栅极的所述第二数据信号的电压大小,分别控制所述第二晶体管的导通电流的大小和输入到所述第二晶体管的基极的基极电流的大

小,由所述第二晶体管的漏极导出输出电流;其中,所述输出电流与所述导通电流、所述基极电流满足预设的函数关系,所述函数关系的自变量为所述导通电流的大小和所述基极电流的大小,因变量为所述输出电流的大小。

[0018] 再一方面、本发明实施例还提供了一种显示装置,包括上述的所述驱动电路。

[0019] 可选的,所述显示装置包括有机电致发光显示装置。

[0020] 本发明实施例提供的上述晶体管,当向所述基极输入大于零的基极电流 I_b ,向所述栅极输入大于零的栅极电压 V_g ,且向所述漏极输入大于零的集电极电压 V_c 时,所述源极同时作为发射极(Emitter),所述漏极同时作为集电极(Collector);因此,此时的晶体管同时兼具了MOSFET管和BJT管的功能,工作在MOSFET-BJT的混合状态下,从上述晶体管输出的电流 $I(out)$ 随着栅极电压 V_g 与基极电流 I_b 的变化而变化,即与现有技术提供的晶体管相比通过引入 I_b 而增大输出电流 $I(out)$ 的大小,从而实现了无需增大晶体管的尺寸即可提高晶体管输出电流的能力。

[0021] 此外,由于当 $V_g < 0, I_b > 0$ 时,即MOSFET管没有导通只导通BJT管的时候,上述晶体管已经有一定的电流输出了(即由 I_b 决定),从而增加了通过栅极电压 V_g 调节晶体管工作电流的范围。

附图说明

[0022] 为了更清楚地说明本发明实施例或现有技术中的技术方案,下面将对实施例或现有技术描述中所需要使用的附图作简单地介绍,显而易见地,下面描述中的附图仅仅是本发明的一些实施例,对于本领域普通技术人员来讲,在不付出创造性劳动的前提下,还可以根据这些附图获得其他的附图。

[0023] 图1为现有技术提供一种晶体管的结构示意图;

[0024] 图2为本发明实施例提供一种晶体管的结构示意图一;

[0025] 图3为图2所示的晶体管的工作原理示意图;

[0026] 图4为本发明实施例提供一种晶体管的不同工作状态对比表;

[0027] 图5为本发明实施例提供一种晶体管在混合工作状态下与现有技术的晶体管的电流输出曲线对比示意图;

[0028] 图6为本发明实施例提供一种晶体管的结构示意图二;

[0029] 图7为图6所示的晶体管的工作原理示意图;

[0030] 图8为本发明实施例提供一种驱动电路的结构示意图一;

[0031] 图9为本发明实施例提供一种驱动电路的结构示意图二。

[0032] 附图标记:

[0033] 10-P型半导体衬底;11-N型半导体衬底;101/111-第一区域;102/112-第二区域;20-基极;21-源极/发射极;22-漏极/集电极;30-栅绝缘层;40-栅极;50-有源层。

具体实施方式

[0034] 下面将结合本发明实施例中的附图,对本发明实施例中的技术方案进行清楚、完整地描述,显然,所描述的实施例仅仅是本发明一部分实施例,而不是全部的实施例。基于本发明中的实施例,本领域普通技术人员在没有做出创造性劳动前提下所获得的所有其他

实施例,都属于本发明保护的范围。

[0035] 本发明实施例提供了一种晶体管,如图2所示,所述晶体管包括:P型半导体衬底10,所述P型半导体衬底10包括第一区域101和第二区域102;位于所述第一区域101上的基极20,所述基极20由正电荷掺杂的P型离子层构成;位于所述第二区域102上的源极21与漏极22,所述源极21与所述漏极22分别由负电荷掺杂的第一N型离子层与负电荷掺杂的第二N型离子层构成;所述第一N型离子层、所述第二N型离子层、以及所述P型离子层的掺杂浓度均大于所述P型半导体衬底10的掺杂浓度;所述晶体管还包括通过栅绝缘层30与所述源极21、漏极22相互绝缘的栅极40。

[0036] 其中,所述源极21同时作为发射极(Emitter),所述漏极22同时作为集电极(Collector)。

[0037] 需要说明的是,第一、当所述晶体管工作时,向所述基极20输入的大于零的电流称为基极电流(下文中均标记为 I_b),向所述栅极40输入大于零的电压称为栅极电压(下文中均标记为 V_g),向所述漏极22,即同时作为所述集电极输入的大于零的电压称为集电极电压(下文中均标记为 V_c)。

[0038] 第二、可利用扩散工艺、或离子注入的方法在P型半导体衬底上外延生长形成由正电荷掺杂的P型离子层构成的基极20、分别由负电荷掺杂的第一N型离子层与负电荷掺杂的第二N型离子层构成的源极21与漏极22。其中,对所述第一N型离子层、所述第二N型离子层、以及所述P型离子层的具体掺杂浓度不作限定,只要满足所述第一N型离子层、所述第二N型离子层、以及所述P型离子层的掺杂浓度均大于所述P型半导体衬底10的掺杂浓度即可。这里,参考图1所示,“P+”表示正电荷掺杂,“N+”表示负电荷掺杂。

[0039] 进一步如图4所示,本发明实施例提供的上述晶体管,通过给予栅极40、基极20和源极21端口合适的电压,使得上述晶体管可以分别工作在双极结型晶体管(BJT, Bipolar Junction Transistor)工作模式、金属氧化物半导体场效应晶体管(Metal Oxide Silicon Field Effect Transistor,简称MOSFET)工作模式、以及二者的混合工作模式下,具体如下所述:

[0040] 当 $V_g < 0$, $I_b < 0$ 时,晶体管无法导通,此时,所述晶体管输出的电流(下文中均标记为 I (out))为零,即在此条件下,所述晶体管没有导通,不进行工作。

[0041] 当 $V_g < 0$, $I_b > 0$ 时,基极20、源极21、漏极22、以及P型半导体衬底10相当于构成了一个BJT管;其中,源极21相当于发射极(Emitter),漏极22相当于集电极(Collector)。即,在此条件下所述晶体管等效于一个BJT管,由于漏极22接入大于零的集电极电压 V_c ,因此,BJT管中的导通电流 I (BJT)的方向如图3中指向源极21(即集电极Collector)。

[0042] 这里,由于集电极电压 V_c 的数值与晶体管的尺寸型号有关,在此不作具体限定,例如可为几伏~几十伏。

[0043] 当 $V_g > 0$, $I_b < 0$ 时,栅极40、源极21、漏极22、以及P型半导体衬底10相当于构成了一个MOSFET管;即,在此条件下所述晶体管等效于一个BJT管,由于漏极22接入大于零的集电极电压 V_c ,因此,由栅极电压 V_g 决定的MOSFET管中的导通电流,即MOSFET管的沟道电流 I (MOSFET channel)的方向如图3中从源极21指出。

[0044] 当 $V_g > 0$, $I_b > 0$ 时,由于漏极22接入大于零的集电极电压 V_c ,源极21同时也作为发射极,漏极22同时也作为集电极,即此时,由基极20、源极21、漏极22、栅极40、以及P型半导体

衬底10构成的上述晶体管同时兼具了MOSFET管和BJT管的功能,因此,该工作状态称为MOSFET-BJT hybrid mode(即混合工作状态)。在此情况下,由于MOSFET管与BJT管同时都导通,即从上述晶体管中输出的电流I(out)与栅极电压V_g和集电极电流I_b有关。

[0045] 其中,当上述晶体管工作在MOSFET-BJT hybrid状态时,输出电流I(out)的大小可由以下公式得出:

[0046] $I(\text{BJT}) = (1+\beta) \cdot I_b$; 公式(1)

[0047] $I(\text{out}) = I(\text{MOSFETchannel}) + I(\text{BJT})$; 公式(2)

[0048] $I(\text{out}) = I(\text{MOSFETchannel}) + (1+\beta) \cdot I_b$; 公式(3)

[0049] 其中, β 为放大系数,其定义为发射极电流与基极电流的比值,即I_e/I_b。由于放大系数 β 与晶体管的尺寸型号有关,在此不作具体限定,例如可为几十~几百。

[0050] 对于尺寸型号等参数给定的晶体管,放大系数 β 为一正定值。因此,由公式(3)可知,当上述晶体管工作在MOSFET-BJT hybrid状态时,输出电流I(out)的大小由I(MOSFET channel)和I_b决定,相当于在输出电流中引入了I_b电流。进一步图5所示,可以看出,MOSFET-BJT hybrid工作状态下的输出电流I(out)的曲线与图中最下方的现有技术的晶体管(如MOSFET管)的输出电流I(out)的曲线相类似,只是MOSFET-BJT hybrid工作状态下的输出电流I(out)由于I(BJT)电流的引入而变大,相当于引入的I(BJT)电流抬高了输出电流I(out)的整体曲线值。并且,当V_g<0,I_b>0时,即MOSFET管没有导通只导通BJT管的时候,上述晶体管已经有一定的电流输出了(即由I_b决定),从而增加了通过栅极电压V_g调节晶体管工作电流的范围。

[0051] 基于此,本发明实施例提供的上述晶体管,当向所述基极20输入大于零的基极电流I_b,向所述栅极40输入大于零的栅极电压V_g,且向所述漏极22输入大于零的集电极电压V_c时,所述源极21同时作为发射极(Emitter),所述漏极22同时作为集电极(Collector);即此时的晶体管同时兼具了MOSFET管和BJT管的功能,工作在MOSFET-BJT的混合状态下,从而使得从上述晶体管输出的电流I(out)随着栅极电压V_g与基极电流I_b的变化而变化,即与现有技术提供的晶体管相比通过引入I_b而增大输出电流I(out)的大小,从而实现了无需增大晶体管的尺寸即可提高晶体管输出电流的能力。

[0052] 此外,由于当V_g<0,I_b>0时,即MOSFET管没有导通只导通BJT管的时候,上述晶体管已经有一定的电流输出了(即由I_b决定),从而增加了通过栅极电压V_g调节晶体管工作电流的范围。

[0053] 在上述基础上优选的,所述P型半导体衬底包括P型硅衬底、P型锗衬底、P型硅锗衬底中的任一种。

[0054] 这里,所述P型半导体衬底10是指通过在半导体衬底中掺入微量的P型离子而形成的衬底;其中,P型离子可由硼离子(B)、镉离子(In)、镓离子(Ga)、以及铝离子(Al)等三价正离子(M³⁺)中的一种或多种。

[0055] 半导体衬底可直接由硅衬底(Si)、锗衬底(Ge)、硅锗衬底中的任一种构成,也可以由SOI衬底(Silicon-On-Insulator,即形成于绝缘体上的硅衬底)、GOI衬底(Germanium-On-Insulator,即形成于绝缘体上的锗衬底)、SGOI衬底(Silicon-Germanium-On-Insulator,即形成于绝缘体上的硅锗衬底)中的任一种,且不限于此。

[0056] 本发明实施例还提供了另一种晶体管,如图6所示,所述晶体管包括:N型半导体衬

底11,所述N型半导体衬底11包括第一区域111和第二区域112;位于所述第一区域111上的基极20,所述基极20由正电荷掺杂的N型离子层构成;位于所述第二区域112上的源极21与漏极22,所述源极21与所述漏极22分别由负电荷掺杂的第一P型离子层与负电荷掺杂的第二P型离子层构成;所述第一N型离子层、所述第二N型离子层、以及所述P型离子层的掺杂浓度均大于所述P型半导体衬底的掺杂浓度;所述晶体管还包括通过栅绝缘层30与所述源极21、漏极22相互绝缘的栅极40。

[0057] 其中,所述漏极22同时作为发射极(Emitter),所述源极21同时作为集电极(Collector)。

[0058] 这里,上述晶体管的工作原理如图7所示,具体原理可参见上文对图3的阐述,在此不再赘述。

[0059] 进一步优选的,所述N型半导体衬底11包括N型硅衬底、N型锗衬底、N型硅锗衬底中的任一种。

[0060] 这里,所述N型半导体衬底10是指通过在半导体衬底中掺入微量的N型离子而形成的衬底;其中,N型离子可V族元素如磷(P)、砷(As)、锑(Sb)等五价负离子(N^{5-})中的一种或多种。

[0061] 半导体衬底可直接由硅衬底(Si)、锗衬底(Ge)、硅锗衬底中的任一种构成,也可以由SOI衬底(Silicon-On-Insulator,即形成于绝缘体上的硅衬底)、GOI衬底(Germanium-On-Insulator,即形成于绝缘体上的锗衬底)、SGOI衬底(Silicon-Germanium-On-Insulator,即形成于绝缘体上的硅锗衬底)中的任一种,且不限于此。

[0062] 在上述基础上,本发明实施例还提供了一种驱动电路,如图8所示,所述驱动电路包括:

[0063] 第一晶体管T1,所述第一晶体管T1的栅极G1连接扫描信号Scan,所述第一晶体管T1的源极S1连接第一数据信号Data-1。

[0064] 第二晶体管T2,所述第二晶体管T2为参考图2所述的晶体管,所述第二晶体管T2的栅极40连接所述第一晶体管T1的漏极D1,所述第二晶体管T2的漏极22连接集电极电压Vc的输出端,所述第二晶体管T2的源极21连接输出电流I(out)的输出端,所述第二晶体管T2的基极20分别连接所述第二晶体管T2的源极21与漏极22。

[0065] 第三晶体管T3,所述第三晶体管T3的源极S3连接所述第二晶体管T2的基极20,所述第三晶体管T3的漏极D3连接基极电压Vb。

[0066] 第四晶体管T4,所述第四晶体管T4的栅极G4连接扫描信号Scan,所述第四晶体管T4的源极S4连接第二数据信号Data-2,所述第四晶体管T4的漏极D4连接所述第三晶体管T3的栅极G3。

[0067] 进一步的,参考图8所示,所述驱动电路还可包括第一电容C1,所述第一电容C1的一端连接所述第二晶体管T2的栅极40,另一端接地。

[0068] 进一步的,参考图8所示,所述驱动电路还可包括第二电容C2,所述第二电容C2的一端连接所述第三晶体管T3的栅极40,另一端接地。

[0069] 其中,所述第一电容C1和所述第二电容C2的作用是分别是维持并稳定所述第二晶体管T2的栅极40与所述第三晶体管T3的栅极G3上的电压。

[0070] 本发明实施例还提供了一种针对上述如图8所示的驱动电路的驱动方法,包括:

[0071] S11、通过扫描信号Scan、第一数据信号Data-1、以及第二数据信号Data-2分别导通第一晶体管T1和第四晶体管T4,将所述第一数据信号Data-1和所述第二数据信号Data-2分别写入并保持在第二晶体管T2的栅极40和第三晶体管T3的栅极G3。

[0072] S12、将集电极电压Vc写入并保持在所述第二晶体管T2的漏极22。

[0073] S13、通过调节写入所述第二晶体管T2的栅极40的所述第一数据信号Data-1的电压大小、写入所述第三晶体管T3的栅极G3的所述第二数据信号Data-2的电压大小,分别控制所述第二晶体管T2的导通电流I (MOSFET channel) 的大小和输入到所述第二晶体管T2的基极20的基极电流的大小,由所述第二晶体管T2的源极21导出输出电流I (out)。

[0074] 其中,所述输出电流I (out) 与所述导通电流I (MOSFET channel)、所述基极电流Ib满足预设的函数关系,即:

[0075] $I(\text{out}) = I(\text{MOSFET channel}) + (1 + \beta) \cdot I_b$; 公式(3)

[0076] 其中,所述函数关系的自变量为所述导通电流I (MOSFET channel)、的大小和所述基极Ib电流的大小,因变量为所述输出电流I (out) 的大小。

[0077] 由上述描述可知,从第二晶体管T2输出的电流I (out) 随着栅极电压Vg与基极电流Ib的变化而变化,即与现有技术提供的晶体管相比通过引入Ib而增大输出电流I (out) 的大小,从而实现了无需增大晶体管的尺寸即可提高晶体管输出电流的能力,通过控制第一数据线信号Data-1和第二数据线信号Data-2的大小就可以控制驱动发光元件(如OLED元件)的总电流Iout;由于上述I (BJT) 电流的引入,使得输出电流I (out) 较普通的晶体管有很大的提高,从而显著提高发光元件的发光强度,增强显示效果。

[0078] 进一步的,本发明实施例还提供了另一种驱动电路,如图9所示,所述驱动电路包括:

[0079] 第一晶体管T1,所述第一晶体管T1的栅极G1连接扫描信号Scan,所述第一晶体管T1的源极S1连接第一数据信号Data-1。

[0080] 第二晶体管T2,所述第二晶体管T2为如图6所示的晶体管,所述第二晶体管T2的栅极40连接所述第一晶体管T1的漏极D1,所述第二晶体管T2的源极21连接集电极电压Vc的输出端,所述第二晶体管T2的漏极22连接输出电流I (out) 的输出端,所述第二晶体管T2的基极20分别连接源极21与漏极22。

[0081] 第三晶体管T3,所述第三晶体管T3的源极S3连接所述第二晶体管T2的基极20,所述第三晶体管T3的漏极D3连接基极电压Vb。

[0082] 第四晶体管T4,所述第四晶体管T4的栅极g4连接扫描信号Scan,所述第四晶体管T4的源极S4连接第二数据信号Data-2,所述第四晶体管T4的漏极D4连接所述第三晶体管T3的栅极G3。

[0083] 进一步的,上述驱动电路还包括第一电容C1,所述第一电容C1的一端连接所述第二晶体管T2的栅极40,另一端接地。

[0084] 进一步的,上述驱动电路还包括第二电容C2,所述第二电容C2的一端连接所述第三晶体管T3的栅极G3,另一端接地。

[0085] 在上述基础上,本发明实施例还提供了一种针对上述驱动电路的驱动方法,包括:

[0086] S21、通过扫描信号Scan、第一数据信号Data-1、以及第二数据信号Data-2分别导通第一晶体管T1和第四晶体管T4,将所述第一数据信号Data-1和所述第二数据信号Data-2

分别写入并保持在第二晶体管T2的栅极40和第三晶体管T3的栅极G3。

[0087] S22、将集电极电压Vc写入并保持在所述第二晶体管T2的漏极22。

[0088] S23、通过调节写入所述第二晶体管T2的栅极40的所述第一数据信号Data-1的电压大小、写入所述第三晶体管T3的栅极G3的所述第二数据信号Data-2的电压大小,分别控制所述第二晶体管T2的导通电流I (MOSFET channel) 的大小和输入到所述第二晶体管T2的基极20的基极电流Ib的大小,由所述第二晶体管T2的漏极22导出输出电流I (out)。

[0089] 其中,所述输出电流I (out) 与所述导通电流I (MOSFET channel)、所述基极电流Ib满足预设的函数关系,即:

[0090] $I(\text{out}) = I(\text{MOSFET channel}) + (1 + \beta) \cdot I_b$; 公式(3)

[0091] 其中,所述函数关系的自变量为所述导通电流I (MOSFET channel)、的大小和所述基极Ib电流的大小,因变量为所述输出电流I (out) 的大小。

[0092] 由上述描述可知,从第二晶体管T2输出的电流I (out) 随着栅极电压Vg与基极电流Ib的变化而变化,即与现有技术提供的晶体管相比通过引入Ib而增大输出电流I (out) 的大小,从而实现了无需增大晶体管的尺寸即可提高晶体管输出电流的能力,通过控制第一数据线信号Data-1和第二数据线信号Data-2的大小就可以控制驱动发光元件(如OLED元件)的总电流Iout;由于上述I (BJT) 电流的引入,使得输出电流I (out) 较普通的晶体管有很大的提高,从而显著提高发光元件的发光强度,增强显示效果。

[0093] 在上述基础上,本发明实施例还提供了一种电流驱动型显示装置,包括上述的驱动电路。所述显示装置可包括有机电致发光显示装置。

[0094] 需要说明的是,本发明所有附图是上述晶体管及驱动电路的简略的示意图,只为清楚描述本方案体现了与发明点相关的结构,对于其他的与发明点无关的结构是现有结构,在附图中并未体现或只体现部分。

[0095] 以上所述,仅为本发明的具体实施方式,但本发明的保护范围并不局限于此,任何熟悉本技术领域的技术人员在本发明揭露的技术范围内,可轻易想到变化或替换,都应涵盖在本发明的保护范围之内。因此,本发明的保护范围应以所述权利要求的保护范围为准。

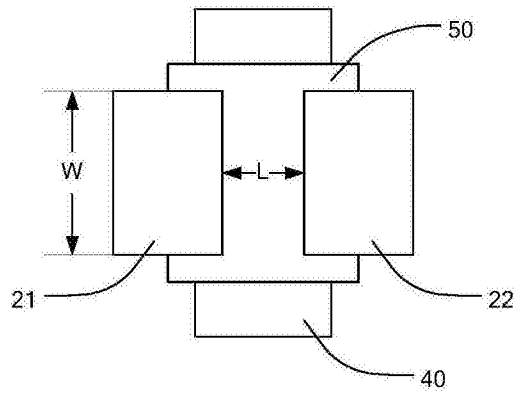


图1

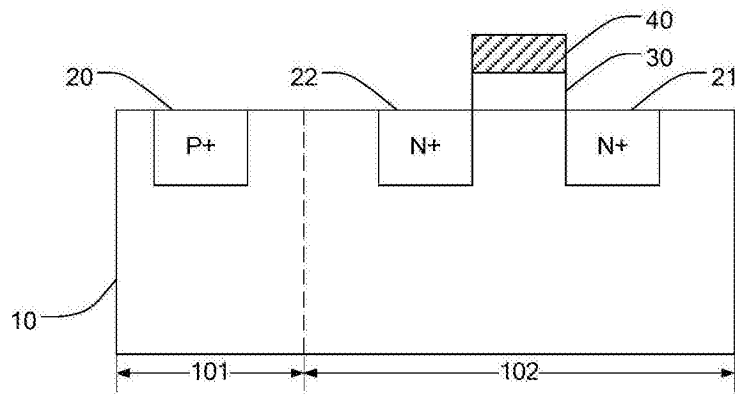


图2

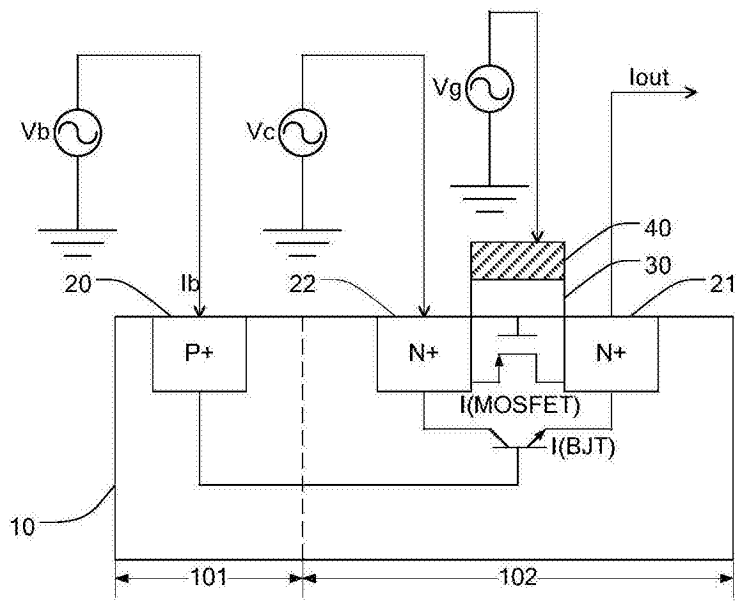


图3

工作模式	V_g	I_b	$I(out)$ 的变化情况
关闭	<0	<0	0
BJT	<0	>0	随 I_b 的变化而变化
MOSEFT	>0	<0	随 V_g 的变化而变化
MOSFET- BJT hybrid	>0	>0	随 V_g 和 I_b 的变化而变化

图4

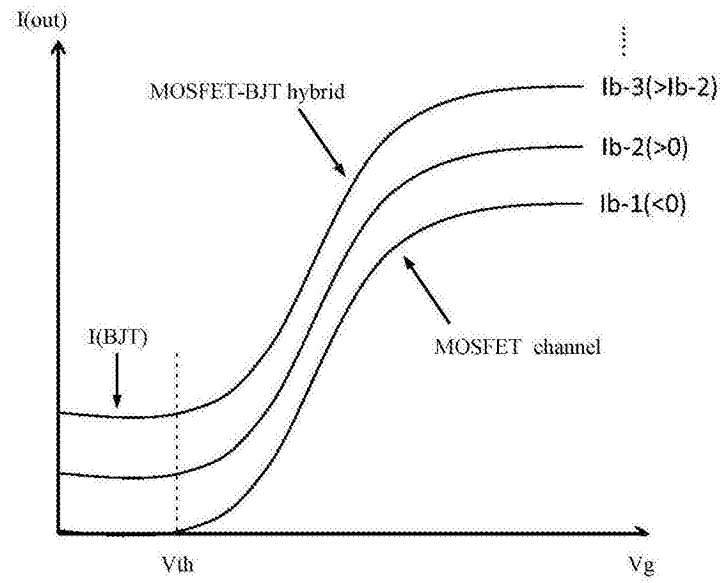


图5

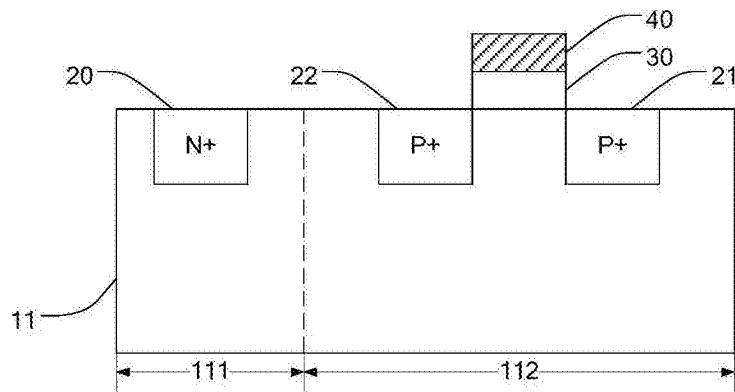


图6

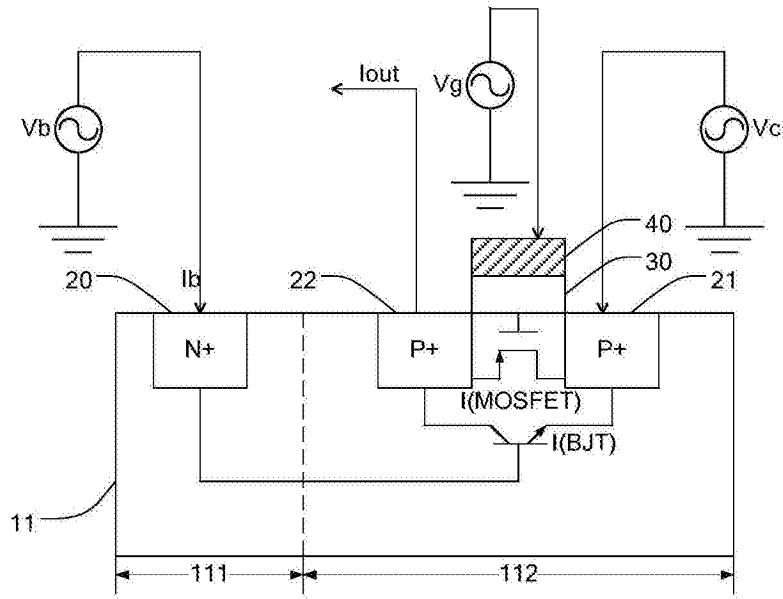


图7

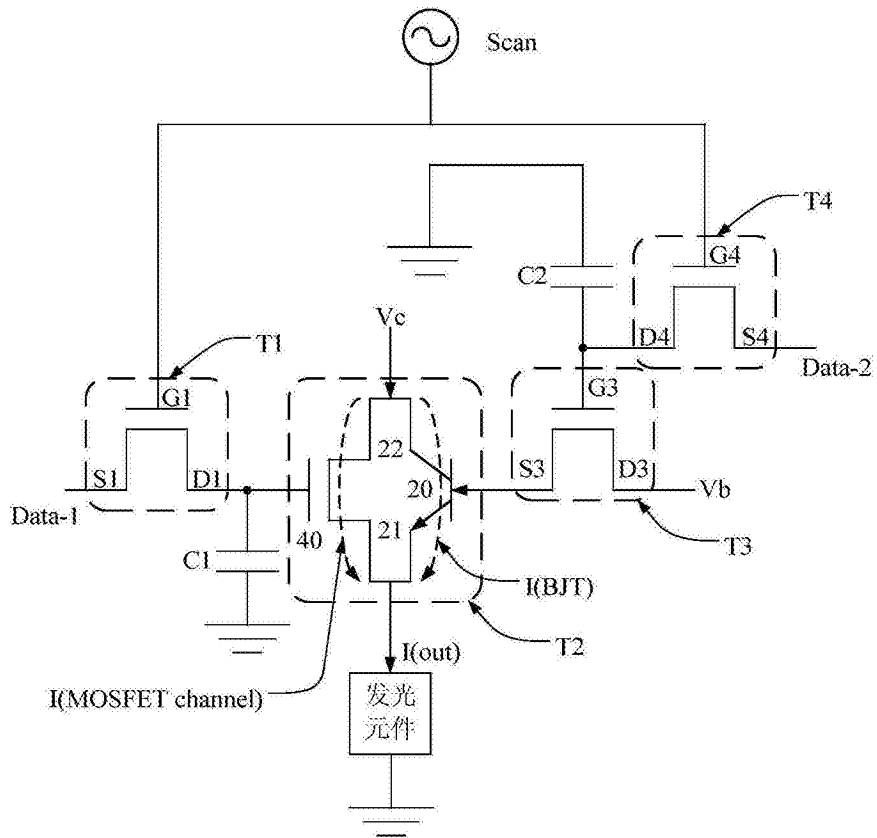


图8

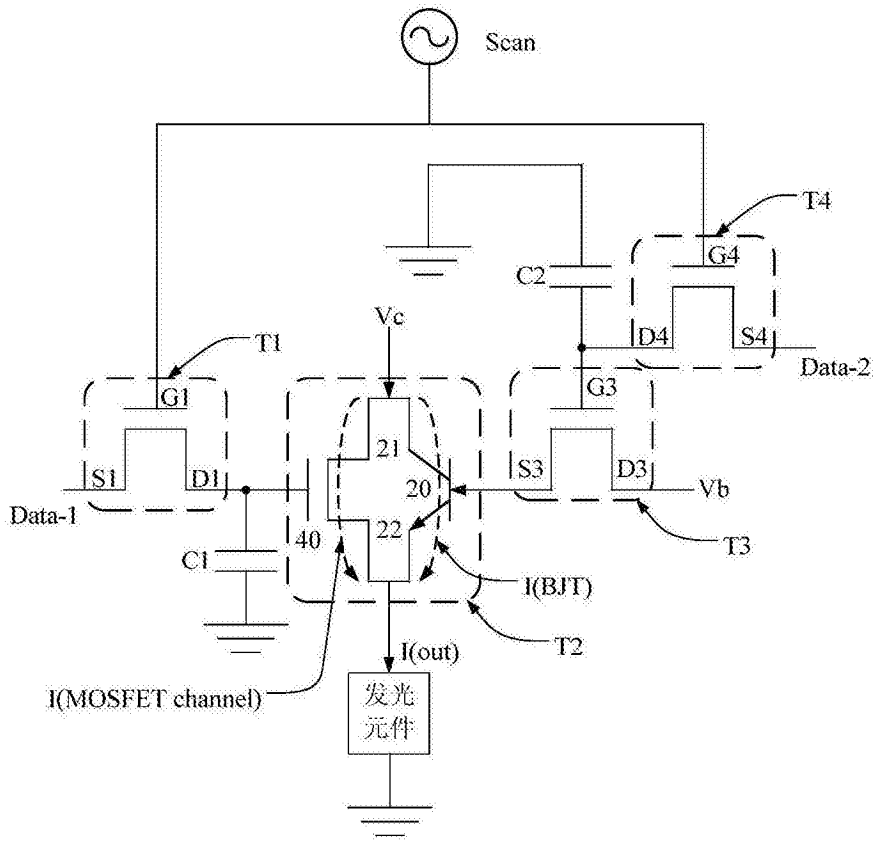


图9