

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4705683号
(P4705683)

(45) 発行日 平成23年6月22日(2011.6.22)

(24) 登録日 平成23年3月18日(2011.3.18)

(51) Int.Cl. F I
HO2M 1/08 (2006.01) HO2M 1/08 A

請求項の数 11 (全 8 頁)

(21) 出願番号	特願2008-540629 (P2008-540629)	(73) 特許権者	504458493
(86) (22) 出願日	平成18年11月21日(2006.11.21)		オスラム ゲゼルシャフト ミット ベシ ユレンクテル ハフツング
(65) 公表番号	特表2009-516493 (P2009-516493A)		Osram Gesellschaft mit beschränkter H aftung
(43) 公表日	平成21年4月16日(2009.4.16)		ドイツ連邦共和国ミュンヘン ヘルブルン ネルシュトラッセ 1
(86) 国際出願番号	PCT/EP2006/068722		Hellabrunner Strass e 1, D-81543 Muench en, Germany
(87) 国際公開番号	W02007/060165	(74) 代理人	100061815
(87) 国際公開日	平成19年5月31日(2007.5.31)		弁理士 矢野 敏雄
審査請求日	平成20年5月19日(2008.5.19)	(74) 代理人	100099483
(31) 優先権主張番号	102005055832.1		弁理士 久野 琢也
(32) 優先日	平成17年11月23日(2005.11.23)		
(33) 優先権主張国	ドイツ(DE)		

最終頁に続く

(54) 【発明の名称】 マイクロプロセッサからの出力信号を用いた電子構成素子の駆動のための回路装置及びその方法

(57) 【特許請求の範囲】

【請求項 1】

マイクロプロセッサ(MP)からの出力信号(V6)を用いて電子構成素子を駆動するための回路装置であって、

制御入力側を備えた電子構成素子と、

出力側(A1)から出力信号(V6)を供給しているマイクロプロセッサ(MP)とが含まれている形式の回路装置において、

ベース接地形の第1のバイポーラトランジスタ(Q5)が含まれており、該第1のバイポーラトランジスタ(Q5)のエミッタは、前記マイクロプロセッサ(MP)の出力側(A1)に結合されており、

エミッタ接地形の第2のバイポーラトランジスタ(Q7)が含まれており、該第2のバイポーラトランジスタ(Q7)のベースは、前記第1のバイポーラトランジスタ(Q5)のコレクタに結合されており、さらに前記第2のバイポーラトランジスタ(Q7)のコレクタは電子構成素子の制御入力側に結合され、さらに、

別のトランジスタ(Q9)が含まれており、前記トランジスタ(Q9)の制御電極は前記マイクロプロセッサ(MP)の出力側(A1)に結合されており、前記トランジスタ(Q9)の基準電極はグラウンドに結合されており、さらに前記トランジスタ(Q9)の作用電極は電子構成素子の制御入力側に結合されていることを特徴とする回路装置。

【請求項 2】

前記マイクロプロセッサ(MP)は、第1の基準電位(V7)に結合される入力側を有

しており、前記第1のバイポーラトランジスタ(Q5)のベースは、前記マイクロプロセッサ(MP)の基準電位(V7)に結合される、請求項1記載の回路装置。

【請求項3】

前記第1のバイポーラトランジスタ(Q5)のコレクタと前記第2のバイポーラトランジスタ(Q7)のベースの間に、第1の不飽和ダイオード(D86)が結合されており、さらに前記第1のバイポーラトランジスタ(Q5)のコレクタと前記第2のバイポーラトランジスタ(Q7)のコレクタの間に、第2の不飽和ダイオード(D87)が結合されている、請求項1または2記載の回路装置。

【請求項4】

前記別のトランジスタ(Q9)は、MOSFETである、請求項1記載の回路装置。

10

【請求項5】

前記別のトランジスタ(Q9)は、nチャネル型MOSFETである、請求項1記載の回路装置。

【請求項6】

前記電子構成素子の制御入力側は、プルダウン抵抗(R1)を介して第2の基準電位に結合されている、請求項1記載の回路装置。

【請求項7】

前記マイクロプロセッサ(MP)の出力側(A1)からの出力信号(V6)の電圧振幅は最大6Vである、請求項1から6いずれか1項記載の回路装置。

【請求項8】

20

前記第1のバイポーラトランジスタ(Q5)はnpn型である、請求項1から7いずれか1項記載の回路装置。

【請求項9】

前記第2のバイポーラトランジスタ(Q7)はpnp型である、請求項1から8いずれか1項記載の回路装置。

【請求項10】

前記電子構成素子は、実質的に電圧制御された電子構成素子である、請求項1から9いずれか1項記載の回路装置。

【請求項11】

前記電子構成素子はMOSFET、IGBTまたはESBTである、請求項1から10いずれか1項記載の回路装置。

30

【発明の詳細な説明】

【技術分野】

【0001】

本発明はマイクロプロセッサからの出力信号を用いて電子構成素子を駆動するための回路装置であって、制御入力側を備えた電子構成素子と、出力側から出力信号を供給しているマイクロプロセッサとが含まれている形式のものに関する。また本発明はマイクロプロセッサからの出力信号を用いて電子構成素子を駆動するための方法に関する。

【0002】

背景技術

40

本発明の背景となっているのは、マイクロプロセッサのコントローラが益々パワーエレクトロニクス分野に進出していることにある。ここでは典型的な適用例として絶縁ゲートを備えた電子スイッチの駆動があげられ、これらは静的にみて実質的に電圧制御されるものである(例えばMOSFET、IGBT、ESBT、PFC(Power Factor Correction)段など)。

【0003】

この種の電子構成素子の直接の駆動はマイクロプロセッサによってその出力側から供給される信号を用いて行われるものであり、これは通常は5V規模の電圧振幅を有している。この場合はさらに少ない電圧に向かう傾向にあるが、この種の電子構成素子はその確実な駆動(制御)のためにはその制御入力側に10V以上の電圧を要求するので暗礁に乗り

50

上げている。その他にもマイクロプロセッサは、大きな入力キャパシタンスでパワーアップされたスイッチを早いスイッチング速度で作動することはできない（この場合相応するMOSFETパラメータはトータルゲートチャージとも称される）。なぜなら所要の制御電流が供給できないからである。

【0004】

このような問題の解決のためには通常は、次のような集積された特殊なドライバー回路が慣用的に用いられている。すなわちマイクロプロセッサの出力信号のレベルを電子構成素子の駆動に適したレベルまでもたすことができ、高速なスイッチング速度にも対応できる高い出力電流を生成することのできるドライバー回路である。しかしながらそのようなドライバー回路の使用は、その複雑さが故に取り扱いが不便でしかもそれに伴う高いコストも不利となる。

10

【0005】

発明の開示

それ故に本発明の課題は、低コストな方式で電子構成素子をマイクロプロセッサの出力信号を用いて駆動することのできる手段を提供することにある。

【0006】

前記課題は、請求項1の特徴部分に記載された本発明による回路装置並びに請求項11の特徴部分に記載された本発明による方法によって解決される。

【0007】

本発明は、2つのバイポーラトランジスタの組み合わせからなる回路段をドライバー段としてマイクロプロセッサの出力側と電子構成素子の制御入力側の間に接続させることを基礎としており、この場合マイクロプロセッサに接続されるバイポーラトランジスタはベース回路にて接続されている。この回路段はエミッタ回路において動作するさらなるバイポーラトランジスタを駆動する。それにより、一方では早いスイッチング速度が低コストな標準的コンポーネントで保証される。つまり何ら特殊なHFトランジスタを用いる必要がなくなる。またその一方で、2つのバイポーラトランジスタの組み合わせからなるドライバー段の給電電圧に支障が生じた場合でも、本発明によればマイクロプロセッサの該当する出力側に電流が流れることはなく、それらの論理状態に影響を及ぼすことはない。

20

【0008】

第1のバイポーラトランジスタをそのエミッタ側で駆動することによって、このバイポーラトランジスタをそのベース側で駆動した場合よりもはるかに多くの電流を用いることができる。この場合有利には、第1のバイポーラトランジスタのベースが基準電位に結合され、マイクロプロセッサはその入力側、特に電圧供給のための入力側がそれと結合されている。

30

【0009】

低コストな標準的コンポーネントを用いて早いスイッチング速度を保証するために、第1のバイポーラトランジスタのコレクタと第2のバイポーラトランジスタのベースの間に、第1の不飽和ダイオードが結合され、さらに第1のバイポーラトランジスタのコレクタと第2のバイポーラトランジスタのコレクタの間に、第2の不飽和ダイオードが結合され得る。

40

【0010】

電子構成素子の迅速なスイッチオフを可能にするために、本発明による回路装置は有利にはさらなるトランジスタ、例えば論理レベルMOSFET、特にnチャネル型MOSFETを含み、その制御電極はマイクロプロセッサの出力側に結合され、その基準電極は第2の基準電位、特にアースに結合され、その作用電極は電子構成素子の制御入力側に結合される。これにより有利には本発明による回路装置の零入力電流消費が非常に僅かとなる。

【0011】

有利には電子構成素子の制御入力側はプルダウン抵抗を介して第2の基準電位に結合され、それによって電子構成素子はアクティブな制御回路なしでも静止状態において確実に

50

ターンオフが可能となる。

【 0 0 1 2 】

マイクロプロセッサの出力側からの出力信号の電圧振幅は有利には最大で6 Vである。また有利には第1のバイポーラトランジスタはnpn型であり、第2のバイポーラトランジスタはpnp型である。既に前述したようにここでの電子構成素子とは実質的に電圧制御される電子構成素子、例えばMOSFET、IGBT、ESBTなどである。

【 0 0 1 3 】

さらに有利な実施形態は従属請求項にも記載されている。

【 0 0 1 4 】

本発明の回路装置との関係において説明する有利な実施形態とその利点は相応の形式で本発明による方法に対しても当てはまる。

【 0 0 1 5 】

以下の明細書では本発明による回路装置の実施例を添付の図面に基づいて詳細に説明する。この場合

図1は、本発明による回路装置の実施例の概略的なブロック回路図であり、

図2は、図1の回路装置におけるMOSFETをオン/オフした時の様々な特性量の時間経過を表した図であり、

図3は、図1の回路装置におけるMOSFETのスイッチオン状態での様々な特性量の時間経過を拡大して表した図であり、

図4は、図1の回路装置におけるMOSFETのスイッチオフ状態での様々な特性量の時間経過を拡大して表した図である。

【 0 0 1 6 】

実施例

図1には本発明による回路装置の有利な実施例のブロック回路図が概略的に表されている。電子構成素子のいくつかは、当業者にとっては以下の実施例においても明らかであるようにシミュレーションによって決定される。この回路装置はマイクロプロセッサMPを含んでおり、その出力側A1からは出力信号V6が供給される。この出力信号は抵抗R97を介して一方のバイポーラトランジスタQ5のエミッタにベース回路側にて印加されている。そのベースは基準電位V7におかれており、これは当該実施例においては5 Vである。またこれは同時にマイクロプロセッサMPの給電にも使用されている。バイポーラトランジスタQ5のコレクタは、第2のバイポーラトランジスタQ7のベースに接続されている。この第2のバイポーラトランジスタはエミッタ回路にて駆動される。第2のバイポーラトランジスタのコレクタは抵抗R108を介して制御入力側、すなわちMOSFETトランジスタM9によって実現されるパワースイッチのゲートに接続されている。第1のバイポーラトランジスタQ5のコレクタと第2のバイポーラトランジスタQ7のベースの間には第1の不飽和ダイオードD86が結合されており、第1のバイポーラトランジスタQ5のコレクタと第2のバイポーラトランジスタQ7のコレクタの間には第2の不飽和ダイオードD87が結合されている。電界効果トランジスタM9のゲートは、電界効果トランジスタQ9のドレイン端子に結合されており、そのソースはアース端子に接続している。それに対してゲートはマイクロプロセッサMPの出力側A1に接続されている。電界効果トランジスタM9のゲートとアース端子の間にはプルダウン抵抗R1が結合されている。誘導負荷のシミュレーションのためにインダクタンスL9が電界効果トランジスタのドレイン端子に接続されており、その場合このドレイン端子はダイオードD72とツェナーダイオードD78からなる直列回路を介してアース電位と接続している。バイポーラトランジスタQ5とQ7を含んでいるドライバー回路段、並びに電界効果トランジスタQ9及び電界効果トランジスタM9は、電圧源V1によって給電されており、この電圧源は本発明においては12 Vの電圧を供給している。

【 0 0 1 7 】

図2には、電界効果トランジスタM9のスイッチオン状態(図中左半部)とスイッチオフ状態(図中右半部)におけるゲート電流 I_g とゲート電圧 U_g の時間経過が表されている

。ここでのスイッチオン過程は図3に基づいて以下の明細書で詳細に説明し、スイッチオフ過程は図4に基づいて以下の明細書で詳細に説明する。

【0018】

電界効果トランジスタM9のスイッチオンに対してはまず、マイクロプロセッサMPの出力側A1にアース電位が印加され、これによって第1のバイポーラトランジスタQ5がスイッチオンされる。この第1のバイポーラトランジスタQ5のスイッチオンは第2のバイポーラトランジスタQ7のスイッチオンを引き起こし、これはさらにコレクタ電流を生じさせ、この電流は実質的にデート電流 I_G として電界効果トランジスタM9のゲートへ流れる。第2の電界効果トランジスタQ9は、マイクロプロセッサMPの出力側A1からの電圧がアース電位に置かれているために最初はスイッチオフされている。電荷担体による電界効果トランジスタM9のゲートのフラッディングにより電界効果トランジスタは200ns以内スイッチオンされる。これは図3中の電界効果トランジスタM9のゲート電圧 U_G の0Vから約12Vまでの電圧上昇によって表されている。

10

【0019】

電界効果トランジスタM9のスイッチオフに対しては、マイクロプロセッサMPの出力側A1から5Vの信号が供給され、これによってバイポーラトランジスタQ5はターンオフされ、電界効果トランジスタQ9はターンオンされる。それにより電界効果トランジスタM9のゲート端子はアース電位に接続され、電界効果トランジスタM9のゲートからは電荷単体が流出する。このことは負の振幅を有するゲート電流 I_G を引き起こす。このオーバーシュートは、電界効果トランジスタM9のミラーキャパシタンスと誘導負荷L9に起因する振動から引き起こされる。ゲートの放電後にはゲート電流 I_G が再び0Aまで戻される。負の振幅を有するゲート電流 I_G は20ns以内に電界効果トランジスタM9のスイッチオフを引き起こす。図4のゲート電圧 U_G の経過参照。

20

【0020】

ドライバー回路の2つのバイポーラトランジスタがエミッタフォロアとして駆動されるならば(すなわちコレクタ回路において)、図3や図4に示されているように短いスイッチング時間を得ることはできないであろう。スイッチオフされた状態、すなわちバイポーラトランジスタQ5がターンオフされ、それによってバイポーラトランジスタQ7がターンオフされ、電界効果トランジスタQ9がターンオンされ、電界効果トランジスタM9がスイッチオフされると、零電流消費は0となる。図1に示されている回路装置の改善例は、電界効果トランジスタQ9の出力側にプルダウン抵抗R1(これは回路全体の始動フェーズにおいてMOSFETM9を確実にターンオフさせる)を配設することによって得られる。

30

【0021】

図1に示されている回路装置はさらに、供給電圧 $V_1 < V_7$ のもとでエミッタ回路にて動作するトランジスタQ5の反転動作によって引き起こされるような問題を生じさせない。マイクロプロセッサMPの出力側はそれにより場合によっては外部から過度に低い電圧までクランプされ、これはマイクロプロセッサMPの機能に悪影響を与えかねない。さらにこのようなことは出力側の過負荷によるマイクロプロセッサMPの損傷にもつながりかねない。本発明による解決手法によれば、このような問題が不飽和ダイオードD86及びD87の適用によって回避される(これらは同時にトランジスタQ5に対する反転保護ダイオードとしても用いられる)。これらのダイオードを用いない場合には、前述した問題はマイクロプロセッサMPを論理ハイに切り替えるか若しくはハイインピーダンスを伴う3値状態に切り替えることによって解決できる。

40

【0022】

図2から図4の時間経過において、基礎に置かれている実施例においては、図1による回路装置の電子的半導体素子は以下のコンポーネントによって実現されている。すなわち

Q5 = BC846A、

Q7 = BC807-40、

D86及びD87 = 各D1N4148、

50

Q 9 = B S S 8 7 / S I E、
 M 9 = I R F 8 3 0、
 D 7 2 = D 1 N 4 9 3 7、
 D 7 8 = D 1 N 5 2 5 4。

またQ 9に対する低コストな代替例として例えばB S S 9 8、B S S 1 2 3並びに2 N 7 0 0 2などがあげられる。

【図面の簡単な説明】

【0023】

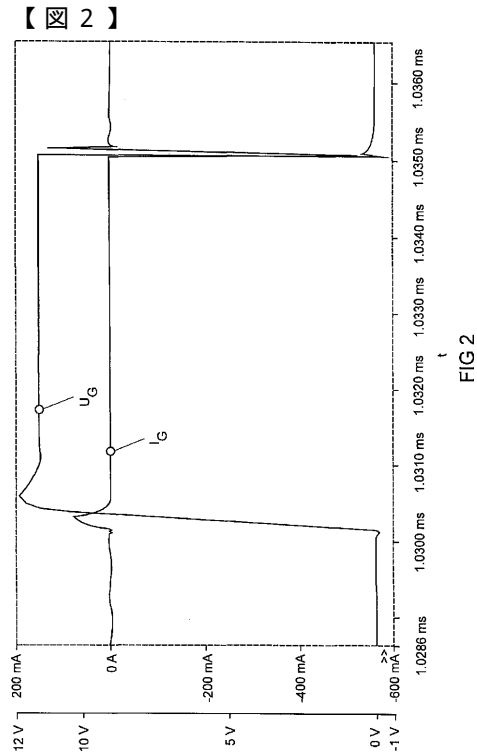
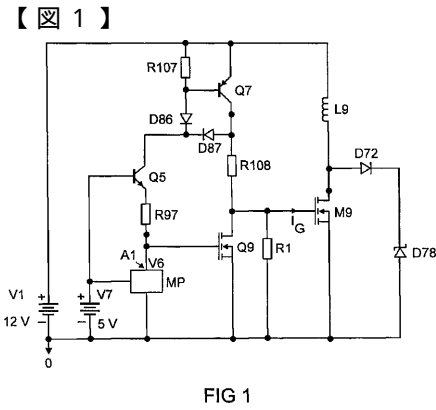
【図1】本発明による回路装置の実施例の概略的なブロック回路図

【図2】図1の回路装置におけるM O S F E Tをオン/オフした時の様々な特性量の時間経過を表した図

10

【図3】図1の回路装置におけるM O S F E Tのスイッチオン状態での様々な特性量の時間経過を拡大して表した図

【図4】図1の回路装置におけるM O S F E Tのスイッチオフ状態での様々な特性量の時間経過を拡大して表した図



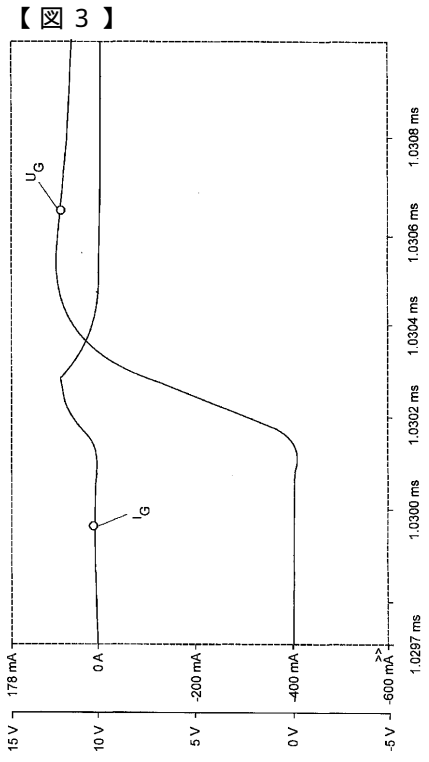


FIG 3

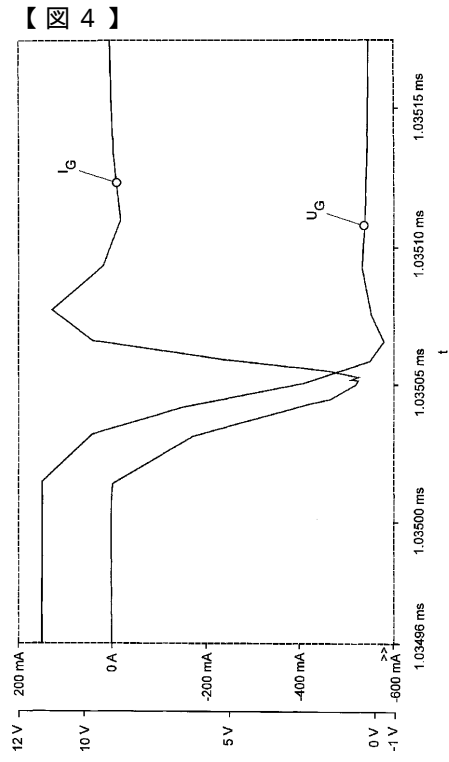


FIG 4

フロントページの続き

- (74)代理人 100128679
弁理士 星 公弘
- (74)代理人 100135633
弁理士 二宮 浩康
- (74)代理人 100114890
弁理士 アインゼル・フェリックス＝ラインハルト
- (74)代理人 230100044
弁護士 ラインハルト・アインゼル
- (72)発明者 ベルトン ルドルフ
ドイツ連邦共和国 フォルステン フィヒテンシュトラッセ 2アー

審査官 杉浦 貴之

- (56)参考文献 特開昭58-101575(JP,A)
特開平03-187260(JP,A)
特開2004-208484(JP,A)
特開平08-293741(JP,A)
特開2006-174560(JP,A)
特開2006-319711(JP,A)

(58)調査した分野(Int.Cl., DB名)

H02M 1/08