



República Federativa do Brasil
Ministério do Desenvolvimento, Indústria
e do Comércio Exterior
Instituto Nacional da Propriedade Industrial.

(21) **PI0617527-9 A2**

(22) Data de Depósito: 20/10/2006
(43) Data da Publicação: 26/07/2011
(RPI 2116)



(51) *Int.Cl.:*
G06F 12/10 2006.01

(54) Título: **ATUALIZAÇÃO DE MÚLTIPLOS NÍVEIS DE CAMPO DE BUFFERS DE PREVISÃO DE TRADUÇÃO (TLBs)**

(30) Prioridade Unionista: 20/10/2005 US 11/254,898

(73) Titular(es): Qualcomm Incorporated

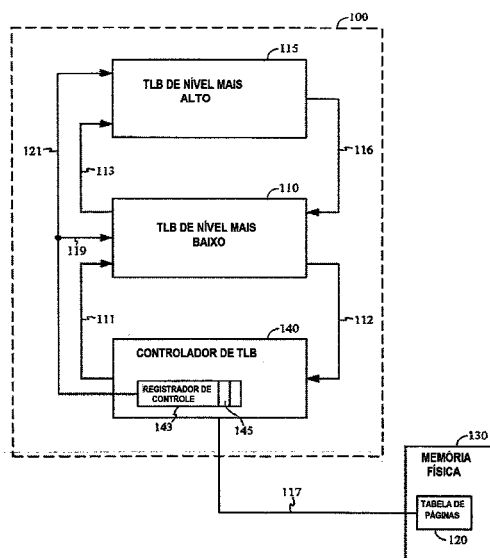
(72) Inventor(es): James Norris Dieffenderfer, Jeffrey Todd Bridges, Thomas Andrew Sartorius, Victor Roberts Augsburg

(74) Procurador(es): MONTAURY PIMENTA, MACHADO & LIOCE

(86) Pedido Internacional: PCT US2006060134 de 20/10/2006

(87) Publicação Internacional: WO 2007/048134 de 26/04/2007

(57) **Resumo:** ATUALIZAÇÃO DE MÚLTIPLOS NÍVEIS DE CAMPO DE BUFFERS DE PREVISÃO DE TRADUÇÃO (TLBs) Um equipamento inclui uma memória configurada para armazenar dados, um TLB de nível mais baixo, um TLB de nível mais alto e um controlador de TLB. O TLB de nível mais baixo e o TLB de nível mais alto são configurados para armazenar uma pluralidade de entradas, cada uma das entradas contendo informações de tradução de endereço que permitem que um endereço virtual seja traduzido em um endereço físico correspondente. O controlador de TLB recupera de uma tabela de páginas na memória informações de tradução de endereço para um endereço virtual desejado, se o endereço virtual desejado gerar uma perda de TLB do TLB de nível mais baixo e do TLB de nível mais alto. Utilizando uma única instrução de gravação em TLB, o controlador de TLB atualiza tanto o TLB de nível mais baixo quanto o TLB de nível mais alto por meio da gravação das informações de tradução de endereço, recuperadas da tabela de páginas, no TLB de nível mais baixo assim como no TLB de nível mais alto.



"ATUALIZAÇÃO DE MÚLTIPLOS NÍVEIS DE CAMPO DE BUFFERS DE PREVISÃO DE TRADUÇÃO (TLBs)"

A presente invenção refere-se a buffers de previsão de tradução (TLBs).

5

FUNDAMENTOS

Em um processador que suporta memória virtual paginada, os dados podem ser especificados utilizando-se endereços virtuais (também referidos como endereços "efetivos" ou "lineares") que ocupam um espaço de endereços virtuais do processador. O espaço de endereços virtuais pode ser tipicamente maior que o tamanho da memória física real do sistema. O sistema operacional no processador pode gerenciar a memória física em blocos de tamanho fixo chamados páginas.

15

Para traduzir endereços de página virtuais em endereços de página físicos, o processador pode buscar tabelas de páginas armazenadas na memória do sistema, que pode conter as informações de tradução de endereço necessárias. Uma vez que estas buscas (ou "passeios pela tabela de páginas") podem envolver tipicamente acessos à memória, a menos que os dados da tabela de páginas estejam em uma cache de dados, estas buscas podem ser demoradas.

20

O processador pode, portanto, realizar tradução de endereços utilizando um ou mais buffers de previsão de tradução (TLBs). Um TLB é uma cache de tradução de endereços, isto é, uma pequena cache que armazena mapeamentos recentes de endereços virtuais em endereços físicos. O processador pode armazenar em cache o endereço físico no TLB, após realizar a busca de tabela de páginas e a tradução de endereço. O conteúdo de um TLB pode incluir tipicamente endereços de página virtuais comumente referidos, assim como o endereço de página físico associado a eles. Podem existir TLBs separados para endereços de

30

instrução (referidos como "TLB de instruções" ou "I-TLB") e para endereços de dados (referidos como "data-TLB" ou "D-TLB").

De modo a aumentar a eficiência dos acessos a TLB, múltiplos níveis de TLBs podem ser utilizados e implementados, por analogia a múltiplos níveis de cache de memória. Um TLB de nível mais baixo pode ser tipicamente menor e mais rápido, comparado com um ou mais TLBs de nível mais alto. Quando ocorre uma perda de TLB tanto em um TLB de nível mais baixo quanto em um TLB de nível mais alto, o TLB de nível mais alto pode ser tipicamente atualizado, como resultado de um passeio pela tabela de páginas.

Geralmente, o TLB de nível mais baixo pode não ser atualizado com as informações de tradução de endereço recuperadas da tabela de páginas na memória física. Uma referência subsequente ao TLB de nível mais baixo resultaria então em uma perda de TLB, o que exige uma busca do TLB de nível mais alto para as informações de tradução de endereço desejadas. Pode haver, contudo, uma latência indesejável que está associada à perda no TLB de nível mais baixo e à busca resultante do TLB de nível mais alto

SUMÁRIO

Um meio legível por computador tem nele armazenadas instruções legíveis por computador para um processador. As instruções, quando lidas e implementadas pelo processador, fazem o processador acessar uma memória física para recuperar informações de tradução de endereço para um endereço virtual que geram um sinal de perda de TLB tanto para um TLB de nível mais baixo quanto para um TLB de nível mais alto. As instruções também fazem o processador atualizar tanto o TLB de nível mais baixo quanto o TLB de nível mais alto utilizando uma única instrução de gravação no TLB, por meio de gravação das informações de tradução de

endereço recuperadas da memória tanto no TLB de nível mais baixo quanto no TLB de nível mais alto.

Um método para atualizar mais de um nível de TLB inclui acessar uma memória para recuperar informações de tradução de endereço para um endereço virtual. O método inclui atualizar tanto um TLB de nível mais baixo quanto um TLB de nível mais alto utilizando uma única instrução de gravação no TLB, por meio da gravação das informações de tradução de endereço recuperadas da memória tanto no TLB de nível mais baixo quanto no TLB de nível mais alto.

Um equipamento inclui uma memória; um TLB de nível mais baixo e um TLB de nível mais alto; e um controlador de TLB. O TLB de nível mais baixo e o TLB de nível mais alto são configurados para armazenar uma pluralidade de entradas, cada uma das entradas contendo informações de tradução de endereço que permitem a tradução de um endereço virtual em um endereço físico correspondente. O controlador de TLB é configurado para recuperar da memória informações de tradução de endereço para um endereço virtual desejado, se o endereço virtual desejado gerar uma perda de TLB do TLB de nível mais baixo e do TLB de nível mais alto. O controlador de TLB é adicionalmente configurado para atualizar tanto o TLB de nível mais baixo quanto o TLB de nível mais alto utilizando uma única instrução de gravação no TLB, por meio da gravação das informações de tradução de endereço recuperadas da memória tanto no TLB de nível mais baixo quanto no TLB de nível mais alto utilizando a única instrução de gravação no TLB.

30

BREVE DESCRIÇÃO DOS DESENHOS

A Figura 1 mostra esquematicamente um TLB que funciona em um sistema de memória virtual.

A Figura 2 é um diagrama esquemático de um exemplo de um sistema de tradução de endereços tendo um TLB de nível mais alto e um TLB de nível mais baixo e de um controlador de TLB configurado para atualizar ambos os
5 níveis de TLB como um resultado de uma única operação de gravação de TLB.

A Figura 3 é um fluxograma esquemático que mostra um método para atualizar mais de um nível de TLB.

DESCRIÇÃO DETALHADA

10 A descrição detalhada apresentada a seguir em conexão com os desenhos anexos pretende descrever diversas modalidades de um método e um sistema configurados para atualizar múltiplos níveis de TLB, mas não pretende representar as únicas modalidades possíveis. A descrição
15 detalhada inclui detalhes específicos, de modo a permitir um entendimento completo do que é descrito. Os versados na técnica devem entender, contudo, que estes detalhes específicos podem não ser incluídos em algumas das modalidades descritas. Em alguns casos, estruturas e
20 componentes notoriamente conhecidos são mostrados em forma de diagrama de blocos, de modo que sejam ilustrados mais claramente os conceitos que estão sendo explicados.

A Figura 1 mostra esquematicamente o funcionamento, em um sistema de memória virtual, de um
25 buffer de previsão de tradução (TLB) 10, em conjunto com uma tabela de páginas 20 incluída em uma memória física 30. Conforme sabido na técnica, em sistemas de memória virtuais, mapeamentos (ou traduções) podem ser tipicamente realizados entre um espaço de endereços virtuais (ou
30 "lineares") e um espaço de endereços físicos. Um espaço de endereços virtuais refere-se tipicamente ao conjunto de todos os endereços virtuais 22 gerados por um processador. Um espaço de endereços físicos refere-se tipicamente ao

conjunto de todos os endereços físicos para os dados que residem na memória física 30, isto é, os endereços que podem ser providos em um barramento de memória para gravação em, ou leitura de, uma localização específica na
5 memória física 30.

Em um sistema de memória virtual paginada, pode-se presumir que os dados são compostos de unidades de comprimento fixo comumente referidos como páginas 31. O espaço de endereços virtuais e o espaço de endereços
10 físicos podem ser divididos em blocos de endereços de página contíguos, cada endereço de página virtual provendo um número de página virtual e cada endereço de página físico correspondente indicando a localização dentro da memória 30 de uma página 31 de dados específica. Um tamanho
15 de página típico pode ser de cerca de 4 kbytes, por exemplo, embora sistemas de memória paginada virtual diferentes possam utilizar tamanhos de página diferentes. A tabela de páginas 20 na memória física 30 pode conter os endereços de página físicos que correspondem a todos os
20 endereços de página virtuais do sistema de memória virtual, isto é, pode conter os mapeamentos entre endereços de página virtuais e os endereços de página físicos correspondentes, para todos os endereços de página virtuais no espaço de endereços virtuais. Tipicamente, a tabela de
25 páginas 20 pode conter uma pluralidade de entradas de tabela de páginas (PTEs) 21, cada PTE 21 indicando uma página 31 na memória física 30 que corresponde a um endereço virtual específico.

Acessar as PTEs 21 armazenadas na tabela de
30 páginas 20 na memória física 30 pode exigir transações de barramento de memória, que podem ser dispendiosas em termos de tempo de ciclo do processador e consumo de energia. O número de transações de barramento de memória pode ser

reduzido acessando-se o TLB 10, em vez da memória física 30. Conforme explicado anteriormente, o TLB 10 é uma cache de tradução de endereços que armazena mapeamentos recentes entre endereços virtuais e físicos. O TLP 10 contém tipicamente um subconjunto dos mapeamentos de endereços de virtuais para físicos que são armazenados na tabela de páginas 20. Um TLB 10 pode conter tipicamente uma pluralidade de entradas de TLB 12. Cada entrada de TLB 12 pode ter um campo de indicador (tag) 14 e um campo de dados 16. O campo de indicador 14 pode incluir alguns dos bits de ordem mais alta dos endereços de página virtuais como um indicador. O campo de dados 16 pode indicar o endereço de página físico que corresponde ao endereço de página virtual indicado.

Quando uma instrução tem um endereço virtual 22 que precisa ser traduzido em um endereço físico correspondente, durante a execução de um programa, o TLB 10 pode ser acessado para a consulta do endereço virtual 22 entre as entradas de TLB armazenadas no TLB 10. O endereço virtual 22 inclui tipicamente um número de página virtual, que pode ser utilizado no TLB 10 para consulta do endereço de página físico correspondente.

Se o TLB 10 contiver, entre suas entradas de TLB, o endereço de página físico específico correspondente ao número de página virtual contido no endereço virtual 22 apresentado ao TLB, um "acerto" (hit) de TLB ocorre, e o endereço de página físico pode ser recuperado do TLB 10. Se o TLB 10 não contiver o endereço de página físico específico correspondente ao número de página virtual no endereço virtual 22 apresentado ao TLB, uma "perda" de TLB ocorre, e pode ser necessário realizar uma consulta à tabela de páginas 20 na memória física 30. Uma vez que o endereço de página físico é determinado a partir da tabela

de páginas 20, o endereço de página físico correspondente ao endereço de página virtual pode ser carregado no TLB 10, e o TLB 10 pode ser acessado mais uma vez com o endereço de página virtual 22. Uma vez que o endereço de página físico desejado tenha sido carregado no TLB 10, o acesso ao TLB resulta em um "acerto" de TLB desta vez, e o endereço de página físico recém-carregado pode ser gerado em uma saída do TLB 10.

A Figura 2 é um diagrama funcional de um exemplo de um sistema de tradução de endereços 100, que é configurado para atualizar mais de um nível de TLB como resultado de uma única operação de gravação no TLB. Em uma visão geral, o sistema de tradução de endereços 100 pode incluir um TLB de nível mais baixo 110; um TLB de nível mais alto 115; e um controlador de TLB 140 que controla o funcionamento tanto do TLB de nível mais baixo 110 quanto do TLB de nível mais alto 115. O sistema de tradução de endereços 100 pode ser conectado a uma memória física 130, que pode incluir uma tabela de páginas 120. O controlador de TLB 140 pode ser parte de uma CPU (unidade central de processamento) em um processador. Alternativamente, o controlador de TLB 140 pode ser localizado dentro de um núcleo de processador e/ou próximo da CPU de um processador. O controlador de TLB 140 pode incluir um software de gerenciamento de TLB, que controla os acessos a ambos os níveis de TLB.

Por analogia com os múltiplos níveis de cache que são comumente utilizados em caches de memória, por exemplo, a eficiência das operações de tradução de endereço pode ser aumentada com a utilização do TLB de nível mais baixo 110 em conjunto com o TLB de nível mais alto. O TLB de nível mais baixo 110 pode ser tipicamente menor que o TLB de nível mais alto 115 e pode conter menos entradas de TLB,

provendo assim um tempo de acesso curto aos dados de endereço utilizados com freqüência. Embora, para simplificar, apenas um único TLB de nível mais alto 115 seja mostrado na Figura 2, deve ficar entendido que uma pluralidade de TLBs de nível mais alto pode ser incluída no sistema de tradução de endereços 100, cada nível aumentado de TLB sendo tipicamente maior que o nível anterior de TLB e tendo um número progressivamente crescente de entradas de TLB.

10 O software de gerenciamento de TLBs no controlador de TLB 130 pode fazer com que o TLB de nível mais baixo 110 seja inicialmente acessado e buscado, para procurar uma informação de tradução de endereço para um endereço virtual desejado, conforme indicado na Figura 2 por uma seta rotulada com o número de referência 111. Se um acerto de TLB ocorrer no TLB de nível mais baixo 110, o software no controlador de TLB 130 pode fazer com que o resultado de busca seja recuperado, conforme indicado pela seta rotulada com o número de referência 112. Se uma perda de TLB ocorrer no TLB de nível mais baixo 110, o software pode implementar uma busca do TLB de nível mais alto 115. A busca do TLB de nível mais alto 115 é indicada na Figura 2 por uma seta rotulada com o número de referência 113. O TLB de nível mais alto 115 pode conter tipicamente muito mais entradas de TLB, comparado ao TLB de nível mais baixo 110.

25 Se a busca 113 do TLB de nível mais alto 115 resultar em um acerto de TLB, o resultado da busca pode ser recuperado e carregado no TLB de nível mais baixo, conforme indicado na Figura 2 por uma seta rotulada com o número de referência 116. A busca 113 do TLB de nível mais alto 115 pode, ainda, resultar em uma perda, e neste caso o software no controlador de TLB 140 pode implementar uma busca da tabela de páginas 120 na memória física 130, de modo a

recuperar as informações de endereço de página físico desejadas. A busca da tabela de páginas 120 é indicada na Figura 2 por uma seta rotulada com o número de referência 117.

5 Se a página desejada não existir na memória física 130, as informações de tradução de endereço relevantes podem ser carregadas da tabela de páginas 120 no TLB de nível mais alto 115. Isto significa que as informações de tradução de endereço desejadas (isto é, o mapeamento entre o endereço virtual e o endereço físico correspondente) podem ser gravadas no TLB de nível mais alto 115, conforme indicado na Figura 2 por uma seta rotulada com um o número de referência 121. Se a página desejada não estiver presente na memória 130, uma falha de página pode ocorrer, e o sistema operacional pode ser notificado com uma exceção.

 Uma vez que o TLB de nível mais alto 115 é atualizado, o software de gerenciamento de TLB pode fazer com que o controlador de TLB 140 repita o processo de referência de TLB. A instrução tendo o endereço virtual que produziu inicialmente uma perda em ambos os TLBs (110 e 115) pode ser buscada novamente (re-fetched), e todo o processo de referência de TLB pode ser executado novamente, começando com o TLB de nível mais baixo 110.

25 Se o TLB de nível mais baixo 110 não for atualizado, e apenas o TLB de nível mais alto 120 for atualizado com as informações de tradução de endereço recuperadas da tabela de páginas 120, uma perda de TLB ocorrerá no TLB de nível mais baixo 110, no processo de referência de TLB subsequente. Como um resultado, seria necessária uma busca do TLB de nível mais alto 115, de modo a recuperar as informações de tradução de endereço desejadas. Uma latência indesejável estaria associada à

perda no TLB de nível mais baixo 110 e com a busca resultante do TLB de nível mais alto 115.

Na modalidade mostrada do sistema de tradução de endereços 100, o controlador de TLB 140 inclui um software que faz o controlador de TLB 140 atualizar tanto o TLB de nível mais baixo 110 quanto o TLB de nível mais alto 115 utilizando as informações de tradução de endereço que foram recuperadas da tabela de páginas 120. Em particular, o software no controlador de TLB 140 faz com que as informações de tradução de endereço, recuperadas da tabela de páginas 120, sejam gravadas em ambos os níveis de TLB, como resultado de uma única instrução de gravação no TLB. Na Figura 2, a atualização do TLB de nível mais baixo 110 é indicada por uma seta rotulada com o número de referência 119. Na modalidade mostrada, o controlador de TLB 140 é configurado para permitir uma atualização do TLB de nível mais baixo 110, sempre que ocorra uma atualização 121 do TLB de nível mais alto 115.

Como resultado da atualização do TLB de nível mais baixo 110 assim como do TLB de nível mais alto 115, pode ocorrer agora um acerto de TLB, em vez de uma perda de TLB, quando é tentado o acesso ao TLB de primeiro nível 110 pela segunda vez, isto é, após a instrução que contém o endereço virtual (que estava perdido em ambos os níveis de TLB durante os acessos iniciais dos TLBs) ser buscada novamente. Desta maneira, a necessidade de realizar outra busca do TLB de nível mais alto 115 pode ser evitada. Além disto, pode ser eliminada a latência associada a uma perda no TLB de nível mais baixo 110 durante o segundo (repetido) processo de referência TLB, e com a busca resultante do TLB de nível mais alto 120.

Conforme mostrado na Figura 2, o controlador de TLB 140 pode incluir um registrador de controle 143, que

tem um bit de configuração 145. O bit de configuração 145 pode controlar se a operação de gravação no TLB (indicada pelo número de referência 121) deve ser executada ou não. O bit de configuração 145 pode também selecionar em quais
5 níveis de TLB a única operação de gravação em TLB deve ser realizada, de modo que os níveis selecionados de TLB com as informações de tradução de endereço recuperadas da tabela de páginas sejam atualizados.

Em outra modalidade (não mostrada) do controlador
10 de TLB 140, a seleção dos níveis de TLB nos quais as informações de tradução de endereço recuperadas são gravadas pode ser controlada pelo valor que é gravado a partir da tabela de páginas. Em outras palavras, o valor recuperado da tabela de páginas pode conter, além das
15 informações de tradução de endereço desejadas, informações referentes à seleção de níveis de TLB nos quais a operação de gravação em TLB para as informações de tradução de endereço recuperadas será executada.

O controlador de TLB 140 pode conter um meio
20 legível por computador tendo nele armazenadas instruções legíveis por computador. Estas instruções legíveis por computador, quando lidas e executadas por um processador, podem fazer com que o processador acesse a tabela de páginas 120 na memória física 130 para recuperar as
25 informações de tradução de endereço para um endereço virtual que geraram uma falha de TLB tanto do TLB de nível mais baixo 110 quanto do TLB de nível mais alto 115. As instruções legíveis por computador podem fazer com que o processador grave as informações de tradução de endereço
30 que foram recuperadas da tabela de páginas 120 tanto no TLB de nível mais baixo 110 quanto no TLB de nível mais alto 115, atualizando assim ambos os níveis de TLB, em resposta à única instrução de gravação no TLB.

O controlador de TLB 140 pode incluir um registrador de controle 143 tendo um bit de configuração 145. O meio legível por computador pode ter nele armazenadas instruções legíveis por computador adicionais, as quais, quando lidas e implementadas pelo processador, podem fazer com que o bit de configuração 145 determine se deve ou não ocorrer a operação de gravação em TLB que grava as informações de tradução de endereço recuperadas no TLB de nível mais baixo e no TLB de nível mais alto.

10 O meio legível por computador pode ter nele armazenadas instruções legíveis por computador adicionais, as quais, quando lidas e implementadas pelo processador, podem fazer com que o bit de configuração 145 selecione, a partir de uma pluralidade de níveis de TLB dentro do processador, dois ou mais níveis de TLB que serão atualizados como resultado de uma única instrução de gravação no TLB. Em outras palavras, estas instruções legíveis por computador adicionais podem fazer com que o bit de configuração selecione tais níveis de TLB nos quais 15 devem ser gravadas as informações de tradução de endereço recuperadas da tabela de páginas, como resultado da única instrução de gravação no TLB.

O meio legível por computador pode ter nele armazenadas instruções legíveis por computador adicionais que, quando lidas e implementadas pelo processador, podem fazer com que o processador leia, a partir das informações de tradução de endereço recuperadas da tabela de páginas, informações adicionais referentes a uma seleção de dois ou mais níveis de TLB que serão atualizados, como resultado de uma única instrução de gravação no TLB. Em outras palavras, estas instruções legíveis por computador adicionais, quando lidas e implementadas pelo processador, podem fazer com que o processador leia, a partir das informações de tradução de 25 30

endereço recuperadas propriamente ditas, a seleção dos níveis de TLB nos quais as informações de tradução de endereço recuperadas devem ser gravadas.

O meio legível por computador pode ter nele
5 armazenadas instruções legíveis por computador adicionais que, quando lidas e implementadas pelo processador, podem fazer com que o processador acesse inicialmente o TLB de nível mais baixo 110 para buscar informações de tradução de endereço para um endereço virtual desejado e para acessar e
10 buscar o TLB de nível mais alto 115 se as informações de tradução de endereço para o endereço virtual desejado estiverem perdidas do TLB de nível mais baixo 110, isto é, se o endereço virtual desejado gerar uma perda de TLB quando apresentado ao TLB de nível mais baixo 110. As
15 instruções legíveis por computador adicionais podem também fazer com que o processador acesse a tabela de páginas 120 na memória física 130 para recuperar as informações de tradução de endereço para o endereço virtual desejado, se as informações de tradução de endereço estiverem perdidas
20 do TLB de nível mais alto 115, isto é, se o endereço virtual desejado gerar uma perda de TLB quando apresentado ao TLB de nível mais alto 115.

Embora a modalidade do sistema de tradução de endereços 100 mostrado na Figura 2 mostre apenas dois
25 níveis de TLB, outras modalidades (não mostradas) de sistemas de tradução de endereços podem incluir mais de dois níveis de TLB. Estes sistemas de tradução de endereços podem incluir uma pluralidade de níveis de TLB, cada nível de TLB incluindo entradas de TLB que podem armazenar
30 informações de tradução de endereço para endereços virtuais. O controlador de TLB nestes sistemas de tradução de endereços pode ser configurado para acessar cada um dos vários níveis de TLB por sua vez, começando do nível de TLB

mais baixo e progredindo para o nível de TLB mais alto. O controlador de TLB pode ser configurado para acessar a tabela de páginas na memória física, se as informações de tradução de endereço para um endereço virtual desejado estiverem perdidas em toda a pluralidade de níveis de TLB, e para recuperar as informações de tradução de endereço para o endereço virtual desejado da tabela de páginas na memória física. O controlador de TLB pode ser também configurado para atualizar todos dentro a pluralidade de níveis de TLB com as informações de tradução de endereço que foram recuperadas da tabela de páginas na memória física.

A Figura 3 é um fluxograma de um método 300 para atualizar mais de um nível de TLB. O método 300 começa na etapa 302. Na etapa 304, pode-se buscar uma instrução de modo que a execução da instrução possa começar. Na etapa 306, um endereço virtual pode ser gerado para a instrução buscada. Na etapa 308, um controlador de TLB pode acessar um TLB de nível mais baixo, de modo a buscar no TLB de nível mais baixo informações de tradução de endereço para o endereço virtual gerado na etapa 306. Se as informações de tradução de endereço não existirem no TLB de nível mais baixo, o controlador de TLB pode recuperar as informações de tradução de endereço do TLB de nível mais baixo, na etapa 309. Se as informações de tradução de endereço desejadas não existirem no TLB de nível mais baixo, então pode ocorrer uma perda de TLB. O controlador de TLB pode receber uma indicação de uma perda de TLB do TLB de nível mais baixo, isto é, receber um sinal de "perda de TLB". O controlador de TLB pode então continuar para verificar um TLB de nível mais alto na etapa 310, de modo a determinar se a entrada desejada existe no TLB de nível mais alto.

Se as informações de tradução de endereço desejadas existirem no TLB de nível mais alto, o controlador de TLB pode recuperar as informações de tradução de endereço do TLB de nível mais alto, na etapa 5 311. Se as informações de tradução de endereço desejadas não existirem no TLB de nível mais alto, uma perda de TLB pode ocorrer no TLB de nível mais alto. O controlador de TLB pode receber uma indicação da perda de TLB do TLB de nível mais alto, isto é, receber um sinal de "perda de TLB" 10 do TLB de nível mais alto. O controlador de TLB pode então prosseguir, na etapa 312, para acessar a memória física de modo a buscar a tabela de páginas para a entrada desejada. Se as informações de tradução de endereço desejadas forem encontradas na tabela de páginas, o controlador de TLB pode 15 recuperar as informações da tabela de páginas, na etapa 314. Se as informações de tradução de endereço na forem encontradas na tabela de páginas, o controlador de TLB pode fazer com que ocorra uma falha de página, na etapa 313.

Após o controlador de TLB recuperar a entrada 20 desejada da tabela de páginas na etapa 314, o controlador de TLB pode gravar as informações de tradução de endereço (recuperadas da tabela de páginas) tanto no TLB de nível mais baixo quanto no TLB de nível mais alto na etapa 316, pela execução de uma única instrução de gravação no TLB. Em 25 outras palavras, o controlador de TLB pode atualizar ambos os níveis de TLB executando a única instrução de gravação no TLB. Todo o processo de referência de TLB pode ser então executado mais uma vez, começando da etapa 318, na qual a instrução pode ser novamente buscada. Na etapa 320, o TLB 30 de nível mais baixo pode ser acessado mais uma vez. Desta vez, uma vez que o TLB de nível mais baixo já foi atualizado com as informações de tradução de endereço recuperadas da tabela de páginas, pode ocorrer um acerto de

TLB. O controlador de TLB pode recuperar as informações de tradução de endereço desejadas do TLB de nível mais baixo, na etapa 322.

O método 300 pode incluir o ato (não mostrado) de ler um bit de configuração no controlador de TLB para determinar quais níveis de TLB devem ser atualizados utilizando a única instrução de gravação no TLB. O método 300 pode incluir o ato (não mostrado) de ler o valor recuperado da tabela de páginas para determinar quais níveis de TLB devem ser atualizados utilizando uma única instrução de gravação no TLB.

Embora o método mostrado na Figura 3 mostre apenas dois níveis de TLB (isto é, um TLB de nível mais baixo e um TLB de nível mais alto), outros métodos de atualização (não mostrados) de TLBs podem envolver mais de dois níveis de TLB.

Em resumo, foram descritos um sistema e um método para eliminar a latência que está associada a uma perda em um TLB de nível mais baixo que ocorre durante uma nova busca de uma instrução, a perda sendo causada pela não atualização do TLB de nível mais baixo quando o TLB de nível mais alto é atualizado. A perda no TLB de nível mais baixo exige uma busca em um TLB de nível mais alto, que resulta em latência adicional. Pela atualização do TLB de nível mais baixo ao mesmo tempo que o TLB de nível mais alto é atualizado, uma referência subsequente ao TLB de nível mais baixo produz um acerto em vez de uma perda, evitando-se a necessidade de introduzir a entrada do TLB de nível mais alto.

A descrição anterior das modalidades reveladas é apresentada para permitir que qualquer pessoa versada na técnica fabrique ou utilize o método e o sistema descritos acima. Diversas modificações nestas modalidades serão

prontamente evidentes aos versados na técnica, e os princípios genéricos aqui definidos podem ser aplicados a outras modalidades sem que se abandone o espírito ou o escopo do que foi descrito. Assim, o método e o sistema

5 descritos acima não pretendem estar limitados às modalidades aqui mostradas, mas devem receber o escopo total compatível com as reivindicações, nas quais a referência a um elemento no singular não pretende significar "um(a) e apenas um(a)", a menos que assim

10 especificamente afirmado, mas, em vez disso, "um(a) ou mais". Todos os equivalentes estruturais e funcionais dos elementos das diversas modalidades descritas ao longo desta descrição que são conhecidos ou venham a ser posteriormente conhecidos dos versados na técnica são expressamente aqui

15 incorporados e pretendem ser abrangidos pelas reivindicações.

REIVINDICAÇÕES

1. Meio legível por computador tendo nele armazenadas instruções legíveis por computador para um processador, em que as instruções, quando lidas e
5 implementadas pelo processador, fazem o processador:

acessar uma memória física para recuperar informações de tradução de endereço para um endereço virtual que geram um sinal de perda de buffer de previsão de tradução (TLB) tanto para um TLB de nível mais baixo
10 quanto para um TLB de nível mais alto; e

atualizar tanto o TLB de nível mais baixo quanto o TLB de nível mais alto utilizando uma única instrução de gravação no TLB, por meio da gravação das informações de tradução de endereço recuperadas da memória tanto no TLB de
15 nível mais baixo quanto no TLB de nível mais alto.

2. Meio legível por computador, de acordo com a reivindicação 1, no qual o meio legível por computador tem nele armazenadas instruções legíveis por computador adicionais para o processador, e no qual as instruções
20 adicionais, quando lidas e implementadas pelo processador, fazem com que o processador acesse inicialmente o TLB de nível mais baixo para buscar uma informação de tradução de endereço para um endereço virtual, de modo a acessar e buscar um TLB de nível mais alto se o endereço virtual
25 gerar uma perda de TLB do TLB de nível mais baixo, e para acessar um tabela de páginas na memória física de modo a recuperar as informações de tradução de endereço para o endereço virtual desejado, se o endereço virtual gerar uma perda de TLB do TLB de nível mais alto.

30 3. Meio legível por computador, de acordo com a reivindicação 1, no qual o processador inclui um registrador de controle tendo um bit de configuração no qual o meio legível por computador tem nele armazenadas

instruções legíveis por computador adicionais para o processador, e no qual as instruções adicionais, quando lidas e implementadas pelo processador, fazem com que o bit de configuração determine se uma operação de gravação em TLB das informações de tradução de endereço recuperadas deve ou não ocorrer.

4. Meio legível por computador, de acordo com a reivindicação 3, no qual o processador inclui uma pluralidade de níveis de TLB, e no qual as instruções adicionais, quando lidas e implementadas pelo processador, fazem com que o bit de configuração selecione, dentre a pluralidade de níveis de TLB, o TLB de nível mais baixo e o TLB de nível mais alto a serem atualizados em resposta à única instrução de gravação no TLB.

5. Meio legível por computador, de acordo com a reivindicação 1, no qual o processador inclui uma pluralidade de níveis de TLB, no qual o meio legível por computador tem nele armazenadas instruções legíveis por computador adicionais para o processador, e no qual as instruções adicionais, quando lidas e implementadas pelo processador, fazem com que o processador utilize as informações de tradução de endereço recuperadas da memória para selecionar, a partir da pluralidade de níveis de TLB, o TLB de nível mais baixo e o TLB de nível mais alto a serem atualizados em resposta à única instrução de gravação no TLB.

6. Método para atualizar mais de um nível de TLB, o método que compreende:

acessar uma memória para recuperar informações de tradução de endereço para um endereço virtual; e

atualizar tanto um TLB de nível mais baixo quanto um TLB de nível mais alto utilizando uma única instrução de gravação no TLB, por meio da gravação das informações de

tradução de endereço recuperadas da memória tanto no TLB de nível mais baixo quanto no TLB de nível mais alto.

7. Método, de acordo com a reivindicação 6, compreendendo adicionalmente o ato de receber do TLB de nível mais baixo e do TLB de nível mais alto uma indicação de uma perda de TLB para um endereço virtual.

8. Método, de acordo com a reivindicação 5, compreendendo adicionalmente o ato de acessar o TLB de nível mais baixo e o TLB de nível mais alto de modo a buscar informações de tradução de endereço para o endereço virtual, as informações de tradução de endereço permitindo que o endereço virtual seja traduzido em um endereço físico.

9. Método, de acordo com a reivindicação 6, no qual a memória é configurada para armazenar dados em uma pluralidade de páginas, em que a memória contém uma tabela de páginas configurada para armazenar informações sobre uma localização dentro da memória de cada uma da pluralidade de páginas, e no qual o ato de acessar a memória de modo a recuperar as informações de tradução de endereço compreende recuperar as informações de tradução de endereço da tabela de páginas.

10. Equipamento compreendendo:

uma memória;

um buffer de previsão de tradução (TLB) de nível mais baixo e um TLB de nível mais alto, o TLB de nível mais baixo e o TLB de nível mais alto sendo configurados para armazenar uma pluralidade de entradas, cada uma das entradas contendo informações de tradução de endereço que permitem que um endereço virtual seja traduzido em um endereço físico correspondente; e,

um controlador de TLB configurado para recuperar da memória uma informação de tradução de endereço para um

endereço virtual desejado, se o endereço virtual desejado gerar uma perda de TLB do TLB de nível mais baixo e do TLB de nível mais alto, o controlador de TLB adicionalmente configurado para atualizar tanto o TLB de nível mais baixo quanto o TLB de nível mais alto utilizando uma única instrução de gravação no TLB, por meio da gravação das informações de tradução de endereço recuperadas da memória tanto no TLB de nível mais baixo quanto no TLB de nível mais alto utilizando a única instrução de gravação no TLB.

10 11. Equipamento, de acordo com a reivindicação 10, no qual a memória é configurada para armazenar dados em uma pluralidade de páginas, e no qual a memória contém uma tabela de páginas configurada para armazenar informações sobre uma localização dentro da memória de cada uma dentre
15 a pluralidade de páginas.

 12. Equipamento, de acordo com a reivindicação 10, no qual o controlador de TLB é adicionalmente configurado para acessar inicialmente o TLB de nível mais baixo de modo a buscar as informações de tradução de endereço desejadas, para acessar e buscar o TLB de nível mais alto se as informações de tradução desejadas forem perdidas no TLB de nível mais baixo, e para acessar a memória de modo a recuperar as informações de tradução de endereço desejadas, se as informações de tradução desejadas
20 estiverem perdidas TLB de nível mais alto.

 13. Equipamento, de acordo com a reivindicação 10, no qual o controlador de TLB compreende um registrador de controle tendo um bit de configuração, e no qual o bit de configuração é configurado para selecionar, a partir de uma pluralidade de níveis de TLB, o TLB de nível mais baixo e o TLB de nível mais alto a serem atualizados utilizando uma única instrução de gravação em TLB.
30

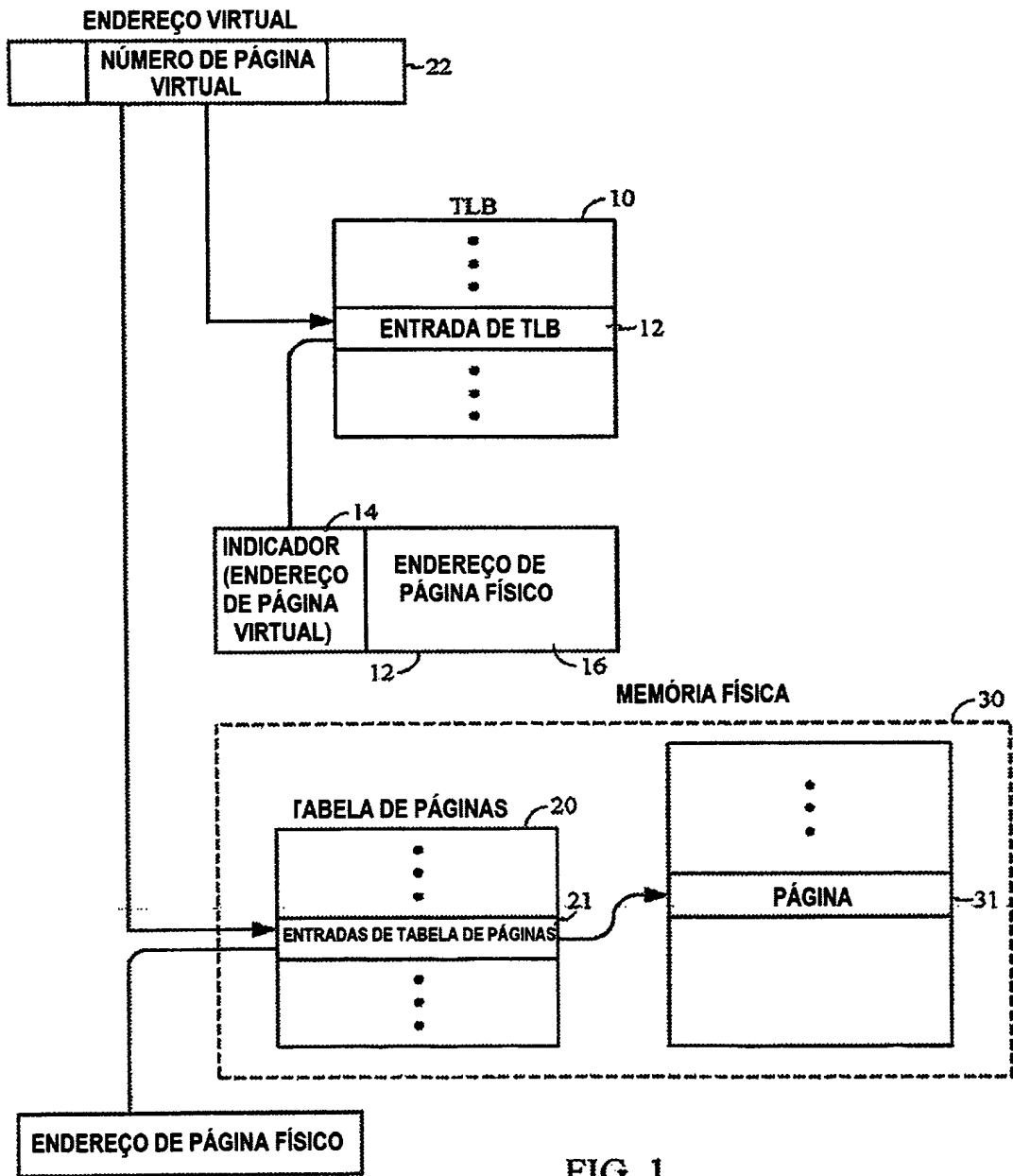


FIG. 1

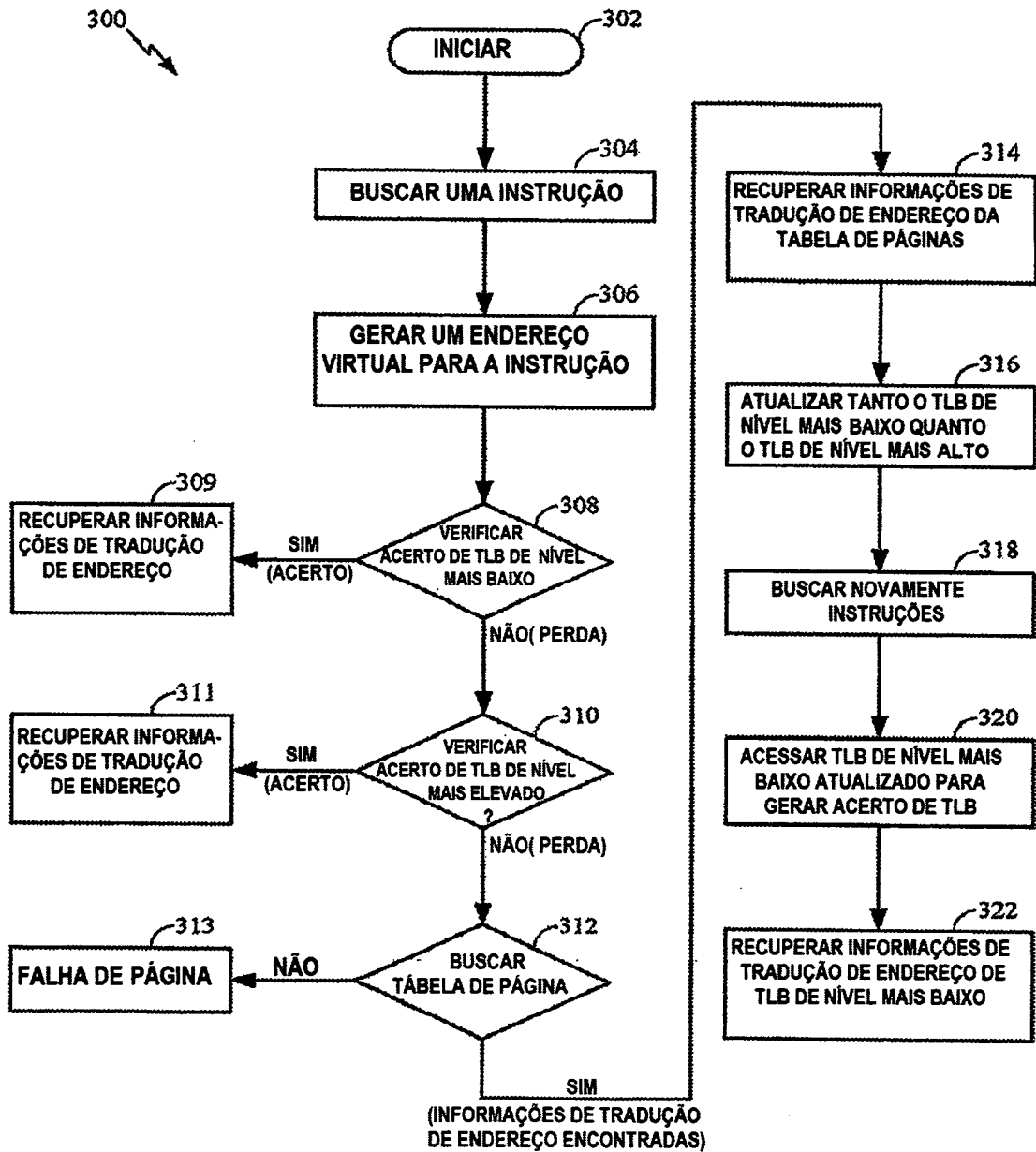


FIG. 3

RESUMO**"ATUALIZAÇÃO DE MÚLTIPLOS NÍVEIS DE CAMPO DE BUFFERS DE
PREVISÃO DE TRADUÇÃO (TLBs)"**

Um equipamento inclui uma memória configurada para armazenar dados, um TLB de nível mais baixo, um TLB de nível mais alto e um controlador de TLB. O TLB de nível mais baixo e o TLB de nível mais alto são configurados para armazenar uma pluralidade de entradas, cada uma das entradas contendo informações de tradução de endereço que permitem que um endereço virtual seja traduzido em um endereço físico correspondente. O controlador de TLB recupera de uma tabela de páginas na memória informações de tradução de endereço para um endereço virtual desejado, se o endereço virtual desejado gerar uma perda de TLB do TLB de nível mais baixo e do TLB de nível mais alto. Utilizando uma única instrução de gravação em TLB, o controlador de TLB atualiza tanto o TLB de nível mais baixo quanto o TLB de nível mais alto por meio da gravação das informações de tradução de endereço, recuperadas da tabela de páginas, no TLB de nível mais baixo assim como no TLB de nível mais alto.