

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第6233717号
(P6233717)

(45) 発行日 平成29年11月22日 (2017.11.22)

(24) 登録日 平成29年11月2日 (2017.11.2)

(51) Int. Cl.	F I
HO 1 L 27/146 (2006.01)	HO 1 L 27/146 E
HO 4 N 5/369 (2011.01)	HO 4 N 5/369 600
HO 1 L 21/3205 (2006.01)	HO 1 L 21/88 S
HO 1 L 21/768 (2006.01)	
HO 1 L 23/522 (2006.01)	

請求項の数 13 (全 22 頁)

(21) 出願番号 特願2014-530023 (P2014-530023)
 (86) (22) 出願日 平成25年11月21日 (2013.11.21)
 (86) 国際出願番号 PCT/JP2013/006847
 (87) 国際公開番号 W02014/103150
 (87) 国際公開日 平成26年7月3日 (2014.7.3)
 審査請求日 平成28年10月6日 (2016.10.6)
 (31) 優先権主張番号 特願2012-287603 (P2012-287603)
 (32) 優先日 平成24年12月28日 (2012.12.28)
 (33) 優先権主張国 日本国 (JP)

(73) 特許権者 314012076
 パナソニック IP マネジメント株式会社
 大阪府大阪市中央区域見2丁目1番61号
 (74) 代理人 100109210
 弁理士 新居 広守
 (74) 代理人 100137235
 弁理士 寺谷 英作
 (74) 代理人 100131417
 弁理士 道坂 伸一
 (72) 発明者 磯野 俊介
 日本国京都府長岡京市神足焼町1番地 パ
 ナソニック セミコンダクターソリューシ
 ヨンズ株式会社内

最終頁に続く

(54) 【発明の名称】 固体撮像装置およびその製造方法

(57) 【特許請求の範囲】

【請求項1】

半導体基板上に複数の画素が行列状に配置された画素領域と、前記半導体基板を平面視した場合における当該画素領域の周辺であって前記複数の画素を駆動するための多層配線が配置された周辺領域とを含み、

前記画素領域には、

前記半導体基板に形成された電荷蓄積拡散層と、

前記電荷蓄積拡散層の上方であって、前記電荷蓄積拡散層と電氣的に接続された、画素ごとに対応して形成された複数の画素プラグと、

前記複数の画素プラグの上であって前記複数の画素プラグのそれぞれと電氣的に接続され、画素ごとに対応して形成された複数の下部画素電極と、

前記複数の下部画素電極の上であって前記複数の下部画素電極と電氣的に接続された光電変換膜と、

前記光電変換膜の上であって前記光電変換膜と電氣的に接続された上部画素電極とが配置され、

前記周辺領域に配置された前記多層配線のうち最上層に形成された配線の上面は、前記光電変換膜の底面よりも上方に位置し、

さらに、前記上部画素電極の上であって前記上部画素電極及び前記光電変換膜を保護する保護膜が形成され、

前記上部画素電極の端部における断面と、前記保護膜の端部における断面とが同一面上

10

20

にあり、前記上部画素電極の端部における断面及び前記保護膜の端部における断面と、前記半導体基板の表面とのなす角度は、45度以上である

固体撮像装置。

【請求項2】

前記最上層に形成された配線は、回路に電源電圧を供給するための電源配線及びワイヤボンディング用のパッドを含む

請求項1に記載の固体撮像装置。

【請求項3】

前記電源配線、前記パッド、及び前記複数の画素の一部を遮光するための遮光膜の膜厚は等しい

10

請求項2に記載の固体撮像装置。

【請求項4】

前記電源配線、前記パッド、及び前記複数の画素の一部を遮光するための遮光膜は、同じ材料で構成されている

請求項2に記載の固体撮像装置。

【請求項5】

前記電源配線、前記パッド及び前記遮光膜を構成する材料は、Alを含む

請求項4に記載の固体撮像装置。

【請求項6】

前記電源配線及び前記パッドの底面は、前記遮光膜の底面よりも低い

20

請求項3に記載の固体撮像装置。

【請求項7】

前記多層配線は、Cuを含む

請求項1に記載の固体撮像装置。

【請求項8】

前記複数の下部画素電極は、TiまたはTiの化合物で構成される

請求項1に記載の固体撮像装置。

【請求項9】

前記複数の画素プラグは、Cuを含む

請求項1に記載の固体撮像装置。

30

【請求項10】

半導体基板上に複数の画素が行列状に配置された画素領域と、前記半導体基板を平面視した場合における当該画素領域の周辺であって前記複数の画素を駆動するための多層配線が配置された周辺領域とを含み、

前記画素領域には、

前記半導体基板に形成された電荷蓄積拡散層と、

前記電荷蓄積拡散層の上方であって、前記電荷蓄積拡散層と電氣的に接続された、画素ごとに対応して形成された複数の画素プラグと、

前記複数の画素プラグの上であって前記複数の画素プラグのそれぞれと電氣的に接続され、画素ごとに対応して形成された複数の下部画素電極と、

40

前記複数の下部画素電極の上であって前記複数の下部画素電極と電氣的に接続された光電変換膜と、

前記光電変換膜の上であって前記光電変換膜と電氣的に接続された上部画素電極とが配置され、

前記周辺領域に配置された前記多層配線のうち最上層に形成された配線の上面は、前記光電変換膜の底面よりも上方に位置し、

さらに、前記上部画素電極の端部の上方であって、前記半導体基板を平面視した場合において当該画素領域を囲むように、リング状の配線が配置されている

固体撮像装置。

【請求項11】

50

前記光電変換膜の端部において、前記光電変換膜の膜厚は、外周に向けて連続的に薄くなっている

請求項 1 に記載の固体撮像装置。

【請求項 1 2】

前記上部画素電極は、前記半導体基板を平面視した場合に、前記複数の下部画素電極を覆うように形成される

請求項 1 に記載の固体撮像装置。

【請求項 1 3】

半導体基板上の複数の画素が行列状に配置される画素領域内であって、前記半導体基板に電荷蓄積拡散層を形成する拡散層形成工程と、

前記電荷蓄積拡散層の上方であって前記電荷蓄積拡散層と電気的に接続された画素プラグを形成するプラグ形成工程と、

前記画素プラグの上であって前記画素プラグと電気的に接続された下部画素電極、光電変換膜及び上部画素電極を、この順で積層する光電変換膜形成工程と、

前記光電変換膜を積層した後で、前記半導体基板を平面視した場合における前記画素領域の周辺に配置された周辺領域内に、前記周辺領域に配置される多層配線のうち最上層の配線を、前記配線の上面が前記光電変換膜の底面よりも上方に位置するように形成する配線形成工程とを含み、

前記光電変換膜形成工程では、前記光電変換膜をシャドーマスク法により形成し、

前記光電変換膜を積層する工程以降の各工程では、ドライエッチング及びアッシングを、基板温度 200℃以下、かつ、プラズマ発光波長 350nm 以上の条件で実行する固体撮像装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、固体撮像装置に関する。

【背景技術】

【0002】

2000 年頃には 3 μm であったイメージセンサの画素サイズは、2007 年には 2 μm 以下となった。さらに、2012 年には、画素サイズが 1.1 μm のイメージセンサが実用化された。このペースで画素サイズの微細化が進むと、2～3 年以内には、1 μm 以下の画素サイズのイメージセンサの実用化が期待される。

【0003】

しかしながら、最新の微細加工技術を用いてもなお、フォトダイオードに利用可能なスペースは限られている（画素面積の 50% よりかなり小さい）。画素面積のほとんどが、駆動回路のために必要とされる電子部品（電界効果トランジスタなど）によって占有されているのである。

【0004】

この問題を解決するため、特許文献 1 には、光を捕捉しそれを電気信号に変換する光電変換膜を上層に備える固体撮像装置が開示されている。

【0005】

図 9 は、特許文献 1 に開示された従来の固体撮像装置の断面図である。同図に示された固体撮像装置は、シリコン基板内に形成された電荷蓄積用のウェルと、当該ウェルの上部に形成された絶縁膜と、当該絶縁膜の表面に形成された画素電極 805 と、当該絶縁膜の上方であって画素電極 805 と接続された有機光電変換膜 802 と、対向電極 804 と、保護膜 806 と、対向電極接続電極 803 と、周辺パッド 801 とを備える。

【先行技術文献】

【特許文献】

【0006】

【特許文献 1】特開 2007-59516 号公報

10

20

30

40

50

【発明の概要】

【発明が解決しようとする課題】

【0007】

従来の固体撮像装置では、有機材料により光電変換膜（以下、有機光電変換膜と呼ぶ）を形成しているが、一般的に、温度、酸素、紫外線（プラズマ）に対する耐性が低く、高温、高酸素濃度、紫外線照射（プラズマ照射）の環境下に曝されると、有機光電変換膜にダメージが入る。ここで、有機光電変換膜のダメージとは、有機光電変換膜の膜質変動によるリーク電流の増加や光電変換効率の低下のことを指す。

【0008】

上記ダメージを回避するため、従来の固体撮像装置の製造では、有機光電変換膜の形成工程以降の工程において、高温（温度200℃以上）、高酸素濃度（酸素濃度100ppm以上）、及び紫外線照射（プラズマ発光波長350nm以下）を避ける必要がある。このため、特許文献1に開示された従来の固体撮像装置の製造では、有機光電変換膜802の形成工程以降の工程において、リソグラフィ及びドライエッチングを必要としない、いわゆるシャドーマスク法を用いている。

【0009】

しかしながら、特許文献1に開示された従来の固体撮像装置の製造方法では、ウェルと画素電極805とを電氣的に接続する配線プラグ及び画素電極805で形成される隣接画素間の容量に起因したクロストークによる電氣的な混色特性が劣化するという課題を有する。

【0010】

本発明は、上記課題を解決すべくなされたものであって、混色特性の悪化が抑制された固体撮像装置の構造、およびその製造方法を提供することを目的とする。

【課題を解決するための手段】

【0011】

上記課題を解決するために、本発明の一態様に係る固体撮像装置は、半導体基板上に複数の画素が行列状に配置された画素領域と、前記半導体基板を平面視した場合における当該画素領域の周辺であって前記複数の画素を駆動するための多層配線が配置された周辺領域とを含み、前記画素領域には、前記半導体基板に形成された電荷蓄積拡散層と、前記電荷蓄積拡散層の上方であって、前記電荷蓄積拡散層と電氣的に接続された、画素ごとに対応して形成された複数の画素プラグと、前記複数の画素プラグの上であって前記複数の画素プラグのそれぞれと電氣的に接続され、画素ごとに対応して形成された複数の下部画素電極と、前記複数の下部画素電極の上であって前記複数の下部画素電極と電氣的に接続された光電変換膜と、前記光電変換膜の上であって前記光電変換膜と電氣的に接続された上部画素電極とが配置され、前記周辺領域に配置された前記多層配線のうち最上層に形成された配線の上面は、前記光電変換膜の底面よりも上方に位置することを特徴とする。

【0012】

上記構成によれば、多層配線のうち最上層に形成された配線の上面が光電変換膜の底面よりも上方になるように配置される。これにより、画素プラグの高さを、上記最上層に形成された配線の影響を受けることなく、独立に決定することが可能となる。つまり、画素プラグの高さを小さくすることが可能となり、隣接画素間の容量を低減でき、クロストークによる混色特性の劣化を大幅に改善することが可能となる。

【0013】

また、例えば、前記最上層に形成された配線は、回路に電源電圧を供給するための電源配線及びワイヤボンディング用のパッドを含む。

【0014】

また、例えば、前記電源配線、前記パッド、及び前記複数の画素の一部を遮光するための遮光膜の膜厚が等しい。

【0015】

また、例えば、前記電源配線、前記パッド、及び前記複数の画素の一部を遮光するため

10

20

30

40

50

の遮光膜は、同じ材料で構成されている。

【0016】

また、例えば、前記電源配線、前記パッド及び前記遮光膜を構成する材料は、A lを含む。

【0017】

また、例えば、前記電源配線及び前記パッドの底面は、前記遮光膜の底面よりも低い。

【0018】

また、例えば、前記多層配線は、C uを含む。

【0019】

また、例えば、前記複数の下部画素電極は、T iまたはT iの化合物で構成される。

10

【0020】

また、例えば、前記複数の画素プラグは、C uを含む。

【0021】

また、例えば、さらに、前記上部画素電極の端部の上方であって、前記半導体基板を平面視した場合において当該画素領域を囲むように、リング状の配線が配置されている。

【0022】

また、例えば、さらに、前記上部画素電極の上であって前記上部画素電極及び前記光電変換膜を保護する保護膜が形成され、前記上部画素電極の端部における断面と、前記保護膜の端部における断面とが同一面上にあり、前記上部画素電極の端部における断面及び前記保護膜の端部における断面と、前記半導体基板の表面とのなす角度は、45度以上である。

20

【0023】

また、例えば、前記光電変換膜の端部において、前記光電変換膜の膜厚は、外周に向けて連続的に薄くなっている。

【0024】

また、例えば、前記上部画素電極は、前記半導体基板を平面視した場合に、前記複数の下部画素電極を覆うように形成される。

【0025】

なお、本発明は、このような特徴的な手段を備える固体撮像装置として実現することができるだけでなく、固体撮像装置に含まれる特徴的な手段をステップとする固体撮像装置の製造方法として実現することができる。

30

【発明の効果】

【0026】

本発明に係る固体撮像装置及びその製造方法によれば、狭ピッチの画素領域であっても隣接配線間の容量を低減できるので、混色特性の悪化を抑制することが可能となる。

【図面の簡単な説明】

【0027】

【図1】図1は、実施形態に係る固体撮像装置の平面構造を示す図である。

【図2A】図2Aは、第1の比較例に係る固体撮像装置の構造断面図である。

【図2B】図2Bは、画素セルピッチの微細化が進んだ第2の比較例に係る固体撮像装置の構造断面図である。

40

【図3】図3は、シャドーマスク法により光電変換膜が形成された第3の比較例に係る固体撮像装置の構造断面図である。

【図4】図4は、実施形態に係る固体撮像装置の断面構造図である。

【図5】図5は、実施形態に係る固体撮像装置のプラグ高さと画素間容量の関係を表すグラフである。

【図6】図6は、実施形態に係る固体撮像装置の製造方法の第1の工程群を示す断面図である。

【図7】図7は、実施形態に係る固体撮像装置の製造方法の第2の工程群を示す断面図である。

50

【図 8 A】図 8 A は、上部画素電極をレジストマスクでドライエッチングした場合の状態を表す断面図である。

【図 8 B】図 8 B は、レジストマスクをアッシングにより除去する場合の状態を表す断面図である。

【図 8 C】図 8 C は、上部画素電極を、上層の絶縁膜をマスクとしてドライエッチングした場合の状態を表す断面図である。

【図 9】図 9 は、特許文献 1 に開示された従来の固体撮像装置の断面図である。

【発明を実施するための形態】

【0028】

(本発明の基礎となった知見)

半導体基板内にフォトダイオード（光電変換部）が設けられた固体撮像装置において、その感度を定める波長 550 nm 近傍の緑色の光をほぼ完全に吸収し光電変換するには、約 3.5 μm の厚さの結晶シリコンが必要である。従って、半導体基板の内部に形成されるフォトダイオードの深さは、3.5 μm 程度とする必要がある。これに対し、平面的な画素サイズを 1 μm とした場合には、深さが 3.5 μm 程度のフォトダイオードを形成することは非常に困難である。仮に、深さが 3.5 μm 程度のフォトダイオードを形成できたとしても、斜め入射する光が、隣接する画素のフォトダイオードに入射する可能性が高い。通常のカラースペクトルセンサでは、RGB に対応する画素が隣接して配置されているため、斜め入射する光が、隣接画素のフォトダイオードに入射すると、光学的な混色が生じ大きな問題となる。上記混色を防ぐためにフォトダイオードをより浅く形成すると、緑の光吸収効率が低下し、イメージセンサの感度が劣化する。画素の微細化では画素サイズが小さくなるので 1 画素あたりの感度が低下するため、これに加えて光吸収効率が低下するという問題も発生する。

【0029】

本開示の実施形態に係る固体撮像装置は、上記問題を解決するものであり、光を捕捉しそれを電気信号に変換する役割を上層の光電変換膜が担い、電気信号を外部に取り出す役割を下層のシリコンベースの CMOS 回路が担う 2 層のハイブリッド構造を有する。これにより、入射光に対して、フォトダイオードとして利用可能な画素スペースを、原理的に 100% にすることができる。さらに、上層の光電変換膜として、シリコンよりも吸収係数の高い材料を適用することにより、光電変換膜の膜厚を薄くすることが可能となる。これにより、斜め入射の光が、隣接画素のフォトダイオードに入射するという問題を回避することが可能となる。

【0030】

また、本開示の実施形態に係る固体撮像装置は、上述した 2 層のハイブリッド構造を有するので、通常のロジック CMOS の上に光電変換層を乗せるだけで、容易に作成することが出来る。

【0031】

(実施形態)

[固体撮像装置の平面構成]

以下、図面を参照しながら、本実施形態に係る固体撮像装置の詳細を説明する。

【0032】

図 1 は、実施形態に係る固体撮像装置の平面構造を示す図である。同図に示された固体撮像装置 1 は、画素領域 101、対向電極領域 102、周辺回路領域 103、及び、周辺パッド領域 104 で構成される。画素領域 101 には、下部画素電極 105 がアレイ状に並べられ、半導体基板上に複数の画素が行列状に配置されている。また、周辺パッド領域 104 には、周辺パッド 106 がアレイ状に並べられている。対向電極領域 102 は、上部画素電極に電圧を印加するための領域である。周辺パッド領域 104、周辺回路領域 103 及び対向電極領域 102 は、画素領域 101 の周辺であって複数の画素を駆動するための多層配線が配置された周辺領域である。

【0033】

〔固体撮像装置の比較構成例〕

次に、本実施形態に係る固体撮像装置の理解を容易とするため、図 2 A、図 2 B 及び図 3 を用いて、一般的な、光電変換膜を備える固体撮像装置の比較例を説明する。

【0034】

図 2 A は、第 1 の比較例に係る固体撮像装置の構造断面図であり、図 2 B は、画素セルピッチの微細化が進んだ第 2 の比較例に係る固体撮像装置の構造断面図である。また、図 3 は、シャドーマスク法により光電変換膜が形成された第 3 の比較例に係る固体撮像装置の構造断面図である。

【0035】

図 2 A より、上方より入射した光は、第 2 パッシベーション膜 208、第 1 パッシベーション膜 207、上部画素電極 206 を介して、有機光電変換膜 205 に入射される。有機光電変換膜 205 は、上部画素電極 206 と下部画素電極 202 とにより適正な電圧が印加された状態で、入射した光を光電変換し、電荷を生成する。ここで、上部画素電極 206 と下部画素電極 202 との間の電位差が、有機光電変換膜 205 に印加される電圧となる。

【0036】

有機光電変換膜 205 で生成された電荷（図 2 A では白丸で記載）は、下部画素電極 202 から画素電極接続プラグ 201 を介して電荷蓄積部 209 に蓄積される。そして、読み出し回路におけるトランジスタ素子などの開閉動作により、適時に信号として外部に出力される。

【0037】

このように、光電変換膜を備える固体撮像装置では、半導体基板内にフォトダイオード（光電変換部）を設けた固体撮像装置と異なり、光電変換部と電荷蓄積部とが異なるため、光電変換部で発生した電荷を電荷蓄積部に輸送する必要がある。通常が多層配線での隣接配線間の容量に起因してクロストークが発生する。これと同様に、カラーのイメージセンサは、RGB に対応する画素が隣接して配置されており、一般的な光電変換膜を備えた、第 1 の比較例に係る固体撮像装置においては、隣接画素間の容量に起因してクロストークが発生する。このクロストークは、電気的な混色による特性の劣化として現れ、重大な課題となる。

【0038】

第 1 の比較例に係る固体撮像装置において、隣接画素間の容量（カップリング容量）を考える場合、光電変換部と最上層配線とを接続する画素電極接続プラグより下の配線層については、配線で遮蔽されるため、隣接画素間の容量には寄与しない（図には示していない）。したがって、画素電極接続プラグ間及び下部画素電極間の容量を考慮すればよい。

【0039】

しかし、その一方、図 2 A では、有機光電変換膜 205 の形成工程以降の工程における高温、高酸素濃度及び紫外線照射（プラズマ照射）を避けるため、リソグラフィー及びドライエッチングを必要とするグローバル配線 203 及び周辺パッド 204 の形成を、有機光電変換膜 205 の形成より先に行っている。言い換えると、光電変換部と最上層配線とを接続する画素電極接続プラグ 201 及び下部画素電極 202 を形成する前に、グローバル配線 203 及び周辺パッド 204 の形成を行っている。

【0040】

グローバル配線 203 及び周辺パッド 204 は、画素電極接続プラグ 201 と同じ層に形成される層間絶縁膜 210 中に配置される。この配置関係から、グローバル配線 203 及び周辺パッド 204 の露出を避けるため、画素電極接続プラグ 201 の高さは、グローバル配線 203 及び周辺パッド 204 の高さの 1.5 倍以下にすることは困難である。

【0041】

画素セルピッチが $2.0\ \mu\text{m}$ 以上である世代においては、画素電極接続プラグ 201 の高さが高くても画素電極接続プラグ 201 の間隔が大きいいため、隣接する画素電極間の容量 ($C1a + C2a$) は画素電極自身がもつ総容量に比べて非常に小さい。このため、画素

10

20

30

40

50

電極接続プラグ201に起因した隣接画素間の容量による混色特性の劣化は少ない。

【0042】

これに対して、図2Bに示された第2の比較例に係る固体撮像装置のように、画素セルピッチの微細化が進んだ、画素セルピッチが $2.0\mu\text{m}$ より小さい世代を想定する。グローバル配線203及び周辺パッド204の高さは、電源供給の機能及び実装用件の必然性より変わらないため、画素電極接続プラグ201の高さには変化がなく、かつ画素電極接続プラグ201の間隔のみが小さくなる。このため、隣接画素間の容量($C1b+C2b$)が大きくなり、特性としては、隣接画素間のクロストークによる電氣的な混色特性の劣化が顕著になるという課題がある。

【0043】

10

画素電極接続プラグ201の横方向寸法は、グローバル配線203及び周辺パッド204に左右されないため、縮小は可能であり、若干の隣接画素間の容量の低減は望める。しかし、高さ方向はグローバル配線203及び周辺パッド204の高さに依存するため、画素セルピッチによらず一定である。つまり、画素電極接続プラグ201のアスペクト比(縦方向寸法/横方向寸法)は増大する一方であり、プラグ加工及び金属材料の埋め込みが非常に困難となるという課題も発生する。

【0044】

さらに、図3に示された第3の比較例に係る固体撮像装置のように、有機光電変換膜205が、直接、対向電極接続電極301と触れずにシャドーマスク法を用いて積層するためには、対向電極接続電極301と最も近い下部画素電極202との距離D1は、例えば、 $300\mu\text{m}$ 以上である。具体的には、有機光電変換膜205の端部302に最も近い下部画素電極202と端部302との距離D2は $150\mu\text{m}$ 以上確保する必要がある、また、端部302と対向電極接続電極301との距離D3は $150\mu\text{m}$ 以上確保する必要がある。

20

【0045】

また、シャドーマスク法で形成される上部画素電極206についても同様であると考えられる。すなわち、上部画素電極206の端部303と対向電極接続電極301との距離D4を $150\mu\text{m}$ 以上確保する必要がある、端部303と周辺パッド204との距離D5も $150\mu\text{m}$ 以上確保する必要がある。これは、有機光電変換膜205及び上部画素電極206をシャドーマスク法で形成した場合、図3のP1及びP2に示されるように、有機光電変換膜205及び上部画素電極206の端面が傾斜するため端部が薄くなること、そして、通常のリソグラフィを用いず、機械的に画素電極との重ね合わせを行うため、重ね合わせの精度が悪いことに起因するためである。

30

【0046】

上述したように、第1～第3の比較例に係る固体撮像装置では、周辺パッド204と対向電極接続電極301、ひいては下部画素電極202までの距離が大きくなる。これにより、電源電圧などの供給において電圧降下が大きくなり、画素セルが十分に動作できなくなるという問題が生じる。

【0047】

[本開示の固体撮像装置の構成]

40

次に、上記問題が解決された本開示の固体撮像装置の構成について詳細に説明する。

【0048】

図4は、実施形態に係る固体撮像装置の断面構造図である。具体的には、図1におけるA-A'線の断面図である。なお、図4では、図2A、図2B及び図3との相違点を中心に説明する。したがって、以下に言及しない構造及び動作については、図2A、図2B及び図3において説明した固体撮像装置の構造及び動作と同じである。

【0049】

図4において、画素領域101におけるシリコン基板501に、電荷蓄積拡散層502が形成されている。電荷蓄積拡散層502は、システムLSI等で使用される微細CMOSトランジスタ構造と基本的には同じであるが、リーク電流を限りなく抑えるように工夫

50

されている。また、電荷蓄積拡散層 502 が形成されたシリコン基板 501 上には、第 1 絶縁膜 503、第 1 プラグ 504、第 1 Cu 配線 505 が形成されている。

【0050】

第 1 絶縁膜 503 の上には、第 2 絶縁膜 506 及び第 3 絶縁膜 507 が形成され、第 2 絶縁膜 506 及び第 3 絶縁膜 507 の中には、第 2 プラグ 508 及び第 2 Cu 配線 509 が形成されている。

【0051】

第 3 絶縁膜 507 の上には、第 4 絶縁膜 510 及び第 5 絶縁膜 511 が形成され、第 4 絶縁膜 510 及び第 5 絶縁膜 511 の中には、第 3 プラグ 512 及び第 3 Cu 配線 513 が埋設されている。

10

【0052】

第 1 プラグ 504、第 1 Cu 配線 505、第 2 プラグ 508、第 2 Cu 配線 509、第 3 プラグ 512 及び第 3 Cu 配線 513 は、3 層の多層配線構造を形成している。これらの配線及びプラグは、電荷蓄積拡散層 502 を相互に接続し、回路としての動作を可能とするものである。本実施形態では、3 層の Cu 配線の例を示したが、必要に応じて配線層の数は選択可能である。

【0053】

図 1 に表された画素領域 101、対向電極領域 102、周辺回路領域 103 及び周辺パッド領域 104 の 4 つの部位を、図 4 の断面図により説明する。なお、第 3 Cu 配線 513 より下方の構成は、上記 4 つの部位で共通である。

20

【0054】

まず、画素領域 101 について説明する。

【0055】

第 3 Cu 配線 513 の上に、第 6 絶縁膜 514 及び第 7 絶縁膜 515 が形成され、第 6 絶縁膜 514 及び第 7 絶縁膜 515 の中には、画素ごとに対応して形成された複数の画素プラグ 516 が形成されている。

【0056】

画素プラグ 516 の上部であって、画素ごとに分割され、画素プラグ 516 と電氣的に接続された下部画素電極 517 がアレイ状に配置され、画素領域 101 が形成されている。下部画素電極 517 の上部であって複数の下部画素電極 517 と電氣的に接続された有機光電変換膜 518 が、下部画素電極 517 を覆うように形成されている。有機光電変換膜 518 上に有機光電変換膜 518 と電氣的に接続された上部画素電極 519 と、第 8 絶縁膜 520 と、第 9 絶縁膜 521 とが積層されている。さらに、第 9 絶縁膜 521 を覆うように、第 10 絶縁膜 522 が形成されている。上部画素電極 519 及び保護膜（第 8 絶縁膜 520、第 9 絶縁膜 521）の端面が第 10 絶縁膜 522 で覆われることにより、上部画素電極 519 と、電源配線、パッド、遮光膜との電氣的な短絡を防ぐことができる。

30

【0057】

本実施形態では、下部画素電極 517 として窒化チタン (TiN) を採用し、上部画素電極 519 としてインジウムスズ酸化物 (ITO: $\text{In}_{2-x}\text{Sn}_x\text{O}_3$) を採用している。また、第 8 絶縁膜 520 として酸化アルミニウム (AlO) を採用し、第 9 絶縁膜 521 として酸化窒化シリコン (SiON) を採用し、第 10 絶縁膜 522 として酸化窒化シリコン (SiON) を採用している。ここで、下部画素電極 517 の構成材料として、Ti または Ti の化合物が用いられる。Ti は化学的に安定であることから、有機膜と接する材料として好適であり、また、Si プロセス（一般的な半導体製造技術）との親和性がよい。

40

【0058】

さらに、第 10 絶縁膜 522 上の一部には特定の下部画素電極 517 を覆うように遮光膜 523 が形成されている。これにより、遮光膜 523 は、複数の画素の一部を遮光する。

【0059】

50

次に、対向電極領域 102 について説明する。

【0060】

第3Cu配線513の上に積層された第6絶縁膜514及び第7絶縁膜515の中には、画素プラグ516が形成されている。画素プラグ516の上部に、上部画素電極519と接触する対向電極524が形成されている。

【0061】

対向電極524の上には上部画素電極519が形成されており、対向電極524を介して、上部画素電極519に電圧を印加することが可能となる。下部画素電極517上に上部画素電極519を備えることにより、有機光電変換膜518に電圧をかけて光電変換を行う。

10

【0062】

次に、上部画素電極519の上に、第8絶縁膜520と第9絶縁膜521と第10絶縁膜522とが積層されている。本実施形態では、対向電極524は、下部画素電極517と同じく、窒化チタン(TiN)を採用している。

【0063】

なお、上部画素電極519が存在する領域には、最上層の配線層から下層の配線に接続するための貫通ビアは存在していない。これにより、上部画素電極519が存在する領域において、貫通ビアを介して上部画素電極519と電源配線及びパッドとが電氣的に短絡することを防止できるので、画素セルの正常動作を確保することができる。

【0064】

20

次に、周辺回路領域103について説明する。

【0065】

第3Cu配線513の上に積層された第6絶縁膜514、第7絶縁膜515及び第10絶縁膜522の中には、第1A1プラグ525が形成されている。第10絶縁膜522及び第1A1プラグ525の上部に、グローバル配線526が形成されている。グローバル配線526は、例えば、画素回路に電源電圧を供給するための電源配線である。周辺回路領域103には、上部画素電極519、第8絶縁膜520及び第9絶縁膜521は存在しない。上部画素電極519が周辺回路領域103に存在した場合には、上部画素電極519と第1A1プラグ525とが電氣的に短絡し、ひいてはグローバル配線526も短絡し、画素セルが正常に動作することができなくなるからである。

30

【0066】

次に、周辺パッド領域104について説明する。

【0067】

第3Cu配線513の上に積層された第6絶縁膜514、第7絶縁膜515及び第10絶縁膜522の中には、第2A1プラグ527が形成されている。第10絶縁膜522及び第2A1プラグ527の上部には、第1A1パッド528が形成されている。第1A1パッド528は、例えば、ワイヤボンディング用のパッドである。この部分には、上部画素電極519、第8絶縁膜520及び第9絶縁膜521は存在しない。上部画素電極519が周辺パッド領域104に存在した場合には、上部画素電極519と第2A1プラグ527とが電氣的に短絡し、ひいては第1A1パッド528も短絡し、画素セルが正常に動作することができなくなるからである。また、第1A1プラグ525とも電氣的に短絡し、ひいてはグローバル配線526とも短絡するからである。

40

【0068】

上記構造のように、グローバル配線526、遮光膜523及び第1A1パッド528の上面が有機光電変換膜518の底面よりも上方になるように配置される。これにより、画素プラグ516の高さを、グローバル配線526、遮光膜523及び第1A1パッド528の影響を受けることなく、独立に決定することが可能となる。つまり、画素プラグ516の高さを小さくすることが可能となり、隣接画素間の容量を低減でき、クロストークによる混色特性の劣化を大幅に改善することができる。

【0069】

50

なお、例えば、グローバル配線 5 2 6、遮光膜 5 2 3 及び第 1 A 1 パッド 5 2 8 の膜厚は、等しい。また、例えば、グローバル配線 5 2 6、遮光膜 5 2 3 及び第 1 A 1 パッド 5 2 8 は、同じ材料で構成されている。これらにより、光電変換膜を形成した後で形成される最上層の配線の形成工程を簡略化できるので、有機光電変換膜 5 1 8 が有機材料で構成された場合において、有機光電変換膜 5 1 8 へのプロセスダメージを軽減することが可能となる。

【0070】

また、グローバル配線 5 2 6、遮光膜 5 2 3 及び第 1 A 1 パッド 5 2 8 を構成する材料は、例えば、A 1 を含む。これにより、グローバル配線の低抵抗化、ワイヤボンディングでの付着性の向上、遮光性の向上を実現することが出来る。

10

【0071】

また、上述した多層配線は、例えば、Cu を含む。これにより、低抵抗材料 (Cu) による高速動作を実現し、さらに、一般的な半導体装置でも用いる材料 (Cu) のため製造技術の共用化を促進させることが出来る。

【0072】

図 5 は、実施形態に係る固体撮像装置のプラグ高さと画素間容量の関係を表すグラフである。具体的には、画素プラグ 5 1 6 の高さに対する隣接画素間容量比率のデータを表している。ここで、隣接画素間容量比率とは、画素部全容量に対する隣接画素間の容量の比率のことである。

【0073】

20

一般的な固体撮像装置では、グローバル配線、遮光膜及び A 1 パッドは有機光電変換膜の下に位置する。この構成の場合(図 5 中で Cu プラグ高さ 1.5 μm に対応)では、隣接画素間容量比率が 5.7 % である。隣接画素間容量比率が 3 % 以下であれば混色特性は良好とされているのに対して、一般的な従来の固体撮像装置の構成では、この比率を大幅に超えていることがわかる。

【0074】

一方、本開示の実施形態に係る固体撮像装置では、グローバル配線 5 2 6、遮光膜 5 2 3 及び第 1 A 1 パッド 5 2 8 は、有機光電変換膜 5 1 8 よりも上方に配置される。この場合(図 5 中で Cu プラグ高さ 0.2 μm に対応)では、隣接画素間容量比率が 2.7 % となり、混色特性が良好となる比率を満たしていることがわかる。このように、本実施形態に係る固体撮像装置を適用することによって、混色特性を大幅に改善することが可能となる。

30

【0075】

さらに、画素プラグ 5 1 6 のプラグ径の縮小に合わせて、プラグ高さも縮小できるため、Cu プラグの加工、金属材料の埋め込みが容易となり、微細な画素も容易に作成することができる。

【0076】

また、グローバル配線 5 2 6、遮光膜 5 2 3 及び第 1 A 1 パッド 5 2 8 の高さを、画素プラグ 5 1 6 の影響を受けることなく、独立に決定することが可能となる。よって、配線抵抗の低抵抗化、遮光特性の向上及びボンディング耐性の向上のために、高さを大きくすることが可能である。

40

【0077】

さらに、対向電極領域 1 0 2 の端部のうち画素領域 1 0 1 と対向していない側の端部 5 3 0 の上方には、A 1 パターン 5 2 9 が端部 5 3 0 を跨ぐように形成されている。また、端部 5 3 0 では、上部画素電極 5 1 9、第 8 絶縁膜 5 2 0 及び第 9 絶縁膜 5 2 1 の端部が揃った構造となっている。

【0078】

さらに、本実施の形態に係る固体撮像装置 1 では、グローバル配線 5 2 6 及び第 1 A 1 パッド 5 2 8 の底面は、遮光膜 5 2 3 の底面よりも低い。これにより、有機光電変換膜 5 1 8、上部画素電極 5 1 9、第 8 絶縁膜 5 2 0 及び第 9 絶縁膜 5 2 1 の膜厚を確保する(

50

大きくする)ことが可能となり、高い光電変換特性が確保され、絶縁膜の保護性能が発揮される。

【0079】

以上のように、本開示の実施形態に係る固体撮像装置によれば、狭ピッチの画素領域であっても、隣接画素間の容量に起因してクロストークが発生して電氣的な混色による特性が劣化するという課題を解決できる。

【0080】

[固体撮像装置の製造方法]

次に、本開示の実施形態に係る固体撮像装置の製造方法について説明する。

【0081】

図6は、実施形態に係る固体撮像装置の製造方法の第1の工程群を示す断面図であり、図7は、実施形態に係る固体撮像装置の製造方法の第2の工程群を示す断面図である。本実施形態に係る固体撮像装置の製造方法は、図6に示された第1の工程群に続いて図7に示された第2の工程群が実行される。なお、以下の説明においては、特徴部分である画素プラグ516の形成工程以後の工程について説明し、それ以前の工程の説明については、通常のロジックCMOSと同一プロセスで作成することが可能なため、説明を省略する。

【0082】

以下で説明する画素プラグ516の形成工程の前には、画素領域101内であって、シリコン基板501に電荷蓄積拡散層502を形成する拡散層形成工程が実行されている。また、拡散層形成工程の後、第1絶縁膜503から第3Cu配線513までを形成する。

【0083】

まず、第3Cu配線513の上に、例えば、化学的気相堆積(CVD)法を用いて、窒化シリコン(SiN)、窒化炭化シリコン(SiCN)及び酸化炭化シリコン(SiCO)などからなる膜厚60nmの第6絶縁膜514と、酸化シリコン(SiO₂)及び炭素含有酸化シリコン(SiOC)などからなる第7絶縁膜515を形成する(図6の(a)に図示)。

【0084】

続いて、リソグラフィー法を用い、第6絶縁膜514及び第7絶縁膜515の上に、第1ビアパターンを有する第1レジストパターンを形成する(図示を省略)。

【0085】

その後、ドライエッチングにより、第1レジストパターンをマスクとして第6絶縁膜514と第7絶縁膜515とをエッチングし、第3Cu配線513の上に、画素プラグ516を形成する。その後、第1レジストパターンをアッシングにより除去する(図示を省略)。

【0086】

続いて、CVD法及び物理的気相堆積(PVD)法等を用い、画素プラグ516に窒化タンタル(TaN)及びタンタル(Ta)を積層してなる第1バリアメタル膜、並びに銅(Cu)からなる第1金属膜を順次堆積する(図示を省略)。ここで、第1バリアメタル膜は、チタン(Ti)及びチタンナイトライド(TiN)などを用いて形成してもよい。また、第1金属膜は、タングステン(W)を用い形成してもよい。

【0087】

その後、化学機械研磨(CMP)法を用い、上面に堆積した余剰の第1金属膜及び第1バリアメタル膜を研磨して、第1バリアメタル膜及び第1金属膜を含む画素プラグ516を形成する(図6の(b)に図示)。つまり、電荷蓄積拡散層502の上方であって電荷蓄積拡散層502と電氣的に接続された画素プラグ516を形成する。

【0088】

次に、CVD法またはPVD法を用い、チタン(Ti)及び窒化チタン(TiN)を連続堆積して、膜厚が130nmの第2金属膜601を形成する。そして、第2金属膜601上にCVD法を用いて酸化シリコン膜(SiO₂)を堆積して、50nmの第11絶縁膜602を形成する(図示を省略)。ここで、第2金属膜601上の第11絶縁膜602

10

20

30

40

50

は、第2金属膜601の表面がアッシング時の酸素に曝されることを抑制すること、また、第2金属膜601をエッチングする際にハードマスクとして用いることを目的としており、省略することも可能である。

【0089】

続いて、リソグラフィー法を用い、第11絶縁膜602の上に、画素電極パターンを有する第2レジストパターンを形成する。その後、ドライエッチングにより、第2レジストパターンをマスクとして第2金属膜601上の第11絶縁膜602をエッチングする。その後、第2レジストパターンをアッシングにより除去する(図6の(c)に図示)。ここで、第2金属膜601を形成する材料は、上記のように、チタン(Ti)、タンタル(Ta)、タンタルナイトライド(TaN)、アルミニウム(Al)及びタングステン(W)など、エッチング可能な金属であればよい。また、それらの積層構造でもよい。

10

【0090】

次に、CVD法及びPVD法を用い、第2金属膜601を覆うように、酸化シリコン(SiO₂)からなる膜厚200nmの第12絶縁膜を形成する(図示を省略)。

【0091】

続いて、CMP法、もしくは、エッチバック法を用い、第12絶縁膜を研磨(エッチング)する。これによって表面の平坦な下部画素電極517及び対向電極524が形成される(図6の(d)に図示)。

【0092】

次に、真空蒸着法を用い、シャドーマスク越しに下部画素電極517を被覆するように膜厚500nmからなる有機光電変換膜518を形成する。ここで、有機光電変換膜518は、電子ブロッキング層及びホールブロッキング層などを組み合わせた積層構造でもよい。有機光電変換膜518は、シャドーマスク越しに形成されるため、パターン端は不明瞭となり前述したように所定のスペースが必要となる。つまり、有機光電変換膜518の端部において、有機光電変換膜518の膜厚は、外周に向けて連続的に薄くなっている。ここで、有機光電変換膜518の形成においては、シャドーマスクを用いて行う。これは、通常のリソグラフィー、ドライエッチングを行った場合、酸素(O₂)を用いたアッシング及び薬液による洗浄により、有機光電変換膜518の膜質が劣化するためである。また、有機光電変換膜518の端部と下部画素電極517との間隔、及び、有機光電変換膜518の端部と対向電極524の端との間隔は、最低50μmを確保する必要がある。続いて、PVD法を用いて、上部画素電極519を、ウエハ全面を覆うように形成する(図7の(a)に図示)。つまり、画素プラグ516の上方であって画素プラグ516と電気的に接続された下部画素電極517、有機光電変換膜518及び上部画素電極519を、この順で積層する。

20

30

【0093】

続いて、CVD法を用いて、酸化アルミニウム(Al₂O₃)からなる膜厚30nmの第8絶縁膜520と酸化窒化シリコン(Si₃N₄)からなる膜厚200nmの第9絶縁膜521とを、有機光電変換膜518を覆うように形成する(図7の(b)に図示)。有機光電変換膜518は、上部画素電極519で覆われているものの、ITOの上部画素電極519は保護膜としての機能は無い。そのため、プラズマを使用しない低ダメージかつ、パッシベーション効果の高い原子層成長堆積(ALD)法を用いた酸化アルミニウム(Al₂O₃)からなる第8絶縁膜520を採用した。この膜はカバレッジ特性が極めてよいため、有機光電変換膜518上に異物があつた場合にも、有機光電変換膜518の露出を抑制することができ、さらに好適である。また、第9絶縁膜521の形成は、成膜温度200℃以下で行い、さらにシラン(SiH₄)、二酸化窒素(NO₂)、アンモニア(NH₃)を用いることにより、プラズマ発光波長350nm以上の環境下で行い、有機光電変換膜518のダメージを抑制した。

40

【0094】

続いて、リソグラフィー法を用い、第9絶縁膜521上に、画素領域101と対向電極領域102の全体を覆うように第3レジストパターンを形成する(図示を省略)。

50

【0095】

その後、ドライエッチングにより、第3レジストパターンをマスクとして、画素領域101及び対向電極領域102以外の第9絶縁膜521及び第8絶縁膜520を除去する。その後、第3レジストパターンをアッシングにより除去する（図示を省略）。

【0096】

さらに、ドライエッチングにより、第9絶縁膜521及び第8絶縁膜520をマスクとして、上部画素電極519を除去する（図7の（c）に図示）。

【0097】

ここで、上部画素電極519をパターニングする場合について説明する。図8Aは、上部画素電極をレジストマスクでドライエッチングした場合の状態を表す断面図である。同図では、第9絶縁膜521、第8絶縁膜520、及び上部画素電極519を、第3レジストパターンをマスクとしてドライエッチングにより除去している。この場合、第3レジストパターン701をアッシングにより除去する際に、上部画素電極519であるITO膜の界面は不安定であるため、第7絶縁膜515と上部画素電極519との界面に酸素702が浸入し、有機光電変換膜518まで拡散する。つまり、有機光電変換膜518が酸素に曝されることになり、有機光電変換膜518にダメージが発生する。

【0098】

図8Bは、レジストマスクをアッシングにより除去する場合の状態を表す断面図である。また、図8Cは、上部画素電極を上層の絶縁膜をマスクとしてドライエッチングした場合の状態を表す断面図である。図8Aに示されたような有機光電変換膜518のダメージを抑制するために、本開示では、図8Bに示されたように、第7絶縁膜515と上部画素電極519との界面が露出する前の第9絶縁膜521及び第8絶縁膜520までを第3レジストパターン701をマスクとしてエッチングする。その後、第3レジストパターン701をアッシングにより除去する。そして、図8Cに示されたように、レジストのマスクではなく、第9絶縁膜521及び第8絶縁膜520をマスクとして、上部画素電極519を除去する。これにより、第7絶縁膜515と上部画素電極519との界面が露出した状態でのアッシングが抑制される。

【0099】

さらに、ドライエッチング条件及びアッシング条件は、基板温度200℃以下、かつ、プラズマ発光波長350nm以上の環境下で行なうことにより、有機光電変換膜518へのダメージを抑制でき、シャドーマスク法を回避することが可能となる。

【0100】

また、第3レジストパターン701をマスクとした第9絶縁膜521及び第8絶縁膜520の加工、ならびに、第9絶縁膜521及び第8絶縁膜520をマスクとした上部画素電極519の加工により、第9絶縁膜521、第8絶縁膜520及び上部画素電極519の端面が揃った構造となる。また、さらに、上部画素電極519の端面は、基板に垂直もしくは多少テーパーがついて45°以上となる。言い換えると、上部画素電極519の端部と保護膜（第9絶縁膜521、第8絶縁膜520）の端部とが、レイアウト上、同一線上に重なる。

【0101】

一般的な光電変換膜を備えた従来の固体撮像装置（図3）では、上部画素電極の形成にシャドーマスクを用いる。このため、上部画素電極206の端部303と対向電極接続電極301との距離D4、及び、端部303と周辺パッド204との距離D5を、それぞれ、150μm以上確保することが必要であった。これに対して、本実施形態に係る固体撮像装置1では、上部画素電極519の端部における断面と、第8絶縁膜520の端部における断面とが同一面上にある。また、上部画素電極519の端部における断面及び第8絶縁膜520の端部における断面と、シリコン基板501の表面とのなす角度が45度以上となっている。これにより、上部画素電極519の端部530と対向電極524との距離、及び、端部530と周辺回路領域103のグローバル配線526との距離を、それぞれ、5μm以下にまで縮めることが可能となる。このように、周辺回路領域103と対向電

10

20

30

40

50

極 5 2 4、ひいては下部画素電極 5 1 7 までの距離を小さくすることが可能となり、電源電圧などの供給において電圧降下が抑制でき、画素セルを安定に動作することが可能となる。さらに、回路動作に寄与しない無駄な領域を削除することができるため、チップ面積の縮小も可能となる。

【0102】

続いて、CVD法を用いて、酸化窒化シリコン（SiON）からなる膜厚 400 nm の第 10 絶縁膜 5 2 2 を形成する（図 7 の（d）に図示）。これにより、第 7 絶縁膜 5 1 5 と上部画素電極 5 1 9 との側面を保護することができる。第 10 絶縁膜 5 2 2 の形成は、成膜温度 200℃以下で行い、さらにシラン（SiH₄）、二酸化窒素（NO₂）、アンモニア（NH₃）を用いる。これにより、プラズマ発光波長 350 nm 以上の環境下で行い、有機光電変換膜 5 1 8 のダメージを抑制した。

10

【0103】

続いて、リソグラフィー法を用い、第 10 絶縁膜 5 2 2 の上に、第 3 Cu 配線 5 1 3 と第 1 A1 パッド 5 2 8 及びグローバル配線 5 2 6 とを接続する第 1 A1 プラグ 5 2 5 と、第 2 A1 プラグ 5 2 7 との第 4 ビアパターンを有する第 4 レジストパターンを形成する。

【0104】

その後、ドライエッチングにより、第 4 レジストパターンをマスクとして、第 4 ビアパターンを形成する。その後、第 4 レジストパターンをアッシングにより除去する（図示を省略）。ここで、ドライエッチング条件及びアッシング条件は、基板温度 200℃以下、かつ、プラズマ発光波長 350 nm 以上の環境下で行なうことにより、有機光電変換膜 5 1 8 のへのダメージを抑制した。

20

【0105】

次に、PVD法を用い、チタン（Ti）、窒化チタン（TiN）及びアルミニウム（Al）の積層膜からなる、膜厚 600 nm の第 3 金属膜を形成する（図示を省略）。ここで、第 3 金属膜の形成は、成膜温度 200℃以下で行い、プラズマ発光波長 350 nm 以上の環境下で行い、有機光電変換膜 5 1 8 のダメージを抑制した。

【0106】

続いて、リソグラフィー法を用い、第 3 金属膜の上に、特定の画素領域上の遮光膜 5 2 3、グローバル配線 5 2 6 及び第 1 A1 パッド 5 2 8 のパターンを有する第 5 レジストパターンを形成する（図示を省略）。

30

【0107】

その後、ドライエッチングにより、第 5 レジストパターンをマスクとして第 3 金属膜をエッチングすることにより、第 1 A1 パッド 5 2 8、グローバル配線 5 2 6 及び遮光膜 5 2 3 を形成する（図 7 の（e）に図示）。つまり、有機光電変換膜 5 1 8 を積層した後で、画素領域 101 の周辺領域に配置される多層配線のうち最上層の配線である第 1 A1 パッド 5 2 8、グローバル配線 5 2 6 及び遮光膜 5 2 3 を、当該配線の上面が有機光電変換膜 5 1 8 の底面よりも上方に位置するように形成する。その後、第 5 レジストパターンをアッシングにより除去する。ここで、ドライエッチング条件及びアッシング条件は、基板温度 200℃以下、かつ、プラズマ発光波長 350 nm 以上の環境下で行なうことにより、有機光電変換膜 5 1 8 のへのダメージを抑制した。このように、第 1 A1 パッド 5 2 8、グローバル配線 5 2 6 及び遮光膜 5 2 3 を、一括して形成することが可能となる。さらに、第 1 A1 パッド 5 2 8、グローバル配線 5 2 6 及び遮光膜 5 2 3 を、画素プラグ 5 1 6 よりも後に形成する。これにより、画素プラグ 5 1 6 の高さは、第 1 A1 パッド 5 2 8、グローバル配線 5 2 6 及び遮光膜 5 2 3 の影響を受けることなく、独立に決定することが可能となる。

40

【0108】

さらに、第 9 絶縁膜 5 2 1、第 8 絶縁膜 5 2 0 及び上部画素電極 5 1 9 の端部 5 30 の上の第 10 絶縁膜 5 2 2 が、エッチング時に膜減りし、第 7 絶縁膜 5 1 5 と上部画素電極 5 1 9 との界面が露出することを避けるため、第 5 レジストパターンで A1 パターン 5 2 9 を形成する。つまり、上部画素電極 5 1 9 の端部の上方であって、シリコン基板 5 0 1

50

を平面視した場合において画素領域101を囲むように、リング状のA1パターン529を形成する。この手法により、有機光電変換膜518を形成した後でも、リソグラフィ、エッチングによる加工が可能となり、有機光電変換膜518の形成工程以降の工程において、シャドーマスク法を回避することができる。ここで、A1パターン529は、グローバル配線526、遮光膜523及び第1A1パッド528のドライエッチング時に、第10絶縁膜522が削れることを抑制できる。よって、第9絶縁膜521、第8絶縁膜520及び上部画素電極519の側面の露出を避けることができる。

【0109】

また、A1パターン529は、画素領域101と対向電極領域102とを囲むようにリング状に配置され、電氣的にフローティングとなっている。これにより、上部画素電極519とA1パターン529とが電氣的に短絡した場合でも、A1パターン529と第1A1パッド528、グローバル配線526及び遮光膜523との間隔は十分に確保される。よって、上部画素電極519と第1A1パッド528、グローバル配線526及び遮光膜523との電氣的な短絡を防ぐことができ、画素セルは正常な動作が確保される。

【0110】

本開示の固体撮像装置及びその製造方法によれば、画素プラグ516の高さを小さくすることが可能となり、隣接画素間の容量を低減でき、クロストークによる混色特性の劣化を大幅に改善することができる。

【0111】

さらに、画素プラグ516のプラグ径の縮小に合わせて、プラグ高さも縮小できるため、Cuプラグの加工、金属材料の埋め込みが容易となり、微細な画素も容易に作成することができる。

【0112】

なお、有機光電変換膜の形成以後の工程を、200℃以下で行うため、グローバル配線526での配線信頼性の低下、第8絶縁膜520、第9絶縁膜521及び第10絶縁膜522の絶縁耐性の低下が懸念される。しかし、グローバル配線526での配線信頼性の低下については、グローバル配線526の配線構造、たとえば、キャップTiN化、配線膜厚の厚膜化により対策が可能である。また、第8絶縁膜520、第9絶縁膜521及び第10絶縁膜522の絶縁耐性の低下について、絶縁膜厚の厚膜化により絶縁耐性の低下の対策を打つことが可能である。

【0113】

また、本実施形態に係る固体撮像装置の製造方法は、ウエハサイズの穴の開いたマスクであるシャドーマスクにウエハを密着させて、有機光電変換膜を堆積することにより、パターン付きの有機光電変換膜を形成することが可能である。これにより、有機光電変換膜を加工する工程の必要がない。また、有機光電変換膜の形成時には、シャドーマスクとウエハとを機械的に密着させるため、開口端部の膜厚に傾斜があり、端部が薄くなり、また、重ね合わせの精度が悪くなる恐れがある。しかしながら、その後の上部画素電極の形成工程以降の工程では、有機光電変換膜にダメージを与えないシャドーマスク法以外の低温下での工程により膜形成がなされる。よって、画素領域とその周辺に配置された領域との距離を大きく確保する必要がない。

【0114】

以上、本実施形態に係る固体撮像装置及びその製造方法では、隣接画素間のカップリング容量を低減し、混色特性を向上することができる。また、電極パッド、電源供給配線及び遮光膜を一括して形成することができる。また、画素セルの微細化ができ、低抵抗な(配線膜厚が大きい)グローバル配線の形成でき、グローバル配線膜厚に制限をなくすことができる。よって、画素領域からパッド間の周辺回路領域を有効に利用できる。

【0115】

なお、本実施形態では光電変換膜に有機材料を用いたが、その他の材料(例:無機材料)を用いても、本発明の効果を得られることは明らかである。

【0116】

以上、本開示の固体撮像装置及びその製造方法について、実施形態に基づいて説明してきたが、本開示に係る固体撮像装置及びその製造方法は、上記実施形態に限定されるものではない。上記実施形態における任意の構成要素を組み合わせることで実現される別の実施形態や、上記実施形態に対して本発明の主旨を逸脱しない範囲で当業者が思いつく各種変形を施して得られる変形例や、本開示の固体撮像装置を内蔵した各種機器も本発明に含まれる。

【産業上の利用可能性】

【0117】

本発明では、高画素数でも画素間での混色が低減された固体撮像装置を実現でき、ビデオカメラやデジタルスチルカメラ、さらには携帯電話等のモバイル機器向けカメラモジュール等の撮像装置として好適なものである。

10

【符号の説明】

【0118】

- 1 固体撮像装置
- 101 画素領域
- 102 対向電極領域
- 103 周辺回路領域
- 104 周辺パッド領域
- 105、202、517 下部画素電極
- 106、204、801 周辺パッド
- 201 画素電極接続プラグ
- 203、526 グローバル配線
- 205、518、802 有機光電変換膜
- 206、519 上部画素電極
- 207 第1パッシベーション膜
- 208 第2パッシベーション膜
- 209 電荷蓄積部
- 210 層間絶縁膜
- 301、803 対向電極接続電極
- 302、303、530 端部
- 501 シリコン基板
- 502 電荷蓄積拡散層
- 503 第1絶縁膜
- 504 第1プラグ
- 505 第1Cu配線
- 506 第2絶縁膜
- 507 第3絶縁膜
- 508 第2プラグ
- 509 第2Cu配線
- 510 第4絶縁膜
- 511 第5絶縁膜
- 512 第3プラグ
- 513 第3Cu配線
- 514 第6絶縁膜
- 515 第7絶縁膜
- 516 画素プラグ
- 520 第8絶縁膜
- 521 第9絶縁膜
- 522 第10絶縁膜
- 523 遮光膜

20

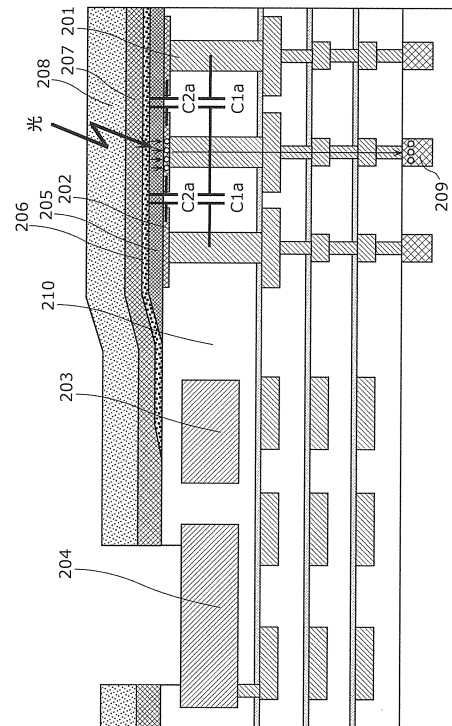
30

40

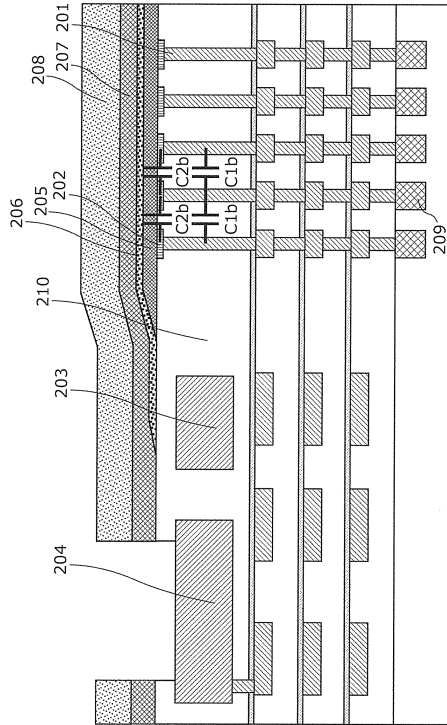
50

- 10

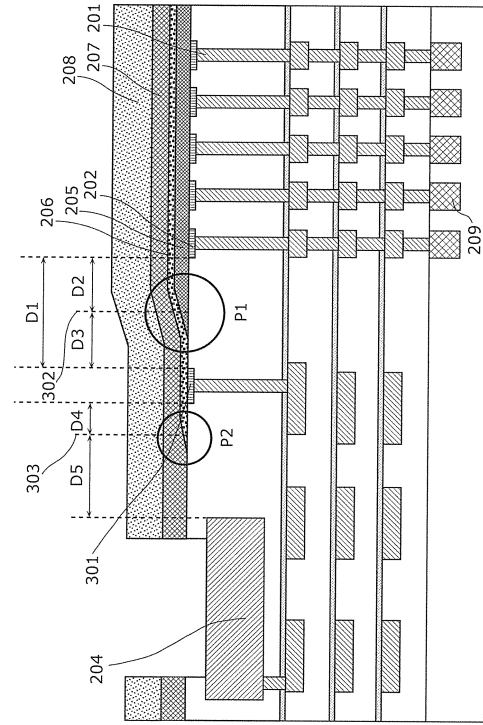
【図 2 A】



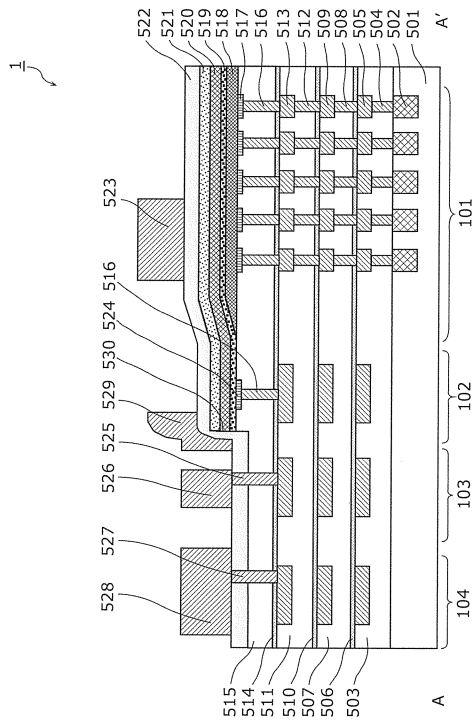
【図 2 B】



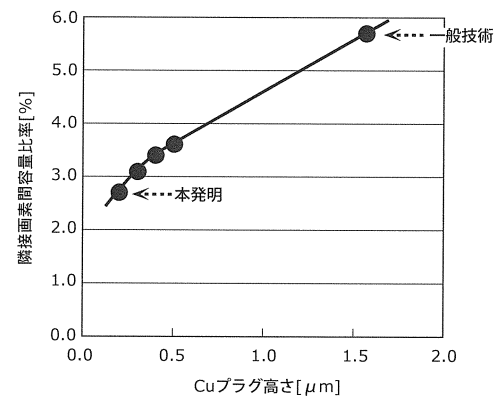
【図 3】



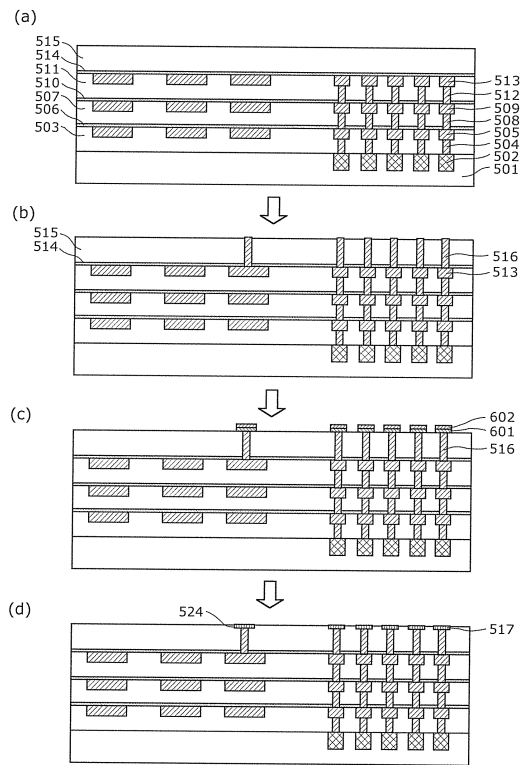
【図 4】



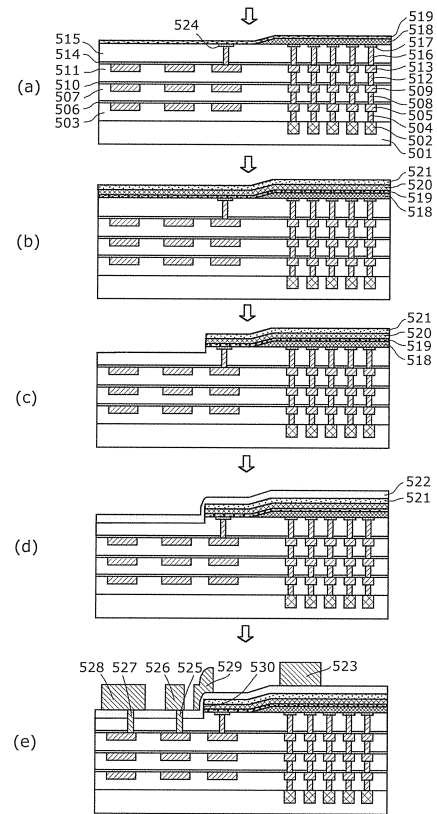
【図 5】



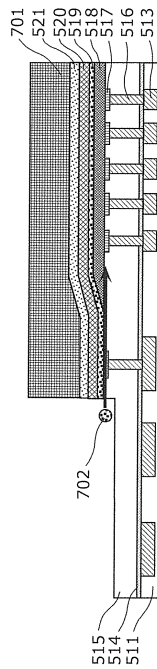
【図 6】



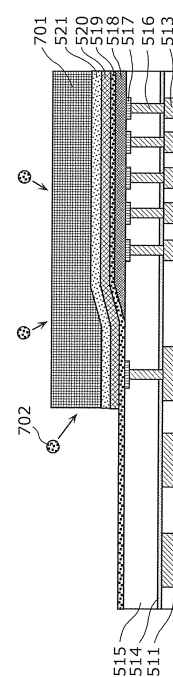
【図 7】



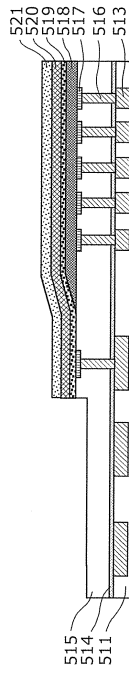
【図 8 A】



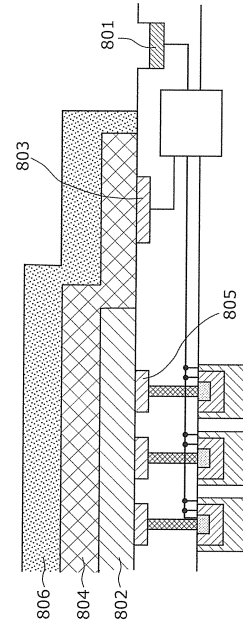
【図 8 B】



【図 8 C】



【図 9】



フロントページの続き

- (72)発明者 上田 哲也
日本国富山県魚津市東山800番地 パナソニック・タワージャズセミコンダクター株式会社内
- (72)発明者 佐竹 哲郎
日本国富山県魚津市東山800番地 パナソニック・タワージャズセミコンダクター株式会社内
- (72)発明者 百島 孝
日本国京都府長岡京市神足焼町1番地 パナソニック セミコンダクターソリューションズ株式会社内
- (72)発明者 瀧 謙司
日本国大阪府門真市大字門真1006番地 パナソニック株式会社内

審査官 加藤 俊哉

- (56)参考文献 特開2008-003061 (JP, A)
米国特許出願公開第2006/0249762 (US, A1)
特開2008-306155 (JP, A)
特開2011-071481 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H01L	27/146
H01L	21/3205
H01L	21/768
H01L	23/522
H04N	5/369