

(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(51) Int. Cl. <sup>7</sup> H01L 23/48	(11) 공개번호 10-2001-0020476	(43) 공개일자 2001년03월 15일
(21) 출원번호 10-1999-7012124	(86) 국제출원번호 PCT/US 99/08475	(87) 국제공개번호 WO 99/54934
(22) 출원일자 1999년12월22일	(86) 국제출원출원일자 1999년04월22일	(87) 국제공개일자 1999년10월28일
번역문제출일자 1999년12월22일		
(81) 지정국 EP 유럽특허 : 오스트리아 벨기에 스위스 사이프러스 독일 덴마크 스페인 핀란드 프랑스 영국 그리스 아일랜드 이탈리아 룩셈부르크 모나코 네덜란드 포르투갈 스웨덴		
국내특허 : 일본 대한민국		
(30) 우선권주장 9/064,431 1998년04월22일 미국(US)		
(71) 출원인 씨브이씨 프로덕츠, 인크.	미국(US) 9/187,297 1998년11월05일 미국(US)	
(72) 발명자 모스레히, 메히알데드	미국 14603 뉴욕주 로체스터 리 로드 525	
(74) 대리인 주성민, 위혜숙	미국94024캘리포니아주로스앨토스스텐레이애비뉴956	

**심사청구 : 있음**

**(54) 자유 공간 유전체를 이용한 초고속 칩 상호 접속**

**요약**

반도체 집적 회로 칩에 대한 초 고속 다중 레벨 상호 접속부 구조물 및 제조 공정 플로우가 개시된다. 본 발명의 상호 접속부 구조물은 복수의 전기적 도전성 금속화 레벨을 포함한다. 각 금속화 레벨은 복수의 전기적 도전성 상호 접속부 라인을 포함한다. 복수의 전기적 도전성 플러그는 여러 금속화 레벨 사이와 금속화 레벨과 반도체 기판 상에 제조된 반도체 소자 사이에 전기적 접속을 만든다. 본 발명은 또한 상호 접속부 라인과 플러그를 둘러싸는 다중 레벨의 상호 접속부 구조물 내의 전기적 절연성 영역의 적어도 실질적인 부분을 점유하는 자유 공간 매체를 더 포함한다. 상부 패시베이션 상부층은 다중 레벨 상호 접속부 구조물을 기밀 밀봉한다. 기밀 밀봉에 사용되는 상부 패시베이션 상부층은 상호 접속부 금속화 구조물로부터의 열의 제거를 용이하게 하고 다중 레벨의 상호 접속부 구조물의 상부 금속화 레벨과의 접촉을 통해 다중 레벨의 상호 접속부 구조물에 부가의 기계적 지지를 제공하기 위해 열 전달 매체로서 기능한다. 기밀 밀봉된 자유 공간 매체는 상호 접속부 구조물에 용량성 크로스토크 노이즈를 최소화하여, 칩 동작 속도의 증가와 칩 파워 분산의 저감을 가능하게 한다.

**대표도**

**도8**

**색인어**

다중 레벨 상호 접속부, 패시베이션층, 자유 공간 유전체, 도전성 플러그, 에천트 전송 윈도우

**명세서**

**기술분야**

본 발명은 반도체 집적 회로에 관한 것으로, 특히 집적 회로 상호 접속부 디바이스를 제조하는 구조물 및 방법에 관한 것이다. 더욱 특히, 본 발명은 인접한 레벨내 및 레벨간 도체 라인과 플러그 사이에 최적의 낮은 투과율을 만들 목적으로 적어도 하나의 고 도전성 상호 접속부 도체로 자유 공간 금속간 및 레벨간 유전체 영역을 집적화하는 구조물을 형성하는 초고속 칩 상호 접속부 구조물 및 이를 형성하는 방법에 관한 것이다. 본 발명은 상호 접속부 구조물의 기생 효과를 감소시키고 반도체 집적 회로 속도와 동작 신뢰성의 상당한 개선을 가능하게 하는 개선된 상호 접속부 구조물 및 방법을 제공한다. 본 발명의 구조물 및 방법은 또한 상호 접속부 공정 플로우의 간략화를 가능하게 하며, 이로 인해 칩 제조 비용을 감소시킬 수 있다.

**배경기술**

이미 개발된 기술의 반도체 집적 회로 (IC) 칩의 속도 및 신뢰도 성능 파라미터는 대개 온-칩 상호 접속부에 의해 지배된다. 개발된 반도체 IC 칩은 대개 알루미늄 (보통 전자 이동 신뢰 가능 수명의 개선을 위해 약 0.5% 내지 2%의 구리를 포함하는 알루미늄 합금) 금속 라인, 알루미늄 (또한 통상 구리로 도핑된) 또는 텅스텐 플러그 (레벨간/금속간 컨택트/바이어 홀), 및 실리콘 이산화물 (또는 불화 실리콘 이산화물  $\text{SiO}_x\text{F}_y$ ) 또는 금속간 및 레벨간 유전체로서 이용되는 유기적 저투과도 (저 k) 유전체와 실리콘 이산화물의 결합물을 포함하는 레벨간 온-칩 상호접속부를 이용한다. 0.25 $\mu\text{m}$ 의 상보 금속 산화물 반도체 (CMOS) 기술을 이용하여 제조된 하이-엔드 (high-end) 마이크로프로세서와 디지털 신호 프로세서(DSP)와 같은 개선된 반도체 IC 칩의 속도 성능은 상호 접속부 신호 전파 지연으로 제한받게 된다. 개선된 상호 접속부의 신호 전파 지연은 기생 저항, 용량 및 도전 디바이스에 의해 제한받는다. 이들은 유도성 노이즈 및 (전압 펄스로 인한) 크로스토크 뿐만 아니라, 상호 접속부 금속 "RC" 지연, 용량성 크로스토크 또는 (전압 펄스로 인한) 인접한 금속 라인 사이의 크로스토크 노이즈를 포함한다.

디바이스 치수가 줄어들어 따라, 금속 상호 접속부 라인 폭과 피치가 또한 줄어든다. 각 상호 접속부 레벨에 대한 금속 상호 접속부 라인의 최대 밀도(지역 밀도)는 최대 허용 가능한 신호 크로스토크에 대한 상한 뿐만 아니라 금속 라인의 최소 전기 도전성의 필요에 의해 제한받게 된다. 각 상호 접속부 레벨에 대한 금속 상호 접속부 라인의 밀도가 증가함에 따라, 인접한 금속 라인이 서로에 대해 밀접하게 위치되며 금속 라인의 폭이 또한 감소된다. 반도체 (예를 들어, 실리콘 CMOS) IC 기술의 최소한의 특징물 크기는 0.25 $\mu\text{m}$  이하로 감소되기 때문에, "RC" 전파 지연과 용량성 크로스토크 노이즈는 하이-엔드 마이크로프로세서와 디지털 신호 프로세서(DSP) 칩에서와 같이, IC 칩의 속도 성능에 대해 상당한 영향을 미친다. 이들 문제는 금속 라인의 최소 폭 (및 두께) 및 최소 금속화 레이아웃 피치 (또는 최소 라인간 공간)에 대해, 특히 (예를 들어, 신호나 클럭 분포에 대해) 긴 범위의 구형 상호 접속부 라인 및/또는 파워 분포를 포함하는 상호접속부 레벨에 대해 심각한 문제를 준다.

IC 칩 속도 성능 (및 전자 이동 신뢰 가능 수명)에 의해 초래되는 상호 접속부 디자인 규칙의 제한으로 인해, 특히 하이-엔드/고속 마이크로프로세서 및 디지털 신호 프로세서와 같은 복잡한 로직 칩에 대해서는, 상호 접속부 레벨의 개수가 증가하게 된다. 예를 들어, 0.20 내지 0.25 $\mu\text{m}$ 의 최소한의 특징물 크기를 갖는 이미 개발된 CMOS 로직 기술은 6개 이상이나 많은 개수의 레벨을 갖는 금속 상호 접속부를 이용한다. 금속 상호 접속부의 각 부가의 레벨은 전체 공정 플로우의 복잡성과 칩 제조 비용을 상당히 증가시킨다. 이것은 처리 플로우에서의 제조 공정 단계수의 증가 및 더욱 복잡하고 긴 처리 플로우와 관련된 제조 수율의 감소로 인한 것이다.

금속 저항률이 칩 속도 제한과 전체 제조 비용에 상당히 기여하기 때문에 현존하는 상호 접속부 구조물과 관련하는 다른 문제가 발생하게 된다. 알루미늄 대신에 구리 등의 고 도전성 금속을 이용하면, 구리의 벌크 저항률은 알루미늄에 대해서는 약 2.7 $\mu\Omega \cdot \text{cm}$ 인 데에 비해서, 약 1.78 $\mu\Omega \cdot \text{cm}$ 이기 때문에, 임의의 금속 상호 접속부의 폭과 두께에 대해 상호 접속부 "RC" 전파 지연을 상당히 감소시키는 결과를 초래한다. 한편, 임의의 상호 접속부 라인 기생 저항에 대해서는, 고속의 금속 도전성 (예를 들어, Al 대신에 Cu)이 임의의 금속 라인 폭에 대해 각 상호 접속부 레벨에 대해 더 얇은 금속 라인의 사용을 가능하게 한다. 이로 인해, 인접한 금속 라인들 사이의 이격 공간을 더 가깝게 할 수 있고, 또는 이와 등가적으로 임의 분포의 레벨내 용량성 신호 크로스토크에 대해서 각 레벨 상에 고 지역적 밀도의 금속 상호 접속부 라인을 가능하게 한다.

여러 상호 접속부 레벨에 대한 고 상호 접속부 라인 밀도는 임의의 칩 속도 성능에 대해 필요한 상호 접속부 레벨의 개수의 감소를 가능하게 한다. 이는 결과적으로 공정의 복잡성과 비용을 줄인다. 다르게, 고 도전성 도체 (예를 들어, Al 대신에 구리)는 상호 접속부 레벨 개수의 감소에 의해 공정의 복잡성과 비용을 줄일 뿐만 아니라, 칩 속도 성능을 개선하는 데에 사용될 수 있다. 이것은 금속 라인 저항을 줄이고, 상호 접속부 금속 라인 저항을 증가시키고, 상호 접속부 금속 라인 지역적 밀도를 증가시킴으로써 행해질 수 있다.

예를 들어, 임의의 최대 속도 또는 클럭 주파수 (예를 들어, 약 600MHz의 마이크로프로세서)에 대해, 8 레벨의 Al 금속 상호 접속부를 포함하는 개선된 0.18 $\mu\text{m}$  마이크로프로세서 로직 칩에서, Al을 Cu로 교체하는 것은 많은 원하지 않은 결과를 초래한다. 예를 들어, 약 600MHz의 동일한 속도 성능을 성취하면서 대개 약 30%로 공정의 복잡도와 칩 제조 비용을 저감시킬 수 있다. 이것은 상호 접속부 레벨의 개수를 8에서 6으로 감소시킴으로써 또한 알루미늄 상호 접속부에 비해 구리 상호 접속부에 대해 레벨 당 공정 단계수를 감소시키는 것으로 성취될 수 있다. 또한 예를 들어 약 10%에서 약 660MHz로 칩 속도 성능을 개선하면서 약 15-20%로 공정의 복잡도와 칩 제조 비용을 감소시킬 수가 있다. 예를 들어, 이는 금속 상호 접속부 레벨의 개수를 8에서 7로 감소시키고 또한 동시에 금속 라인의 저항을 감소시켜 성취될 수 있다.

상호 접속부 금속 이외에, 금속간/레벨간 유전체층 (IMD 및 ILD 층)이 또한 제조 비용 뿐만 아니라 IC 칩의 성능 속도에 대해 상당한 영향을 미친다. IMD/ILD 재료층의 유전체 상수 (즉, 자유 공간에 대한 상대적 유전체 상수)는 "RC" 전파 지연 뿐만 아니라 레벨내 및 레벨간 용량성 크로스토크에 영향을 미친다.

실리콘 칩 제조사의 주류인 ILD/IMD 재료로는 실리콘 이산화물( $\text{SiO}_2$ ) 및/또는 k 값이 3.2 내지 4.0 이상의 범위 내에 있는 실리콘 이산화물의 유도체 (불화 실리콘 이산화물:  $\text{SiO}_x\text{F}_y$ )이 있다. 저 k 유전체에 대해 상당히 많은 재료 검색이 행해졌다. 오늘날 몇 개의 스피너-온 유기적 유전체 및 다공성 에어로겔/제로겔 (aerogels/xerogels)에 대한 실질적인 최저 k 값이 보고되었다. 오늘날 개발된 실질적인 저 k 유전체는 2.0 내지 3.2의 범위의 k 값을 갖는다. 그러나, 이들 저 k 유전체는 실리콘 이산화물에 비해 이들의 전기, 기계적 및 열 도전성 특성 뿐만 아니라 열악한 열 안정성으로 인해 백-엔드(back-end) 상호 접속부 공정을 복잡하게 한다.

도 1은 저 k 유기적 ILD/IMD 재료층(12) 및 트렌치(14)를 포함하는 상호 접속부 구조물(10)의 측

면도를 나타낸다. SiO<sub>2</sub>층(16)은 ILD/ILD 기판(12)을 커버한다. 커버링 트렌치(14) 및 SiO<sub>2</sub>층(16)을 커버링하게 되면 컨포멀 (conformal) SiO<sub>2</sub> 버퍼층(18)이 된다. 유기적 저 k 유전체층(12)의 형성은 또한 상호 접속부 제조 공정 동안 구리와 배리어 제거시 사용되는 화학-기계적 연마 (또는 CMP) 공정과의 양립 불가능과 관련되는 문제점으로 인해 구리 상호 접속부의 제조시 공통으로 사용되는 단일이나 이중의 다마스커스 공정을 복잡하게 만든다. 결과적으로, 대부분의 유기적 저 k 유전체는 매립된 금속 (예를 들어, 구리) 선에 대해 유전체 트렌치 및 바이어 홀의 형성을 용이하게 하기 위해서 단일이나 이중 다마스커스 상호 접속부 제조 공정을 위해 실리콘 이산화물과 같은 적당한 하드 마스크층을 이용한다.

대부분의 유기적 저 k 유전체의 집적화의 완성은 예를 들어, SiO<sub>2</sub>층(18)과 같은 실리콘 이산화물의 컨포멀 박막의 피착과, 뒤이어 SiO<sub>2</sub>층(18)과 같은 고질의 실리콘 이산화물 유전체의 박막으로 트렌치 및 바이어 홀드 측벽을 커버하기 위해 이방성 산화물 예칭 공정을 필요로 한다. 이것은 저 k 유전체와 피착된 접착제/배리어층 사이의 직접적인 접촉을 방지하며 합성 ILD/IMD 층의 전체 브레이크다운 전압과 누출 특성을 개선할 수 있다. 더구나, 합성 IMD/ILD층의 효율적인 상대 유전체 상수는 그 자체가 저 k 유전체의 것 보다 약간 크다. 이것은 하드 마스크와 측벽 산화물 피복력에 대한 필요에 의한 것이다.

가능한 최저의 상대적 투과도 또는 k 값을 제공하기 위한 시도로서 상호 접속부 사이에 자유 공간 유전체를 사용하는 것이 있다. 자유 공간은 k = 1을 제공하기 때문에 가장 가능한 유전체를 제공한다. 이것은 실리콘 이산화물 보다 약 4 배 큰 팩터이고, 가장 실질적인 저 k 유전성 재료에 대해서도 2 내지 3배 큰 팩터이다. 결과적으로, 임의의 금속 도전성과 시트 저항 분포에 대해, 자유 공간 유전체는 상호 접속부 "RC" 전파 지연 및 용량성 크로스토크 노이즈를 상당히 감소시킨다.

자유 공간 유전체 IMD/ILD 집적화에 있어서의 주요 목표는 다중 레벨 상호 접속부 구조물로부터 열을 제거하는 능력과 기판상의 다중 레벨 상호 접속부 구조물과 활성 소자를 보호하는 기밀 밀봉 칩 패키지를 형성하는 능력이다.

종래 기술의 다중 레벨 상호 접속부 구조물 (실리콘 이산화물 또는 ILD/IMD 저 k 재료층을 사용)은 통상 유효한 접착제/배리어층을 필요로 한다. 이것은 특히 구리 (또는 은) 등의 고 전기 도전성 재료에 대해 중요하는데, 이는 구리 (또는 은 또는 금)가 실리콘에서 전기적 트랩 센터로 작용하며 트랜스컨덕턴스, 정션 누설, 대기 전력 소실 및 신뢰 가능 수명과 같은 트랜지스터 특성을 심하게 열화시킬 수 있기 때문이다. 더구나, 구리, 및 금과 은 등의 몇 다른 재료는 이들의 전기 누설과 브레이크다운 특성에 역 효과를 주는 ILD/IMD층의 심각한 열화를 초래할 수 있다. 그 결과, 종래의 실리콘 칩 상호 접속부 구조물 및 그 제조 공정 플로우는 (TiN, Ta, TaN, TiSiN, TaSiN, WN, WSiN, MoN, 또는 MoSiN 등의) 도전성 확산 배리어층을 이용한다. 장기간의 칩 신뢰 가능 수명과 칩 제조 수율의 필요성은 이런 디바이스의 배리어 재료의 최소 두께에 대해 제한을 가한다.

칩 IC 디바이스의 치수가 줄어들어 따라, 금속 라인의 폭 및 또한 바이어 플러그의 치수 또는 직경이 또한 감소되는 한편, 확산 배리어층의 두께는 더욱 천천히 줄어든다. 따라서, 각 잇따르는 기술로, 배리어 재료 두께 (및 단면 영역)는 도전성 상호 접속부 라인의 더 넓은 일부가 된다. 이 현상의 일 예를 이중 다마스커스 구리 상호 접속부의 경우 조사한다. 구리 금속화된 IC 칩에서는, 도전성 바이어 플러그의 직경의 더 많은 부분이 배리어 재료로 소모된다. 예를 들어, 0.20 μm의 다마스커스 트렌치와 (예를 들어, 화학적 증착법이나 CVD 공정에 의해 피착된) 250 Å의 컨포멀 확산 배리어 두께에 대해서, 고 도전성 금속 (예를 들어, 약 1.8 μΩ · cm의 저항률을 갖는 구리)은 확산 배리어층으로 점유된 주변 공간으로 인해, 약 0.15 μm의 금속 라인 폭이나 바이어 플러그 직경을 점유할 뿐이다. 통상의 확산 배리어 층은 (예를 들어, 구리에 대해 약 1.8 μΩ · cm인데 비해 Ta 및 TaN 확산 배리어에 대해서는 약 150-250 μΩ · cm의 범위인) 고 도전성의 상호 접속부 금속에 비해 더 큰 전기 저항 값을 갖기 때문에, 확산 배리어층은 바이어 플러그 저항 값 뿐만 아니라 전체 상호 접속부 금속 라인 저항을 열화시킨다. 예를 들어, 도 2는 (매립된 구리 금속 라인의 제조를 위한) 폭 W와 높이 H인 다마스커스 유전체 트렌치 구조물(20 및 22)을 나타내고 있다.

다마스커스 유전체 트렌치 구조물(22) (도 2b)에서, 트렌치(24)는 ρ<sub>m</sub>의 전기 저항률을 갖는 고 도전성 금속 라인으로 모두 충전된다. 한편, 다마스커스 트렌치 구조물(20) (도 2a)은 트렌치(28) 내에 층 두께가 t<sub>b</sub>이고 재료 저항률이 ρ<sub>b</sub>인 배리어층(26)(컨포멀층으로 도시)을 포함한다. 실질적으로 통상의 경우인, ρ<sub>b</sub> >> ρ<sub>m</sub>을 가정하면, 우리는 이들 두 조건에 대해 단위 길이 당 전체 도체 라인 저항을 비교할 수 있다.

R<sub>1</sub> - 배리어 층이 없는 경우 단위 길이 당 도체 라인 저항 (도 2b);

R<sub>2</sub> - 배리어 층이 있는 경우 단위 길이 당 도체 라인 저항 (도 2a)

$$R_1 = \frac{\rho_m}{W \cdot H}, \quad R_2 = \left[ \frac{R_{2m}}{\left( \frac{P_m}{(W - 2t_b)(H - t_b)} \right)} \parallel \frac{R_{2b}}{t_b(2H + W)} \right]$$

ρ<sub>b</sub> >> ρ<sub>m</sub>이기 때문에, 결과는 R<sub>2b</sub> >> R<sub>2m</sub>이 되고,

그 결과

$$R_2 \cong R_{2m} = \frac{\rho_m}{(W - 2t_b)(H - t_b)}$$

$$R_2 \cong \frac{\rho_m}{WH + 2t_b^2 - t_bW - 2t_bH}$$

$$R_2 \cong \frac{\rho_m}{WH - t_b(W + 2H) + 2t_b^2}$$

$$\frac{1}{R_2} \cong \frac{WH + 2t_b^2 - t_b(W + 2H)}{\rho_m}$$

$$\frac{1}{R_2} = \frac{WH}{\rho_m} + \frac{2t_b^2 - t_b(W + 2H)}{\rho_m}$$

$$\frac{1}{R_2} \cong \frac{1}{R_1} \left[ \frac{t_b(W + 2H - 2t_b)}{\rho_m} \right]$$

예를 들어,  $W=0.25\mu\text{m}$ ,  $H=0.50\mu\text{m}$ ,  $t_b=250\text{\AA}$  ( $0.025\mu\text{m}$ ), 및  $\rho_m \cong 2\mu\Omega \cdot \text{cm}$ 라고 가정한다.

$$R_1 = \frac{\rho_m}{W \cdot H} = \frac{2 \times 10^{-6} \Omega \cdot \text{cm}}{(0.25 \times 10^{-4} \text{cm})(0.50 \times 10^{-4} \text{cm})}$$

$R_1=1600\Omega/\text{cm}$  (배리어 없는 경우)

$$R_2 \cong \frac{2 \times 10^{-6} \Omega \cdot \text{cm}}{(0.25 - 0.05)(0.50 - 0.025) \times 10^{-8}} = \frac{200}{0.20 \times 0.475} \Omega/\text{cm}$$

$$R_2 = \frac{1000}{0.475} \Omega/\text{cm} \cong 2105\Omega/\text{cm} \text{ (배리어 있는 경우)}$$

$R_1 = 1600\text{m}\Omega/\text{cm}$ ,  $R_2 \cong \Omega/\text{cm}$

결과적으로, 이 실시예에서, 배리어층의 존재가 유효 상호 접속부 라인 저항을 약 30% 이상으로 열화시키는데, 이는 상호 접속부 도체 도전성을 상당히 손실되게 한다.

유사하게, 배리어층은 유효 바이어 플러그 저항을 열화시킬 수 있다. 예를 들어, 도 3은 두 인접한 상호 접속부 레벨 사이에 금속 라인을 접속하는 플러그(30 및 32)를 나타내고 있다. 바이어 플러그(30) (도 3a)는 배리어층(36)에 의해 저부와 측벽에서 완전히 둘러싸인 금속 라인(34 및 35) 사이에 금속 플러그를 포함한다. 한편, 도 3b의 바이어 플러그(32)는 (금속 라인(38 및 40)을 접속하는) 금속 플러그(32)를 둘러싸는 배리어 층이 없는 이상적인 경우를 나타낸다.

바이어 홀 (원통형 바이어 홀)이 직경 D와 높이 H를 갖는다고 가정한다. 우리는 또한 다음의 파라미터를 정의할 수 있다.

$R_{p2}$  - 배리어층이 있는 경우 유효 바이어 플러그 저항 (도 3a);

$R_{p1}$  - 배리어층이 없는 경우 유효 바이어 플러그 저항 (도 3b)

또한, 바이어 플러그 금속이 레벨 N과 N+1에 대해 상호 접속부 금속 라인의 것과 동일한 것이 바람직한,  $\rho_m(1.8\mu\Omega \cdot \text{cm})$ 의 저항률을 갖는다고 가정한다. 또한, 배리어 층이  $t_b$ 의 두께와  $\rho_b$ 의 저항률을 갖는다고 가정한다. 또한,  $\rho_b \gg \rho_m$ 라고 가정한다. 도 3a와 도 3b의 두 바이어 플러그 구조물에 대해  $R_{p1}$ 과  $R_{p2}$ 를 계산하자:

$$R_{p1} = \frac{\rho_m H}{\left(\frac{\pi D^2}{4}\right)} = \frac{4\rho_m H}{\pi D^2}$$

$$R_{P2} \cong \left[ \frac{\rho_m(H-t_b)}{\Pi(D-2t_b)^2} \right] \left[ \frac{\rho_b(H-t_b)}{4[D^2-(D-2t_b)^2]} \right] + 2Rc + \left( \frac{\rho_b t_b}{\Pi D^2} \right)$$

$\rho_b > \rho_m$ 이기 때문에,

$$R_{P2} \cong \frac{4\rho_m(H-t_b)}{\Pi(D-2t_b)^2} + \frac{4\rho_b t_b}{\Pi D^2} + 2Rc$$

여기에서 Rc는 배리어 층과 바이어 금속 플러그나 하층의 금속 라인 사이의 각 인터페이스에서의 유효 접촉 저항이다. 일 예로,  $D=0.25\mu\text{m}$ ,  $H=0.75\mu\text{m}$ ,  $t_b=250\text{\AA}$  ( $0.025\mu\text{m}$ ), 및  $P_m \cong 2\mu\Omega \cdot \text{cm}$  ( $\rho_b > \rho_m$ )라고 가정한다.  $\rho_b \cong 200\mu\Omega \cdot \text{m}$ 로 가정한다.  $R_{P1}$  및  $R_{P2}$ 는 다음과 같이 계산될 수 있다:

$$R_{P1} = \frac{4 \times 2 \times 10^{-6} \Omega \cdot \text{cm} \times 0.75 \times 10^{-4} \text{ cm}}{\Pi(0.25 \times 10^{-4} \text{ cm})^2}$$

$$= \frac{6 \times 10^{-10} \Omega \text{ cm}^2}{\Pi \times 0.25^2 \times 10^{-8} \text{ cm}^2} = \frac{96 \times 10^{-2}}{\Pi} \Omega \cong 0.305 \Omega$$

따라서, 배리어 층이 없는 이상적 경우에 대해 플러그 저항은  $R_{P1} \cong 0.305\Omega$  이 된다.

$$R_{P2} \cong \frac{4 \times 2 \times 10^{-6} (0.75 - 0.025) \times 10^{-4} \Omega \cdot \text{cm}^2}{\Pi[(0.25 - 2 \times 0.025) \times 10^{-4}]^2 \text{ cm}^2}$$

$$+ \frac{4 \times 200 \times 10^{-6} \times 0.025 \times 10^{-4} \Omega \cdot \text{cm}^2}{\Pi(0.25 \times 10^{-4})^2 \text{ cm}^2} + 2Rc$$

$$= \frac{8 \times 0.725 \times 10^{-10}}{\Pi \times 0.20^2 \times 10^{-8}} + \frac{2 \times 10^{-9}}{\Pi \times 0.25^2 \times 10^{-8}} + 2Rc \Omega$$

$$R_{P2} = \frac{5.8 \times 10^{-2}}{\Pi \times 0.040} + \frac{2 \times 10^{-1}}{\Pi \times 0.25^2} + 2Rc \Omega = 0.462 + 1.019 + 2Rc \Omega$$

따라서, 배리어 층을 포함하는 바이어 플러그 구조물에 대해서는 플러그 저항  $R_{P2} = 1.480 + 2Rc\Omega$  이 된다.

(각 플러그에서의 두 배리어/금속 컨택트 인터페이스로 인한) 접촉 저항 분포  $2Rc$ 을 포함하지 않아도, 배리어 층은 전체 바이어 플러그 저항을 상당히 열화시킨다. 이 영향은 다음에, 상호 접속부 구조물에서의 "RC" 전파 지연의 증가에 의한 칩 속도의 강하를 초래한다.

따라서, 상기 설명에 비추어, 관련 "RC" 전파 지연과 상호 접속 용량성 크로스토크 뿐만 아니라, 기생 저항성 및 용량성 요소를 상당히 감소시킬 수 있는 반도체 IC 칩 상호 접속부 구조물과 이와 관련된 제조 공정 플로우에 대한 요구가 대두되고 있다. 이런 요구를 만족하게 되면 고속의 칩 동작 및/또는 저 칩 전력 소모가 가능하게 된다.

더구나, 고 성능의 반도체 IC 칩의 제조에 필요한 온-칩 상호 접속부 레벨의 전체 개수의 감소를 가능하게 할 수 있는 개선된 칩 상호 접속부 구조물과 이와 관련되는 공정 플로우에 대한 요구도 대두되고 있다. 이를 만족하게 되면 칩 제조 공정 플로우의 복잡성을 감소시켜, 제조 수율을 개선하고 전체 제조 비용을 감소시킬 수 있게 된다.

IMD/ILD 어플리케이션의 가능한 최저의 유전체 투과도의 이용을 가능하게 하는 상호 접속부 구조물 및 이와 관련된 상호 접속부 제조 공정 플로우의 요구도 있다.

자유 공간을 IMD/ILD 층으로 사용하여 저 k 유전성 재료의 집적화와 관련되는 부가의 공정 복잡성과 제조 비용을 제거할 수 있는 상호 접속부 구조물과 이와 관련되는 제조 공정 플로우에 대한 요구도 있다.

또한, 상호 접속부 구조물로부터 효율적인 열 제거를 가능하게 하며, 또한 완전 기밀 밀봉된 칩 패키지의 형성을 가능하게 하는 개선된 다중 레벨의 상호 접속부 구조물과 이와 관련된 제조 공정 플로우에 대한 요구도 있다.

**발명의 상세한 설명**

본 발명에 따르면, 이미 개발된 종래의 다중 레벨 상호 접속부 구조물과 이의 제조 방법과 관련된 단점과 문제를 실질적으로 제거하거나 감소시키는 자유 공간 유전성 매체를 포함하는 초고속 반도체

체 IC 칩 상호 접속부를 개시하고 있다.

본 발명의 일 실시예에 따르면, 복수의 전기적 도전성 금속화 레벨을 포함하는 반도체 IC 칩에 대해 초고속 다중 레벨 칩 상호 접속부 구조물을 제공한다. 각 금속화 레벨은 복수의 전기적 도전성 상호 접속부 라인 또는 세그먼트를 포함한다. 복수의 전기적 도전성 바이어 및 컨택트 플러그는 여러 금속화 레벨들 사이와 금속 레벨과 반도체 소자 사이에 전기적 접속을 이룬다. 본 발명은 또한 다중 레벨 상호 접속부 구조물 내에서 도전성 라인과 플러그를 분리하는 전기적 절연성 영역의 적어도 실질적인 부분을 점유하는 자유 공간 매체를 더 포함한다. 상부 패시베이션 상부층은 반도체 기판 상에서 다중 레벨 상호 접속부 구조물 및 아래 놓인 디바이스를 기밀 밀봉한다. 상부 패시베이션 상부층은 또한 상호 접속부 구조물로부터의 열제거와 다중 레벨 상호 접속부의 상부 금속화 레벨의 밀봉 컨택트에 의해 상호 접속부에 부가의 기계적 지지를 용이하게 하는 데에 효율적인 열 전달 매체로서 기능한다.

본 발명이 제공하는 기술적인 장점은 자유 공간 레벨간/금속간 (ILD/IMD) 유전성 매체를 실질적으로 사용한다는 것이다. 본 발명에 의하면, 상호 접속부 구조물은 "RC" 전파 지연의 감소와 용량성 크로스토크의 감소를 제공한다.

N 레벨 ( $N \geq 1$ ) 상호 접속부 구조물에 대해서, 본 발명은 또한 확산 배리어층을 감소시키고 대응하는 피착 단계를 (종래의 방법에서) N에서 하나로 감소시킨다는 부가의 기술적이며 경제적인 장점을 제공한다. 이는 결과적으로 상호 접속부 공정을 간략하게 하며 칩 제조 비용을 절감시킨다.

본 발명의 또 다른 기술적 장점은 여러 유형의 상호 접속부 금속화 재료와의 호환성과 적용 가능성에 있다. 이것은 구리, 금, 은, 알루미늄, 및 여러 초도전성 재료 등의 금속을 포함한다.

다마스커스 (단일의 다마스커스 및 이중 다마스커스) 상호 접속부 제조 방법과의 호환성이 또한 본 발명의 다른 기술적 장점이다. 본 발명은 우수한 열 관리 및 효율적인 열 분산 제거 능력을 제공한다.

본 발명의 다른 기술적 장점은 모든 (하나를 제외한) 배리어층의 필요를 없애어 상호 접속부 금속 리드와 플러그 도전성을 개선한다는 것이다 (모든 바이어 레벨 배리어층이 제거될 수 있다).

본 발명은 대형 입자의 금속 라인과 컨택트/바이어 플러그를 갖는 동종 금속화 구조물 및 여러 상호 접속부 레벨 상에서 바이어 플러그와 인접한 금속 라인 사이의 직접적인, 즉 장벽 없는 플러그-대-금속 라인 컨택트로 인해 상호 접속부 금속화 전기 이동 수명이 개선된다는 기술적 장점을 제공한다.

본 발명은 또한 저 k 유전체 재료와 이와 관련되는 비교적 복잡하고 값비싼 공정의 집적 방법을 사용할 필요를 제거한다는 기술적 장점을 제공한다.

본 발명은 상호 접속부 레벨 당 제조 공정 단계수를, 개선된 저 k 유전체로 다마스커스 상호 접속부 구조물을 형성하는 종래의 방법에 비해 약 네 단계 감소시킬 수 있다.

본 발명은 또한 구리 또는 금 또는 은 등의 금속 원자를 활성 반도체 소자로의 확산을 위한 물리적 경로를 제거하여 더욱 개선된 칩 신뢰성을 준다는 기술적 장점을 제공한다. 더구나, 자유 공간 ILD/IMD 구조물은 금속 원자의 절연 영역으로의 확산으로 인한 ILD/IMD 전기적 브레이크다운 필드 저하의 가능성을 제거한다. 이는 각 상호 접속부 레벨에서 금속화 구조물을 캡슐화하기 위해 확산 배리어층을 사용할 필요성을 제거한다.

본 발명은 진공 상태하에서 또는 상호 접속부 구조물 자유 공간 매체가 불활성 가스 (예를 들어, 헬륨이나 아르곤) 등의 제어된 압력의 적당한 가스로 채워져 기밀 밀봉된 상태에서 다중 레벨 상호 접속부 구조물과 반도체 IC 디바이스를 기밀 밀봉한다는 기술적 장점이 있다.

본 발명의 또 다른 기술적 장점은 본 발명의 공정에 의한 다중 레벨 상호 접속부 구조물 및 전체 반도체 칩의 우수한 기계적 강도 및 일체성이다.

### 도면의 간단한 설명

본 발명과 그 장점의 더욱 완전한 이해는 동일한 참조 부호가 동일한 구성물을 나타내고 있는 첨부한 도면을 참조한 다음의 설명에 의해 용이하게 성취될 것이다.

도 1은 종래 방법에 따른 유기적 저 k 유전체층과 관련한 다마스커스 트렌치의 형성을 설명하는 도면.

도 2a 및 도 2b는 도전성 배리어층이 있는 경우와 없는 경우 두 개의 다른 매립된 구리 상호 접속부 라인을 나타내는 도면.

도 3a 및 도 3b는 두 개의 다른 상호 접속부 레벨 상에 위치한 두 개의 금속 라인 사이에 전기적 접속을 만드는, 하나는 배리어층을 가지고, 다른 것은 배리어층을 갖지 않는, 두 개의 다른 구리 바이어 플러그를 나타내는 도면.

도 4 및 도 5는 이중 다마스커스 다중 레벨 구리 상호 접속부 구조물을 제조하기 위한 종래 예의 공정도.

도 6은 본 발명의 일 실시예 (자유 공간 유전성 매체로 다중 레벨 구리 상호 접속부 구조물의 형성을 위해 나타낸 예)의 공정 플로우도.

도 7은 도 6의 실시예와는 다른, 본 발명의 다른 실시예 (자유 공간 유전성 매체로 다중 레벨 구리 상호 접속부 구조물의 형성을 위해 나타낸 예)의 다른 공정 플로우도.

도 8은 본 발명의 공정의 일부로서 형성된 다중 레벨 상호 접속부 구조물 (자유 공간 매체의 형성과 IC 칩의 기밀 밀봉을 위한 최종 공정 단계의 완료 전에 나타낸 상호 접속부 구조물)을 나타내는 도면.

도 9 내지 도 12는 본 발명의 자유 공간 유전체 상호 접속부 구조물의 제조를 위한 상부층 에천트 전송 개구나 윈도우의 다른 실시예를 나타내는 것으로, 도 9는 장방형상의 홀의 어레이를, 도 10은 원형 홀의 어레이를, 도 11 및 도 12는 직사각형상의 홀의 두 다른 어레이를 나타내는 도면.

도 13은 본 발명의 자유 공간 유전체 상호 접속부 구조물 형성의 일 예를 나타낼 목적으로 상부층상의 에천트 전송 윈도우 패턴의 형성에 이어, 자유 공간 유전성 매체의 형성 후의 도 8의 상호 접속부 구조물을 나타내는 도면.

도 14는 자유 공간 유전성 매체의 형성을 가능하게 하는 데에 사용되는 에천트 전송 윈도우의 형성 후와, 또한 본 발명의 상호 접속부 구조물의 기밀 밀봉을 위한 후속의 피착 단계 다음의 상부 유전체층을 나타내는 도면.

도 15는 자유 공간 유전성 매체, 기밀 밀봉된 상부층, 및 본딩 패드 윈도우의 형성 후의 본 발명의 다중 레벨 상호 접속부 구조물을 나타내는 도면.

### 실시예

도 4는 비유기적 레벨간 유전체 (ILD)와 금속간 유전체 (IMD) 층 (예를 들어, 불화 산화물 또는  $\text{Si}_x\text{O}_y\text{F}_z$ , ILD/IMD 재료)와 관련하여 이중 다마스커스 다중 레벨 구리 금속화 상호 접속부 구조물을 만드는 종래의 상호 접속부 공정 플로우(40)의 일 예를 나타낸다. 이 예에서는, 구리를 모든 바이어 플러그에 사용하면서 (구리를 실리콘에서 이격되게 하기 위해) 텅스텐을 이용하여 텅스텐 접속 플러그를 형성한다. 상호 접속부 제조 공정 (또는 백-엔드-오브-더 라인(back-end-of-the-line) 또는 BEOL 공정)의 플로우는, 단계 42에서 나타내는 바와 같이 트랜지스터와 격리 ( 및 다이오드, 커패시터 등의 다른 디바이스) 구조물의 제조에 이용되는 프론트-엔드-오브-더-라인(front-end-of-the-line; FEOL) 공정 플로우의 완성 후에 시작된다.

$\text{SiO}_2$ ,  $\text{Si}_x\text{O}_y\text{F}_z$  또는 그 외 재료일 수 있는 제1 ILD층(ILD1)이 단계 44에서 나타낸 바와 같이, 열 CVD 또는 PECVD에 의해 피착되고 다음에 화학-기계적 피착(CMP)에 의해 전체적으로 평탄화되고 단계 46에서의 CMP 단계 후에 클린된다. 뒤이어서, 완성된 ILD 구조물을 단계 48에서 나타낸 바와 같이, CVD 또는 PECVD를 이용하여 부가량의 유전성 재료 (예를 들어,  $\text{SiO}_2$ ,  $\text{Si}_x\text{O}_y\text{F}_z$ , 그 외 적당한 절연성 재료)를 피착하여 형성한다. 마이크로리소그래피 및 반응성 이온 에칭 또는 RIE으로 컨택트 홀을 형성한 후에 라이너/배리어층 (예를 들어 Ti/TiN)을 PVD 및/또는 CVD에 의해 형성한다(단계 50, 단계 52 참조). 다음에 단계 54 및 단계 56에서 나타낸 바와 같이 컨택트 홀을 채우도록 텅스텐 층의 블랭킷 피착을 행하고 (단계 54 참조) 뒤이어 텅스텐 CMP 및 사전 CMP 클린을 행하여 텅스텐 컨택트 플러그를 형성한다. 다음에 제조 플로우는 비교적 두꺼운 에칭-스톱층 (예를 들어, 실리콘 질화물층)의 피착과 뒤이어 제2 ILD 층 (예를 들어,  $\text{SiO}_2$  또는  $\text{Si}_x\text{O}_y\text{F}_z$ )의 피착이 계속된다. 후속의 매립된 금속-1 상호 접속부의 형성을 위해, 금속-1 (제1 금속 레벨) 라인 트렌치가 (RIE 공정 종료점에 사용되는 얇은  $\text{Si}_3\text{N}_4$  에칭-스톱층으로) 마이크로리소그래피 패턴링과 RIE에 의해 형성된다 (단계 60).  $\text{Si}_3\text{N}_4$ 는 RIE에 의해 트렌치의 저부로부터 제거된다. 트렌치의 저부에서 실리콘 질화물층의 제거에 사용되는 RIE 단계는 선택적으로 질화물층을 제거하여 ILD1 상에서 스톱된다.

다음에, 확산 배리어층 (TiN, Ta, TaN, 또는 그 외 적당한 재료)은 예를 들어, 150 Å 내지 300 Å의 배리어층을 형성하도록 CVD 또는 PVD에 의해 피착된다 (단계 62). 단계 64 및 66에서 (MOCVD, PVD, 및/또는 도금에 의해) 구리를 피착하고 뒤이어 후속의 금속 CMP 및 사전 CMP 클린에 의해 매립된 금속-1 상호 접속부 라인을 형성한다. 다음의 이중 다마스커스 구리 상호 접속부 레벨은 단계 68에서 나타낸 바와 같이, 금속간 유전체 (IMD) 층 (예를 들어, 얇은 실리콘 질화물 유전체 배리어 및 에칭-스톱층을 포함하는 다중층 유전체)의 피착과,  $\text{SiO}_2$ , 뒤이어 얇은  $\text{Si}_3\text{N}_4$  에칭-스톱층 및 실리콘 이산화물( $\text{SiO}_2$ )층의 상부층의 피착으로 제조되고; 산화물층은  $\text{Si}_x\text{O}_y\text{F}_z$ 와 같은 투과율이 감소된 재료로 대체될 수 있다. 다음에, 마이크로리소그래피 패턴링 공정 및 반응성 이온 에칭 (RIE) 공정 순서는 후속되는 매립된 구리 금속 라인의 형성을 위해 유전체 트렌치를 형성하는 데에 사용된다(단계 70).

다음의 마이크로리소그래피 패턴링 및 유전체 RIE 공정 순서는 상호 접속부 바이어 홀을 형성하는 데에 사용된다 (단계 72). 다음에, 확산 배리어층 (TiN, Ta, TaN, 등)은 CVD 또는 PVD에 의해 피착된다 (단계 74). 뒤이어서, 구리층이 단계 78에서 나타낸 바와 같이 (MOCVD, PVD 및/또는 도금에 의해) 피착되고 CMP에 이어 사전-CMP 클린에 의해 후면이 연마되고(단계 80), 결과적으로 매립된 구리 바이어 플러그와 매립된 금속 상호 접속부 라인을 형성하게 된다. 배리어와 구리 피착 단계 및 CMP와 사전 CMP 클린 뿐만 아니라, (바이어 홀과 상호 접속부 금속 라인 트렌치에 대한) IMD 피착, 마이크로리소그래피 패턴링 및 유전체 RIE 공의 반복 단계가, 단계 82에서 증명되는 바와 같이, 모든 필요한 상호 접속부 레벨이 제조될 때 까지 복수회 실행된다. 다음에, 패시베이션 상부층 (예를 들어,  $\text{Si}_3\text{N}_4$  또는  $\text{SiON}$ )은 단계 84에서 PECVD에 의해 피착된다. 마이크로리소그래피 패턴링 단계와 RIE 공정 단계를 사용하여 (단계 86), 본딩 패드 개구나 윈도우를 형성한다. 다음에 단계 88이 나타낸 바와 같이, 칩이 패키징될 수 있다.

도 5의 공정 플로우차트(90)는 개선된 저 k (예를 들어  $k \leq 2.5$ ) IMD/ILD층을 갖는 이중 다마스커스 구리 금속화의 형성을 위해 이미 개발된 종래 상호 접속부 공정 기술의 다른 예를 제시하고 있다. 공정 플로우(90)는 부가의 공정 단계 92 및 94를 제외하고는 도 4의 종래 공정 플로우과

유사하다. 구리와 저 k 유전체의 집적화를 위한 부가의 공정 단계 92 및 단계 94는 BEOL 상호 접속부 공정 플로우를 통해 양호한 저 k 유전체 집적화를 유지하고 또한 패턴과 에칭 공정에 있어서의 공정 집적화의 문제와 어느 재료와의 호환성의 문제도 제거하는 데에 필요하다. 도 5에서 아웃라인된 공정 플로우의 설명은 도 4의 플로우차트에 대해 이미 제공된 것과 기본적으로 동일하다. 한 가지 차이점은 하드 마스크 재료 ( $\text{SiO}_2$  등)의 박막이 패턴닝 및 CMP 공정 단계 이전에 ILD 또는 IMD 저 k 유전체 표면을 보호하는 데에 사용된다는 것이다.

대부분의 유기적 저 k 유전성 재료는 패턴닝과 에칭 공정 후에 패턴닝된 포토레지스트 층의 제거를 위해 사용되는 통상의 플라즈마 애시 (ash) 공정에서 손상받게 된다 (산화물 하드 마스크를 사용하는 원인이 됨). 더구나, 많은 저 k 유기적 유전체는 이들 특성의 가능한 손상이나 열화로 인해 CMP 패드와 슬러리에 직접 노출될 수 없다. 이것이 저 k 유전체를 보호하기 위해 산화물 하드 마스크를 사용하는 다른 이유이다. 더구나, 이 공정 플로우는 저 k 유전체가 플라즈마 에칭되지 않게 하고 또한 배리어층의 피착을 위해 양호한 측벽 표면을 제공하기 위해서 유전체 트렌치 및 바이어 홀의 측벽 상에 유전체 (예를 들어 산화물) 라이너의 박층을 형성한다. IMD 층에 대해서, 다중층의 적층물은  $\text{Si}_3\text{N}_4$ , 저 k 유전체, 얇은  $\text{SiO}_2$ , 저 k 유전체, 및 얇은  $\text{SiO}_2$ 를 포함한다.

하부 및 상부 저 k 유전체층은 각 레벨에 대해 바이어 플러그와 매립된 상호 접속부 금속 라인을 각각 내장하고 있다. 하부 실리콘 질화물 층 (얇은 질화물)은 하부 레벨 구리 상호 접속부 라인을 캡슐화하기 위해 유전체 확산 배리어로서 사용된다. 중간  $\text{SiO}_2$  박층은 금속 트렌치의 형성 동안 에칭 스톱층으로 사용된다. 도 4의 공정 플로우 40과 도 5의 공정 플로우 90의 비교에 의하면 개선된 저 k 유전성 재료 (유기적 저 k 재료)의 집적화는 표준 실리콘 이산화물 IMD 재료나 그 관련 재료 (불화 산화물 등)와 비교하여 공정의 복잡성이 부가되고 IC 제조 비용이 증가되는 결과를 초래함을 보이고 있다.

다음의 설명은 도 6 및 도 7에서 나타난 본 발명의 상호 접속부 공정 순서와 구조물에 대한 설명에 초점을 맞추고 있다. 본 발명의 두 밀접하게 관련된 플로우 (바람직한 공정 플로우의 실시예)를 도 6의 플로우차트(100) 및 도 7의 플로우차트(150)에서 나타낸다. 먼저, 도 6의 공정 플로우(100)를 설명한다. 백-엔드-오브-더 라인 (BEOL) 상호 접속부 공정 플로우는 트랜지스터, 격리 영역 등에 대한 프론트-엔드-오브-더 라인 (FEOL) 제조 공정 후에 시작한다 (단계 102). 다음 단계는 산화물 에칭에 사용되는 통상의 에칭 화학 작용 (예를 들어, HF계 에천트)에 매우 잘 견디는 적당한 유전체 확산 배리어 재료의 블랭킷 층을 피착하는 것이다. 예를 들어, 열 CVD, PECVD 또는 PVD를 이용하여 실리콘 질화물 (예를 들어, 2000 Å 내지 5000 Å의  $\text{Si}_3\text{N}_4$ ) 층을 피착할 수 있다. 이 층은 뒤이어지는 가처분 레벨간 및 금속간 산화물 층의 에칭 동안 활성 트랜지스터 소자와 격리 구조물의 보호에 이용되는 밀집한 내 에칭층으로서 작용하게 된다. 더구나, 이 두꺼우며 밀집한 내 에칭 유전체 배리어층은 BEOL 상호 접속부 처리 동안 구리가 실리콘 기판과 활성 소자 영역으로 확산되는 것을 방지한다. 그 외 적당한 유전성 재료 (예를 들어, AlN 또는 다이아몬드 형 탄소 또는 DLC)가 이 재료층에 대한  $\text{Si}_3\text{N}_4$  대신에 사용될 수 있다. 블랭킷 유전체 피착 공정 후, 제1 가처분 레벨간 유전체 ( $\text{ILD}_1$ )층이 피착된다 (단계 106). 이것은 단계 108에서 CVD, PECVD 또는 PVD에 의해 피착되는 실리콘 이산화물 층을 포함하는 것이 바람직하다. 다음에, 유전체 CMP 및 사전 CMP 클리닝 공정이 실행되어 (단계 108) 전체적으로 평탄화된 유전체 표면을 형성한다. 이로 인해 다중 레벨의 상호 접속부 제조 공정 플로우 전체에 걸쳐 전체적으로 평탄한 웨이퍼 표면을 제공하게 된다. 뒤이어, 다중층의 가처분 유전체 적층물 (예를 들어,  $\text{SiO}_2/\text{SiON}/\text{SiO}_2$ )이 CVD, PECVD 또는 PVD로 피착된다 (단계 110).

적층물은 실리콘 산화질화물(SiON) 또는 알루미늄 산화물 ( $\text{Al}_2\text{O}_3$ ) 또는 그 외 적당한 가처분 재료와 같은 여러 재료의 에칭 스톱 (또는 에칭 종료점 검출) 박층에 의해 분리된 상부 및 하부 실리콘 이산화물층을 포함한다. 산화질화물의 중간 박층은 이방성 반응성 이온 에칭에 의해 뒤이은 금속 라인 트렌치의 형성 동안 에칭 종료점 마커로 사용되게 된다. 다중층 적층물의 피착 후에, 마이크로리소그래피 패턴닝 공정 및 이에 뒤이은 유전체 RIE (이방성 에칭) 공정이 단계 112에서 나타난 바와 같이 같이 실행되어, 컨택트 홀을 형성한다. 다음에, 다른 마이크로리소그래피 패턴닝 공정과 이방성 RIE 공정이 제1 레벨의 금속 상호 접속부 라인에 대한 유전체 트렌치를 형성하는 데에 사용된다 (단계 114). 다음에, 제1 레벨 금속화가 단계 116에서 나타난 바와 같이, 배리어층 (예를 들어, PVD 또는 CVD에 의한 Ta, TaN, Wx 또는 TiN) 및 단계 118에서 나타난 바와 같이 구리층 (MOCVD, PVD 및/또는 도금에 의해)의 연속적인 피착에 의해 실행된다. 다음에, 구리 CMP 및 사전 CMP 클리닝 공정이 실행되어 (단계 120), 매립된 구리 컨택트 플러그 및 매립된 금속 라인을 형성한다.

다음에, 다음의 상호 접속부 레벨의 제조는 CVD, PECVD, 또는 PVD에 의해 형성된, 적당한 다중층 가처분 유전체 적층물, 바람직하게는  $\text{SiON}/\text{SiO}_2/\text{SiON}/\text{SiO}_2$ 의 피착으로 계속된다 (단계 122). 실리콘 산화질화물(SiON) 층은 상부 및 하부  $\text{SiO}_2$  층 (예를 들어, 100 Å 내지 500 Å)과 비교하여 비교적 얇으며 바이어 홀과 금속 라인 트렌치의 형성을 위한 후속의 RIE 에칭 공정 동안 에칭 스톱 층으로서 사용된다. 그 외 알루미늄 산화물 등의 적당한 재료가 SiON 대신에 에칭 스톱층으로서 사용될 수 있다. 다중층 적층물의 피착 후, 마이크로리소그래피 패턴닝과 이방성 RIE 공정의 두 연속적 단계 (단계 124 및 단계 126)가 바이어 홀과 상호 접속부 금속 라인 트렌치의 형성을 위해 실행된다. 다음에, 바이어 홀과 상호 접속부 금속 라인 트렌치를 채우도록 구리층이 MOCVD, PVD 및/또는 도금에 의해 피착된다 (단계 128). 이 단계에서 구리는 확산 배리어층 없이도 패턴닝된 구조물 상에 직접 피착될 수 있으므로, 상호 접속부 공정 플로우를 간략화할 수 있다. 원하거나 필요하다면, 구리의 피착 이전에 부착 촉진용 접착제층을 표면에 피착할 수 있다.

뒤이어서, 구리 CMP 및 사전 CMP 클리닝 공정을 단계 130에서 실행하여, 매립된 바이어 구리 플러그와 매립된 상호 접속부 금속 라인을 형성한다. 다중층 유전체 적층물 피착, 바이어 홀과 금속 라

인 트렌치의 제조, 구리 피착 및 구리 CMP (및 사전 CMP 클린)의 반복적 단계가 단계 132에서 증명된 바와 같이, 모든 필요한 상호 접속부 레벨이 제조 될 때 까지 복수회 실행된다. 필요한 상호 접속부 레벨 모두가 형성된 후, 상부 내에칭 유전체층 바람직하게는, 실리콘 질화물층 (약 2000 Å 내지 1µm의 두께)이 단계 134에서 CVD, PECVD 또는 PVD에 의해 피착된다. 알루미늄 질화물 또는 다이아몬드 형 탄소 (DLC)와 같은 그 외 적당한 내에칭제 (및 바람직하게 고 열 도전성 유전성 재료)가 실리콘 질화물 대신에 사용될 수 있다. 도 8의 개략도는 상호 접속부 제조 공정 플로우의 이 단계에서 (6 레벨의 구리 상호 접속부로 나타낸) 다중 레벨 상호 접속부 구조물의 단면도 예를 도시하고 있다.

다음에, 마이크로리소그래피 패터닝 공정과 뒤이은 이방성 RIE 공정이 실행되어 (단계 136 참조) 상부 유전체층 내에 에천트 전송 윈도우나 개구를 형성한다. 도 9, 10, 11 및 12의 개략도는 상부 내에칭 유전체층 내에 형성된 몇 개의 가능한 레이아웃 패턴의 에천트 전송 윈도우를 나타내고 있다. 바람직하게, 에천트 전송 윈도우 패턴은 적어도 하나의 최소 기하학적 면내 치수를 갖는 개구 또는 윈도우 (장방형, 직사각형, 원형 등)를 포함한다. 예를 들어, 도 9의 패턴은 가까이 이격된 장방형 윈도우 어레이를 나타내고 있다. 0.18µm 기술의 노드에 대해서, 이들 윈도우는 0.18µm x 0.18µm의 면적을 가지며 인접한 윈도우는 0.18µm 거리만큼 분리될 수 있다. 도 10의 다른 패턴은 원형 홀의 어레이를 포함한다. 다시, 이 홀들은 최소 기하학적 직경 (예를 들어, 0.18 µm 기술에서 서로 0.18µm 이격된 원형 홀에 대해 0.18µm 직경의 치수)을 가질 수 있다. 도 11 및 도 12는 전체 전송 윈도우 면적 비 (윈도우의 전체 면적 대 전체 표면 면적 비)가 더 큰 직사각형 윈도우를 포함하는 두개의 다른 에천트 전송 윈도우 패턴을 도시하고 있다. 이들 직사각형 윈도우의 짧은 측면 치수는 마이크로리소그래피 기구 (예를 들어, 0.18µm 기술에 대해 0.18µm)의 해상도와 동일한 것이 바람직한 반면, 긴 측면 치수 (직사각형 윈도우의 길이)는 수 마이크로미터 내지 10에서 몇백 마이크로미터(µm)일 수 있다. 이 생각은 비교적 큰 전송 면적 비 (바람직하게 >50%)를 제공하며 상호 접속부 금속화 구조물에 큰 영향을 미치지 않으면서 간단한 피착 공정을 이용하여 기밀 밀봉될 수 있는 에천트 전송 윈도우 패턴을 갖게 한다. 상부 내 에칭층 (예를 들어, CVD, PECVD, 또는 PVD 또는 그 외 증착법에 의해 피착된 Si<sub>3</sub>N<sub>4</sub> 또는 AlN층)의 두께는 에천트 전송 단위 셀의 작은 측면 치수 보다 몇 배 더 크다. 예를 들어, 0.18µm 기술에 대해, 우리는 0.18µm의 최소 면내 치수 (예를 들어, 0.18µm x 5µm의 윈도우 크기를 갖는 직사각형 단위 셀)를 갖는 에천트 전송 윈도우 셀 (장방형, 원형, 직사각형, 또는 그 외 어느 형상이라도)로 0.70µm 내지 10µm 두께의 실리콘 질화물 상부 내에칭층을 사용할 수 있다.

도 6으로 다시 돌아가면, 전체의 다중 레벨의 가처분 실리콘 이산화물 유전체 구조물을 선택적으로 제거하기 위해 고 선택적 에칭 (바람직하게 HF계 에칭과 같은 습식 에칭 처리)이 단계 138에서 실행된다. 이 에칭 화학 작용과 최종 에칭 생성물이 에천트 전송 윈도우 (또는 단위 셀)를 쉽게 통과하여 에칭 공정을 용이하게 한다. 전송 단위 셀과 이들의 비교적 큰 면적 비의 고 패킹 (packing) 밀도로 인해, 선택적 에천트는 하부 내 에칭층 (예를 들어, 실리콘 질화물이나 알루미늄 질화물 또는 DLC) 및 상부 내 에칭 패턴된 (예를 들어, 실리콘 질화물, 알루미늄 질화물, 또는 DLC) 층 사이에서 전체 다중 레벨 산화물 및 산화 질화물 유전체 적층물 바운드를 용이하게 제거할 수 있다. 선택적 에천트 (예를 들어, HF 계 습식 에천트)는 금속화 구조물에 충돌하지 않거나 충돌해서는 않되므로 상부와 저부 내 에칭층 (예를 들어, 실리콘 질화물, 알루미늄 질화물 또는 DLC)의 매우 작은 부분만을 제거할 수 있다. 예를 들어, 실리콘 질화물에 관련한 산화물에 대해 100:1의 습식 에칭 선택도에 의하면, (다중 레벨 산화물과 매립된 산화 질화물의 또한 과도 에칭분의 제거를 위해) 10µm의 등가의 산화물 두께의 제거로, 상부와 저부 내 에칭층으로부터 약 0.1µm 실리콘 질화물이 제거되게 된다. 이것은 또한 에천트 전송 윈도우의 확대를 초래한다 (예를 들어, 0.18µm 폭의 직사각형 단위 셀이 0.38µm 폭의 윈도우로 성장함).

일반적으로, 내 에칭 재료에 비해 가처분 ILD/IMD 재료로 충분히 높은 선택도 (>100:1)를 갖는 에천트를 사용하는 것이 바람직한데, 이는, 상부와 저부 내 에칭층 (예를 들어, 실리콘 질화물 또는 알루미늄 질화물 또는 DLC 또는 그외 적당한 유전체)의 두께 제거를 바람직하게 <1000 Å으로 제한한다. 도 13의 개략적인 단면도는 가처분 산화물 유전체층의 선택적 제거 후의 최종 디바이스 구조물을 나타낸다. 도시된 바와 같이, 다중 레벨 구리 상호 접속부 구조물은 상부와 저부 내 에칭 (예를 들어, 실리콘 질화물) 층 사이의 구조물 내에서 자유 공간 매체로 둘러싸여 있다. 다중 레벨 구리 상호 접속부 구조물은 상부 금속 레벨과 저부 컨택트 플러그에의 컨택트를 밀봉하는 상부와 저부 내에칭 실리콘 질화물층에 의해 각각 형성된 상부와 저부 경계면 뿐만 아니라 그 자신의 라인과 플러그 상호 접속부에 의해 기계적으로 지지되어 있다. 원한다면, 적층된 더미 컨택트와 바이어 플러그로 만들어진 복수의 금속 기동은 상부와 저부 내에칭층 (선택적이지만 필수적인 것은 아님) 사이에 부가의 기계적 지지물을 제공하는 데에 사용된다.

이 단계에서, 전기 이동 수명의 개선, 금속화 도전성의 개선을 위해 또한 잔류의 스트레스를 완화하기 위해서, 상호 접속부 구조물에서 입자의 성장과 바람직한 고 배향의 텍스처링을 형성하도록, 단계 149에서 나타낸 바와 같이 (예를 들어, 250°C와 400°C 사이의 온도에서) 선택적인 열 어닐링을 실행할 수 있다. 이 선택적 열 어닐링 공정은 최대의 전기 이동 신뢰 가능 수명의 개선을 위해 "땀-형 (bamboo-type)" 마이크로구조물을 갖는 대형 입자 다중 레벨 구리 금속화 시스템을 형성하는 데에 사용된다.

다음에, 단계 142에서 나타낸 바와 같이, 적어도 하나의 피착 공정과 바람직하게 두 연속적인 재료 피착 공정 단계가 계속된다. 제1 피착 공정은 SiO<sub>2</sub>, Si<sub>3</sub>N<sub>4</sub>, AlN, Al<sub>2</sub>O<sub>3</sub> 등과 같은 제어된 두께 (예를 들어, 50 Å 내지 200 Å)의 유전성 재료의 피착을 위해 실질적으로 컨포멀한 (CVD 또는 PECVD) 피착 공정이다. 바람직한 재료는 실리콘 이산화물이다. 이 컨포멀 피착 공정은 다중 레벨 금속화 구조물 (금속 라인과 플러그)의 모든 노출 표면 영역 위에 SiO<sub>2</sub> 등의 유전성 재료를 둘러싸는 박층 (예를 들어, 50 Å 내지 200 Å)을 피착한다. 이 피착 공정은 또한 저부 내에칭층 위에 박층 뿐만 아니라 에천트 전송 윈도우를 포함하여, 상부 내에칭 패턴된 유전체 (예를 들어, 실리콘 질화물)의 노출면 위에 컨포멀 유전체의 박층을 피착한다. 컨포멀 유전체 두께는 에천트

전송 윈도우 또는 상부 패터닝된 내에칭 절연체를 완전히 밀봉하는 데에 충분하지 않을 정도로 작게 선택될 수 있다.

이 컨포멀 유전체 (예를 들어, 실리콘 이산화물)의 피착 단계의 주 목적은 자유 공간 매체를 통해 인접한 레벨내와 레벨간 금속 라인 및/또는 플러그 사이에 열 방출 및/또는 저 전압 전기 브레이크다운을 방지하거나 억제하는 것이다. 제2 피착 단계는 기밀 밀봉된 상부 절연성 패시베이션 상부층을 형성하는 데에 사용되는 실질적으로 논컨포멀 또는 (단차 피복이 열악한) 방향성 피착 단계인 것이 바람직하다. 예를 들어, PVD (플라즈마 스퍼터링) 또는 논컨포멀 PECVD (또는 그 외 제2 증착법이나 레이저 어블레이션과 같은 처리)가 실리콘 질화물, 알루미늄 질화물, 실리콘 산화질화물, 다이아몬드형 탄소 (DLC), 붕소 질화물 또는 그 외 이들의 조합을 포함하는 층을 피착하는 데에 사용될 수 있다. 바람직하게, 피착된 재료는 이온 오염과 습도에 대해 내성을 갖는 확산 배리어 특성을 가지며, 또한 비교적 높은 열 도전성을 갖는다. 예를 들어, 이 논컨포멀 또는 방향성 피착은 실리콘 질화물, 알루미늄 질화물, DLC 또는 그 외 적당한 재료의 피착을 위해 대기중 피착 공정 (바람직하게 헬륨 캐리어 가스에 의한 열 CVD 공정 또는 불활성 분위기 중의 적당한 목표 재료를 이용한 대기중 레이저 어블레이션 피착 공정)을 포함할 수 있다.

도 14에서 나타난 개략도는 에천트 전송 윈도우를 포함하는 패터닝된 층으로부터 시작하여 완전히 밀봉된 윈도우로 기밀 밀봉된 구조물로 끝나는 상부 유전체층의 발생 예를 도시하고 있다 (상부와 저부의 도면은 컨포멀/언컨포멀 유전체 피착 공정의 전과 후의 상부 유전체층의 단면도를 나타냄).

상호 접속부 구조물의 기밀 밀봉을 위한 다른 실질적인 공정 순서는 다음과 같다: (i) 금속화 구조물 상에 박층의 산화물을 피착하기 위해 헬륨 캐리어 가스에  $\text{SiH}_4/\text{N}_2\text{O}$ 를 이용하여 대기중 저온 실리콘 이산화물 피착 (부분적으로 컨포멀) 단계를 실행하고; (ii) 실리콘 질화물 (또는 실리콘 산화질화물) 층을 패시베이션 상부층으로 피착하고 (이는 PECVD에 의해 피착된  $5000\text{\AA}$  두께의 층일 수 있음); (iii) 고 열 도전성 절연성 재료, 바람직하게는 알루미늄 질화물 또는 DLC의 층 (예를 들어,  $5000\text{\AA}$  내지  $1\mu\text{m}$  두께의 층)을 적당한 피착 공정 (바람직하게 RF 마그네트론 스퍼터링 또는 PECVD)에 의해 피착한다. 이 예의 공정 순서에 의하면 연속적 상부 패시베이션층을 재생성함으로써 칩 상호 접속부 구조물의 완전한 기밀 밀봉이 실현된다. 더구나, 이 공정의 순서에 의하면 최종적으로 헬륨이 충전된 자유 공간 금속 간/레벨 간 유전성 매체가 생성된다. 대기중 헬륨 자유 공간 유전성 매체는 다중 레벨 상호 접속부 구조물 내에 우수한 열 전달 매체를 제공하고; 또한 인접한 금속 라인과 도전성 플러그 사이의 레벨 내와 레벨 간 전압으로 인한 열 방출 (결과적으로 전기 누설 전류) 또는 가스 브레이크다운 효과를 억제한다.

상기 예는 기밀 밀봉된 헬륨-충전된 (예를 들어, 대기압에서나 그 근처에서) 자유 공간 레벨 간/금속 간 유전성 매체와 관련하여 상부에 기밀 밀봉된 연속적 유전체층의 형성을 위한 통상의 공정 플로우를 나타낸다. 원한다면, 자유 공간 헬륨 압력은 고압의 헬륨으로 충전된 고압 공정실에서 방향성 피착 (예를 들어, 레이저 어블레이션) 공정 (도 14 참조)을 실행하여 상기 대기압 (예를 들어, 1 내지 5 기압)으로 증가될 수 있다. 그러나, 본 실시예의 바람직한 방법과 구조가 밀봉된 자유 공간 상호 접속부 유전체 ILD/IMD 체적을 충전하기 위해 대기중 또는 대기중 근처의 헬륨 (또는 그 외 아르곤 등의 적합한 불활성 가스)을 이용하는 것이 강조되고 있다. 더 낮은 압력 (예를 들어, 1 Torr 내지 1 기압)의 헬륨 가스와, 그 외 형태의 가스 (를 들어, 아르곤, 질소, 수소, 등)가 자유 공간 영역을 충전하는 데에 사용될 수 있다.

열 처리 (효율적인 열 제거) 및 유전체 브레이크다운의 이유로 인해, 진공 근처의 자유 공간 매체 위에 가스 충전 자유 공간 유전체 영역이 바람직하다. 예를 들어, 헬륨 충전 자유 공간 매체(16) (대기중 He 압력이나 그 근처에서)는 (고 열 도전성 상부와 저부 내에칭 층 뿐만 아니라 고열 도전성 구리 금속화 구조물과 관련하여) 더욱 우수한 열 전달 매체, 우수한 내 브레이크다운 상호 접속부 구조물, 및 진공 자유 공간 매체에 비교해 더 양호한 내열방출 자유 공간 매체를 제공한다.

도 6의 공정 플로우차트에서 나타난 바와 같이, 다음의 제조 모듈은 마이크로리소그래피 패터닝 단계 (단계 144)이고, 이에 이어 상부 패시베이션 상부층에 개구를 에칭하여 본딩 패드 윈도우를 형성하기 위한 이방성 유전체 RIE 공정이다. 도 15의 개략도는 이 패터닝과 에칭 단계 후의 다중 레벨 구리 상호 접속부 구조물을 나타낸다. 이 구조물은 저부 유전체 확산 배리어층과 상부 고열 도전성 기밀 밀봉층 사이에 다중 레벨 구리 상호 접속 바운드를 포함한다. 금속화 구조물은 헬륨과 같은 불활성 가스로 충전된 밀봉 자유 공간 매체에 의해 둘러싸여 있다.

마지막으로, 웨이퍼는 (플립-칩 패키징과 같은) 단계 146에서 다이싱(dicing)과 패키징의 준비가 되어 있다. 다중 레벨 상호 접속부 구조물은 (바람직하게는 He로 충전된) 매립된 자유 공간의 ILD/IMD 매체로 완전히 기밀 밀봉되어 있다. 이 구조물은 다른 저 k 유전성 재료를 포함하는 상호 접속부 구조물 보다 더 우수한 최고 레벨의 상호 접속부 전기 성능과 신뢰 가능 수명을 제공한다.

본 발명의 바람직한 실시예의 공정 플로는 상부 내에칭층에 에천트 전송 윈도우의 형성을 위한 하나의 여분의 마이크로리소그래피 마스크 단계에 이용한다. 도 6의 공정 플로는 두 개의 마스크 단계가 에천트 전송 윈도우와 본딩 패드 윈도우의 형성을 위해 사용되는 것을 나타낸다 (하나의 여분의 마스크 단계를 필요로 하는 결과를 초래함).

다르게는, 도 7의 다른 공정 플로우에서 나타난 바와 같이, 에천트 전송 윈도우와 본딩 패드에 대해 마이크로리소그래피 패터닝 단계를 결합한다고 해도, 마이크로리소그래피 마스크 단계의 수를 하나 씩 감소시킬 수 있다.

도 7의 공정 플로우(150)는 기본적으로 마지막 (최상부) 레벨의 구리 상호 접속부에 대한 구리 CMP와 사전 CMP 크리닝 공정 전체에 걸친 (도 6에서 나타난) 제1 실시예, 즉 단계 132와 유사하

다. 다음에, 상부 내 에칭 유전체층 (또는 다중층 재료 적층물)이 단계 134에서 CVD, PVD, 및/또는 PECVD에 의해 피착된다. 예를 들어, 밀집한 실리콘 질화물 층을 PECVD 및/또는 PVD에 의해, 또는  $Si_3N_4/AlN$  (예를 들어, 5000Å 내지 1 $\mu m$  이상의 실리콘 질화물 다음에 5000Å 내지 1 $\mu m$  이상의 알루미늄 질화물)의 이중층을 PECVD 및/또는 PVD에 의해 피착하는 것이 가능하다. 다음에, 단계 152에서 마이크로리소그래피 패터닝 공정과 뒤이은 이방성 유전체 RIE 공정을 순차적으로 실행하여 (도 9-12에서 나타낸 예를 중 하나와 같은 적당한 패턴에 대응하는) 에천트 전송 윈도우와, 또한 본딩 패드 윈도우를 형성한다. 이 마스크링 단계는 에천트 전송 윈도우와 본딩 패드의 레이아웃을 하나의 마이크로리소그래피 마스크에 결합한다.

다음에, 가처분 실리콘 이산화물 ILD/IMD 층은 단계 138에서 고 선택적 습식 에천트를 이용하여 선택적으로 제거된다. 이로 인해 상호 접속부 구조물을 둘러싸는 자유 공간 ILD/IMD 매체를 갖는 다중 레벨 상호 접속부 구조물을 만든다. 다음에, 도 6과 관련하여 상세히 설명되는 바와 같이, 구리 금속화 구조물은 제어된 박막 (예를 들어, 50Å 내지 200Å)의 실리콘 이산화물 (또는 실리콘 질화물 또는 그 외 다른 절연성 재료)로 피복되고 상호 접속부 구조물은 복수 단계 (예를 들어 둘 또는 세 단계)의 권포형/연권포형 유전체 피착 공정 (단계 142)를 이용하여 기밀 밀봉된다. 다음의 제조 공정 단계는 본딩 패드가 단계 144에서 재노출될 때 까지의 블랭킷 플라즈마 (예를 들어, RIE) 유전체 에칭백 공정이다.

단계 144에서의 이 에칭백 공정은 선택적 에칭 종료점 검출법 (예를 들어, 레이저 반사 종료점)을 사용하여 쉽게 종료될 수 있다. 마지막으로, 웨이퍼는 IC 칩으로 다이싱되고 칩은 적당한 패키징 기술을 이용하여 패키징된다. 이 본 발명의 다른 제2 실시예에 기초하여, N 레벨의 상호 접속부 구조물에 대한 마이크로리소그래피 마스크링 단계의 전체 개수는  $2N+1$ 이 되고, 이는 종래 기술의 상호 접속부 공정 플로우에 필요한 마스크의 수와 동일한 것이다. 본 발명의 제1 실시예 (도 6에서 나타냄)는  $2N+2$ 개의 마이크로리소그래피 마스크링 단계를 이용한다.

본 발명이 상세히 설명되었지만, 첨부한 청구범위에 의해 정의된 본 발명의 정신 및 영역에서 벗어나지 않고 여러 변경, 대체 및 수정이 행해질 수 있음을 이해해야 할 것이다.

**(57) 청구의 범위**

**청구항 1**

반도체 기판 상의 반도체 집적 회로 칩의 다중 레벨 상호 접속부 구조물에 있어서, 각각 복수의 전기적 도전성 상호 접속부 세그먼트를 포함하는 복수의 전기적 도전성 금속화 레벨; 여러 금속화 레벨들 사이와 상기 금속화 레벨과 복수의 반도체 소자 사이의 전기적 접속을 위한 복수의 전기적 도전성 플러그; 상기 다중 레벨 상호 접속부 구조물 내의 전기적 절연 영역 중 적어도 대부분을 점유하는 자유 공간 매체; 및 상기 다중 레벨 상호 접속부 구조물의 기밀 밀봉과 상기 집적 회로 칩의 보호를 위한 것으로, 상기 상호 접속부 구조물로부터의 열 제거를 용이하게 하기 위한 열 전달 매체로 작용하며 상기 다중 레벨 상호 접속부 구조물의 상부 금속화 레벨과의 접촉에 의해 상기 상호 접속부 구조물에 부가의 기계적 지지를 제공하는 전기적 절연성 상부 패시베이션 상부층을 포함하는 다중 레벨 상호 접속부 구조물.

**청구항 2**

제1항에 있어서, 상기 전기적 도전성 상호 접속부 세그먼트의 적어도 일부는 구리로 만들어진 다중 레벨 상호 접속부 구조물.

**청구항 3**

제1항에 있어서, 상기 전기적 도전성 플러그의 적어도 일부는 구리로 만들어진 다중 레벨 상호 접속부 구조물.

**청구항 4**

제1항에 있어서, 상기 전기적 도전성 상호 접속부 세그먼트의 적어도 일부는 은 또는 알루미늄을 포함하는 재료로 만들어진 다중 레벨 상호 접속부 구조물.

**청구항 5**

제1항에 있어서, 상기 전기적 도전성 상호 접속부 세그먼트와 플러그의 적어도 일부는 초도전성 재료를 포함하는 재료로 만들어진 다중 레벨 상호 접속부 구조물.

**청구항 6**

제1항에 있어서, 상기 반도체 기판은 실리콘, 또는 실리콘-온-절연체, 또는 갈륨 아세나이드 (arsenide)인 다중 레벨 상호 접속부 구조물.

**청구항 7**

제1항에 있어서, 상기 전기적 절연성 상부 패시베이션 상부층은 실리콘 질화물, 실리콘 산화질화

물, 알루미늄 질화물, 다이아몬드형 코팅, 붕소 질화물 또는 실리콘 탄화물을 포함하는 재료로 만들어진 다중 레벨 상호 접속부 구조물.

#### 청구항 8

제1항에 있어서, 상기 전기적 절연성 상부 패시베이션 상부층은 복수의 개방 본딩 패드 윈도우 및 폐쇄 재밀봉된 윈도우를 갖는 재료층을 포함하고, 후자의 윈도우는 상기 자유 공간 매체의 형성과 후속되는 상기 상호 접속부 구조물의 기밀 밀봉에 사용되는 다중 레벨 상호 접속부 구조물.

#### 청구항 9

제1항에 있어서, 상기 다중 레벨 상호 접속 구조물은 전기적 절연성 저부 버퍼층에 의해 더 지지되고, 상기 전기적 절연성 저부 버퍼층은 상기 반도체 집적 회로 칩 기판 내에 제조된 하부의 트랜지스터와 격리 영역으로부터 상기 다중 레벨 상호 접속부 구조물을 분리시키는 다중 레벨 상호 접속부 구조물.

#### 청구항 10

제9항에 있어서, 상기 상부 패시베이션 상부층은 상기 전기적 도전성 플러그의 일부와 상기 반도체 기판 내에서 상기 하부의 트랜지스터 사이의 전기적 접속을 위해 상기 전기적 도전성 본딩 패드와 상기 전기적 절연성 저부 버퍼층을 노출하도록 개구를 제공하는 다중 레벨 상호 접속부 구조물.

#### 청구항 11

제9항에 있어서, 상기 다중 레벨 상호 접속부 구조물은 상기 전기적 도전성 상호 접속부 세그먼트와 플러그 사이의 복수의 상호 접속부에 의해 기계적 안정성, 상기 상부 패시베이션 상부층과 상기 상부 금속화 레벨의 일부 사이의 바인딩 접속, 및 상기 전기적 도전성 플러그의 일부와 상기 전기적 절연성 저부 버퍼층 사이의 바인딩 접속을 제공하는 다중 레벨 상호 접속부 구조물.

#### 청구항 12

제9항에 있어서, 상기 복수의 전기적 도전성 레벨 및 플러그는 자유 공간 유전성 매체와 관련하여 상기 상부 패시베이션 상부층과 상기 전기적 저부 버퍼층 사이에 형성된 밀봉된 캐비티 내에 배열되는 다중 레벨 상호 접속부 구조물.

#### 청구항 13

제9항에 있어서, 상기 전기적 절연성 저부 버퍼층은 실리콘 질화물, 알루미늄 질화물, 다이아몬드형 코팅, 실리콘 탄화물, 또는 붕소 질화물을 포함하는 재료로 만들어진 다중 레벨 상호 접속부 구조물.

#### 청구항 14

제9항에 있어서, 상기 전기적 절연성 저부 버퍼층은 상기 다중 레벨 상호 접속부 구조물에 대해 부가의 기계적 지지를 제공하는 다중 레벨 상호 접속부 구조물.

#### 청구항 15

제14항에 있어서, 상기 전기적 절연성 저부 버퍼층은 상기 금속화 재료와 이온 오염물에 의해 상기 반도체 기판이 오염되지 않도록 하는 데에 유효한 반사 배리어 특성을 갖는 블러킹 재료를 더 제공하는 다중 레벨 상호 접속부 구조물.

#### 청구항 16

제14항에 있어서, 상기 전기적 절연성 저부 버퍼층은 상기 하부의 트랜지스터와 격리 영역에 손상을 주지 않고 상기 자유 공간 매체의 형성을 가능하게 하는 다중 레벨 상호 접속부 구조물.

#### 청구항 17

제1항에 있어서, 상기 기밀 밀봉된 자유 공간 매체는 가스성 재료를 포함하는 다중 레벨 상호 접속부 구조물.

#### 청구항 18

제1항에 있어서, 상기 기밀 밀봉된 자유 공간 매체는 진공을 포함하는 다중 레벨 상호 접속부 구조물.

#### 청구항 19

제17항에 있어서, 상기 가스성 재료는 5 기압 이하의 압력 범위 내에 있는 다중 레벨 상호 접속부 구조물.

#### 청구항 20

제17항에 있어서, 상기 가스성 재료는 대기압이거나 대기압 근처에 있는 다중 레벨 상호 접속부 구조물.

#### 청구항 21

제17항에 있어서, 상기 가스성 재료는 고열 도전성 불활성 가스를 포함하는 다중 레벨 상호 접속부 구조물.

#### 청구항 22

제21항에 있어서, 상기 불활성 가스는 헬륨이나 아르곤을 포함하는 다중 레벨 상호 접속부 구조물.

#### 청구항 23

제17항에 있어서, 상기 가스성 재료는 질소나 수소를 포함하는 다중 레벨 상호 접속부 구조물.

#### 청구항 24

제17항에 있어서, 상기 가스성 재료는 상기 전기적 도전성 상호 접속부 세그먼트와 플러그에 의한 상기 자유 공간 매체 내의 전기적 누설 전류와 가스 브레이크다운을 억제하는 다중 레벨 상호 접속부 구조물.

#### 청구항 25

제19항에 있어서, 상기 복수의 전기적 도전성 상호 접속부 세그먼트와 플러그의 노출면은 캡슐화된 코팅층을 더 포함하는 다중 레벨 상호 접속부 구조물.

#### 청구항 26

제11항에 있어서, 상기 캡슐화된 코팅층은 ( $TiN_x$ ,  $TaN_x$ ,  $Wn_x$ , 또는 은 등의) 전기적 도전성 재료를 포함하는 다중 레벨 상호 접속부 구조물.

#### 청구항 27

제25항에 있어서, 상기 캡슐화된 코팅층은 (실리콘 이산화물, 실리콘 질화물, 알루미늄 질화물, 알루미늄 산화물, 또는 다이아몬드형 탄소 등의) 전기적 절연성 재료를 포함하는 다중 레벨 상호 접속부 구조물.

#### 청구항 28

제27항에 있어서, 상기 전기적 절연 캡슐화 코팅층은 상기 상호 접속부 구조물 내의 전기적 누설과 브레이크다운을 억제하는 다중 레벨 상호 접속부 구조물.

#### 청구항 29

제1항에 있어서, 상기 복수의 전기적 도전성 상호 접속부 세그먼트와 플러그의 적어도 일부는 (구리, 은, 금 또는 초도전성 재료 등의) 고 전기 도전성 재료를 포함하는 다중 레벨 상호 접속부 구조물.

#### 청구항 30

제1항에 있어서, 상기 전기적 도전성 플러그의 일부는 상기 제1 금속화 레벨과 아래 놓인 반도체 소자 사이의 전기적 접속을 제공하며 ( $TiN_x$ ,  $TaN_x$ ,  $Wn_x$ , Ta, 또는 3원 도전성 배리어 재료 등의) 도전성 확산 배리어층에서 캡슐화된 도전성 콘택트 플러그를 포함하는 다중 레벨 상호 접속부 구조물.

#### 청구항 31

제30항에 있어서, 상기 제2 레벨과 상기 상부 레벨 사이의 상기 복수의 금속화 레벨 및 제1 금속화 레벨 위에 레벨 간 접속부를 제공하는 상기 복수의 전기적 도전성 바이어 플러그는 어떤 전기적 도전성 확산 배리어 층도 이용하지 않는 다중 레벨 상호 접속부 구조물.

#### 청구항 32

제9항에 있어서, 상기 상부 패시베이션 상부층과 상기 저부 전기적 절연성 버퍼층은 (실리콘 질화물, 알루미늄 질화물, 실리콘 탄화물, 붕소 질화물, 또는 다이아몬드형 코팅 중 하나 또는 이들의 결합물 등의) 적어도 하나의 내에칭 전기적 절연성 재료를 이용하여 형성되는 다중 레벨 상호 접속부 구조물.

#### 청구항 33

제9항에 있어서, 상기 상부 패시베이션 상부층과 상기 저부 전기적 절연성 버퍼층은 상기 반도체 집적 회로 칩의 주변 영역에 밀봉된 콘택트를 만들도록 함께 결합되어 상기 복수의 전기적 도전 금속화 레벨, 상기 복수의 전기적 도전성 플러그 및 상기 자유 공간 매체를 캡슐화하는 기밀 밀봉되며 기계적으로 안정된 캐비티를 형성하는 다중 레벨 상호 접속부 구조물.

#### 청구항 34

제1항에 있어서, 상기 전기적 도전성 금속화 레벨과 전기적 도전성 플러그 사이의 콘택트 인터페이스의 적어도 실질적인 부분은 어느 인터페이스 콘택트 배리어 층 없이도 동일한 금속화 재료의 직접적인 접속부를 포함하는 다중 레벨 상호 접속부 구조물.

#### 청구항 35

제1항에 있어서, 상기 상부 패시베이션 상부층의 저부면에 접속된 복수의 더미 플러그는 상기 다중 레벨 상호 접속부 구조물에 대해 부가의 구조적 및 기계적 지지를 제공하는 다중 레벨 상호 접속부 구조물.

**청구항 36**

다중 레벨 상호 접속부 구조물의 형성 방법에 있어서,

복수의 전기적 도전성 상호 접속부 세그먼트를 포함하며, 가처분 레벨 간과 금속 간 재료층에 의해 분리되며 이 재료층 내에 매립된 복수의 금속화 레벨을 제조하는 단계;

상기 금속화 레벨과 결합되며 상기 가처분 레벨 간 및 금속 간 재료층 내에 매립된 복수의 전기적 도전성 플러그를 제조하는 단계;

상기 복수의 금속화 레벨 위에 상부 절연체층을 피착하는 단계;

상기 상부 절연체층 내에 복수의 개구를 형성하는 단계;

상기 복수의 금속화 레벨과 상기 전기적 도전성 플러그의 적어도 대부분을 둘러싸는 자유 공간 유전성 매체를 형성하도록 상기 가처분 레벨 간 및 금속 간 재료층을 선택적으로 제거하는 단계;

상기 자유 공간 유전성 매체의 전체 체적을 실질적으로 축소시키지 않고 전기적 절연성 재료층을 피착하고 상기 복수의 개구를 밀봉함으로써 기밀 밀봉된 상호 접속부 구조물을 자유 공간 유전성 매체로 형성하는 단계; 및

상기 본딩 패드 개구를 형성하는 단계

를 포함하는 다중 레벨 상호 접속부 구조물의 형성 방법.

**청구항 37**

제36항에 있어서, 상기 복수의 금속화 레벨과 전기적 도전성 플러그의 적어도 일부는 다마스쿠스 공정 플로우를 이용하여 상기 가처분 재료층 내에 형성되는 다중 레벨 상호 접속부 구조물의 형성 방법.

**청구항 38**

제36항에 있어서, 상기 다중 레벨 상호 접속부 구조물은 N개의 금속화 레벨에 대해 2N+1개의 마이 크로리소그래피 마스크 단계를 이용하여 형성되는 다중 레벨 상호 접속부 구조물의 형성 방법.

**청구항 39**

제36항에 있어서, 상기 다중 레벨 상호 접속부 구조물은 N개의 금속화 레벨에 대해 2N+2개의 마이 크로리소그래피 마스크 단계를 이용하여 형성되는 다중 레벨 상호 접속부 구조물의 형성 방법.

**청구항 40**

제36항에 있어서, 상기 가처분 레벨 간 및 금속 간 재료층은 실리콘 산화물을 포함하는 다중 레벨 상호 접속부 구조물의 형성 방법.

**청구항 41**

제36항에 있어서, 전기적 절연성 저부 버퍼층에 의해 지지되는 상기 다중 레벨 상호 접속부 구조물을 형성하는 단계를 더 포함하고, 상기 전기적 절연성 저부 버퍼층은 반도체 집적 회로 기판 내에 제조된 아래 놓인 트랜지스터와 격리 영역으로부터 상기 다중 레벨 상호 접속부 구조물을 분리시키는 다중 레벨 상호 접속부 구조물의 형성 방법.

**청구항 42**

제36항에 있어서, 상기 다중 레벨 상호 접속부 구조물에 대해 부가의 기계적 지지를 제공하도록 상기 전기적 절연성 저부 버퍼층을 형성하는 단계를 더 포함하는 다중 레벨 상호 접속부 구조물의 형성 방법.

**청구항 43**

제42항에 있어서, 상기 반도체 기판이 오염된 금속화 재료 및 외부 이온 오염원에 의해 오염되지 않도록 하는 데에 유효한 확산 배리어 특성을 유전성 재료에 제공하도록 상기 전기적 절연성 저부 버퍼층을 형성하는 단계를 더 포함하는 다중 레벨 상호 접속부 구조물의 형성 방법.

**청구항 44**

제36항에 있어서, 상기 기밀 밀봉된 자유 공간 매체를 가스성 재료를 포함하도록 형성하는 단계를 더 포함하는 다중 레벨 상호 접속부 구조물의 형성 방법.

**청구항 45**

제44항에 있어서, 상기 가스성 재료를 5 기압 이하의 압력 범위에 있도록 형성하는 단계를 더 포함하는 다중 레벨 상호 접속부 구조물의 형성 방법.

**청구항 46**

제44항에 있어서, 상기 가스성 재료를 대기압이나 그 근처에 있도록 형성하는 단계를 더 포함하는

다중 레벨 상호 접속부 구조물의 형성 방법.

**청구항 47**

제36항에 있어서, 상기 캡슐화 층을 전기적 절연층을 포함하도록 형성하는 단계를 더 포함하는 다중 레벨 상호 접속부 구조물의 형성 방법.

**청구항 48**

제36항에 있어서, 상기 복수의 전기적 도전성 상호 접속부 세그먼트와 플러그의 적어도 일부를 고 전기 도전성 재료를 포함하도록 형성하는 단계를 더 포함하는 다중 레벨 상호 접속부 구조물의 형성 방법.

**청구항 49**

제48항에 있어서, 상기 고 전기 도전성 재료는 구리, 은, 금, 알루미늄, 또는 초도전성 재료를 포함하는 다중 레벨 상호 접속부 구조물의 형성 방법.

**청구항 50**

제48항에 있어서, 상기 고 전기 도전성 재료는 화학적 증착법, 물리적 증착법, 및/또는 전기 도금을 이용하여 피착되는 다중 레벨 상호 접속부 구조물의 형성 방법.

**청구항 51**

제36항에 있어서, 상기 반도체 기판은 실리콘 또는 실리콘-온-절연체, 또는 갈륨 아세나이드인 다중 레벨 상호 접속부 구조물의 형성 방법.

**청구항 52**

제36항에 있어서, 상기 전기적 절연성 저부 버퍼층은 실리콘 질화물, 알루미늄 질화물, 다이아몬드형 코팅, 실리콘 탄화물, 또는 붕소 질화물을 포함하는 재료로 만들어지는 다중 레벨 상호 접속부 구조물의 형성 방법.

**청구항 53**

제36항에 있어서, 상기 기밀 밀봉된 자유 공간 매체는 진공을 포함하는 다중 레벨 상호 접속부 구조물의 형성 방법.

**청구항 54**

제36항에 있어서, 상기 복수의 전기적 도전성 상호 접속부 세그먼트와 플러그의 노출면은 캡슐화된 코팅층을 더 포함하는 다중 레벨 상호 접속부 구조물의 형성 방법.

**청구항 55**

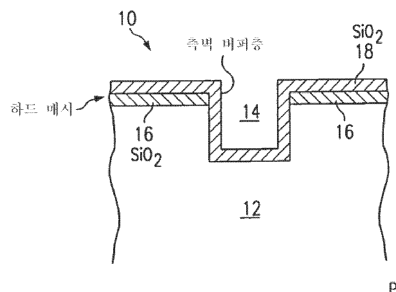
제54항에 있어서, 상기 캡슐화된 코팅층은 전기적 도전성 재료를 포함하는 다중 레벨 상호 접속부 구조물의 형성 방법.

**청구항 56**

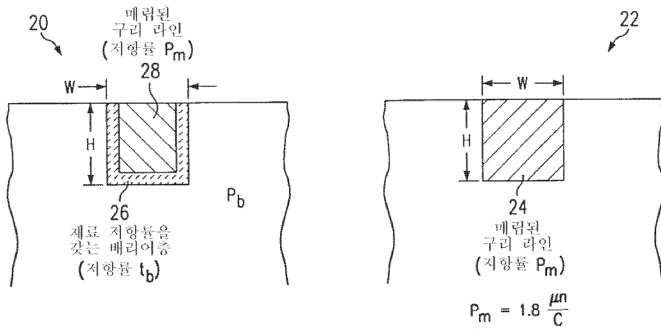
제54항에 있어서, 상기 캡슐화된 코팅층은 전기적 절연성 재료를 포함하는 다중 레벨 상호 접속부 구조물의 형성 방법.

**도면**

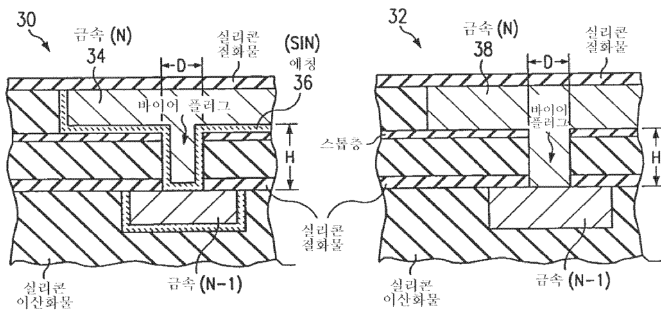
**도면1**



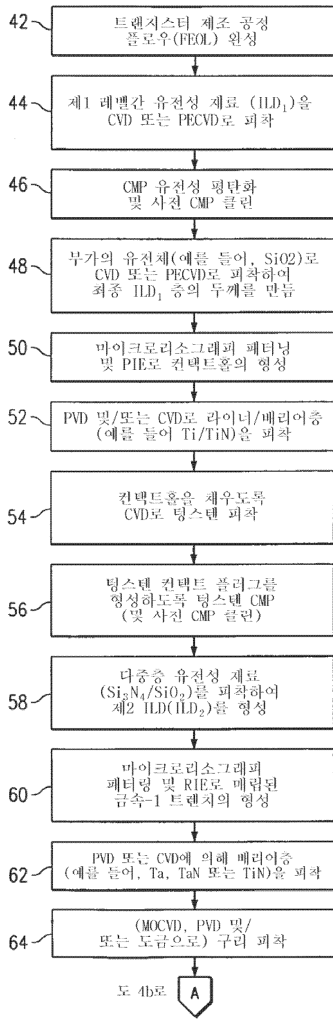
도면2



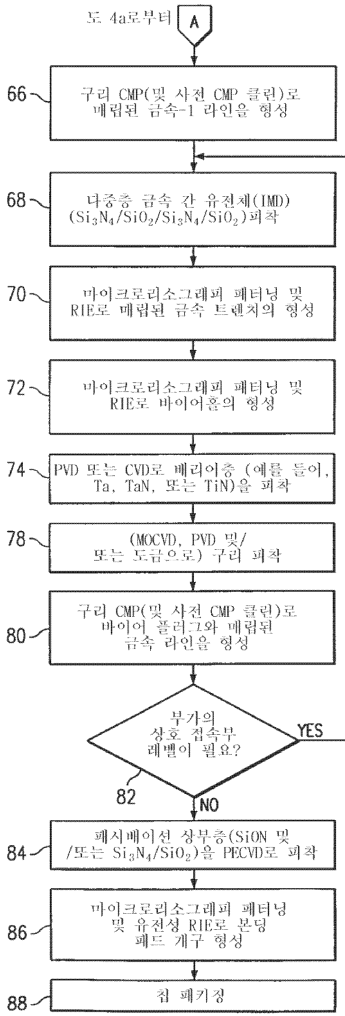
도면3



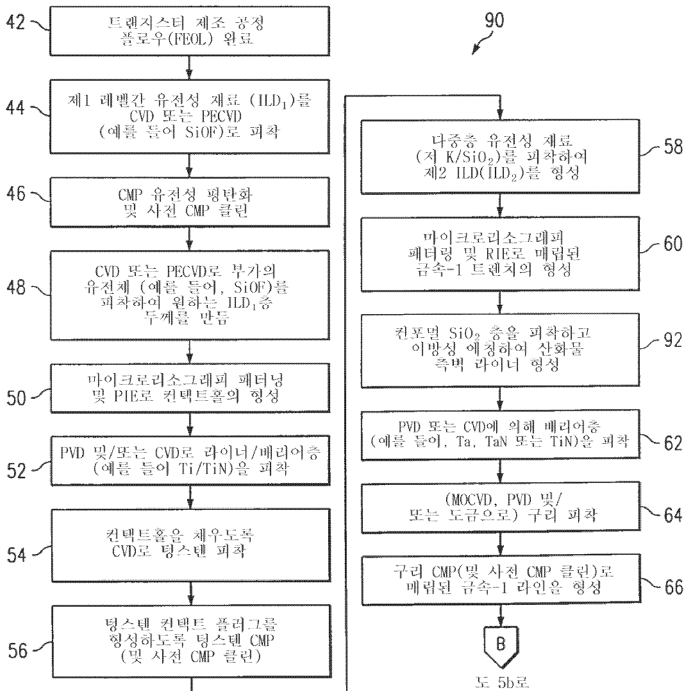
도면 4a



도면4b

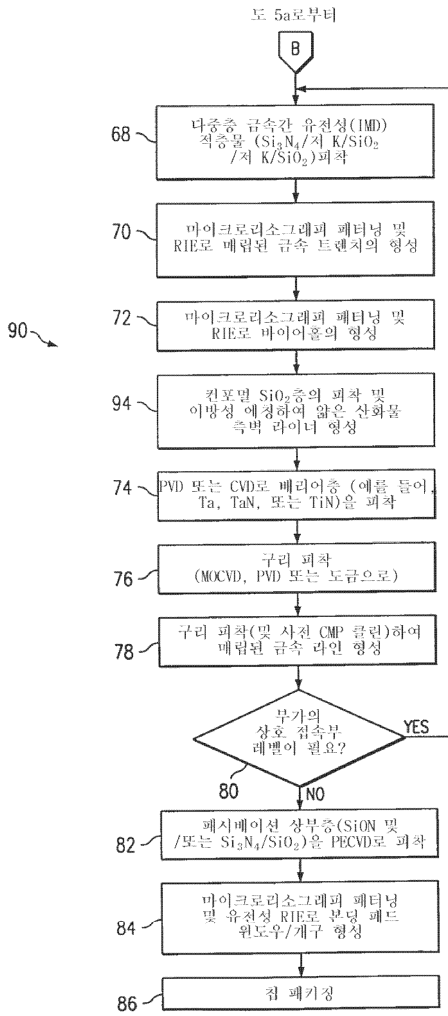


도면5a

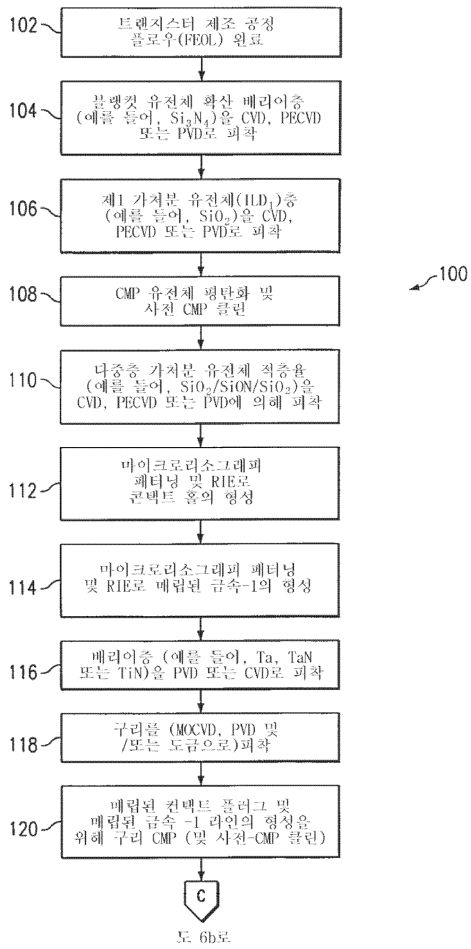


도 5b로

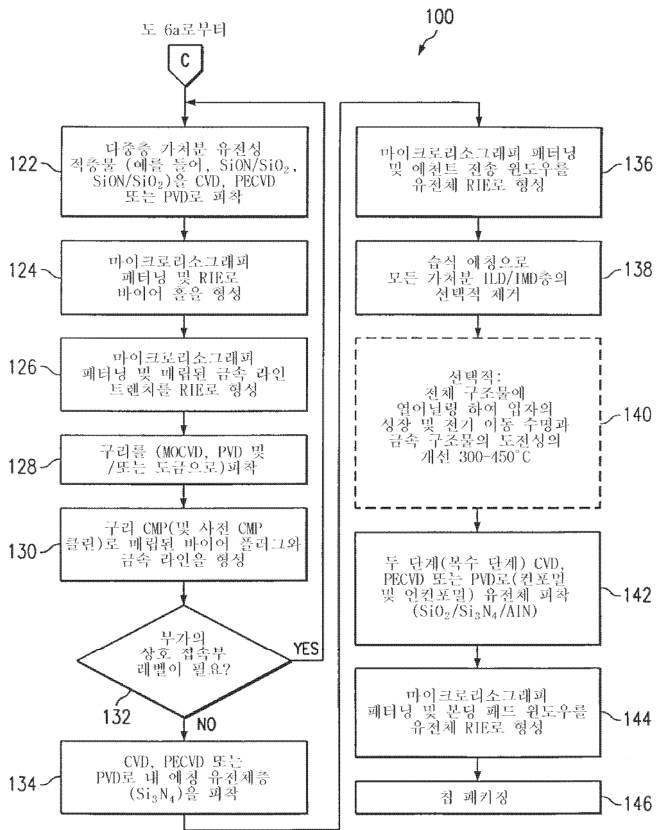
도면5b



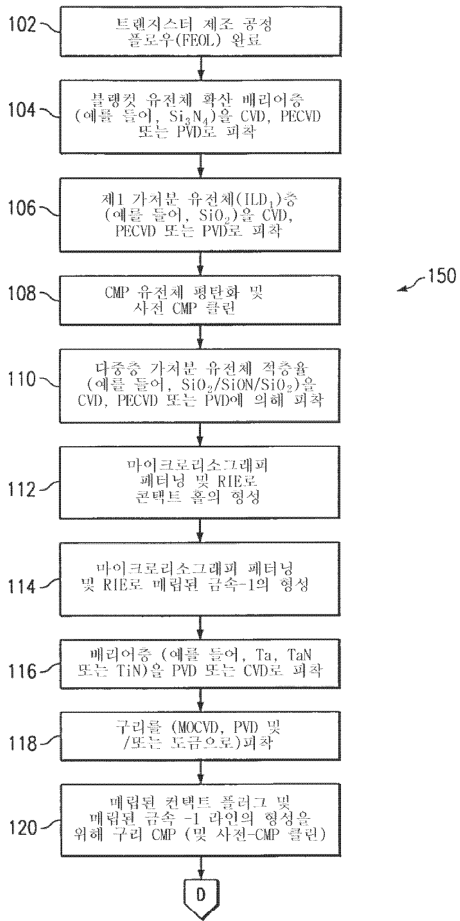
도면6a



도면 6b

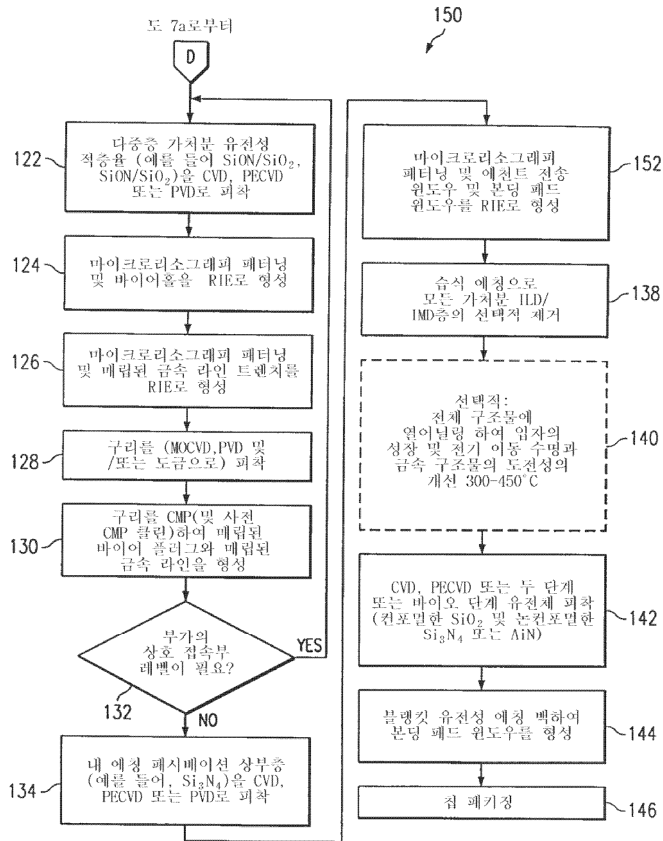


도면 7a

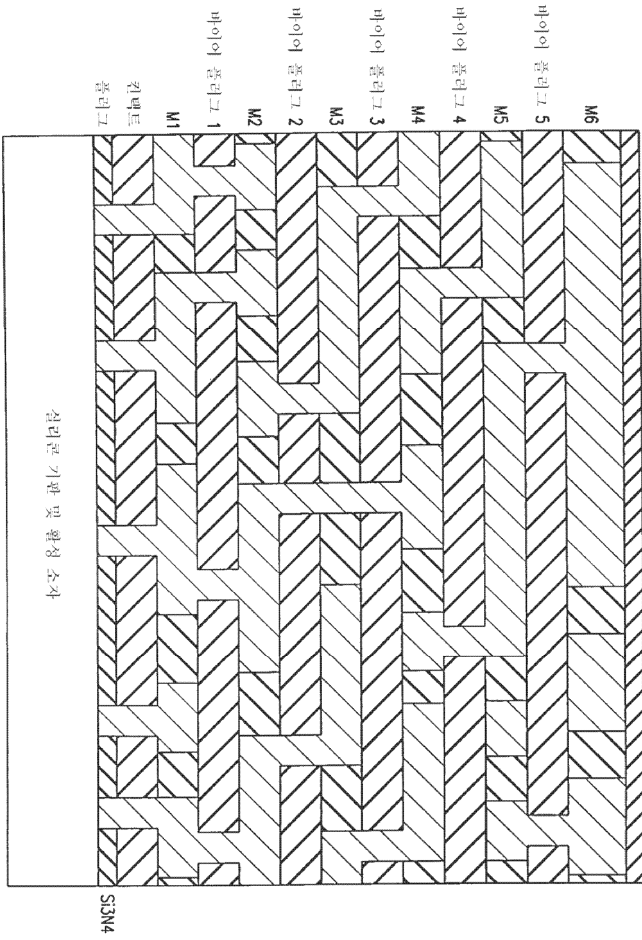


도 7b로

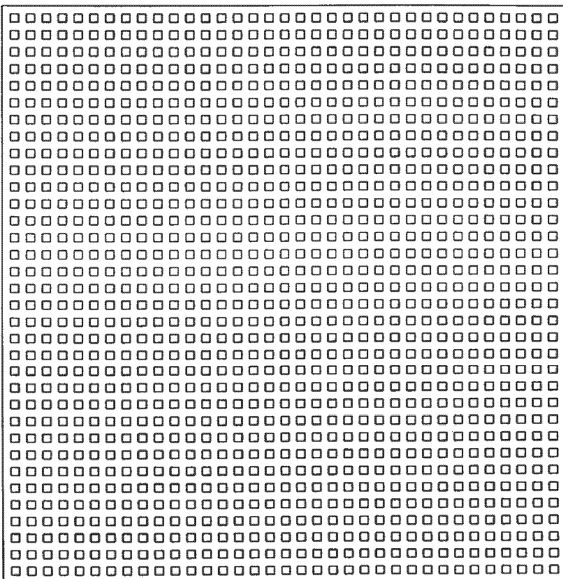
도면 7b



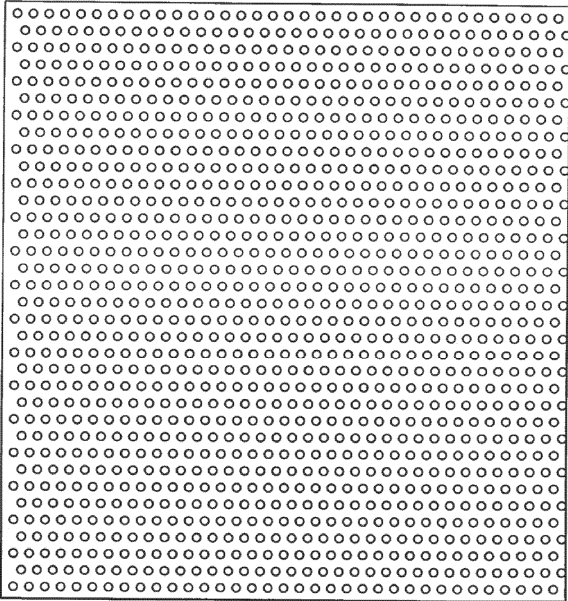
도면 8



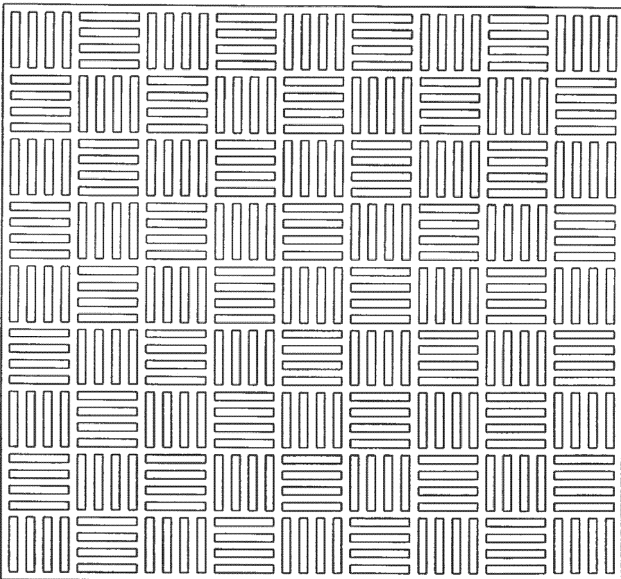
도면 9



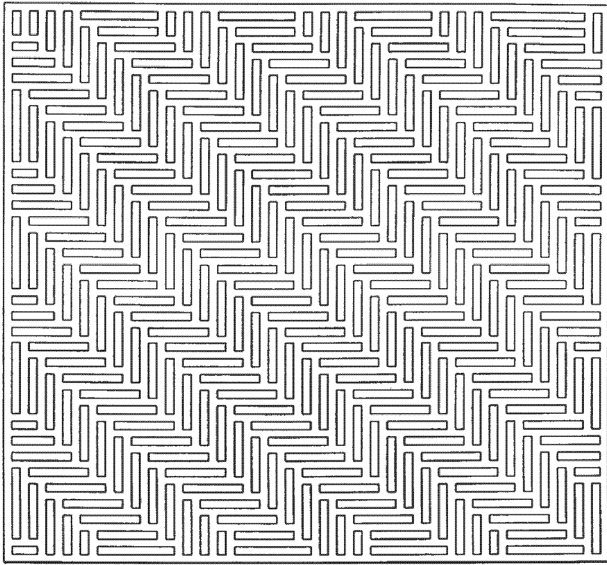
도면10



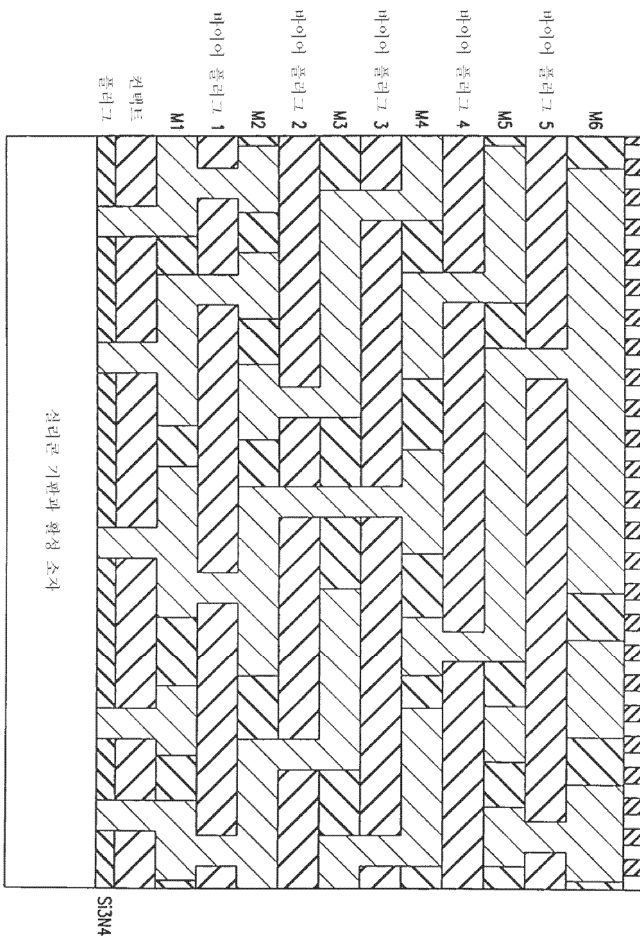
도면11



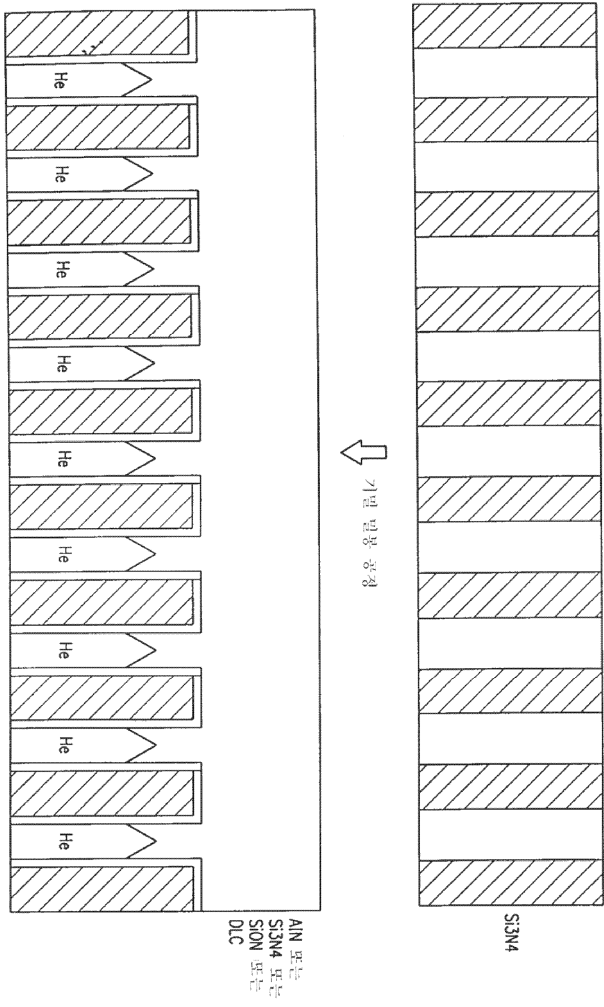
도면12



도면13



도면 14



도면 15

