(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3992439号
(P3992439)
(45)発行日　平成19年10月17日(2007.10.17)　(24)登録日　平成19年8月3日(2007.8.3)

(51)Int.Cl.　F I
H01L 21/28 (2006.01)　H01L 21/28 301S
H01L 21/768 (2006.01)　H01L 21/28 301D
H01L 21/90 A
H01L 21/90 C

請求項の数 2　(全 16 頁)

(21)出願番号　特願2001-7146(P2001-7146)
(22)出願日　平成13年1月16日(2001.1.16)
(62)分割の表示　特願平8-31655の分割
原出願日　平成8年2月20日(1996.2.20)
(65)公開番号　特開2001-223180(P2001-223180A)
(43)公開日　平成13年8月17日(2001.8.17)
審査請求日　平成15年2月12日(2003.2.12)

(73)特許権者　503121103
株式会社ルネサステクノロジ
東京都千代田区大手町二丁目６番２号
(74)代理人　100083552
弁理士　秋田　収喜
(74)代理人　100075096
弁理士　作田　康夫
(72)発明者　轟原　ひろみ
茨城県土浦市神立町５０２番地　株式会社　日立製作所　機械研究所内
(72)発明者　三浦　英生
茨城県土浦市神立町５０２番地　株式会社　日立製作所　機械研究所内

最終頁に続く

(54)【発明の名称】半導体装置の製造方法

(57)【特許請求の範囲】
【請求項１】
シリコン基板上に絶縁膜を設け、この絶縁膜に穴径が０．４μｍ以下のコンタクトホールを開き、このコンタクトホール内部に多結晶シリコンを埋め込み、このコンタクトホールの内部で前記多結晶シリコンに接するようにチタン膜を堆積させた後、前記チタン膜と前記シリコンとを熱処理して、前記チタン膜の膜厚８ｎｍ以上３０ｎｍ以下をシリサイド反応させ、膜厚２０ｎｍ以上７５ｎｍ以下のチタンシリサイド膜を形成することを特徴とする半導体装置の製造方法。
【請求項２】
チタンシリサイド膜を形成する熱処理温度が、６５０℃以上であることを特徴とする請求項１に記載の半導体装置の製造方法。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】
本発明は半導体装置およびその製造方法に関し、とくに半導体基板上に堆積された絶縁膜に形成されたコンタクトホール内部におけるシリサイドコンタクト構造に関する。
【０００２】
【従来の技術】
近年、半導体装置の高集積化、微細化にともなって、高速動作のために金属配線と半導体接続部分のコンタクト抵抗の低減が望まれている。

【０００３】
シリコン基板表面と金属配線とを電気的に接続するコンタクト部の抵抗を低減させる従来技術としては、例えば、特開平０７－７８８２１号公報（以下、公知例という）に、シリコン基板上と積層金属配線との間にチタンシリサイド膜を形成したものが記載されている。
【０００４】
【発明が解決しようとする課題】
しかし、チタンシリサイド膜は膜厚が厚いほど、また、コンタクトホールの穴径が小さいほど剥離しやすく、半導体装置の高集積化、微細化の支障になっている。
【０００５】
シリコンと金属との界面にシリサイド膜を形成することによって低いコンタクト抵抗を得るためには、形成されるチタンシリサイド（特にＴｉＳｉ２：ダイシリサイド）の膜厚がある程度必要である。しかし、チタンシリサイドは、チタン膜を堆積させたシリコンを熱処理することによって形成されるため、膜の体積変化によって膜内部に応力が発生する。
【０００６】
そして、この膜内部の応力によりチタンシリサイド膜とシリコンとの界面近傍の界面に発生する応力が高くなる。この界面に発生する平均応力は、コンタクトホールの穴径が小さいほど、また、チタンシリサイド層の膜厚が厚い程高くなり、チタンシリサイド膜の剥離の原因になっていることを実験及び解析により解明した。
【０００７】
本発明の目的は、コンタクトホールにおけるシリコンとチタンシリサイド膜との接続界面において、チタンシリサイド膜が剥離しない半導体装置を提供することにある。
【０００８】
本発明の他の目的は、コンタクトホールにおけるシリコンとチタンシリサイド膜との接続界面において、チタンシリサイド膜が剥離しない半導体装置の製造方法を提供することである。
【０００９】
【課題を解決するための手段】
上記の目的は、絶縁膜に設けたコンタクトホールの内部でシリコンと電気配線用金属とがチタンシリサイド膜を介して接続されている半導体装置において、前記チタンシリサイド膜の膜厚を２０～７５ｎｍとすることにより達成される。
【００１０】
また、上記の他の目的は、シリコン基板上に絶縁膜を設け、この絶縁膜にコンタクトホールを開き、このコンタクトホールの内部で前記シリコン基板に接するようにチタン膜を堆積させた後、前記チタン膜と前記シリコンとを熱処理して、前記チタン膜の膜厚８～３０ｎｍをシリサイド反応させることにより達成される。
【００１１】
本発明によれば、コンタクトホールにおけるシリコンとチタンシリサイド膜との接続界面において、チタンシリサイド膜が剥離しない半導体装置が提供される。また、コンタクトホールにおけるシリコンとチタンシリサイド膜との接続界面において、チタンシリサイド膜が剥離しない半導体装置の製造方法が提供される。
【００１２】
ここで、チタン膜とは、チタン以外の成分を含有した金属膜も含んでいる。
【００１３】
【発明の実施の形態】
以下、本発明の実施の形態について図を参照して説明する。
【００１４】
まず、本発明における第１の実施形態である半導体装置のコンタクト構造断面図及びその製造方法をそれぞれ図１、７に示す。
【００１５】

本実施形態の半導体装置のコンタクト構造は、図１に示すように、シリコン基板１と、このシリコン基板１表面に形成された絶縁膜４とを備え、絶縁膜に設けたコンタクトホールの内部でシリコン基板１に設けた素子形成領域３と電気配線用金属１３とがチタンシリサイド膜６を介して接続されたものである。

【００１６】

この半導体装置のコンタクト構造断面は、図７に示す製造方法により製造される。すなわち、

（１）シリコン基板１上に素子分離領域２、および素子形成領域３を形成する。

【００１７】

（２）素子形成領域３に素子を形成した後に、シリコン基板１上面に絶縁膜４を形成する。そして、絶縁膜４にコンタクトホール５を設ける。

【００１８】

（３）絶縁膜４上面、コンタクトホール５内部の絶縁膜４側壁、およびコンタクトホール５底面の素子形成領域３上面に接するように、チタン膜７を８ｎｍ以上堆積する。

【００１９】

（４）チタン膜７を８ｎｍ以上堆積したシリコン基板１を熱処理することにより、チタン膜７と素子形成領域３のシリコンとをシリサイド反応させ、界面にチタンシリサイド膜６を形成する。

【００２０】

このとき、チタン膜７の膜厚８～３０ｎｍがシリサイド反応するように熱処理条件を設定する。

【００２１】

なお、理由は後で述べるが、シリサイド反応をさせるためには、熱処理温度は少なくとも６５０℃以上でることが必要であり、さらに８００℃以上であることが好ましい。また、この温度は、シリコンに導入されている不純物の拡散を防止させるために１０００℃以下であることが好ましい。

【００２２】

チタン膜７の膜厚の８～３０ｎｍをシリサイド反応させることによりチタンシリサイド膜６の膜厚は２０～７５ｎｍとなる。これは、理論的に、チタン膜厚１に対して、厚さ約２．３のシリコンが消費され、膜厚約２．５のチタンシリサイドが形成されるからである。

【００２３】

次に図１４乃至図１７を参照して、本実施形態の半導体装置のコンタクト構造の作用効果を説明する。

【００２４】

図１４シリサイド反応によるシリコン界面変化のメカニズムを示す模式図である。図１４に示すように、シリコン２１上にチタン膜２２を堆積させ、熱処理により、前記シリコン２１とチタン膜２２とを反応させ、チタンシリサイド膜６を形成した場合、理論的に、チタン膜厚１に対して、厚さ約２．３のシリコンが消費され、膜厚約２．５のチタンシリサイドが形成される。したがって、シリコン２１とチタン２２とのシリサイド反応による体積変化（体積収縮）及び密度変化により、形成されるチタンシリサイド膜とシリコン基板との界面２４の位置は、絶縁膜とシリコン基板との界面２３の位置に比べ２．３（反応に消費したチタンとの膜厚比）だけシリコン側に低くなる。

【００２５】

また、このシリサイド反応による体積変化（体積収縮）及び密度変化により、チタンシリサイド膜の内部には応力が発生する。

【００２６】

図１５はシリサイド反応にともなう膜内部の応力を示すグラフである。なお、応力値は実験における測定値である。

【００２７】

図１５から解るように熱処理温度が５５０℃以上で膜の内部応力が急激に増加する。これ

は、５５０℃以上でシリサイド反応によるものであり、膜内部には最大で１０００ＭＰａの引張り応力が発生することが実験的に明らかである。

【００２８】

また、図１６は、図１５より求められた発生応力の最大値１０００ＭＰａと、コンタクト構造を考慮し、有限要素法によって、チタンシリサイドとシリコンとの界面に発生する平均応力（せん断応力）を解析した結果である。図１６から解るように、穴径が一定の場合、チタンシリサイド膜の膜厚増加に伴い界面に発生する平均応力は増加し、また、チタンシリサイド膜の膜厚が一定の場合には、コンタクトホールの小径化に伴い界面に発生する平均応力は増加する。

【００２９】

ここで得られた解析結果と不良発生の実験データとの対比から、断線が発生する臨界応力は２８０ＭＰａと決定される。チタンシリサイド膜の剥離を生じさせないためには、界面に発生する平均応力を断線臨界応力値以下になるように設計することが不可欠である。すなわち、チタンシリサイドの膜厚を７５ｎｍ以下にすれば、コンタクトホールの穴径に関わらず界面に発生する平均応力を断線臨界応力値以下にすることができる。なお、コンタクトホールの孔径が０．４μｍより大きい場合は、チタンシリサイドの膜厚を７５ｎｍ以下にしなくても界面に発生する平均応力を断線臨界応力値以下することができるが、コンタクトホールの穴径が０．４μｍ以下の場合、チタンシリサイドの膜厚が７５ｎｍより厚くなると、チタンシリサイド膜が剥離する可能性がある。したがって、穴径が０．４μｍ以下のコンタクトホールにおいては、チタンシリサイド膜の剥離を防止するため、チタンシリサイド膜の膜厚を７５ｎｍ以下にする必要がある。

【００３０】

図１７は、以上の結果を検証するため、穴径０．４μｍのコンタクトを試作し、断線不良率（チタンシリサイド膜の剥離）とチタンシリサイド膜の膜厚との関係を検討した結果を示している。チタンシリサイド膜厚が７５ｎｍまでは、不良が発生しないが、チタンシリサイド膜厚が７５ｎｍを超えると不良は急激に増加することが明らかである。このことからも、コンタクト内部において、チタン膜７とシリコンとのシリサイド反応によりチタンシリサイド膜６を形成する場合、シリコンとチタンシリサイド膜との界面における、チタンシリサイド膜の断線不良を防止するためには、チタンシリサイド膜厚を７５ｎｍ以下にしなければならないことが解る。

【００３１】

さて、チタンシリサイド膜のコンタクト抵抗は実験によりチタンシリサイド膜の膜厚が２０ｎｍ以下で上昇することが確認されているため、チタンシリサイド膜の膜厚は２０ｎｍ以上とする必要がある。

【００３２】

つまり、低コンタクト抵抗、かつ、剥離が生じることの無い、安定なコンタクトを形成するためには、チタンシリサイド膜厚が２０～７５ｎｍでなければならない。

【００３３】

本実施形態では、図１に示すように、シリサイド反応に使用されなかったチタン膜７が窒化チタン膜とチタンシリサイド膜との間に存在している。

【００３４】

このように、窒化チタン膜とチタンシリサイド膜との間にチタン膜７を存在させると、窒化チタン膜とチタンシリサイド膜とを直接積層するよりも、窒化チタン膜の膜内応力が低減され、窒化チタン膜の剥離強度を高めることができる。

【００３５】

なお、窒化チタン膜とチタンシリサイド膜との間にチタン層７を存在させるためには、チタン層７の膜厚をシリサイド反応させる膜厚以上とし、熱処理時に熱処理温度及び熱処理時間を制御してチタンシリサイド膜の膜厚が２０～７５ｎｍとなるように制御する必要がある。

【００３６】

図１に示した本実施形態の半導体装置のコンタクト構造断面図では、コンタクトホール５内部において、コンタクトホール底面の素子形成領域３と電気配線用金属膜１３との境界に、チタンシリサイド膜６が形成されている。チタンシリサイド膜６の上面には、電気配線用金属膜１３として、チタン膜７、窒化チタン膜８、タングステン膜９が積層されている。また、絶縁膜４上面にはチタン膜７、窒化チタン膜８、タングステン膜９が積層されている。

【００３７】

しかし、チタン膜７は必ずしも存在する必要はなく、直接窒化チタン膜８が接していても構わない。また、窒化チタン膜８および、タングステン膜９はこれに限定されるものではなく、電気配線用金属膜１３としては、たとえば、金属チタン、窒化チタン、タングステンのほかにアルミニウム合金、モリブデンシリサイド、タングステンシリサイド、あるいはこれら複数の材料からなる積層構造からなるものがある。さらに他の導電性膜、絶縁膜であってもよい。また、異種材料の積層構造でなくともよい。

【００３８】

次に、本発明における第２の実施形態である半導体装置のコンタクト構造断面図及びその製造方法をそれぞれ図２、８に示す。

【００３９】

図２は本実施形態である半導体装置のコンタクト構造断面図、図８はその半導体装置の製造工程の一部を示す横断面図である。

【００４０】

この半導体装置のコンタクト構造断面は図８に示す製造方法により製造される。すなわち、

（１）シリコン基板１上に素子分離領域２、および素子形成領域３を形成する。

【００４１】

（２）素子形成領域３に素子を形成した後に、その上面に絶縁膜４を形成する。そして、絶縁膜４にコンタクトホール５を形成する。

【００４２】

（３）絶縁膜４上面、コンタクトホール５内部の絶縁膜側壁、およびコンタクトホール５底面の素子形成領域３上面に接するように、チタン膜７を８～３０ｎｍ堆積する。

【００４３】

（４）チタン膜７を８～３０ｎｍ堆積したシリコン基板１を熱処理することにより、チタン膜７と素子形成領域３のシリコンとをシリサイド反応させ、界面にチタンシリサイド膜６を形成する。

【００４４】

なお、シリサイド反応をさせるためには、熱処理温度は少なくとも６５０℃以上であることが必要であり、さらに８００℃以上であることが好ましい。また、この温度は、シリコンに導入されている不純物の拡散を防止させるために１０００℃以下であることが好ましい。

【００４５】

本実施形態では、図８に示すように、チタン膜７の全てがチタンシリサイド膜となっている。

【００４６】

このように、チタン膜７の全てをシリサイド反応させる場合は、チタンシリサイド膜の膜厚は、チタン膜７の膜厚により決定されるため、チタンシリサイド膜の膜厚制御を容易に行うことができる。

【００４７】

なお、この場合、窒化チタン膜とチタンシリサイド膜とが直接積層されるため、窒化チタン膜とチタンシリサイド膜との間にチタン膜７が存在する場合に較べて窒化チタン膜の膜内応力が高まる。

【００４８】

本発明における第３の実施形態である半導体装置のコンタクト構造断面図及びその製造方法をそれぞれ図３、９に示す。

【００４９】

本実施形態の半導体装置のコンタクト構造断面は図９に示す製造方法により製造される。すなわち、

（１）シリコン基板１上に素子分離領域２、および素子形成領域３を形成する。前記素子形成領域３に素子を形成した後に、その上面に絶縁膜４が形成されている。この絶縁膜は例えば酸化シリコンからなる。絶縁膜には、素子形成領域との導通を得るため、穴径が０．４μｍ以下のコンタクトホール５が形成される。

【００５０】

（２）絶縁膜４上面、コンタクトホール５内部の絶縁膜側壁およびコンタクトホール底面の素子形成領域３上面に接するように、例えばＣＶＤ（Ｃｈｅｍｉｃａｌ　Ｖａｐｏｒ　Ｄｅｐｏｓｉｔｉｏｎ；化学気相成長法）により多結晶シリコン膜１０が堆積され、コンタクトホール５内部は前記多結晶シリコン１０によって埋められる。その後、絶縁膜４上面に堆積した多結晶シリコン膜はエッチングなどによって除去される。

【００５１】

（３）絶縁膜４上面、コンタクトホール５内部の絶縁膜側壁およびコンタクトホール底面の多結晶シリコン膜１０上面に接するように、チタン膜７を８ｎｍ以上堆積する。

【００５２】

（４）その後、熱処理によってチタン膜７と多結晶シリコン膜１０とのシリサイド反応により、界面にチタンシリサイド膜６が形成される。このとき反応させるチタン膜７の膜厚は８～３０ｎｍである。これによって、熱処理により形成されるチタンシリサイド膜６の膜厚は、２０～７５ｎｍとなる。なお、シリサイドを形成するための熱処理温度は、少なくとも６５０℃以上であり、８００℃以上であることが好ましい。また、この温度は、シリコンに導入されている不純物の拡散を防止させるために１０００℃以下であることが好ましい。

【００５３】

本実施形態では、上記（２）の示したように、絶縁膜４上面およびコンタクトホール５内部の絶縁膜側壁、コンタクトホール底面の素子形成領域３上面に接するように、多結晶シリコン膜１０を堆積させるという工程が必要になるが、コンタクトホール５内部が多結晶シリコン１０によって埋められることにより、コンタクトホール５の深さが浅くなり、次工程である、チタン膜７の堆積が容易になる。

【００５４】

コンタクトホールの小径化に伴いコンタクトホールのアスペクト比（深さ／直径）は増加する傾向にあり、従来から用いられてきたスパッタリング法では、コンタクトホールの側面と底面に十分な厚さの配線用金属を被覆させることが困難になる。

【００５５】

しかし、段差被覆性に優れたＣＶＤ技術によってコンタクトホール内に多結晶シリコンを埋め込み、コンタクトホールの深さを浅くすることにより、容易にチタン膜をコンタクトホールの側面と底面に８ｎｍ以上堆積させることができる。

【００５６】

また、本実施形態では、図３に示すように、シリサイド反応に使用されなかったチタン膜７が窒化チタン膜とチタンシリサイド膜との間に存在している。

【００５７】

このように、窒化チタン膜とチタンシリサイド膜との間にチタン膜７が存在させる、窒化チタン膜とチタンシリサイド膜とを直接積層するよりも、窒化チタン膜の膜内応力が低減され、窒化チタン膜の剥離強度を高めることができる。

【００５８】

なお、窒化チタン膜とチタンシリサイド膜との間にチタン層７を存在させるためには、チタン層７の膜厚をシリサイド反応させる膜厚以上とし、熱処理時に熱処理温度及び熱処理

時間を制御してチタンシリサイド膜の膜厚が２０～７５ｎｍとなるように制御する必要がある。

【００５９】

本実施形態の半導体装置は、コンタクトホール内部において、シリコン基板１に直接堆積した多結晶シリコン１０と電気配線用金属膜１３との界面にチタンシリサイド膜６が形成されている。チタンシリサイド膜の上面には、電気配線用金属膜１３として、チタン膜７、窒化チタン膜８、タングステン膜９が積層されている。また、前記絶縁膜４上面にはチタン膜７、窒化チタン膜８、タングステン膜９が積層されている。チタン膜７は必ずしも残留している必要はなく、絶縁膜４上に直接窒化チタン膜８が接していても構わない。また、前記窒化チタン膜８および、前記タングステン膜９はこれに限定されるものではなく、第一の実施例に示したように他の導電性膜、絶縁膜であってもよい。また、異種材料の積層構造でなくともよい。

【００６０】

本発明における第４の実施形態である半導体装置のコンタクト構造断面図及びその製造方法をそれぞれ図４、１０に示す。

【００６１】

本実施形態の半導体装置のコンタクト構造は、図１０に示す製造方法により製造される。すなわち、

（１）シリコン基板１上に素子分離領域２、および素子形成領域３を形成する。前記素子形成領域３に素子を形成した後に、その上面に絶縁膜４が形成されている。この絶縁膜は例えば酸化シリコンからなる。絶縁膜には、素子形成領域との導通を得るため、コンタクトホール５が形成される。

【００６２】

（２）絶縁膜４上面およびコンタクトホール５内部の絶縁膜側壁、コンタクトホール底面の素子形成領域３上面に接するように、例えばＣＶＤ（Ｃｈｅｍｉｃａｌ　Ｖａｐｏｒ　Ｄｅｐｏｓｉｔｉｏｎ；化学気相成長法）により多結晶シリコン膜１０が堆積され、コンタクトホール５内部は前記多結晶シリコン１０によって埋められる。その後、絶縁膜４上面に堆積した多結晶シリコン膜はエッチングなどによって除去される。

【００６３】

（３）絶縁膜４上面、コンタクトホール５内部の絶縁膜側壁、およびコンタクトホール５底面の素子形成領域３上面に接するように、チタン膜７を８～３０ｎｍ堆積する。

【００６４】

（４）チタン膜７を８～３０ｎｍ堆積したシリコン基板１を熱処理することにより、チタン膜７と素子形成領域３のシリコンとをシリサイド反応させ、界面にチタンシリサイド膜６を形成する。

【００６５】

なお、シリサイドを形成するための熱処理温度は、少なくとも６５０℃以上であり、８００℃以上であることが好ましい。また、この温度は、シリコンに導入されている不純物の拡散を防止させるために１０００℃以下であることが好ましい。

【００６６】

本実施形態では、上記（２）の示したように、絶縁膜４上面およびコンタクトホール５内部の絶縁膜側壁、コンタクトホール底面の素子形成領域３上面に接するように、多結晶シリコン膜１０を堆積させるという工程が必要になるが、コンタクトホール５内部が多結晶シリコン１０によって埋められることにより、コンタクトホール５の深さが浅くなり、次工程である、チタン膜７の堆積が容易になる。

【００６７】

コンタクトホールの小径化に伴いコンタクトホールのアスペクト比（深さ／直径）は増加する傾向にあり、従来から用いられてきたスパッタリング法では、コンタクトホールの側面と底面に十分な厚さの配線用金属を被覆させることが困難になる。

【００６８】

しかし、段差被覆性に優れたＣＶＤ技術によってコンタクトホール内に多結晶シリコンを埋め込み、コンタクトホールの深さを浅くすることにより、容易にチタン膜をコンタクトホールの側面と底面に８ｎｍ以上堆積させることができる。

【００６９】

また、本実施形態では、図４に示すように、チタン膜７の全てがチタンシリサイド膜となっている。

【００７０】

このように、チタン膜７の全てをシリサイド反応させる場合は、チタンシリサイド膜の膜厚は、チタン膜７の膜厚により決定されるため、チタンシリサイド膜の膜厚制御を容易に行うことができる。

【００７１】

なお、この場合、窒化チタン膜とチタンシリサイド膜とが直接積層されるため、窒化チタン膜とチタンシリサイド膜との間にチタン膜７が存在する場合に較べて窒化チタン膜の膜内応力が高まる。

【００７２】

本実施形態の半導体装置のコンタクト部は、コンタクトホール５内部において、シリコン基板１に直接堆積した多結晶シリコン１０と電気配線用金属膜１３との界面にチタンシリサイド膜６が形成されている。前記チタンシリサイド膜の上面には、電気配線用金属膜１３として、窒化チタン膜８、タングステン膜９が積層されている。また、前記絶縁膜４上面にはチタン膜７、窒化チタン膜８、タングステン膜９が積層されている。チタン膜７は必ずしも残留している必要はなく、絶縁膜４上に直接窒化チタン膜８が接していても構わない。また、前記窒化チタン膜８および、前記タングステン膜９はこれに限定されるものではなく、他の導電性膜、絶縁膜であってもよい。また、異種材料の積層構造でなくともよい。

【００７３】

本発明における第５の実施形態であるＭＯＳ（Ｍｅｔａｌ　Ｏｘｉｄｅ　Ｓｅｍｉｃｏｎｄｕｃｔｏｒ）トランジスタのゲート電極コンダクト構造断面図及びその製造方法をそれぞれ図５、１２に示す。

【００７４】

本実施形態の半導体装置のコンタクト構造は図１２に示す製造方法により製造される。すなわち、

（１）シリコン基板１上の素子形成領域３に約１５ｎｍの厚さのシリコン酸化膜１１を形成する。前記シリコン酸化膜１１上にＣＶＤ（Ｃｈｅｍｉｃａｌ　Ｖａｐｏｒ　Ｄｅｐｏｓｉｔｉｏｎ；化学気相成長法）により多結晶シリコン膜を形成し、フォトリソグラフィー法でレジストパターンを形成し、それをマスクにしてドライエッチング法により多結晶シリコン膜とシリコン酸化膜をパターン化して多結晶シリコンゲート電極１２を形成する。

【００７５】

（２）シリコン基板１上面およびゲート電極１２上面一面に絶縁膜４を堆積し、ゲート電極１２との導通をとるためにゲート電極に達するようにコンタクトホール５が開孔される。

【００７６】

（３）前記絶縁膜４上面、および、前記コンタクトホール５内部においてゲート電極１２と接するようにチタン膜７が堆積される。

【００７７】

（４）その後、熱処理によってチタン膜７とゲート電極１２のシリコンとのシリサイド反応により、界面にチタンシリサイド膜６が形成される。このとき反応させるチタン膜７の膜厚は８～３０ｎｍである。なお、シリサイドを形成するための熱処理温度は、少なくとも６５０℃以上であり、８００℃以上であることが好ましい。また、この温度は、シリコンに導入されている不純物の拡散を防止させるために１０００℃以下であることが好まし

い。
【００７８】
本実施形態では、図５に示すように、シリサイド反応に使用されなかったチタン膜７が窒化チタン膜とチタンシリサイド膜との間に存在している。
【００７９】
このように、窒化チタン膜とチタンシリサイド膜との間にチタン膜７を存在させると、窒化チタン膜とチタンシリサイド膜とを直接積層するよりも、窒化チタン膜の膜内応力が低減され、窒化チタン膜の剥離強度を高めることができる。
【００８０】
なお、窒化チタン膜とチタンシリサイド膜との間にチタン層７を存在させるためには、チタン層７の膜厚をシリサイド反応させる膜厚以上とし、熱処理時に熱処理温度及び熱処理時間を制御してチタンシリサイド膜の膜厚が２０～７５ｎｍとなるように制御する必要がある。
【００８１】
本実施形態の半導体装置のコンタクト部は、コンタクトホール５内部において、電気配線用金属膜１３と多結晶シリコンからなるゲート電極１２との界面にチタンシリサイド膜６が形成されている。図５および図１２では、チタンシリサイド膜６の上面に電気配線用金属膜１３として未反応のチタン膜７、窒化チタン８が積層されている場合を示した。しかし、ゲート電極１２上面に８～３０ｎｍのチタン膜７を堆積し、前記チタン膜すべてを消費するようにチタンシリサイド膜６を形成し、チタンシリサイド膜６上面にチタン膜７が残留していなくてもよい。また、絶縁膜４上に直接窒化チタン膜８が接していても構わない。前記窒化チタン膜８はこれに限定されるものではなく、他の導電性膜、絶縁膜であってもよい。また、異種材料の積層構造でなくともよい。
【００８２】
本発明における第６の実施形態であるＭＯＳトランジスタのゲート電極コンタクト構造断面図及びその製造方法をそれぞれ図６、１３に示す。
【００８３】
本実施形態の半導体装置のコンタクト構造は、図１３に示す製造方法により製造される。すなわち、
（１）シリコン基板１上の素子形成領域３に約１５ｎｍの厚さのシリコン酸化膜１１を形成する。前記シリコン酸化膜１１上にＣＶＤ（Ｃｈｅｍｉｃａｌ　Ｖａｐｏｒ　Ｄｅｐｏｓｉｔｉｏｎ；化学気相成長法）により多結晶シリコン膜を形成し、フォトリソグラフィー法でレジストパターンを形成し、それをマスクにしてドライエッチング法により多結晶シリコン膜とシリコン酸化膜をパターン化して多結晶シリコンゲート電極１２を形成する。
【００８４】
（２）シリコン基板１上面およびゲート電極１２上面一面に絶縁膜４を堆積し、ゲート電極１２との導通をとるためにゲート電極に達するようにコンタクトホール５が開孔される。絶縁膜４上面およびコンタクトホール５内部の絶縁膜側壁、コンタクトホール底面のゲート電極１２上面に接するように、例えばＣＶＤにより多結晶シリコン膜１０が堆積され、コンタクトホール５内部は前記多結晶シリコン１０によって埋められる。その後、絶縁膜４上面に堆積した多結晶シリコン膜はエッチングなどによって除去される。
【００８５】
（３）前記絶縁膜４上面、および、多結晶シリコン膜１０上面一面にチタン膜７が堆積される。
【００８６】
（４）その後、熱処理によってチタン膜７と多結晶シリコン１０とのシリサイド反応により、界面にチタンシリサイド膜６が形成される。このとき反応させるチタン膜７の膜厚は８～３０ｎｍである。なお、シリサイドを形成するための熱処理温度は、少なくとも６５０℃以上であり、８００℃以上であることが好ましい。また、この温度は、シリコンに導

入されている不純物の拡散を防止させるために１０００℃以下であることが好ましい。
【００８７】
本実施形態では、上記（２）の示したように、絶縁膜４上面およびコンタクトホール５内部の絶縁膜側壁、コンタクトホール底面の素子形成領域３上面に接するように、多結晶シリコン膜１０を堆積させるという工程が必要になるが、コンタクトホール５内部が多結晶シリコン１０によって埋められることにより、コンタクトホール５の深さが浅くなり、次工程である、チタン膜７の堆積が容易になる。
【００８８】
コンタクトホールの小径化に伴いコンタクトホールのアスペクト比（深さ／直径）は増加する傾向にあり、従来から用いられてきたスパッタリング法では、コンタクトホールの側面と底面に十分な厚さの配線用金属を被覆させることが困難になる。
【００８９】
しかし、段差被覆性に優れたＣＶＤ技術によってコンタクトホール内に多結晶シリコンを埋め込み、コンタクトホールの深さを浅くすることにより、容易にチタン膜をコンタクトホールの側面と底面に８ｎｍ以上堆積させることができる。
【００９０】
また、本実施形態では、図３に示すように、シリサイド反応に使用されなかったチタン膜７が窒化チタン膜とチタンシリサイド膜との間に存在している。
【００９１】
このように、窒化チタン膜とチタンシリサイド膜との間にチタン膜７が存在する場合、窒化チタン膜とチタンシリサイド膜とを直接積層するよりも、窒化チタン膜の膜内応力が低減され、窒化チタン膜の剥離強度を高めることができる。
【００９２】
なお、窒化チタン膜とチタンシリサイド膜との間にチタン層７を存在させるためには、チタン層７の膜厚をシリサイド反応させる膜厚以上とし、熱処理時に熱処理温度及び熱処理時間を制御してチタンシリサイド膜の膜厚が２０～７５ｎｍとなるように制御する必要がある。
【００９３】
本実施形態の半導体装置のコンタクト部は、コンタクトホール５内部において、ゲート電極１２に接するように埋め込まれた多結晶シリコン１０と電気配線用金属膜１３との界面にチタンシリサイド膜６が形成されている。図６および図１３では、チタンシリサイド膜６の上面に電気配線用金属膜１３として、未反応のチタン膜７、窒化チタン膜８が積層している場合を示した。しかし、ゲート電極１２上面に８～３０ｎｍのチタン膜７を堆積し、前記チタン膜すべてを消費するようにチタンシリサイド膜６を形成し、チタンシリサイド膜６上面にチタン膜７が残留していなくてもよい。また、絶縁膜４上に直接窒化チタン膜８が接していても構わない。前記窒化チタン膜８はこれに限定されるものではなく、第一の実施例に示したように、他の導電性膜、絶縁膜であってもよい。また、異種材料の積層構造でなくともよい。前記チタンシリサイド膜６の膜厚は、２０～７５ｎｍである。
【００９４】
以上の全ての実施形態における製造工程において、チタンシリサイド膜の形成は、単結晶シリコン基板１あるいは多結晶シリコン１０に接するようにチタン膜７を堆積する工程の後、熱処理によりチタンシリサイド膜６を形成する工程がある場合について説明した。しかし、各実施形態において説明した製造工程はこれに限定されるものではなく、図１１に示すような製造工程であってもよい。すなわち、
（１）シリコン基板１上に素子分離領域２、および素子形成領域３を形成する。
【００９５】
（２）前記素子形成領域３に素子を形成した後に、その上面に絶縁膜４が形成されている。この絶縁膜は例えば酸化シリコンからなる。絶縁膜には、素子形成領域との導通を得るため、コンタクトホール５が形成される。
【００９６】

（３）絶縁膜４上面およびコンタクトホール５内部の絶縁膜側壁、コンタクトホール底面の素子形成領域３上面に接するように、チタン膜７が堆積される。さらに前記チタン膜７の上面に窒化チタン膜８、タングステン膜９を積層させる。前記窒化チタン膜８および、前記タングステン膜９はこれに限定されるものではなく、他の導電性膜、絶縁膜であってもよい。

【００９７】

（４）その後、熱処理によってチタン膜７と素子形成領域３のシリコンとのシリサイド反応により、界面にチタンシリサイド膜６が形成される。このとき反応させるチタン膜７の膜厚は８～３０ｎｍである。これによって、熱処理により形成されるチタンシリサイド膜６の膜厚は、２０～７５ｎｍとなる。なお、シリサイドを形成するための熱処理温度は、少なくとも６５０℃以上であり、８００℃以上であることが好ましい。また、この温度は、シリコンに導入されている不純物の拡散を防止させるために１０００℃以下であることが好ましい。

【００９８】

形成するチタンシリサイド膜６の膜厚を２０～７５ｎｍとすることにより、シリコンとチタンとの接触抵抗値が低減でき、かつ、シリコンとチタンシリサイド膜との界面に発生する界面に発生する平均応力を断線発生臨界応力値以下にすることができ、チタンシリサイド膜の剥離が生じない良好なコンタクトとなる。

【００９９】

図１１では、チタンシリサイド膜６の上面に電気配線用金属膜１３として、未反応のチタン膜７、窒化チタン膜８、タングステン膜９が積層している場合を示した。しかし、シリコン基板１上の素子形成領域３に接するように８～３０ｎｍのチタン膜７を堆積し、前記チタン膜すべてを消費するようにチタンシリサイド膜６を形成し、チタンシリサイド膜６上面にチタン膜７が残留していなくてもよい。また、絶縁膜４上に直接窒化チタン膜８が接していても構わない。前記窒化チタン膜８、タングステン膜９はこれに限定されるものではなく、他の導電性膜、絶縁膜であってもよい。また、異種材料の積層構造でなくともよい。前記チタンシリサイド膜６の膜厚は、２０～７５ｎｍである。

【０１００】

【発明の効果】

本発明によれば、絶縁膜に設けたコンタクトホールの内部でシリコンと電気配線用金属とがチタンシリサイド膜を介して接続されている半導体装置において、前記チタンシリサイド膜の膜厚が２０ｎｍ以上７５ｎｍ以下とすることにより、シリコンと金属配線との接触抵抗を低減でき、シリコンとチタンシリサイドとの界面において断線の生じる心配のない、良好なコンタクトを形成することができる。

【図面の簡単な説明】

【図１】本発明における第１の実施形態である半導体装置のコンタクト構造を示す断面図である。

【図２】本発明における第２の実施形態である半導体装置のコンタクト構造を示す断面図である。

【図３】本発明における第３の実施形態である半導体装置のコンタクト構造を示す断面図である。

【図４】本発明における第４の実施形態である半導体装置のコンタクト構造を示す断面図である。

【図５】本発明における第５の実施形態であるＭＯＳトランジスタのゲート電極コンタクト構造を示す断面図である。

【図６】本発明における第６の実施例であるＭＯＳトランジスタのゲート電極コンタクト構造を示す断面図である。

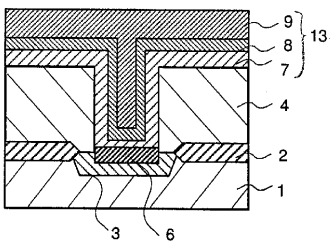
【図７】本発明における第１の実施形態である半導体装置の製造工程の一部を示す断面図である。

【図８】本発明における第２の実施形態である半導体装置の製造工程の一部を示す断面図

である。
【図９】本発明における第３の実施形態である半導体装置の製造工程の一部を示す断面図である。
【図１０】本発明における第４の実施形態である半導体装置の製造工程の一部を示す断面図である。
【図１１】本発明における第５の実施形態である半導体装置の製造工程の一部を示す断面図である。
【図１２】本発明における第６の実施形態であるＭＯＳトランジスタの製造工程の一部を示す断面図である。
【図１３】本発明における第７の実施形態であるＭＯＳトランジスタの製造工程の一部を示す断面図である。
【図１４】シリサイド反応によるシリコン界面変化のメカニズムを示す模式図である。
【図１５】シリサイド反応にともなう膜内部の応力を示すグラフである。
【図１６】シリコン膜とチタンシリサイド膜の界面に発生する平均応力とチタン膜厚およびコンタクトホール穴径との関係を示すグラフである。
【図１７】コンタクトホール穴径０．４μｍの場合における、断線不良率（チタンシリサイド膜剥離）とチタンシリサイド膜厚の関係を示すグラフである。
【符号の説明】
１…シリコン基板、２…素子分離領域、３…素子形成領域、４…絶縁膜、５…コンタクトホール、６…チタンシリサイド膜、７…チタン膜、８…窒化チタン膜、９…タングステン膜、１０…多結晶シリコン、１１…シリコン酸化膜、１２…ゲート電極、１３…電気配線用金属膜、２１…シリコン、２２…チタン膜、２３…初期のシリコン／チタン界面、２４…チタンシリサイド／シリコン界面。

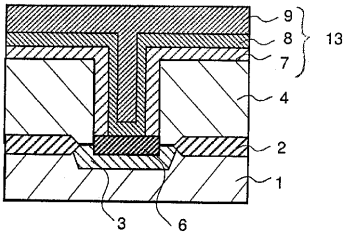
【図１】

図1



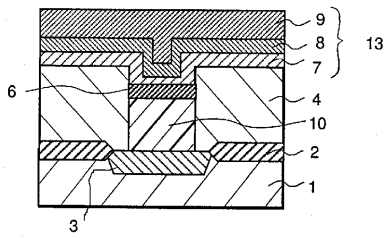
【図２】

図2



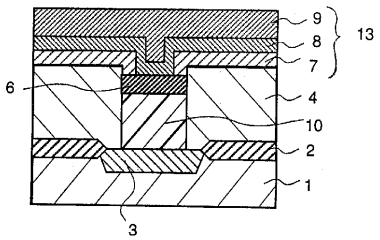
【図３】

図3



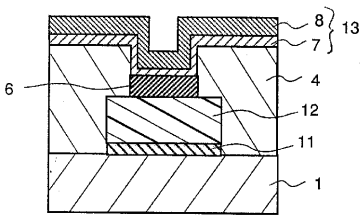
【図４】

図4



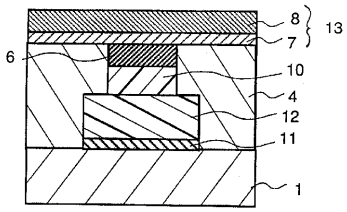
【図５】

図5



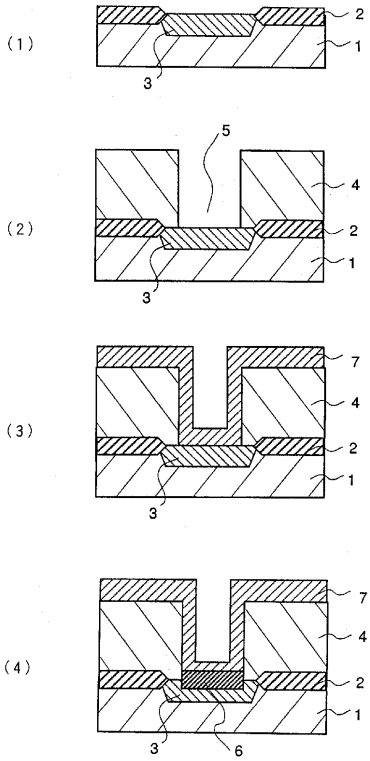
【図６】

図6



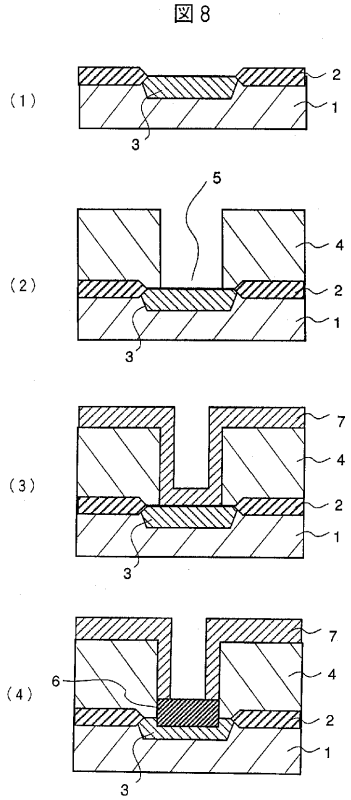
【図７】

図7



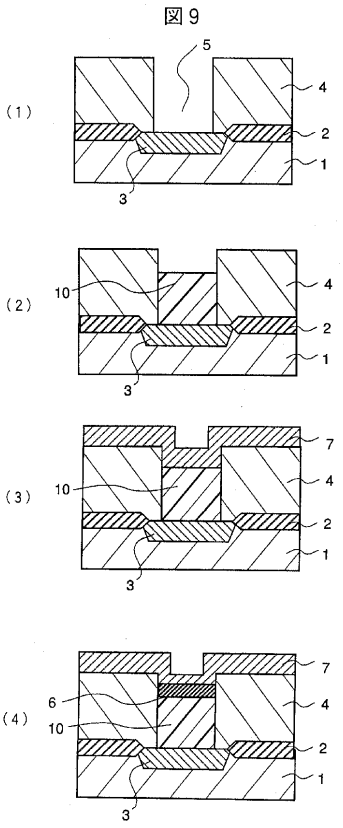
【図８】

図8



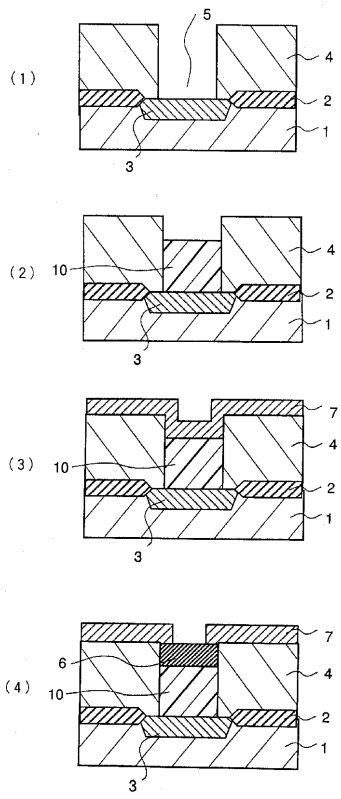
【図９】

図9



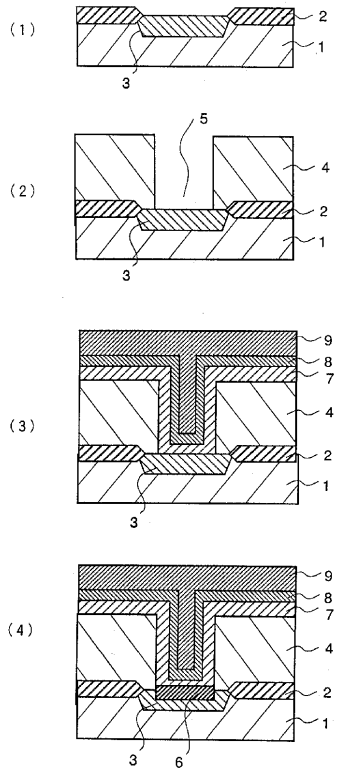
【図１０】

図１０



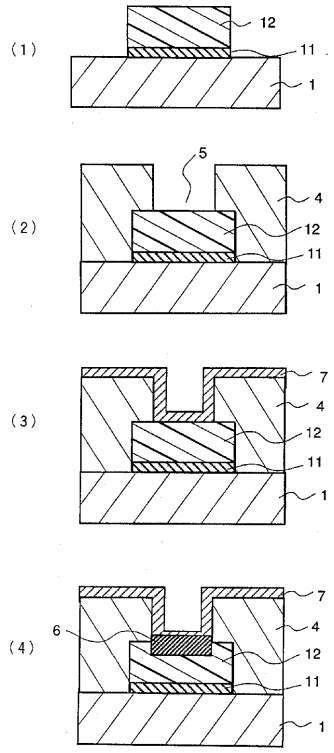
【図１１】

図１１



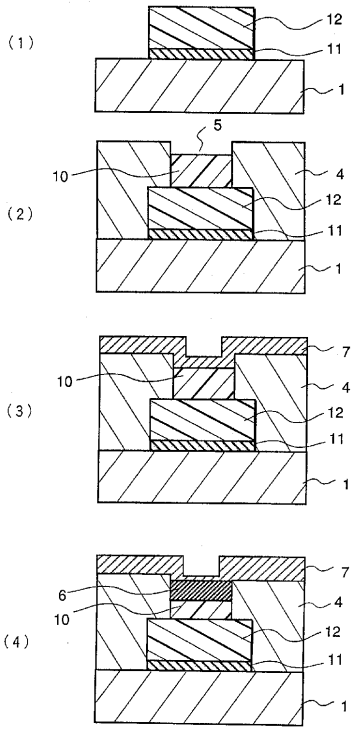
【図１２】

図１２



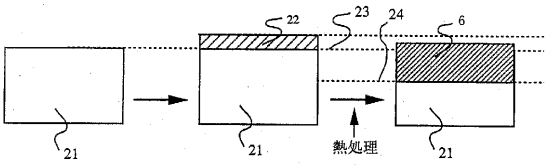
【図１３】

図１３



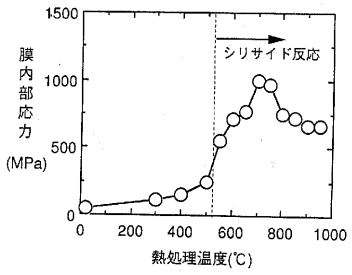
【図１４】

図１４



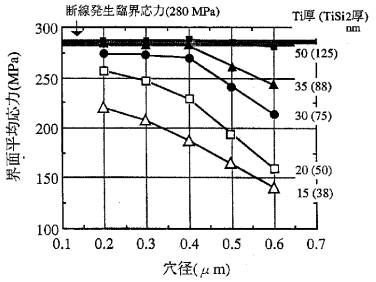
【図１５】

図１５



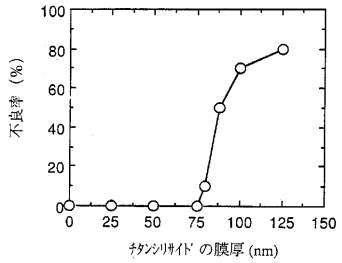
【図１６】

図１６



【図１７】

図１７



フロントページの続き

(72)発明者　鈴樹　正恭
東京都小平市上水本町五丁目２０番１号　株式会社　日立製作所　半導体事業部内
(72)発明者　西原　晋治
東京都小平市上水本町五丁目２０番１号　株式会社　日立製作所　半導体事業部内
(72)発明者　池田　修二
東京都小平市上水本町五丁目２０番１号　株式会社　日立製作所　半導体事業部内

審査官　▲辻▼　弘輔

(56)参考文献　特開平０７－１３０８５０（ＪＰ，Ａ）
特開昭６３－１０８７１５（ＪＰ，Ａ）
特開平０７－１８３４８６（ＪＰ，Ａ）
特開平０７－０２９８５２（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.，ＤＢ名)
H01L　21/28
H01L　21/3205
H01L　21/3213
H01L　21/768